



Ausschließungspatent

(11) DD 297 731 A5

Erteilt gemäß § 17 Absatz 1
Patentgesetz der DDR
vom 27. 10. 1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) G 11 C 29/00

DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) DD G 11 C / 344 162 7

(22) 24.09.90

(44) 16.01.92

(71) siehe (73)

(72) Kärger, Reinhard, Dr. sc. techn.; Kernitz, Günter, Dipl.-Ing.; Kernitz, Karla, Dipl.-Ing., DE

(73) Zentrum Mikroelektronik Dresden GmbH, Grenzstraße 28, PSF 34, O - 8080 Dresden, DE

(74) siehe (73)

(54) Verfahren und Schaltungsanordnung zum Test von Speichern mit wahlfreiem Zugriff

(55) Speicher, mit wahlfreiem Zugriff; RAM; Kompaktestest; Selbsttest; Patternmethode, Stichprobentestsatz; Fehlererkennungswahrscheinlichkeit; Aufwandsakzeptanz; Pseudozufallsgenerator; Phasenverschiebungsnetzwerk, lineares
(57) Die vorliegende Erfindung kommt vorzugsweise für den Selbsttest von in anwenderspezifischen Schaltkreisen eingebetteten RAM in unterschiedlichen Lebensphasen und unterschiedlicher funktioneller Umgebung zur Anwendung. Sie löst die Aufgabe, einen Test dieser Speicher auf Basis von Stichprobentestsätzen zu realisieren, wobei mehrere Testzyklen durchlaufen werden, in denen zur Stimulierung des Speichers mit von Zyklus zu Zyklus unterschiedlichen Testvektoren der Startzustand des verwendeten Testmustergenerators (TMG) nicht mehr mit externen Mitteln verändert werden muß. Nach Initialisierung des TMG wird in einer ersten Testphase sukzessive für alle Adreßbelegungen des Speichers der aktuelle Zustand des nach jeder Schreiboperation weiterschaltenden TMG in die adressierten Speicherzellen eingeschrieben. Anschließend wird in einer zweiten Testphase zyklisch sukzessive für alle Adreßbelegungen des Speichers der Inhalt der adressierten Speicherzellen mit dem phasenkorrigierten Zustand des TMG verglichen und bei Nichtübereinstimmung eine Fehlermeldung ausgegeben, danach in die adressierten Speicherzellen der aktuelle Zustand des TMG eingeschrieben sowie der TMG nach jeder Schreiboperation weitergeschaltet. Fig. 1

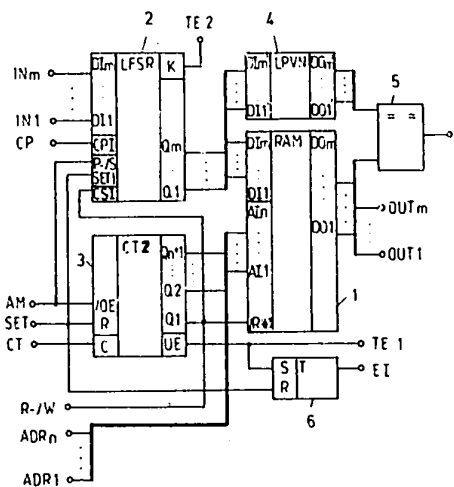


Fig. 1

Patentansprüche:

1. Verfahren zum Test von Speichern mit wahlfreiem Zugriff unter Verwendung von Stichprobentestsätzen, wobei zu Beginn des Testes ein verwendeter Testmustergenerator mit der Zykluslänge $2(\exp m)-1$ initialisiert wird und danach in einer ersten Testphase sukzessive für alle $2(\exp n)$ Adreßbelegungen des Speichers der aktuelle Zustand des Testmustergenerators in die adressierten Speicherzellen eingeschrieben sowie der Testmustergenerator nach jeder Schreiboperation weitergeschaltet wird, **dadurch gekennzeichnet**, daß anschließend in einer zweiten Testphase zyklisch sukzessive für alle Adreßbelegungen des Speichers der Inhalt der adressierten Speicherzellen mit dem phasenkorrigierten Zustand des Testmustergenerators verglichen sowie bei Nichtübereinstimmung eine Fehlermeldung ausgegeben wird und daß nunmehr in die adressierten Speicherzellen der aktuelle Zustand des Testmustergenerators eingeschrieben sowie der Testmustergenerator nach jeder Schreiboperation weitergeschaltet wird.
2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß der verwendete phasenkorrigierte Zustand des Testmustergenerators aus dem aktuellen Zustand des Testmustergenerators abgeleitet wird.
3. Verfahren nach Anspruch 2, **dadurch gekennzeichnet**, daß für den verwendeten phasenkorrigierten Zustand des Testmustergenerators der aktuelle Zustand des Testmustergenerators um $2(\exp n)$ modulo $2(\exp m)-1$ Schritte verschoben wird.
4. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der Test nach der Ausgabe einer Fehlermeldung beendet wird.
5. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der Test nach Dekodierung eines vorab vereinbarten Zustandes des Testmustergenerators und einer vorab vereinbarten Adreßbelegung beendet wird.
6. Schaltungsanordnung zum Test von Speichern mit wahlfreiem Zugriff, unter Verwendung linear rückgekoppelter Schieberegister und eines Adreßzählers, welche an Takt- und Initialisierungssignalen der Schaltungsanordnung angeschlossen sind, wobei Ausgänge des Adreßzählers mit den Adreßeingängen und die Ausgänge des linear rückgekoppelten Schieberegisters mit den Dateneingängen des zu prüfenden Speichers verbunden sind und wobei die Datenausgänge der Schaltungsanordnung durch die Datenausgänge des Speichers realisiert sind, **dadurch gekennzeichnet**, daß der verwendete Adreßzähler (3) $(n + 1)$ -stellig (mit $n \dots$ Anzahl der Adreßeingänge des zu prüfenden Speichers) konfiguriert und sein niedrigstwertiger Ausgang (Q 1) auf den Schreib-/Lese-Steuereingang (/R-WI) des Speichers (1) und einen Schiebetakteingang (CSI) des linear rückgekoppelten Schieberegisters (2) geführt ist, daß die Datenausgänge (Q 1 ... Qm) des linear rückgekoppelten Schieberegisters (2) im weiteren auf die Dateneingänge (DI 1' ... DI m') eines linearen Phasenverschiebungsnetzwerkes (4) gelegt sind und daß die Datenausgänge (DO 1 ... DO m; DO' 1 ... DO' m) des Speichers (1) sowie des linearen Phasenverschiebungsnetzwerkes (4) mit ihnen zugeordneten Eingängen eines Komparators (5) verbunden sind, an dessen Ausgang ein Signal des Vergleichsergebnisses (V) generiert ist.
7. Schaltungsanordnung nach Anspruch 8, **dadurch gekennzeichnet**, daß der Adreßzähler (3) mit einem ein erstes Testendesignal (TE 1) führenden Übertragsausgang (UE) versehen ist.
8. Schaltungsanordnung nach Anspruch 6 oder 7, **dadurch gekennzeichnet**, daß das linear rückgekoppelte Schieberegister (2) mit einem ein zweites Testendesignal (TE 2) führenden Komparatorausgang (K) versehen ist.
9. Schaltungsanordnung nach Anspruch 7, **dadurch gekennzeichnet**, daß der Übertragsausgang (UE) des Adreßzählers (3) mit einem Eingang (S) eines Triggers (6) verbunden ist, daß das genannte Initialisierungssignal (SET) auf einen zweiten Eingang (R) des Triggers (6) gelegt ist und daß am Ausgang des Triggers (6) ein Statussignal „Test-/Initialisierungsphase“ (EI) generiert ist.
10. Schaltungsanordnung nach einem der Ansprüche 6 bis 9, **dadurch gekennzeichnet**, daß der Adreßzähler (2) aus einem an einem Testtakt (CT) angeschlossenen und den Ausgang (Q 1) führenden 2:1-Binärteiler sowie einem vom Ausgang (Q 1) des Binärteilers getakteten und die Ausgänge (Q 2 ... Qn + 1) realisierenden rückgekoppelten Schieberegister konfiguriert ist.

11. Schaltungsanordnung nach einem der Ansprüche 6 bis 10, **dadurch gekennzeichnet**, daß das linear rückgekoppelte Schieberegister (2) durch über Modussteuersignale (AM) gesteuerte Funktionskonvertierung von Datenregistern des Speichers (1) konfiguriert ist und daß dabei Dateneingänge (IN 1 ... INm) der Schaltungsanordnung auf ihnen zugeordnete Dateneingänge (DI 1 ... DI m) des linear rückgekoppelten Schieberegisters 2 geführt sind.
12. Schaltungsanordnung nach einem der Ansprüche 6 bis 11, **dadurch gekennzeichnet**, daß der Adreßzähler (3) durch über Modussteuersignale (AM) gesteuerte Funktionskonvertierung von Adreßregistern des Speichers (1) konfiguriert ist.
13. Schaltungsanordnung nach einem der Ansprüche 6 bis 12, **dadurch gekennzeichnet**, daß mehrere zu prüfende Speicher (1) eingangsseitig einander parallel geschaltet sind, daß die Datenausgänge (DO 1 ... DO m) jedes Speichers (1) auf die ihnen zugeordneten Eingänge jeweils eines Komparators (6) geführt sind, deren übrige Eingänge an den zugehörigen Ausgängen (DO 1' ... DO m') des linearen Phasenverschiebungsnetzwerkes (4) angeschlossen sind und daß jeder Komparator (6) einen das Signal des jeweiligen Vergleichsergebnisses führenden Ausgang (V) besitzt.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zum Test von Speichern mit wahlfreiem Zugriff (RAM – Random Access Memory) unter Verwendung von Stichprobentestsätzen, wobei die vorgeschlagene Lösung für eine Umsetzung in eine integrierte Testanordnung geeignet ist; und vorzugsweise für den vollständigen oder teilweisen Selbsttest von in anwenderspezifischen Schaltkreisen eingebetteten Schreib-Lese-Speichern, aber auch von hochintegrierten RAM-Schaltkreisen, in unterschiedlichen Lebensphasen und unterschiedlicher funktioneller Umgebung zur Anwendung kommt.

Charakteristik des bekannten Standes der Technik

Im Zuge der Herstellung von in anwenderspezifischen Schaltkreisen (ASIC) eingebetteten Speichern (embedded memories) und mikroelektronischen Speicherschaltkreisen, aber auch beim Anwender, sind zum Nachweis der Verwendbarkeit umfassende Prüfungen der Speicherzellen sowie der weiteren Funktionseinheiten der Halbleiterspeicherschaltung erforderlich. Zum Test von Speichern mit wahlfreiem Zugriff (RAM; Schreib-Lese-Speicher) ist dabei die Pattern-Methode allgemein bekannt und eingeführt.

Sie ist auf den Nachweis der Abwesenheit von hypothetischen Fehlern, d. h. auf ihre Stimulierung mittels geeigneter Testpattern und ihre Erkennung, gerichtet.

Als Fehlermodelle werden für die Stimulierung im allgemeinen Haftfehler in Speicherzellen und/oder in der Steuerlogik und/oder in den Schreib-/Lese-Leitungen, ein Übersprechen zwischen benachbarten Speicherzellen sowie musterabhängige Fehler zugrunde gelegt.

Dabei kann die Stimulierung in determinierter oder zufälliger Art und Weise erfolgen.

Für eine determinierte Stimulierung ist eine Vielzahl von Verfahren bekannt (vgl. Gavrilov, V. A.: Testy dlja proverki poluprovodnikovych BIS OZU. Cifrovye ustrojstva i mikroprozessor; 1979; Nr. 3; S. 135–152).

Sie berücksichtigen unterschiedliche Fehlerklassen, woraus eine unterschiedliche algorithmische Kompliziertheit resultiert, welche letztlich die notwendige Testzeit bestimmt.

Bei der Umsetzung eines Selbsttestverfahrens in eine Schaltungsanordnung, d. h. die entsprechende Selbsttest-Hardware, ist die algorithmische Struktur bestimmend für den zusätzlich erforderlichen Schaltungsaufwand („Overhead“) und damit für seine wirtschaftliche Akzeptanz.

Bekannten Lösungen liegen deshalb auch eingeschränkte Fehlermodelle und relativ einfache algorithmische Strukturen zugrunde.

So ist in der EP-Anm. 263312 eine Lösung zum Testen auf Einzelbitfehler dargelegt.

Dabei werden die Speicherzellen eines zu testenden RAM nacheinander durch eine Testschaltung beschrieben und wieder gelesen. Bei Nichtübereinstimmung der ausgelesenen mit den eingeschriebenen Werten, also Bitverfälschungen, wird ein Fehlersignal generiert und ausgegeben.

Dieses sehr einfache Fehlermodell wird in weiteren bekannten Selbsttestverfahren bzw. -anordnungen in begrenztem Umfang um dekodier- und musterabhängige Fehler erweitert.

Ein entsprechendes Verfahren ist z. B. in der EP-Anm. 262867 beschrieben, das auf die Erzeugung eines Schachbrettmusters („chackerboard-pattern“) gerichtet ist.

Neben den Einzelbitfehlern werden damit auch das Übersprechen zwischen benachbarten Zellen und ausgewählte Dekodierfehler erkannt.

Für die vollständige Erkennung von uneingeschränkt musterabhängigen Fehlern sind jedoch $(3n(\exp 2) + 2n) * 2(\exp n)$ (mit $2(\exp n) \dots$ Anzahl der Speicherzellen des zu testenden Speichers, d. h. n ... Anzahl der Adreßeingänge) Prüfschritte erforderlich (vgl. Hayes, J. P.: Testing memories for single-cell pattern sensitive faults. IEEE Transactions on computers; C-29 [1980]; Nr. 3; S. 249). Eine solche Prüfung ist zeitlich nicht realisierbar.

Ein guter Kompromiß hinsichtlich der erforderlichen Testzeit, dem zusätzlich notwendigen Hardwareaufwand und der erzielbaren Fehlerüberdeckung ist mit der Anwendung von Stichprobentestsätzen erreichbar. Dabei wird eine Menge von Testvektoren generiert, welche nicht auf einem determinierten Fehlermodell basieren, sondern Fehler mit einer bestimmten Wahrscheinlichkeit anregen, deren ausreichende Höhe durch die Gestaltung des Verfahrensablaufes gesichert werden muß.

Die Erkennungswahrscheinlichkeit p für einen Fehler i hängt dabei von der Stichprobengröße n und der Anregungshäufigkeit x_i ab und konvergiert gegen $p(i) > 1 - e(\exp - nx_i)$.

Ein Stichprobentestsatz läßt sich schaltungstechnisch relativ einfach generieren. Von Vorteil ist auch die potentielle Möglichkeit, unterschiedliche Fehlerklassen anregen zu können.

Bekannte Verfahren zum Test von Speichern mit wahlfreiem Zugriff unter Verwendung von Stichprobentestsätzen verwenden für die Stimulierung der sukzessive adressierten Speicherzellen des zu prüfenden RAM Pseudo-Zufallsgeneratoren mit maximaler Zykluslänge.

Zur Erzielung einer hinreichenden Fehlerüberdeckung werden dabei üblicherweise mehrere Adressierungszyklen durchlaufen, wobei die Stimulierung des Speichers mit von Zyklus zu Zyklus unterschiedlichen Testvektoren erforderlich ist. Ein solches Verfahren ist z. B. im DD-WP 252 698 beschrieben. Hier wird vorgeschlagen, den zu prüfenden Speicher pseudozufällig zu adressieren oder zu beschreiben und mit dualen Bitfolgen zu beschreiben oder dual zu adressieren. Zur Stimulierung mit variierten Testvektoren in den einzelnen Adreßzyklen wird der Startzustand des verwendeten Testmustergenerators mit externen Mitteln verändert.

Nachteilig für die Umsetzung solcher Verfahren in integrierte Selbsttestanordnungen ist der damit verbundene zusätzliche Schaltungsaufwand.

Ziel der Erfindung

Das Ziel der Erfindung besteht in einer Verringerung des zur Realisierung integrierter Selbsttestanordnungen zusätzlich erforderlichen Hardwareaufwandes bei einer gegenüber bekannten adäquaten Lösungen mindestens gleichen Prüfgüte.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren und eine Schaltungsanordnung zum Test von Speichern mit wahlfreiem Zugriff zu entwickeln, welche einen Test auf Basis von Stichprobentestsätzen realisieren, wobei zur Erhöhung der Fehlererkennungswahrscheinlichkeit mehrere Testzyklen durchlaufen werden, in denen zur Stimulierung des Speichers mit von Zyklus zu Zyklus unterschiedlichen Testvektoren der Startzustand eines verwendeten Pseudozufallsgenerators nicht mehr mit externen Mitteln verändert werden muß.

Zur Lösung der Aufgabe wird ein Verfahren zum Test von Speichern mit wahlfreiem Zugriff unter Verwendung von Stichprobentestsätzen vorgeschlagen, wobei zu Beginn des Testes ein verwendeter Testmustergenerator mit der Zykluslänge $2(\exp m)-1$ initialisiert wird und danach in einer ersten Testphase sukzessive für alle $2(\exp n)$ Adreßbelegungen des Speichers der aktuelle Zustand des Testmustergenerators in die adressierten Speicherzellen eingeschrieben sowie der Testmustergenerator nach jeder Schreiboperation weitergeschaltet wird.

Erfindungsgemäß wird danach in einer zweiten Testphase zyklisch sukzessiv für alle Adreßbelegungen des Speichers der Inhalt der adressierten Speicherzellen gelesen, mit dem phasenkorrigierten Zustand des Testmustergenerators verglichen und bei Nichtübereinstimmung eine Fehlermeldung ausgegeben. Anschließend wird dabei in die adressierten Speicherzellen der aktuelle Zustand des Testmustergenerators eingeschrieben sowie der Testmustergenerator nach jeder Schreiboperation weitergeschaltet.

Dabei sind die Zyklen der Adreßbelegungen in den genannten Testphasen identisch, d. h. in der zweiten Testphase werden nacheinander zyklisch alle Adressen in der gleichen Reihenfolge wie in der ersten Testphase erzeugt.

In Ausgestaltung des erfindungsgemäßen Verfahrens wird der verwendete phasenkorrigierte Zustand des Testmustergenerators aus dem aktuellen Zustand des Testmustergenerators abgeleitet.

Vorzugsweise wird für den verwendeten phasenkorrigierten Zustand der aktuelle Zustand des Testmustergenerators um $2(\exp n)$ module $2(\exp m)-1$ Schritte verschoben.

Die Zykluslänge des verwendeten Testmustergenerators von $2(\exp m)-1$ ist zur Länge des Adreßzyklus von $2(\exp n)$ für jedes Wertepaar (n, m) mit $m; n$ größer 1 teilerfremd.

Daraus ergibt sich der wesentliche Vorteil der erfindungsgemäßen Lösung, daß der Testmustergenerator nach einmaliger Initialisierung zu Testbeginn mit einem Zustand aus dem Maximalzyklus den Speicher nacheinander mit $2(\exp m)-1$ verschiedenen, $2(\exp n)$ Vektoren umfassenden Testsätzen stimuliert, ohne daß es erforderlich wäre, den Startzustand des Testmustergenerators von Zyklus zu Zyklus mit externen Mitteln zu verändern.

Zur Gewährleistung eines repräsentativen Stichprobentests wird die Reihenfolge der Generierung der Adressen und Testdaten so der internen Speicherarchitektur angepaßt, daß keine Zellen-, Spalten- und Diagonalkorrelationen auftreten.

Weitere günstige Ausgestaltungen des Verfahrens werden erhalten, indem der Test vor Durchlauf des maximalen Testzyklus nach der Ausgabe einer Fehlermeldung oder nach Dekodierung eines vorab vereinbarten Zustandes des Testmustergenerators und einer vorab vereinbarten Adreßbelegung beendet wird.

Dadurch ergibt sich eine weitere Verkürzung der Testzeit.

Zur Lösung der Aufgabe wird in Realisierung des Verfahrens eine Schaltungsanordnung zum Test von Speichern mit wahlfreiem Zugriff vorgeschlagen, welche linear rückgekoppelte Schieberegister und einen Adreßzähler verwendet, die an Takt- und Initialisierungssignalen der Schaltungsanordnung angeschlossen sind, wobei Ausgänge des Adreßzählers mit den Adreßeingängen und die Ausgänge des linear rückgekoppelten Schieberegisters mit den Dateneingängen des zu prüfenden Speichers verbunden sind und wobei die Datenausgänge der Schaltungsanordnung durch die Datenausgänge des Speichers realisiert sind.

Erfindungsgemäß ist der verwendete Adreßzähler ($n + 1$)-stellig (mit $n \dots$ Anzahl der Adreßeingänge des zu prüfenden Speichers) konfiguriert. Sein niedrigstwertiger Ausgang ist auf den Schreib-/Lese-Steuereingang des Speichers und einen Schiebeteingang des linear rückgekoppelten Schieberegisters geführt, die übrigen Ausgänge sind mit den zugehörigen Adreßeingängen des Speichers verbunden. Die Datenausgänge des linear rückgekoppelten Schieberegisters sind im weiteren auf die Dateneingänge eines linearen Phasenverschiebungsnetzwerkes gelegt. Die Datenausgänge des Speichers und des linearen Phasenverschiebungsnetzwerkes sind mit ihnen zugeordneten Eingängen eines Komparators verbunden, an dessen Ausgang ein Signal des Vergleichsergebnisses generiert ist.

In einer ersten Ausgestaltungsvariante der erfindungsgemäßen Schaltungsanordnung ist der Adreßzähler mit einem ein erstes Testendesignal führenden Übertragsausgang versehen.

Ist das Ende eines Adressierungszyklus erreicht, wird dies als eine erste Testendebedingung bewertet.

In einer weiteren Ausgestaltungsvariante ist das linear rückgekoppelte Schieberegister mit einem ein zweites Testendesignal führenden Komparatorausgang versehen.

Damit wird ein vorab festgelegter Registerzustand am Komparatorausgang als zweite Testendebedingung dekodiert.

Eine günstige Ausgestaltungsvariante der Erfindung wird erhalten, indem der Übertragsausgang des Adreßzählers mit einem Eingang eines Triggers verbunden, das genannte Initialisierungssignal auf den zweiten Eingang des Triggers gelegt und am Ausgang des Triggers ein Statussignal „Test-/Initialisierungsphase“ generiert ist.

Zu Beginn des Testes wird über das Initialisierungssignal der Adreßzähler zurückgesetzt und im linear rückgekoppelten Schieberegister ein Startwert aus dem Maximalzyklus eingestellt. Gleichzeitig wird der Trigger in den Status „Initialisierungsphase“ gesetzt, der über das Statussignal ausgegeben wird.

Ausgelöst durch eine entsprechende Steuersignalkodierung zählt der Adreßzähler nun zyklisch alle $2(\exp n)$ Adressen des Speichers durch.

Mit dem vom niedrigstwertigen Ausgang des Adreßzählers abgeleiteten Schiebeteakt, der gleichzeitig als Schreib-/Lese-Umschaltssignal für den Speicher fungiert, wird der Speicher in einer ersten Phase des Schreib-/Lese-Umschaltssignales gelesen und in der zweiten Phase mit dem an seinen Dateneingängen stehenden aktuellen Zustand des linear rückgekoppelten Schieberegisters beschrieben. Das linear rückgekoppelte Schieberegister wird über das Schiebeteaktssignal nach jeder Speicherschreiboperation um einen Schritt weitergeschaltet.

Dabei wird in jedem Lesezyklus der Zustand an den Ausgängen des Speichers mit dem über das lineare Phasenverschiebungsnetzwerk phasenkorrigierten Zustand des linear rückgekoppelten Schieberegisters im Komparator verglichen. Eine festgestellte Abweichung wird über das Signal des Vergleichsergebnisses ausgegeben.

Am Ende des ersten Adressierungszyklus erscheint am Übertragsausgang des Adreßzählers das erste Testendesignal, das den Trigger in den Status „Testphase“ umschaltet, was über das Statussignal ausgegeben wird.

In allen nun folgenden Zyklen, die analog dem beschriebenen ersten Zyklus ablaufen, wird aus den Zuständen der Modussteuersignale, des Schreib-/Lese-Umschaltssignales, des Statussignales und des Signales des Vergleichsergebnisses ein Diagnosesignal generiert, über welches das Testergebnis ausgegeben wird.

Daraus erfolgt eine Auswertung des bei einer festgestellten Abweichung am Ausgang des Komparators generierten Signales des Vergleichsergebnisses erst nach einem vollständigen Schreibzyklus.

Das Testende ist erreicht, wenn die beiden Testendesignale gleichzeitig aktiv sind.

In weiterer Ausgestaltung der Erfindung ist der Adreßzähler aus einem am Testtakt angeschlossenen und den niedrigstwertigen Ausgang des Adreßzählers führenden 2:1-Binärteiler sowie einem vom Ausgang des Binärteilers getakteten und die übrigen Ausgänge realisierenden rückgekoppelten Schieberegister konfiguriert.

Zur Verminderung des zusätzlich notwendigen Schaltungsaufwandes können das linear rückgekoppelte Schieberegister durch über Modussteuersignale gesteuerte Funktionskonvertierung von Datenregistern bzw. der Adreßzähler durch Funktionskonvertierung von Adreßregistern des Speichers konfiguriert sein.

Eine weitere vorteilhafte Ausgestaltungsvariante der erfindungsgemäßen Schaltungsanordnung ist dadurch gekennzeichnet, daß mehrere zu prüfende Speicher eingangsseitig einander parallel geschaltet sind, daß die Datenausgänge jedes Speichers auf die ihnen zugeordneten Eingänge jeweils eines Komparators geführt sind, deren übrige Eingänge an den zugehörigen Ausgängen des linearen Phasenverschiebungsnetzwerkes angeschlossen sind und daß jeder Komparator einen das Signal des jeweiligen Vergleichsergebnisses führenden Ausgang besitzt.

Damit kann nochmals eine deutliche Verringerung des zur Prüfung eines Speichers erforderlichen relativen Hardwareaufwandes sowie der relativen Testzeit erreicht werden.

Ausführungsbeispiel

Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels, zweier Zeichnungen und zweier Tabellen näher erläutert. Dabei zeigen

Fig. 1: die erfindungsgemäße Schaltungsanordnung

Fig. 2: die Konfiguration eines linear rückgekoppelten Schieberegisters mit angeschlossenem linearem Phasenverschiebungsnetzwerk

Tab. 1: die Logiktablelle des linearen Phasenverschiebungsnetzwerkes

Tab. 2: einen Ausschnitt der in den Speicher eingetragenen Testdatenfolgen.

Eingangs sei der Ablauf des erfindungsgemäßen Verfahrens näher erläutert:

Vor Beginn des Testes wird ein verwendeter Testmustergenerator, welcher eine Zykluslänge von $2(\exp m)-1$ aufweist, initialisiert. Danach werden in einer ersten Testphase sukzessive alle $2(\exp n)$ Adreßbelegungen an den Speicher angelegt und für jede Adreßbelegung der aktuelle Zustand des nach jeder Speicherschreiboperation um einen Schritt weiterschaltenden Testmustergenerators in die adressierten Speicherzellen eingeschrieben. In einer sich anschließenden zweiten Testphase

werden zyklisch nacheinander alle Adreßbelegungen in der gleichen Reihenfolge wie in der ersten Testphase erzeugt. Die damit sukzessive adressierten Speicherzellen werden zuerst gelesen, die ausgelesenen Daten werden mit dem um $2(\exp n)$ module $2(\exp m)-1$ Schritte phasenverschobenen Zustand des Testmustergenerators verglichen und die adressierten Speicherzellen werden danach mit dem aktuellen Zustand des Testmustergenerators neu beschrieben. Dabei schaltet der Testmustergenerator nach jeder Schreiboperation um einen Schritt weiter. Wird bei dem Vergleich eine Abweichung festgestellt, so wird eine Fehlermeldung ausgegeben. Die zweite Testphase wird maximal so lange wiederholt, bis der Speicher nacheinander mit $2(\exp m)-1$ verschiedenen, $2(\exp n)$ Vektoren umfassenden Testsätzen stimuliert wurde. Der Test kann vorzeitig beendet werden, wenn eine Fehlermeldung ausgegeben oder die Adreßbelegung am Ende eines Zyklus und ein vorab definierter Zustand des Testmustergenerators dekodiert wurden.

Nunmehr sei die erfindungsgemäße Schaltungsanordnung näher erläutert:

Wie in Fig. 1 dargestellt, enthält sie neben dem zu prüfenden Speicher (RAM) 1 ein linear rückgekoppeltes Schieberegister 2 (nachfolgend als LFSR bezeichnet) mit einem Komparatorausgang K, einen als Adreßzähler 3 eingesetzten Binärzähler, welcher $n + 1$ Stellen (mit n ... Anzahl der Adreßeingänge des Speichers 1) besitzt und einen Übertragsausgang UE führt, ein lineares Phasenverschiebungszusammensetzwerk 4 (nachfolgend als LPVN bezeichnet), einen Komparator 5 und einen Trigger 6.

Anstelle des Binärzählers 3 ist auch eine Schaltung eines 2:1 Binärteilers mit einem rückgekoppelten Schieberegister der Zykluslänge $2(\exp n)$ verwendbar.

Stellvertretend für die Systemeinsbindung der erfindungsgemäßen Schaltungsanordnung ist der als Adreßzähler arbeitende Binärzähler 3 nicht funktionskonvertierbar ausgeführt. Demgegenüber sei das LFSR 2 ein funktionskonvertiertes Eingangsregister des Schaltkreises.

Die Schaltungsanordnung ist mit m Dateneingängen $IN1 \dots INm$, m Datenausgängen $OUT1 \dots OUTm$ sowie n Adreßeingängen $ADR1 \dots ADRn$ versehen. Sie wird mit einem Anwendertaktsignal CP, einem Testtaktsignal CT, einem Anwendermodussignal AM und einem Initialisierungssignal SET angesteuert. Im weiteren führt sie ein Schreib-/Lese-Umschaltssignal R-/W, ein Signal eines Vergleichsergebnisses V, zwei Testendesignale TE 1; TE 2 und ein Statussignal „Test-/Initialisierungsphase“ EI.

Die Dateneingänge $IN1 \dots INm$ der Schaltungsanordnung sind auf die ihnen zugeordneten Dateneingänge $DI1 \dots DI m$ und das Anwendertaktsignal CP ist auf den Takteingang CPI des LFSR 2 gelegt. Das Anwendermodussignal AM ist auf einen Eingang P-/S zur Parallel-/Seriell-Betriebsumschaltung des LFSR 2 und den Steuereingang /OE des Binärzählers 3; das Initialisierungssignal SET ist auf den Initialisierungseingang SETI des LFSR 2 und den Rücksetzeingang R des Binärzählers 3 geführt. Der Takteingang C des Binärzählers 3 ist am Testtaktsignal CT angeschlossen. Sein Übertragsausgang UE führt das erste Testendesignal TE 1, der Komparatorausgang des LFSR 2 das zweite Testendesignal TE 2.

Die Ausgänge $Q2 \dots Qn + 1$ des Binärzählers 3 sind über hochohmig schaltbare Treiber (nicht dargestellt) mit den zugehörigen Adreßeingängen $AI1 \dots AIn$ des Speichers 1, die zugleich an den Adreßeingängen $ADR1 \dots ADRn$ der Schaltungsanordnung liegen, verbunden.

Der niedrigwertige Ausgang Q1 des Binärzählers 3 führt das interne Schreib-/Lese-Umschaltssignal R-/W und ist über einen hochohmig schaltbaren Treiber (nicht dargestellt) auf den Schiebeteingang CSI des LFSR 2 und den invertierten Schreib-/Lese-Eingang /R-/W des Speichers geführt.

Weiterhin ist der Übertragungsausgang UE des Binärzählers 3 mit einem Setzeingang S des Triggers 6, dessen Rücksetzeingang R am Initialisierungssignal SET angeschlossen ist, verbunden. Der Ausgang des Triggers führt das Statussignal EI.

Die Ausgänge $Q1 \dots Qm$ des LFSR 2 sind auf die ihnen zugehörigen Dateneingänge $DI1 \dots DI m$ des Speichers 1 und die Dateneingänge $DI1' \dots DI m'$ des LPVN 4 gelegt. Die Datenausgänge $DO1 \dots DO m'$ des LPVN 4 und die Datenausgänge $DO1 \dots DO m$ des Speichers 1 sind jeweils an ihnen zugeordneten Eingängen des Komparators 5 angeschlossen. An dessen Ausgang steht das Signal des Vergleichsergebnisses, was zur Bildung des Testergebnisses abgegriffen wird.

Die Datenausgänge $DO1 \dots DO m$ des Speichers 1 stellen gleichzeitig die Datenausgänge $OUT1 \dots OUTm$ der Schaltungsanordnung dar.

Nachfolgend sei die Funktionsweise der erfindungsgemäßen Schaltungsanordnung nach Fig. 1 beschrieben:

Die Betriebsmoden der Schaltungsanordnung bzw. die einzelnen Phasen des Testes werden durch folgendes Signalspiel codiert:

Modus	AM	SET	EI
Anwendermodus	1	0	X
Initialisieren des Testmustergenerators und Adreßzählers	X	1	X
1. Phase: Initialisieren des Speichers	0	0	0
2. Phase: Test	0	0	1

(mit X ... beliebig)

Im Anwendermodus sind die Ausgangstreiber des Binärzählers 3 hochohmig; das LFSR 2 arbeitet als paralleles Register, wobei die Datenübernahme vom Anwendertaktsignal CP getaktet wird.

Führt das Initialisierungssignal SET den logischen Wert „1“, wird der Binärzähler 3 zurückgesetzt. Gleichzeitig wird im LFSR 2 ein im Maximalzyklus enthaltener Startwert eingestellt. Trigger 6 wird in den Status „Initialisierungsphase“ gesetzt, d. h. das Statussignal EI führt den Wert „0“.

Zur Durchführung des Speichertestes wird nun die Steuersignalcodierung $AM = 0$; $SET = 0$ eingestellt. Damit wird das parallele Register in das rückgekoppelte Schieberegister 2 umgeschaltet. In dieser Betriebsart wird es über seinen Schiebeteingang CSI vom am niedrigstwertigen Ausgang Q1 des Binärzählers 3 abgenommenen Schreib-/Lese-Umschaltssignal R-/W, das damit auch als Schiebeteakt wirkt, getaktet. Damit schaltet das LFSR 2 nach jeder Speicherschreiboperation um einen Schritt weiter. Gleichzeitig zählt der Binärzähler 3 bei anliegender Steuersignalcodierung $AM = 0$; $SET = 0$ zyklisch alle $2(\exp n)$ Adressen des Speichers 1 durch.

Für jede Adreßbelegung wird der Speicher 1 zuerst gelesen und danach mit dem an seinen Dateneingängen DI1...DI_m anliegenden aktuellen Zustand des LFSR 2 beschrieben.

In jeder Lesephase des Schreib-/Lese-Umschaltsignals (Schiebetakt) wird dabei der Zustand der Ausgänge DO1...DO_m des Speichers 1 mit dem über das LPVN4 phasenkorrigierten Zustand an den Datenausgängen Q1...Q_m des LFSR2 verglichen. Am Ende des ersten vollständigen Zyklus des Binärzählers 3 steht das erste Testendesignal TE 1 am Übertragungsausgang UE des Binärzählers 3. Dieses liegt am Setzeingang des Triggers 6 und schaltet ihn die Status „Testphase“, d. h. das Statussignal EI führt den Wert „1“.

In den folgenden Zyklen, die in ihrem Ablauf dem ersten Adressierungszyklus entsprechen, wird zusätzlich (nicht dargestellt) nach der Bildungsvorschrift $FM = /AM \cdot R \cdot EI \cdot V$ (mit R... Lesephase des Schreib-/Lese-Umschaltsignals R-/W) ein high-aktives Diagnosesignal FM (Fehlermagazin) generiert und ausgegeben.

Dadurch erfolgt eine Auswertung des bei einer festgestellten Abweichung am Ausgang des Komparators 6 generierten Signales des Vergleichsergebnisses V erst nach Ausführung eines vollständigen Schreibzyklus.

Das Ende des Testes ist erreicht, wenn ein nach der Vorschrift $TE = TE1 \cdot TE2$ gebildetes Testendesignal TE aktiv ist.

Fig. 3 zeigt die Struktur eines LFSR 2 mit zugehörigem LPVN 4, konfiguriert für den Test eines 4 * 512 Bit RAM.

Das LFSR 2 ist aus vier seriell verschalteten Registerzellen 2.1...2.4 aufgebaut, wobei die Ausgänge der Registerzellen 2.1...2.4 die Ausgänge Q1...Q4 des LFSR 2 darstellen. Entsprechend dem gewählten Rückkopplungspolynom sind die Ausgänge der dritten 2.3 und vierten Registerzelle 2.4 modulo-2 addiert auf den Eingang der ersten Registerzelle 2.1 geführt.

Damit besitzt das LFSR 2 eine Zykluslänge von $2(\exp 4) - 1 = 15$ und erzeugt zyklisch die hexadezimale Zahlenfolge ...; 1; 2; 4; 9; 3; 6; D; A; 5; B; 7; F; E; C; 8; ... Die Ausgänge Q1...Q4 des LFSR 2 sind mit den ihnen zugeordneten Eingängen DI1...DI_m des LPVN4 verbunden.

Das LPVN 4 ist für eine Phasenverschiebung von $512 \text{ modulo } 15 = 2$ konzipiert. Dazu ist der Eingang DI3 direkt auf den Ausgang DO1 und der Eingang DI4 direkt auf den Ausgang DO2 gelegt. Eingang DI1 ist mit dem Eingang DI4 modulo-2 addiert auf den Ausgang DO3 geführt, für den Ausgang DO4 ist der Ausgang DO3 modulo-2 mit dem Eingang DI2 verknüpft.

Die zur Schaltungsanordnung nach Fig. 2 gehörige Logiktafel ist in Tab. 1 dargestellt.

Tab. 2 zeigt einen Ausschnitt der in den Speicher eingetragenen Testfolgen.

Tabelle 1 lineares Phasenverschiebungsnetzwerk

Eingang H					Ausgang				
	Q4	Q3	Q2	Q1	H	DO4'	DO3'	DO2'	DO1'
1	0	0	0	1	C	1	1	0	0
2	0	0	1	0	8	1	0	0	0
4	0	1	0	0	1	0	0	0	1
9	1	0	0	1	2	0	0	1	0
3	0	0	1	1	4	0	1	0	0
6	0	1	1	0	9	1	0	0	1
D	1	1	0	1	3	0	0	1	1
A	1	0	1	0	6	0	1	1	0
5	0	1	0	1	D	1	1	0	1
B	1	0	1	1	A	1	0	1	0
7	0	1	1	1	5	0	1	0	1
F	1	1	1	1	B	1	0	1	1
E	1	1	1	0	7	0	1	1	1
C	1	1	0	0	F	1	1	1	1
8	1	0	0	0	E	1	1	1	0

Tabelle 2

Testschrift	Adresse															
	0	1	2	3	4	5	6	7	...	508	509	510	511			
i	1	2	4	9	3	6	D	A	...	C	8	1	2			
i+1	4	9	3	6	D	A	5	B	...	1	2	4	9			
i+2	3	6	D	A	5	B	7	F	...	4	9	3	6			
.	.	.	.	.	.	.	.	.	.	.	.	.	.			
.	.	.	.	.	.	.	.	.	.	.	.	.	.			
.	.	.	.	.	.	.	.	.	.	.	.	.	.			

297737

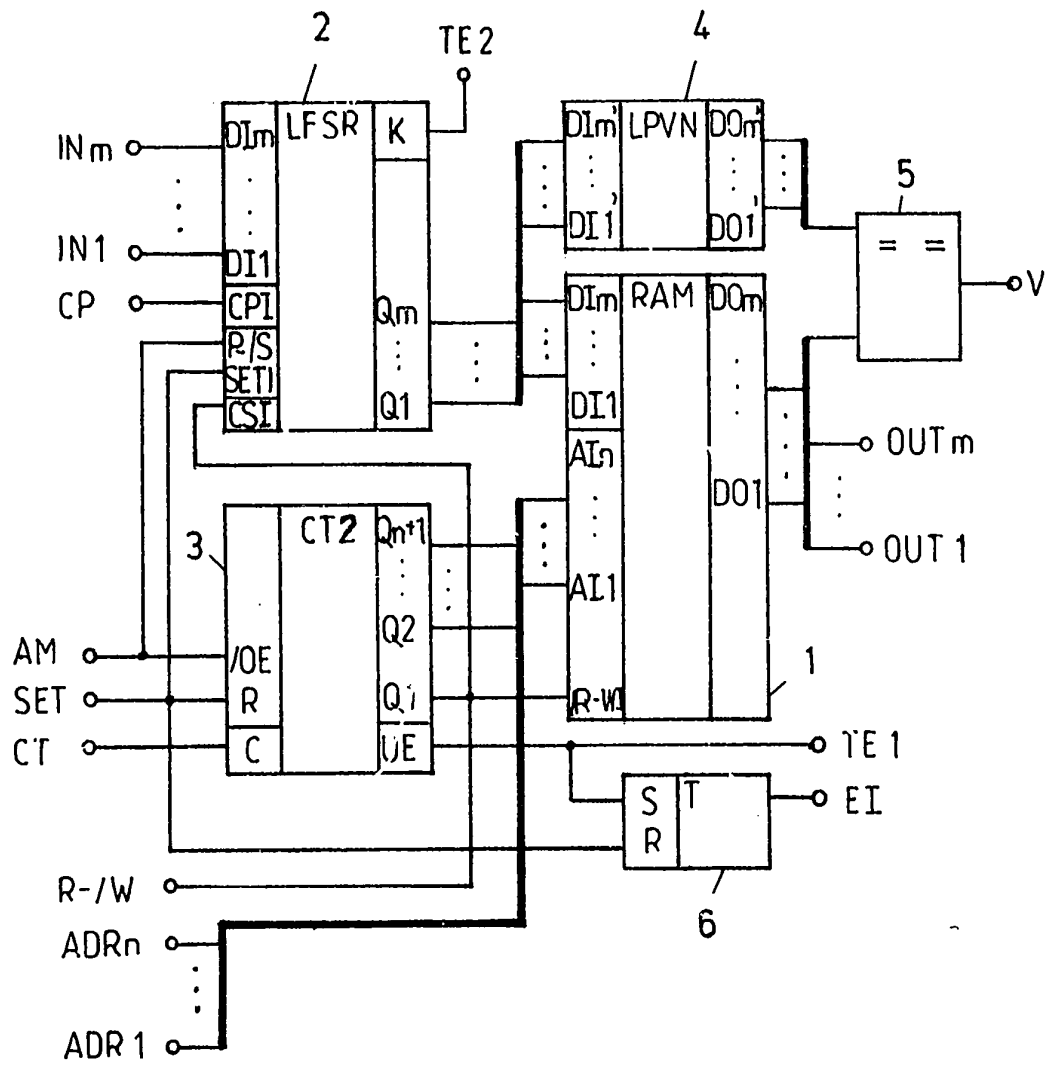


Fig. 1

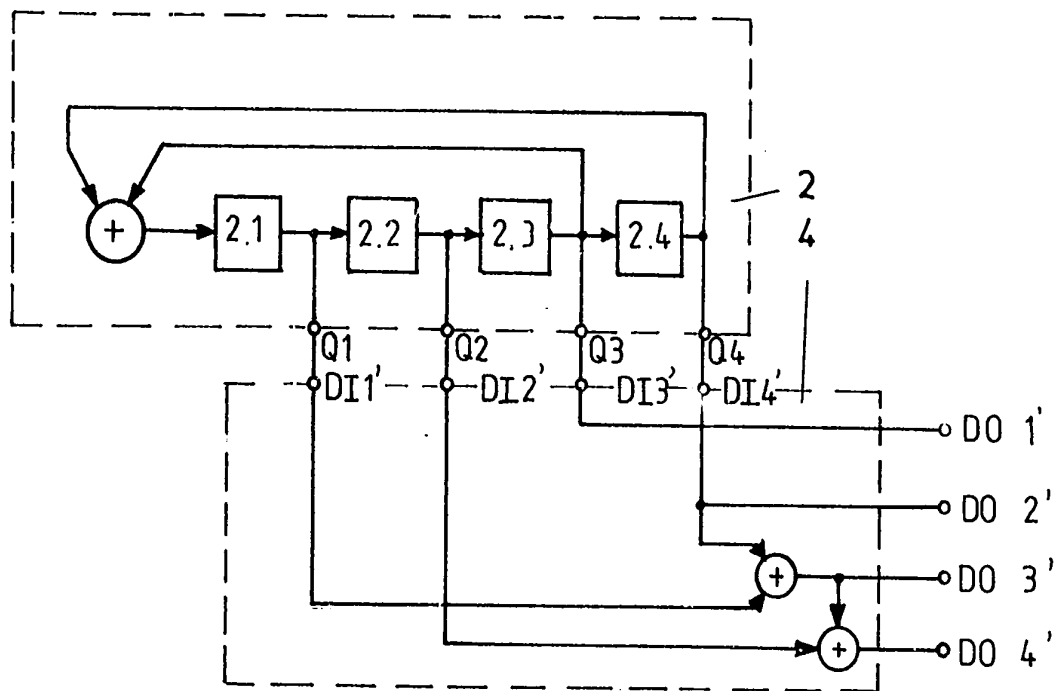


Fig: 2