

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 1 月 9 日 (09.01.2020)



(10) 国际公布号
WO 2020/006716 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) H01L 21/77 (2017.01)

越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(21) 国际申请号: PCT/CN2018/094557

(22) 国际申请日: 2018 年 7 月 4 日 (04.07.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市柔宇科技有限公司
(SHENZHEN ROYOLE TECHNOLOGIES CO., LTD)
[CN/CN]; 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518172 (CN)。

(72) 发明人: 管曦萌(GUAN, Ximeng); 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518172 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司
(SCIHEAD IP LAW FIRM); 中国广东省广州市

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: ARRAY SUBSTRATE, MANUFACTURING METHOD FOR SAME, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制造方法、显示装置

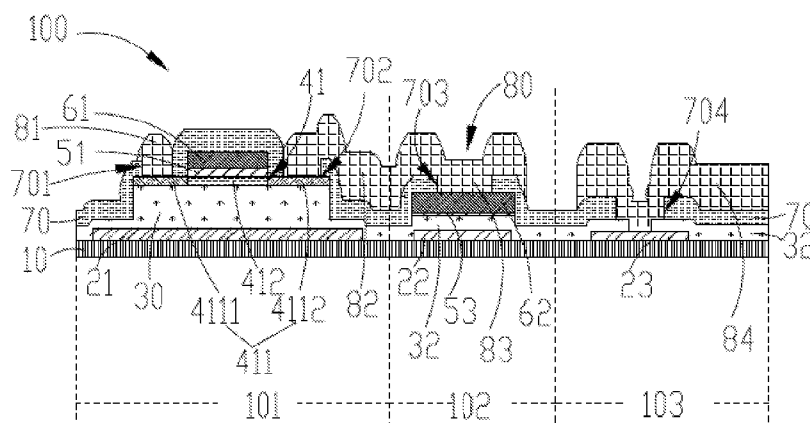


图 1

(57) Abstract: Disclosed in the present invention is a manufacturing method for an array substrate. The manufacturing method for an array substrate comprises the following steps: providing a substrate, and successively depositing a semiconductor layer and a gate insulation layer on the substrate; and sequentially patterning the gate insulation layer and the semiconductor layer, forming, by means of a primary patterning process, a pattern comprising an active layer, and forming, by means of a secondary patterning process, a pattern comprising a gate dielectric layer. In the manufacturing method for an array substrate of the present invention, the semiconductor layer and the gate insulation layer are successively deposited, and patterning is performed on the semiconductor layer after the gate insulation layer is deposited, thereby preventing direct coating of a photoresist on the semiconductor layer or removal of the photoresist from contaminating a trench surface of the latter fabricated active layer, and accordingly enhancing the properties and reliability of a thin film transistor region.

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本发明提供了一种阵列基板的制造方法。所述阵列基板制造方法包括如下步骤: 提供基板, 在所述基板上连续沉积半导体层和栅极绝缘层; 依次图案化所述栅极绝缘层和所述半导体层, 并且通过一次构图工艺形成包括有源层的图案, 通过二次构图工艺形成包括栅极介质层的图案。本发明阵列基板制造方法, 通过连续沉积半导体层和栅极绝缘层, 并在沉积所述栅极绝缘层之后对所述半导体层进行图案化, 因此可避免直接在所述半导体层涂覆光刻胶及去除光刻胶造成对后续制备有源层的沟道表面的污染, 进而提高了所述薄膜晶体管区的性能和可靠性。

阵列基板及其制造方法、显示装置

技术领域

本发明涉及显示技术领域，尤其涉及一种阵列基板及其制造方法、显示装置。

背景技术

5 随着显示技术的发展，消费者对于显示装置的显示方式、显示效果等需求越来越多样化、个性化。阵列基板作为显示面板的核心组件，其质量对最终产品的性能和可靠性起着关键的影响。

现有阵列基板的制造方法，在半导体层涂覆光刻胶后图案化半导体层，以形成包括有源层的图案，然后在有源层上沉积栅极绝缘层。然而，在半导体层涂覆光刻胶及去除光刻胶的过程中容易在制备有源层的沟道表面残留污染物，进而降低了所述薄膜晶体管区的性能和可靠性。

10 发明内容

鉴于现有技术中存在的上述问题，本发明提供一种阵列基板制造方法、阵列基板及显示装置。

为了实现上述目的，本发明实施方式提供如下技术方案：

第一方面，本发明提供了一种阵列基板制造方法，其包括如下步骤：

提供基板，在所述基板上连续沉积半导体层和栅极绝缘层；

15 依次图案化所述栅极绝缘层和所述半导体层，并且通过一次构图工艺形成包括有源层的图案，通过二次构图工艺形成包括栅极介质层的图案。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通

20 技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图1是本发明第一实施例提供的阵列基板的截面示意图。

图2是本发明第二实施例提供的阵列基板的截面示意图。

图3是本发明实施例提供的显示装置的结构示意图。

图4是本发明实施例提供的阵列基板制造方法的流程图。

25 图5至图22是图4所示的阵列基板的制造方法的各个制造流程的第一实施方式的截面示意图。

图23至图41是图4所示的阵列基板的制造方法的各个制造流程的第二实施方式的截面示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发

明保护的范围。

请参阅图 1, 为本发明第一实施例提供的一种阵列基板的截面示意图。所述阵列基板 100 包括基板 10。所述基板 10 设置薄膜晶体管区 101、存储电容区 102 及引线区 103。

5 所述基板 10 可以是可弯曲或不可弯曲的基板, 且用于支撑整个所述薄膜晶体管区 101、所述存储电容区 102 及所述引线区 103。在本实施例中, 所述基板 10 为聚酰亚胺 (Polyimide, 简称 PI) 基板。可以理解的, 在其他实施例中, 所述基板 10 还可以为聚酰胺 (polyamide, PA) 基板、聚碳酸酯 (polycarbonate, PC) 基板、聚苯醚砜 (polyethersulfone, PES) 基板、聚对苯二甲酸乙二醇酯 (polyethylene terephthalate, PET) 基板、聚萘二甲酸乙二醇酯 (polyethylene naphthalate, PEN) 基板、聚甲基丙烯酸甲酯 (polymethylmethacrylate, PMMA) 基板、环烯烃共聚物 (cycloolefin copolymer, COC) 基板中的一种。所述基板 10 搭载于电子设备的形态中, 可为曲率在使用时发生变化的弯曲曲面, 也可为曲率不发生变化的固定曲面, 另外还可为平面。

10 所述薄膜晶体管区 101 包括依次设置在所述基板 10 上的遮光金属层 21、阻挡层 30、有源层 41、栅极介质层 51、栅极 61 及层间绝缘层 70。

在本实施例中, 所述遮光金属层 21 与所述有源层 41 间隔且相对设置。所述遮光金属层 21 与所述有源层 41 叠置设置。所述遮光金属层 21 可为反光层。所述反光层用于反射从所述基板 10 一侧照射的光线, 以实现阻挡从所述基板 10 一侧照射的光线, 从而避免了光线对薄膜晶体管区 101 的有源层 41 的照射。

15 其中, 所述遮光金属层 21 的材料可以为具有良好反射效果的金属。所述金属例如是, 但不局限于铝或银。由于铝在很宽的光谱范围内都具有很高的反射率, 可以对剥离时使用的光线具有很好的反射效果, 因此所述遮光金属层 21 的材料优选为铝。此外, 铝材料使用广泛且价格合理。可以理解的, 在其他实施例中, 所述遮光金属层 21 的材料还可以为有机反光材料。

20 所述阻挡层 30 设置在所述遮光金属层 21 的上方, 且包覆所述遮光金属层 21。所述阻挡层 30 的材料为无机绝缘材料。所述无机绝缘材料例如是, 但不局限于氮化硅 (SiN_x) 或氧化硅 (SiO_x)。可以理解的, 在其他实施例中, 所述阻挡层 30 还可以是其他水汽阻隔层。

所述有源层 41 设置在所述阻挡层 30 的上方。所述有源层 41 包括设置在其两端部的接触掺杂区 411 和设置在所述两接触掺杂区之间的沟道 412。所述接触掺杂区 411 包括源区 4111 和漏区 4112。

25 所述栅极介质层 51 设置在所述有源层 41 的上方。所述栅极介质层 51 与所述有源层 41 的沟道 412 叠置设置。所述栅极 61 设置在所述栅极介质层 51 的上方, 且与所述有源层 41 的沟道 412 间隔且相对设置。在本实施例中, 所述栅极 61 与所述有源层 41 的沟道 412 叠置设置。

30 所述层间绝缘层 70 设置于所述栅极 61 的上方, 且包覆所述栅极 61、所述栅极介质层 51、所述有源层 41 及所述阻挡层 30。所述层间绝缘层 70 开设两相对的源极接触孔 701 和漏极接触孔 702, 且所述源极接触孔 701 和所述漏极接触孔 702 贯穿所述层间绝缘层 70, 并使所述有源层 41 的接触掺杂区 411 暴露。

在本实施例中, 所述薄膜晶体管区 101 还包括源电极 81 和漏电极 82。所述薄膜晶体管区 101 为顶栅形式, 也即所述源电极 81 和所述漏电极 82 设置在所述栅极 61 相对所述有源层 41 的同侧。所述源电极 81 和所述漏电极 82 均设置在所述层间绝缘层 70 上, 并分别通过所述源极接触孔 701 和所述漏极接触孔 702 与所述有源层 41 的接触掺杂区 411 电连接。

所述存储电容区 102 包括在所述基板 10 依次层叠的第一极片 22、介质阻挡层 32、电容介质层 53 及第二极片 62。所述电容介质层 53 设置在所述第一极片 22 和所述第二极片 62 之间，且与所述薄膜晶体管区 101 的栅极介质层 51 间隔设置。所述电容介质层 53 的厚度小于所述栅极介质层 51 的厚度，从而减小所述第一极片 22 与所述第二极片 62 之间的距离，进而提高所述存储电容区 102 的电容值。

5 其中，所述存储电容区 102 的第一极片 22 与所述薄膜晶体管区 101 的遮光金属层 21 同层设置，所述第一极片 22 与所述第二极片 62 之间的间距小于所述遮光金属层 21 与所述栅极 61 之间的间距。所述存储电容区 102 的介质阻挡层 32 与所述薄膜晶体管区 101 的阻挡层 30 相接，且所述介质阻挡层 32 与所述阻挡层 30 同层设置。在本实施例中，所述介质阻挡层 32 包含的材料与所述阻挡层 30 的材料一样。所述介质阻挡层 32 可为所述薄膜晶体管区 101 的阻挡层 30。所述介质阻挡层 32 的厚度小于所述阻挡层 30 的厚度，
10 从而进一步减小所述第一极片 22 与所述第二极片 62 之间的距离，进而提高所述存储电容区 102 的电容值。

可以理解的，所述第一极片 22 与所述第二极片 62 之间的距离越小，所述存储电容区 102 的电容值越大。其中，所述“同层设置”是指两个结构均由同一材料层经过同一步沉积和同一步构图工艺形成，因此二者在层叠关系上处于同一个层级。

在本实施例中，所述存储电容区 102 还进一步包括第三极片 83，所述第三极片 83 与所述薄膜晶体管区 101 的漏电极 82 相连接，从而使其成为电路的一部分。在本实施例中所述第三极片 83 可为所述薄膜晶体管区的漏极 82 的一部分。所述第二极片 62 与所述第三极片 83 相连接而共同构成所述存储电容区 102 的一个电极。可以理解的，在其他实施例中，所述第三极片 83 也可不与所述薄膜晶体管区 101 的漏电极 82 连接，也即用户可根据实际的电路线路执行电极间的连接设计。

15 所述第二极片 62 与所述第三极片 83 之间还夹设所述薄膜晶体管区 101 的层间绝缘层 70，并在所述层间绝缘层 70 开设贯穿所述层间绝缘层 70 的电容极片接触孔 703。所述第三极片 83 通过所述电容极片接触孔 703 与所述第二极片 62 电连接。

可以理解的，当所述栅极 61 沿着垂直于横截面的方向延伸到所述有源层 41 以外后，也可以通过类似所述存储电容区 102 中的接触孔 703 的方式又和所述第三极片 83 同层设置的金属线引出。从而所述第三极片 83 提供了分别将所述薄膜晶体管区 101 的栅极 61、源区 4111 和漏区 4112，以及所述存储电容区 102 的第二极片 62 引出的布线自由度。
25

所述引线区 103 包括设置在所述基板 10 上的导电层 23 及电极引线 84。所述引线区 103 的导电层 23 及所述电极引线 84 之间夹设所述存储电容区 102 的介质阻挡层 32 和层间绝缘层 70，并开设贯穿所述介质阻挡层 32 和所述层间绝缘层 70 的过孔 704。所述电极引线 84 通过所述过孔 704 将所述导电层 23 引出，也即所述导电层 23 与所述电极引线 84 电连接，从而可为所述存储电容区 102 的第一极片 22 提供偏置电压。

30 请参阅图 2，为本发明第二实施例提供了一种阵列基板的截面示意图。第二实施例的阵列基板 200 与第一实施例所述阵列基板 100 的结构相似，因此所述阵列基板 200 包含的各元件尺寸、元件名称、各元件位置关系等均可参考第一实施例所述阵列基板 100，在此不再赘述。不同的是，在第二实施例中，所述阵列基板 200 的阻挡层 31 包括第一阻挡层 311 和第二阻挡层 312，所述第一阻挡层 311 位于薄膜晶体管区 201、存储电容区 202 及引线区 203，所述第二阻挡层 312 位于所述薄膜晶体管区 201。

具体的，在本实施例中，所述第一阻挡层 311 与所述第二阻挡层 312 可采用不同的材料制成，或者采用相同的材料但不同的参杂浓度。所述第一阻挡层 311 的介电常数大于所述第二阻挡层 312 的介电常数。所述第二阻挡层 312 设置在第一阻挡层 311 和所述有源层 41 之间。所述第一阻挡层 311 与所述介质阻挡层 32 相连接且同层设置，也即所述薄膜晶体管区 201 的第一阻挡层 311 可作为所述存储电容区 202 的介质阻挡层 32。所述第二阻挡层 312 与所述有源层 41 叠置设置。所述第一阻挡层 311 的厚度小于所述第二阻挡层 312 的厚度，从而可以进一步减小所述存储电容区 202 的第一极片 22 和第二极片 62 之间的距离，进而提高所述存储电容区 202 的电容值。

请参看图 3，为本发明实施例提供的一种显示装置。所述显示装置 1000 包括第一实施例和第二实施例所述的阵列基板 100，200，所述阵列基板 100，200 可包括用于实现不同功能的电路（如栅极驱动电路和像素电路等），以及薄膜晶体管及存储电容等。

所述显示装置 1000 可以是柔性显示装置或是非柔性显示装置。所述柔性显示装置 1000 例如是，但不局限于液晶显示器 (Liquid Crystal Display, LCD)、量子点显示器 (Quantum Dot Light Emitting Diodes, QLED)、手机、平板电脑、导航仪等具有显示功能的产品或部件。

实施例一

请参看图 4，为本发明第一实施例的阵列基板 100 制造方法的实现流程。所述阵列基板 100 制造方法包括如下步骤：

步骤 403，提供基板，在所述基板上连续沉积半导体层和栅极绝缘层。

步骤 405，依次图案化所述栅极绝缘层和所述半导体层，并且通过一次构图工艺形成包括有源层的图案，通过二次构图工艺形成包括栅极介质层的图案。

在所述基板上连续沉积半导体层和栅极绝缘层之前，还包括：

在所述基板上形成薄膜晶体管区和存储电容区；

在所述基板上沉积至少一阻挡层，至少一所述阻挡层位于所述薄膜晶体管区和存储电容区。

具体的，请一并参阅图 5 至图 6，在所述基板 10 上形成薄膜晶体管区 101 和存储电容区 102 的具体步骤为：

在所述基板 10 上沉积光屏蔽层 20；

在所述光屏蔽层 20 上涂覆第一光刻胶 1，并采用第一掩模版 2 图案化所述光屏蔽层 20，以形成间隔排列的若干遮光结构 204。根据所述遮光结构 204 在所述基板 10 上界定形成所述薄膜晶体管区 101、所述存储电容区 102 及引线区 103，也即所述遮光结构 204 可以作为所述薄膜晶体管区 101 的遮光金属层 21、所述存储电容区 102 的第一极片 22 及所述引线区 103 的导电层 23。

在本实施例中，在所述基板 10 上沉积光屏蔽层 20 之后，还包括：

在所述遮光结构上连续沉积阻挡层、半导体层和栅极绝缘层；

在所述栅极绝缘层上涂覆第二光刻胶，并利用同一第二掩模版图案化所述栅极绝缘层、所述半导体层和所述阻挡层，并保留被所述第二光刻胶覆盖的栅极绝缘层和半导体层，以形成包括有源层的图案，且减薄至少一所述阻挡层在所述存储电容区的厚度；

在所述栅极绝缘层的侧面、所述有源层的侧面及至少一所述阻挡层的裸露面沉积栅金属层；

在所述栅金属层上涂覆第三光刻胶，并利用同一第三掩膜版图案化所述栅金属层及所述栅极绝缘层，以形成包括所述薄膜晶体管区的栅极和栅极介质层及存储电容区的第二极片的图案；

在所述栅极上依次沉积并图案化层间绝缘层及电极层。

5 进一步的，在所述栅极绝缘层的侧面、所述有源层的侧面及至少一所述阻挡层的裸露面沉积栅金属层；
在所述栅金属层上涂覆第三光刻胶，并利用同一第三掩膜版图案化所述栅金属层及所述栅极绝缘层，以形成包括所述薄膜晶体管区的栅极和栅极介质层及存储电容区的第二极片的图案，具体包括如下步骤：在所述栅极绝缘层的侧面、所述有源层的侧面及至少一所述阻挡层的裸露面依次沉积电容绝缘层和所述栅金属层；在所述栅金属层上涂覆第三光刻胶，并利用同一第三掩膜版依次图案化所述栅金属层、所述电容绝缘层及所述栅极绝缘层，以形成包括所述薄膜晶体管区的栅极和栅极介质层、及所述存储电容区的第二极片和电容介质层的图案。

10 具体的，如图7和图8所示，在本发明实施例中，在所述若干遮光结构204上连续沉积所述阻挡层30、所述半导体层40（也即金属氧化物层）和所述栅极绝缘层50。可以理解的，由于所述半导体层40和所述栅极绝缘层50是连续沉积，也即在沉积所述栅极绝缘层50之前所述半导体层40没有进行光刻和刻蚀步骤，
15 因此可避免直接在所述半导体层40涂覆光刻胶及去除光刻胶造成对后续制备有源层的沟道表面的污染，进而提高了所述薄膜晶体管区101的性能和可靠性。所述阻挡层30及所述半导体层40均与所述基板10叠置设置，且所述阻挡层30包覆所述若干遮光结构204。其中，所述基板10的材料可以为玻璃或塑料，所述基板10还可以为柔性衬底。所述遮光结构204可以作为所述薄膜晶体管区101的遮光金属层21、所述存储电容区102的第一极片22及所述引线区103的导电层23。

20 如图8所示，所述半导体层40包括与所述栅极绝缘层50相接的界面401。作为一可选实施例，在沉积所述栅极绝缘层50的步骤之前，还包括清洁所述半导体层40与所述栅极绝缘层50相接的界面401，从而可避免所述第二光刻胶3涂布、曝光和显影等这些步骤对所述半导体层40和所述栅极绝缘层50相接的界面401引入污染，进而提高所述薄膜晶体管区101的性能和可靠性。

25 如图9所示，在所述栅极绝缘层50上涂覆所述第二光刻胶3，并采用所述第二掩膜版4连续图案化所述栅极绝缘层50和所述半导体层40，从而可避免直接在所述半导体层40上涂覆所述第二光刻胶3而引入污染物。所述第二光刻胶3设置在所述薄膜晶体管区101的遮光金属层21的正上方，所述第二光刻胶3的区域包含在所述遮光金属层21的区域内，从而可避免所述基板10背离所述半导体层40的一侧投射的光线照射至所述半导体层40，进而提高所述薄膜晶体管区101的性能和可靠性。所述遮光金属层21为反光结构，也即所述遮光金属层21可以在靠近所述基板10的一侧涂覆反光材料，或整个所述遮光金属层21由反光材料制成，以避免光线投射至所述薄膜晶体管区101。
30

如图10和图11所示，在本实施例中，采用光刻及蚀刻工艺进行蚀刻所述栅极绝缘层50和所述半导体层40，并保留被所述第二光刻胶覆盖的栅极绝缘层50和半导体层40，以形成包括有源层41的图案。具体的，先将所述栅极绝缘层50的裸露面涂覆所述第二光刻胶3，所述第二光刻胶3的上表面为平坦的表面，再将所述第二掩膜版4设置在所述第二光刻胶3上。随后，由作用光投射于所述第二掩膜版4，对所述第

二光刻胶 3 进行曝光、显影等处理,使得暴露于所述第二光刻胶 3 相对两侧的栅极绝缘层 50 和所述半导体层 40 (即未被所述第二光刻胶 3 覆盖的栅极绝缘层 50 和半导体层 40) 依次被蚀刻。其中,所述作用光可为紫外光。

如图 12 所示,在本实施例中,通过一次构图工艺减薄所述阻挡层 30 在所述存储电容区 101 的厚度。

可以理解的,在本实施例中,所述阻挡层 30 可作为所述存储电容区 102 的介质阻挡层 32。具体的,采用光刻及蚀刻工艺将所述阻挡层 30 采用所述第二掩膜版 4 进行光刻和刻蚀,并将暴露在所述第二光刻胶 3 相对两侧的所述阻挡层 30 部分蚀刻,从而减薄了所述阻挡层 30 在所述第二光刻胶 3 相对两侧的厚度,也即减薄所述存储电容区 102 的介质阻挡层 32 的厚度,进而提升所述存储电容区 102 的电容值。随后,剥离去除所述第二光刻胶 3,并露出所述薄膜晶体管区 101 的栅极绝缘层 50。

如图 12 和图 13 所示,所述阻挡层 30 具有裸露面 301。可以理解的,所述阻挡层 30 的裸露面 301 是指所述阻挡层 30 未被所述有源层 41 遮蔽的表面。所述有源层 41 具有相对的两侧面 402。所述栅极绝缘层 50 也具有相对的两侧面 501。所述有源层 41 的两侧面 402 分别与所述栅极绝缘层 50 的两侧面 501 相接且平齐,并且与所述阻挡层 30 的裸露面 301 相接,从而形成连续的表面,以便所述电容绝缘层 52 的沉积。在本实施例中,所述电容绝缘层 52 包覆所述阻挡层 30 裸露面 301、所述有源层 41 的侧面 402 及所述栅极绝缘层 50 的侧面 501,从而避免所述薄膜晶体管区 101 的栅极 61 与所述半导体层 40 在所述半导体层 40 两端部的边缘发生短路。具体的,在本实施例中,所述电容绝缘层 52 还覆盖原栅极绝缘层 50 并与原栅极绝缘层 50 相接,从而形成连续的绝缘介质层。所述电容绝缘层 52 覆盖原栅极绝缘层 50 的部分与原栅极绝缘层 50 共同形成厚度更大的新栅极绝缘层。其中,所述电容绝缘层 52 包含的材料与所述栅极绝缘层 50 包含的材料一样。所述电容绝缘层 52 的厚度小于新栅极绝缘层的厚度,从而提高了所述存储电容区 102 的电容值。可以理解地,当在图案化所述有源层 41 的过程中,如果所述有源层 41 由于蚀刻出现了切底(under-cut)且切底足够深时,所述有源层 41 的侧面 402 会相对所述栅极绝缘层 50 的侧面 501 向内缩进较大幅度,在后续的形成栅极 61 的制程中,所述栅极 61 将无法与所述有源层 41 的侧面 402 相接,因而可省略本次所述电容绝缘层 52 的形成步骤。

如图 14 和图 15 所示,在本实施例中,在所述栅极绝缘层 50 和所述电容绝缘层 52 上沉积所述栅金属层 60,并在所述栅金属层 60 上涂覆所述第三光刻胶层 5。如图 14 所示,所述栅金属层 60 包覆所述栅极绝缘层 50 及所述电容绝缘层 52。

如图 15 所示,所述第三光刻胶 5 形成在所述栅金属层 60 上。在本实施例中,所述第三光刻胶 5 在曝光和显影后留下两类图案,其中一类所述第三光刻胶 5 的图案设置在所述薄膜晶体管区 101,且位于所述有源层 41 的中部,以便所述有源层 41 的两端部进行蚀刻工艺后可显露相同长度,以利于后续形成有源层 411 的源区 4111 和漏区 4112。其中另一类所述第三光刻胶 5 的图案设置在所述存储电容区 102,且与所述存储电容区 102 的第一极片 22 叠置设置,以使所述存储电容区 102 的第二极片 62 与所述第一极片 22 具有更大的投影面积,从而增大存储电容区的极片总面积,进而提高所述存储电容区 102 的电容值。

如图 16 所示,在本实施例中,采用光刻及蚀刻工艺将所述栅金属层 60 采用所述第三掩膜版 6 进行图案化。具体的,将暴露在每一所述第三光刻胶 5 相对两侧的所述栅金属层 60 蚀刻,并保留被所述第三光刻

胶 5 覆盖的栅金属层 60, 以形成包括所述薄膜晶体管区 101 的栅极 61 和所述存储电容区 102 的第二极片 62 的图案。可以理解的, 在本实施例中, 所述栅极 61 与所述第二极片 62 同层设置。由于所述电容绝缘层 52 的厚度小于所述栅极绝缘层 50 的厚度, 从而可进一步缩短所述存储电容区 102 的第一极片 22 和第二极片 62 之间的间距, 进而提高所述存储电容区 102 的电容值。

5 如图 17 所示, 在本实施例中, 保留所述第三光刻胶 5, 并采用蚀刻工艺分别将所述栅极绝缘层 50 和所述电容绝缘层 52 利用所述第三掩膜版 6 进行蚀刻, 并保留被所述第三光刻胶 5 覆盖的栅极绝缘层 50 和电容绝缘层 52, 以形成包括所述薄膜晶体管区 101 的栅极介质层 51 和所述存储电容区 102 的电容介质层 53 的图案。在其他实施例中, 可以先去除所述第三光刻胶 5, 再利用所述薄膜晶体管区 101 的栅极 61 将所述栅极绝缘层 50 进行蚀刻, 以得到所述薄膜晶体管区 101 的栅极介质层 51; 同时采用光刻及蚀刻工艺将
10 所述电容绝缘层 52 利用所述存储电容区 102 的第二极片 62 进行蚀刻, 以得到存储电容区 102 的电容介质层 53。可见, 所述薄膜晶体管区 101 的栅极 61 和所述存储电容区 102 的第二极片 62 也可用于充当所述第三掩膜版 6 的作用。

如图 18 所示, 在本实施例中, 在沉积所述层间绝缘层 70 之前, 还包括: 采用等离子体处理所述有源层 41 暴露的两端部, 以形成接触掺杂区 411。其中, 所述等离子体为 Ar 等离子体或者含氢较多的 NH_3 等离子体。在本实施例中, 通过等离子体过程将部分有源层 41 转化为接触掺杂区 411, 并且所述有源层 41
15 在所述接触掺杂区 411 之间的部分形成沟道 412。所述有源层 41 的沟道 412 与所述栅极绝缘层 50 叠置设置。所述有源层 41 的接触掺杂区 411 具有相对的内边缘 410, 所述内边缘 410 为所述接触掺杂区 411 与所述沟道 412 相接的界面 410。所述栅极 61 具有相对的两侧面 611, 所述接触掺杂区 411 的内边缘 410 与所述栅极 61 的侧面 611 相对准。具体的, 所述有源层 41 暴露的两端部分别形成所述薄膜晶体管区 101 的源区 4111 (也即源极导体) 和漏区 4112 (也即漏极导体), 从而减小了所述源区 4111 和所述漏区 4112 的接
20 触电阻, 并且由于所述栅极 61 的侧面 611 与所述接触掺杂区 411 的内边缘 410 平齐, 从而避免所述源区 4111 和所述漏区 4112 与所述栅极 61 的叠置而产生寄生电容, 提高了器件的性能。随后, 从所述栅极绝缘层 50 及所述电容介质层 53 上剥离所述第三光刻胶 5。

25 如图 19 所示, 所述层间绝缘层 70 沉积于所述栅极 61 的背离所述栅极绝缘层 50 的一侧, 且包覆所述阻挡层 30、所述有源层 41 的接触掺杂区 411、所述栅极绝缘层 50 及所述栅极 61。

如图 20 所示, 通过光刻及蚀刻工艺来图案化所述层间绝缘层 70, 以形成所述引线区 103 的小孔 7041。如图 21 所示, 再次通过光刻及蚀刻工艺, 但使用另一张掩膜版来图案化所述层间绝缘层 70, 以形成所述薄膜晶体管区 101 的源电极接触孔 701 和漏电极接触孔 702、所述存储电容区 102 的电容极片接触孔 703 及所述引线区 103 的大孔 7042。所述薄膜晶体管区 101 的源电极接触孔 701 和漏电极接触孔 702 隔离设置,
30 并且使得所述有源层 41 的源区 4111 和漏区 4112 分别暴露于所述源电极接触孔 701 和所述漏电极接触孔 702。所述电容极片接触孔 703 与所述源电极接触孔 701 和所述漏电极接触孔 702 隔开设置, 且使所述存储电容区 102 的第二极片 62 暴露。所述引线区 103 的小孔 7041 和大孔 7042 相贯通而形成过孔 704, 以使所述引线区 103 的导电层 23 暴露。

可以理解的, 由于所述过孔 704 的深度较所述源电极接触孔 701 和所述漏电极接触孔 702 的深度及所

述电容极片接触孔 703 的深度大，因此所述引线区 103 的过孔 704 先第一次采用光刻和蚀刻工艺，以形成所述小孔 7041，再第二次采用光刻和蚀刻工艺，以形成所述大孔 7042。所述大孔 7042 包所述小孔 7041，以使所述大孔 7042 包所述小孔 7041 错位，以确保所述过孔 704 的深度和大小。在另一种实施方式中，所述引线区 103 的过孔在第一次光刻和蚀刻时形成大孔，再在第二次光刻和蚀刻工艺中进一步形成大孔内的小孔，同样形成大孔包小孔的最终形式。两种掩膜版的设计方式可以根据实际工艺的特点进行选用。所述源、漏电极接触孔 701、702、所述电容极片接触孔 703 可在第二次光刻和蚀刻工艺与所述过孔 704 同时形成。

如图 22 所示，在所述薄膜晶体管区 101 的源电极接触孔 701 和漏电极接触孔 702、所述存储电容区 102 的电容极片接触孔 703 及所述引线区 103 的过孔 704 填充导电材料，以形成电极层 80，并图案化所述电极层 80 以形成所述薄膜晶体管区 101 的源电极 81 和漏电极 82，所述存储电容区 102 的第三极片 83 及所述引线区 103 的电极引线 84。所述源电极 81 和所述漏电极 82 设置在所述层间绝缘层 70 上，并分别通过所述源电极接触孔 701 及所述漏电极接触孔 702 与所述接触掺杂区 411 的源区 4111 和漏区 4112 电连接。所述第三极片 83 与所述漏电极 82 连接，从而实现所述存储电容区 102 的第二极片 62 引出所述层间绝缘层 70。所述电极引线 84 与所述导电层 23 连接，从而实现所述引线区 103 的导电层 23 引出所述层间绝缘层 70，进而为所述存储电容区 102 的第一极片 22 提供偏置电压。

实施例二

请一并参看图 23 至图 41，为本发明第二实施例的阵列基板 200 制造方法的工艺流程图。第二实施例所示的阵列基板 200 制造方法与第一实施例所示的阵列基板 100 制造方法相似，因此第二实施例所示的阵列基板 200 制造方法的工艺流程及参数、材料选择等可参考第一实施例所示的阵列基板 100 制造方法，在此不再赘述。不同的是，所述阵列基板 200 的阻挡层 31 包括第一阻挡层 311 和第二阻挡层 312。

具体的，在本实施例中，所述第一阻挡层和所述第二阻挡层依次沉积在所述基板，且所述第一阻挡层包覆所述若干遮光结构。采用第二掩膜版蚀刻所述部分阻挡层，包括：利用所述第二掩膜版蚀刻所述第二阻挡层，并保留所述第一阻挡层及被所述第二光刻胶覆盖的第二阻挡层。

在所述栅极绝缘层的侧面、所述半导体层的侧面及至少一所述阻挡层的裸露面依次沉积电容介质层和栅金属层，包括：在所述栅极绝缘层的侧面、所述半导体层的侧面、所述第一阻挡层的侧面及所述第二阻挡层的裸露面依次沉积所述电容介质层和所述栅金属层。

如图 23 至图 24 所示，在本实施例中，在所述基板 10 上预先沉积光屏蔽层 20，并用第一掩膜版 2 图案化所述光屏蔽层 20，以形成间隔排列的若干遮光结构 204。根据所述遮光结构 204 在所述基板 10 上界定形成薄膜晶体管区 201、存储电容区 202 及引线区 203。具体的，所述遮光结构 204 可以作为所述薄膜晶体管区 201 的遮光金属层 21、所述存储电容区 202 的第一极片 22 及所述引线区 203 的导电层 23。

在本实施例中，如图 25 至图 28 所示，在所述若干遮光结构 204 上连续沉积所述第一阻挡层 311、所述第二阻挡层 312、半导体层 40 和栅极绝缘层 50。可以理解的，由于所述半导体层 40 和所述栅极绝缘层 50 是连续沉积，也即在沉积所述栅极绝缘层 50 之前所述半导体层 40 没有进行光刻和蚀刻步骤，因此可避免直接在所述半导体层 40 涂覆光刻胶及去除光刻胶造成对后续制备有源层的沟道表面的污染，进而提高了

所述薄膜晶体管区 201 的性能和可靠性。

具体的,在所述栅极绝缘层 50 上涂覆第二光刻胶 3。所述第一阻挡层 311 包覆所述若干遮光结构 204,且所述基板 10 与所述第一阻挡层 311、所述第二阻挡层 312、所述半导体层 40 及所述栅极绝缘层 50 叠置设置。所述第一阻挡层 311 的厚度小于所述第二阻挡层 312 的厚度。所述第一阻挡层 311 与所述第二阻挡层 312 可采用不同的材料制成,或者采用相同的材料但不同的参杂浓度。所述第一阻挡层 311 的介电常数大于所述第二阻挡层 312 的介电常数。

所述第二光刻胶 3 与所述薄膜晶体管区 201 的遮光金属层 21 正相对,且所述第二光刻胶 3 的区域包含于所述遮光金属层 21 的区域内,从而可避免所述基板 10 背离所述半导体层 40 的一侧投射的光线照射至所述半导体层 40,进而提高所述薄膜晶体管区 201 的性能和可靠性。所述遮光金属层 21 为反光结构,也即所述遮光金属层 21 可以在靠近所述基板 10 的一侧涂覆反光材料,或整个所述遮光金属层 21 由反光材料制成,以避免光线投射至所述薄膜晶体管区 201。

如图 27 所示,所述半导体层 40 包括与所述栅极绝缘层 50 相接的界面 401。优选的,在沉积所述栅极绝缘层 50 的步骤之前,还包括清洁所述半导体层 40 与所述栅极绝缘层 50 相接的界面 401,从而可避免所述第二光刻胶 3 涂布、曝光和显影等这些步骤对所述半导体层 40 和所述栅极绝缘层 50 相接的界面 401 引入污染,进而提高所述薄膜晶体管区 201 的性能和可靠性。

如图 29 至图 31 所示,在本实施例中,采用光刻及蚀刻工艺进行蚀刻所述栅极绝缘层 50、所述半导体层 40 及所述第二阻挡层 312,并保留所述第一阻挡层 311 及被所述第二光刻胶 3 覆盖 1 的栅极绝缘层 50、半导体层 40 及所述第二阻挡层 312。具体的,先将所述栅极绝缘层 50 的裸露面涂覆所述第二光刻胶 3,并使所述第二光刻胶 3 的上表面为平坦的表面,再将所述第二掩膜版 4 设置在所述第二光刻胶 3 上。随后,由作用光投射于所述第二掩膜版 4,对所述第二光刻胶 3 进行曝光、显影等处理,使得暴露于所述第二光刻胶 3 相对两侧的栅极绝缘层 50、所述半导体层 40 及所述第二阻挡层 312 (即未被所述第二光刻胶 3 覆盖的栅极绝缘层 50、半导体层 40 及所述第二阻挡层 312) 依次被蚀刻,并形成包括有源层 41 的图案。其中,所述作用光可为紫外光。由于第一阻挡层 311 与第二阻挡层 312 为不同材料制成,因而在蚀刻时,蚀刻到达第一阻挡层 311 的表面即会自动停止,可进一步简化制程。

如图 32 所示,所述有源层 41 具有相对的两侧面 402,所述栅极绝缘层 50 也具有相对的两侧面 501,所述第一阻挡层 311 具有裸露面 3111,所述第二阻挡层 312 具有相对的两侧面 3121。可以理解的,所述第一阻挡层 311 的裸露面 3111 是指未被所述第二阻挡层 312 所遮蔽的表面。所述有源层 41 的侧面 402 分别与所述第二阻挡层 312 的侧面 3121 及所述栅极绝缘层 50 的侧面 501 相接且平齐,并且所述第二阻挡层 312 的侧面 3121 与所述第一阻挡层 311 的裸露面 3111 相接。

在本实施例中,所述电容绝缘层 52 包覆所述第一阻挡层 311 裸露面 3111、所述第二阻挡层 312 的侧面 3121、所述有源层 41 的侧面 402 及所述栅极绝缘层 50 的侧面 502,从而避免所述薄膜晶体管区 101 的所述栅金属层 60 至所述有源层 41 在所述有源层 41 两端部的边缘发生短路。此外,所述电容绝缘层 52 还覆盖原栅极绝缘层 50 并与原栅极绝缘层 50 相接,从而形成连续的绝缘介质层。电容绝缘层 52 覆盖原栅极绝缘层 50 的部分,并且与原栅极绝缘层 50 共同形成厚度更大的新栅极绝缘层。其中,所述电容绝缘层 52

包含的材料与所述栅极绝缘层 50 包含的材料一样。所述电容绝缘层 52 的厚度小于所述新栅极绝缘层的厚度，从而提高了所述存储电容区 102 的电容值。可以理解地，当在图案化有源层 41 的过程中，如果有源层 41 由于蚀刻出现了切底(under-cut)且切底足够深时，有源层 41 的侧面 402 会相对栅极绝缘层 50 的侧面 501 向内缩进较大幅度，在后续的形成栅极 61 的制程中，所述栅极 61 将无法与有源层 41 的侧面 402 相接，因而可省略本次电容绝缘层 52 的形成步骤。

如图 33 和图 34 所示，在本实施例中，在所述栅极绝缘层 50 和所述电容绝缘层 52 沉积所述栅金属层 60，并在所述栅金属层 60 上涂覆所述第三光刻胶 5。在本实施例中，所述第三光刻胶 5 在曝光和显影后留下多类图案，其中一类所述第三光刻胶 5 的图案设置在所述薄膜晶体管区 201，且位于所述有源层 41 的中部，以便所述有源层 41 的两端部进行蚀刻工艺后可显露相同长度，以利于后续形成有源层 41 的源区 4111 和漏区 4112。其中另一类所述第三光刻胶 5 的图案设置在所述存储电容区 202，且与所述存储电容区 202 的第一极片 22 叠置设置，以使所述存储电容区 202 的第二极片 62 与所述第一极片 22 具有更大的投影面积，从而增大存储电容区 202 的极片总面积，进而提高所述存储电容区 202 的电容值。

如图 35 至图 36 所示，在本实施例中，采用光刻及蚀刻工艺将所述栅金属层 60 利用所述第三掩膜版 6 进行图案化。具体的，将暴露在每一所述第三光刻胶 5 相对两侧的所述栅金属层 60 蚀刻，并保留被所述第三光刻胶 5 覆盖的栅金属层 60，以形成所述薄膜晶体管区 201 的栅极 61 和所述存储电容区 202 的第二极片 62。由于所述电容绝缘层 52 的厚度小于所述栅极绝缘层 50 的厚度，从而可进一步缩短所述存储电容区 202 的第一极片 22 和第二极片 62 之间的间距，进而提高所述存储电容区 202 的电容值。

在一实施例中，保留所述第三光刻胶 5，采用光刻和蚀刻工艺分别将所述栅极绝缘层 50 和所述电容绝缘层 52 利用所述第三掩膜版 6 进行蚀刻，并保留被所述第三光刻胶 5 覆盖的栅极绝缘层 50 和电容绝缘层 52，以形成所述薄膜晶体管区 101 的栅极绝缘层 50 和所述存储电容区 202 的电容介质层 53。在另一实施例中，可先去除所述第三光刻胶 5，再利用所述薄膜晶体管区 201 的栅金属层 60 进行蚀刻；同时采用光刻及蚀刻工艺将所述电容绝缘层 52 采用所述存储电容区 202 的第二极片 62 进行蚀刻。可见，所述薄膜晶体管区 201 的栅极 61 和所述存储电容区 202 的第二极片 62 也可用于充当所述第三掩膜版 6 的作用。

在所述栅极 61 上依次沉积并图案化层间绝缘层 70 及电极层 80 的方法与第一实施例的阵列基板 100 制造方法的步骤相同，具体可参考第一实施例的阵列基板 100 制造方法的工艺流程步骤，在此步骤赘述。

本发明的阵列基板，其存储电容区的电容介质层减薄，从而缩短了第一极片与第二极片之间的距离，进而提高了存储电容的电容值。本发明的显示装置应用上述阵列基板，从而提高其性能及可靠性。进一步的，本发明的阵列基板制造方法，通过先沉积栅极绝缘层再图案化半导体层，从而避免半导体层与栅极绝缘层的相接界面引入污染，进而提高阵列基板的性能和可靠性。

以上所述的实施方式，并不构成对该技术方案保护范围的限制。任何在上述实施方式的精神和原则之内所作的修改、等同替换和改进等，均应包含在该技术方案的保护范围之内。

权利要求

1. 一种阵列基板制造方法，其特征在于，包括如下步骤：

提供基板，在所述基板上连续沉积半导体层和栅极绝缘层；

依次图案化所述栅极绝缘层和所述半导体层，并且通过一次构图工艺形成包括有源层的图案，通过二次构图工艺形成包括栅极介质层的图案。

2. 如权利要求1所述的阵列基板制造方法，其特征在于，在沉积所述栅极绝缘层之前，还包括可选步骤：清洁所述半导体层与所述栅极绝缘层相接的界面。

3. 如权利要求1所述的阵列基板制造方法，其特征在于，在所述基板上连续沉积半导体层和栅极绝缘层之前，还包括：

在所述基板上形成薄膜晶体管区和存储电容区；

在所述基板上沉积至少一阻挡层，至少一所述阻挡层位于所述薄膜晶体管区和存储电容区。

4. 如权利要求3所述的阵列基板制造方法，其特征在于，在所述基板上形成薄膜晶体管区和存储电容区具体为：

在所述基板上沉积光屏蔽层；

在所述光屏蔽层上涂覆第一光刻胶，并采用第一掩膜版图案化所述光屏蔽层，以形成间隔排列的若干遮光结构；

根据所述遮光结构在所述基板上界定形成所述薄膜晶体管区、所述电容存储区及引线区，且其中一个所述遮光结构作为所述电容存储区的第一极片。

5. 如权利要求4所述的阵列基板制造方法，其特征在于，在所述基板上沉积光屏蔽层之后还包括：

在所述遮光结构上连续沉积至少一所述阻挡层、所述半导体层和所述栅极绝缘层；

在所述栅极绝缘层上涂覆第二光刻胶，并利用同一第二掩膜版第一次连续图案化所述栅极绝缘层、所述半导体层和至少一所述阻挡层，并保留被所述第二光刻胶覆盖的栅极绝缘层和半导体层，以形成包括有源层的图案，且减薄至少一所述阻挡层在所述存储电容区的厚度；

在所述栅极绝缘层的侧面、所述有源层的侧面及至少一所述阻挡层的裸露面沉积栅金属层；

在所述栅金属层上涂覆第三光刻胶，并利用同一第三掩膜版第二次连续图案化所述栅金属层及所述栅极绝缘层，以形成包括所述薄膜晶体管区的栅极和栅极介质层及存储电容区的第二极片的图案；

在所述栅极上依次沉积并图案化层间绝缘层及电极层。

6. 如权利要求5所述的阵列基板制造方法，其特征在于，在所述栅极绝缘层的侧面、所述有源层的侧面及至少一所述阻挡层的裸露面沉积栅金属层；在所述栅金属层上涂覆第三光刻胶，并利用同一第三掩膜版第二次连续图案化所述栅金属层及所述栅极绝缘层，以形成包括所述薄膜晶体管区的栅极和栅极介质层及存储电容区的第二极片的图案，具体包括：

在所述栅极绝缘层的侧面、所述有源层的侧面及至少一所述阻挡层的裸露面依次沉积电容绝缘层和所述栅金属层；

在所述栅金属层上涂覆第三光刻胶，并利用同一第三掩膜版第二次连续图案化所述栅金属层、所述电

容绝缘层及所述栅极绝缘层，以形成包括所述薄膜晶体管区的栅极和栅介质层、及所述存储电容区的第二极片和电容介质层的图案。

7. 如权利要求5所述的阵列基板制造方法，其特征在于，至少一所述阻挡层包括第一阻挡层和第二阻挡层，所述第一阻挡层和所述第二阻挡层依次沉积在所述基板上。

5 8. 如权利要求7所述的阵列基板制造方法，其特征在于，所述第一阻挡层的介电常数大于所述第二阻挡层的介电常数。

9. 如权利要求8所述的阵列基板制造方法，其特征在于，减薄至少一所述阻挡层在所述存储电容区的厚度，包括：

10 利用所述第二掩膜版蚀刻所述第二阻挡层，并保留所述第一阻挡层及被所述第二光刻胶覆盖的第二阻挡层。

10. 如权利要求9所述的阵列基板制造方法，其特征在于，在所述栅极绝缘层的侧面、所述有源层的侧面及至少一所述阻挡层的裸露面依次沉积电容绝缘层和栅金属层，包括：

在所述栅极绝缘层的侧面、所述有源层的侧面、所述第一阻挡层的侧面及所述第二阻挡层的裸露面依次沉积所述电容绝缘层和所述栅金属层。

15 11. 如权利要求5所述的阵列基板制造方法，其特征在于，利用同一所述第三掩膜版图案化所述栅金属层及所述栅极绝缘层，具体包括：

利用所述第三掩膜版依次蚀刻所述栅金属层、所述电容绝缘层和所述栅极绝缘层，并保留被所述第三光刻胶覆盖的栅金属层和栅极绝缘层，以形成包括所述薄膜晶体管区的栅极和栅极介质层及存储电容区的第二极片的两端部暴露；

20 采用等离子体处理所述有源层的两端部，以形成两接触掺杂区。

12. 如权利要求11所述的阵列基板制造方法，其特征在于，所述栅极的两侧面分别与所述有源层的两接触掺杂区的内边缘对准。

13. 如权利要求5所述的阵列基板制造方法，其特征在于，在所述栅极上依次沉积并图案化层间绝缘层及电极层，包括：

25 在所述栅极上沉积层间绝缘层；

图案化所述层间绝缘层，以形成间隔设置的若干接触孔，并在所述若干接触孔内填充所述电极层。

14. 如权利要求5所述的阵列基板制造方法，其特征在于，所述第二光刻胶设置在所述薄膜晶体管区的遮光结构的正上方，且所述第二光刻胶的区域包含在所述遮光结构的区域内。

30 15. 如权利要求5所述的阵列基板制造方法，其特征在于，所述第三光刻胶具有多类图案，其中一类所述第三光刻胶的图案设置在所述薄膜晶体管区，且位于所述有源层的中部，其中另一类所述第三光刻胶的图案设置在所述存储电容区，且与所述电容存储区的第一极片叠置设置。

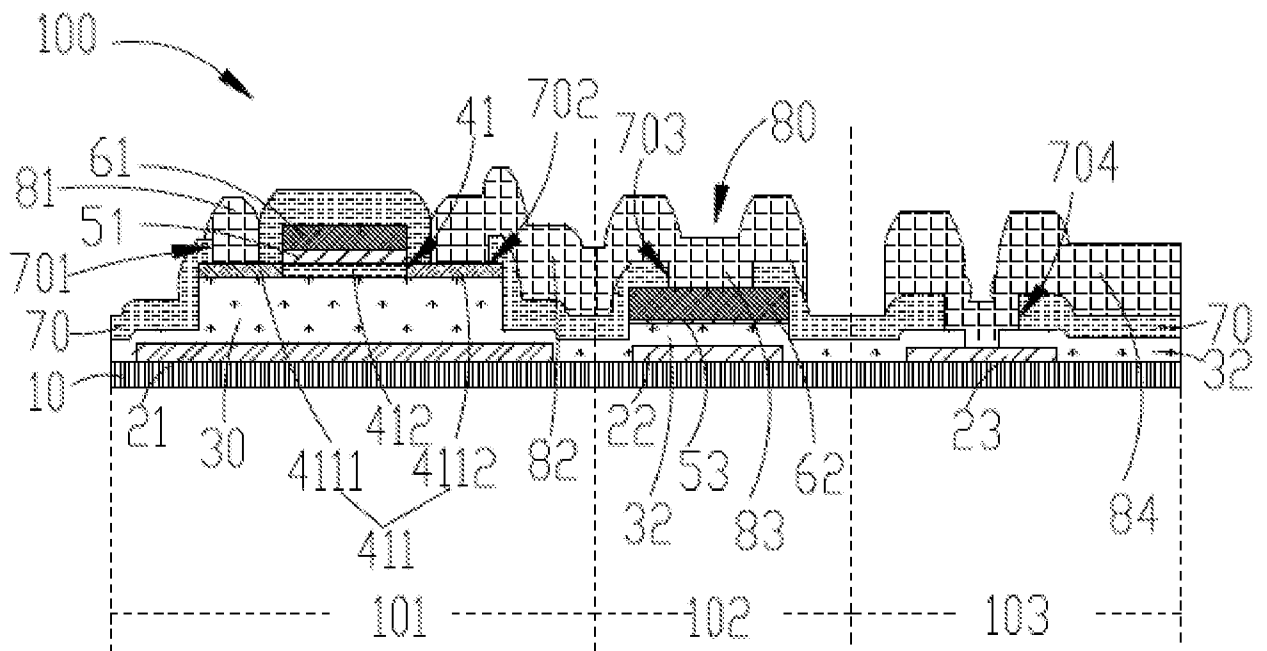


图 1

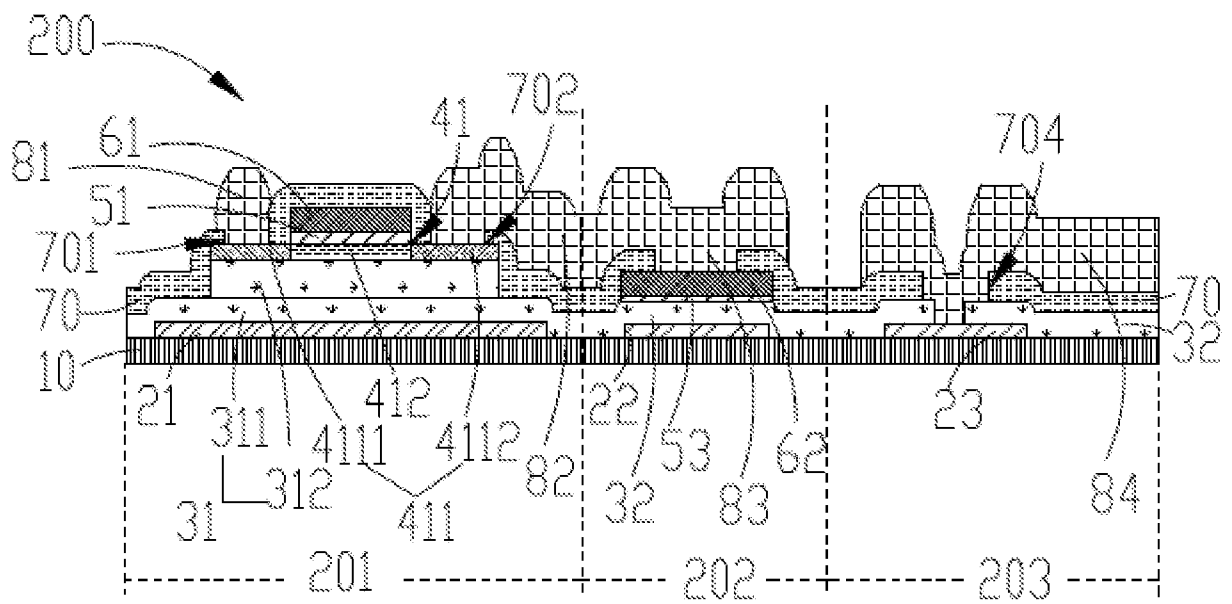


图 2

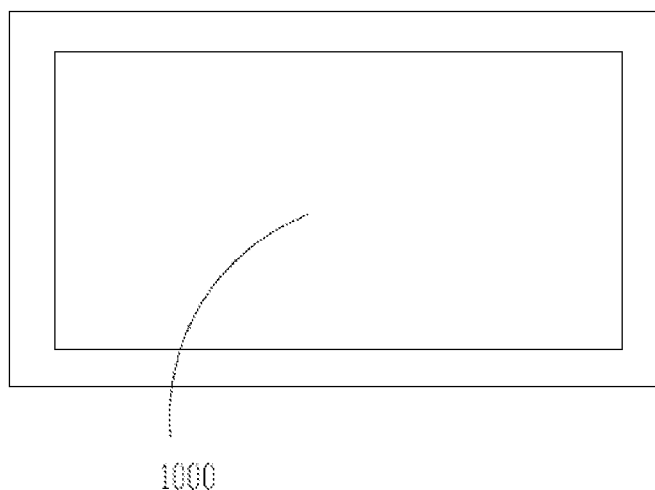


图 3

提供基板，在所述基板上连续沉积半导体层和栅极绝缘层

403

依次图案化所述栅极绝缘层和所述半导体层，并且通过一次构图工艺形成包括有源层的图案，通过二次构图工艺形成包括栅极介质层的图案

405

图 4

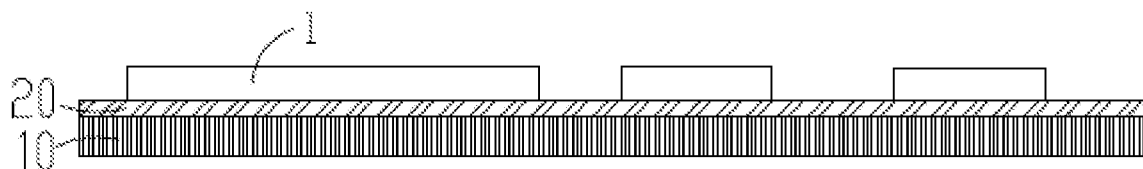


图 5

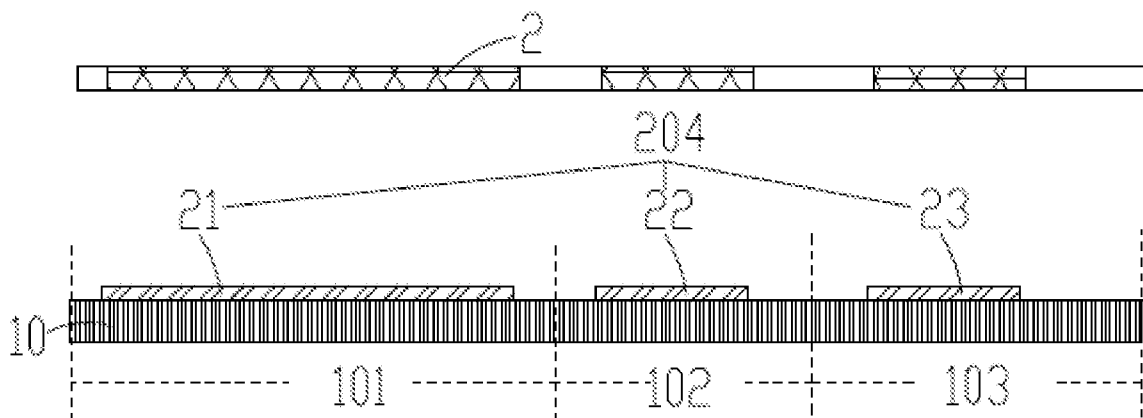


图 6

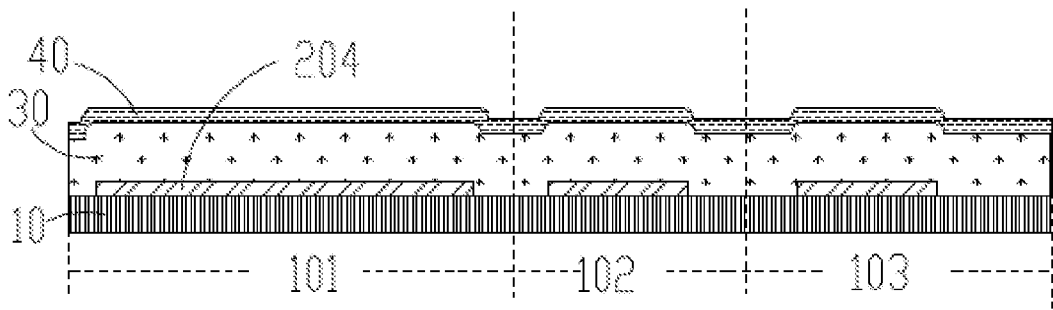


图 7

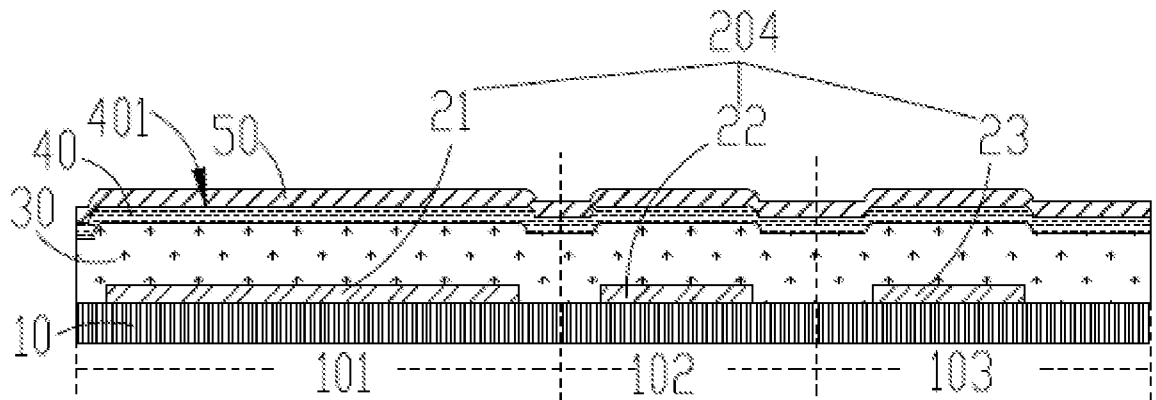


图 8

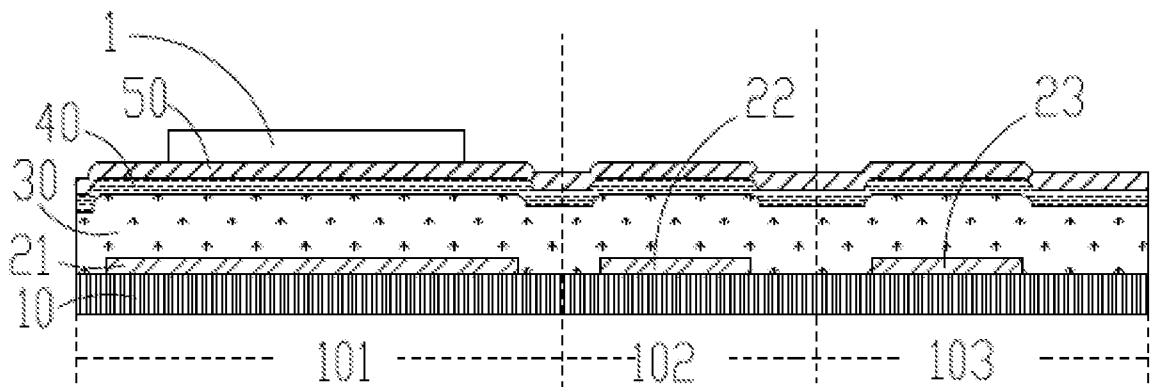


图 9

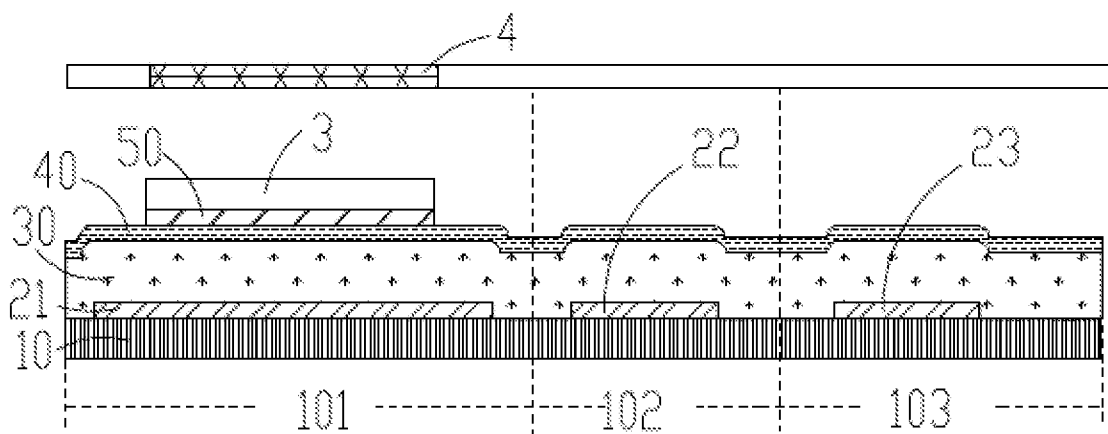


图 10

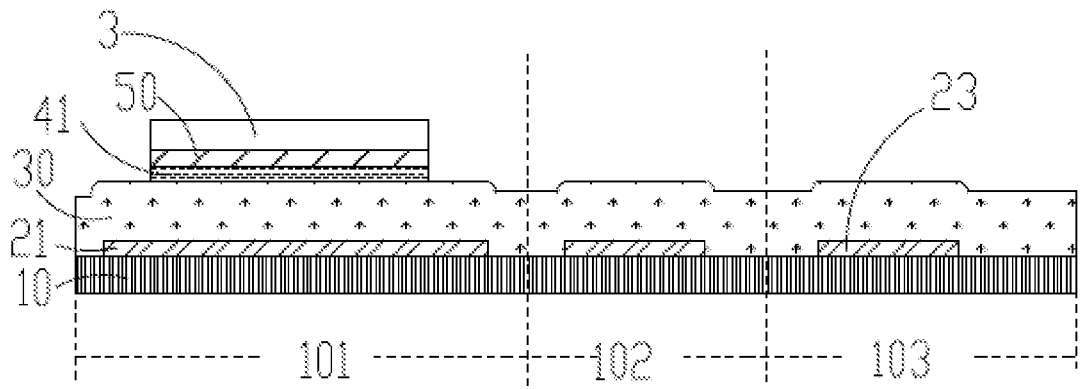


图 11

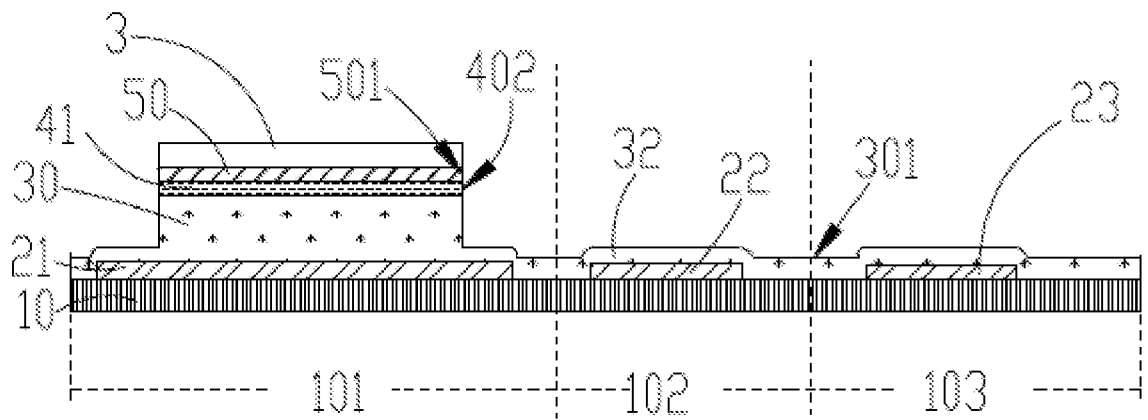


图 12

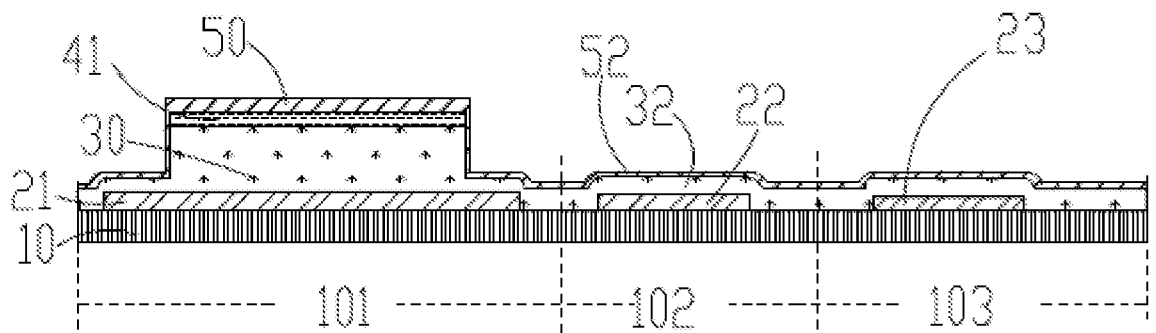


图 13

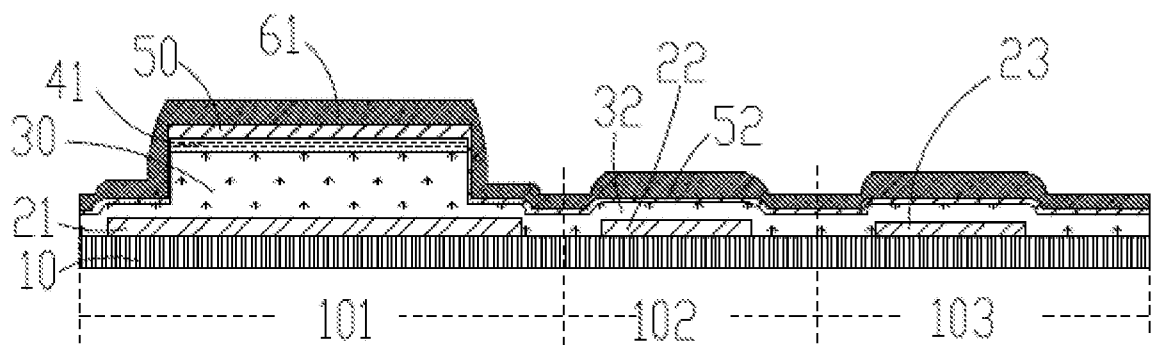


图 14

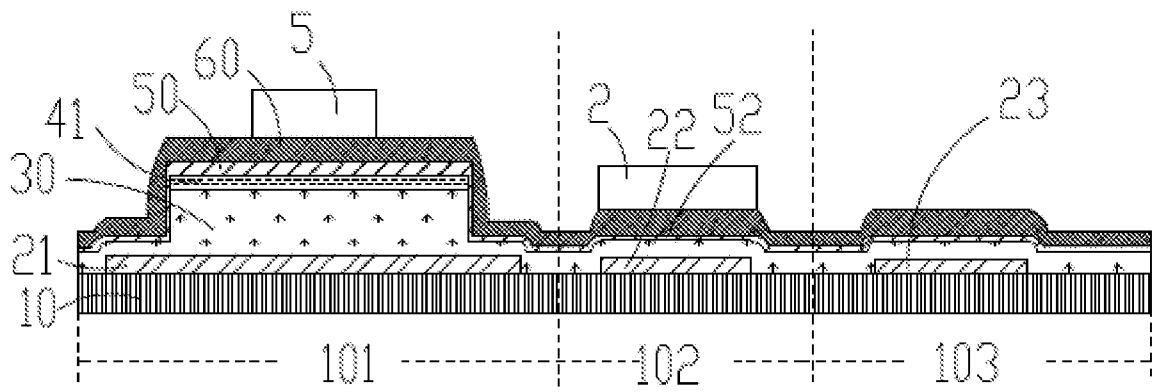


图 15

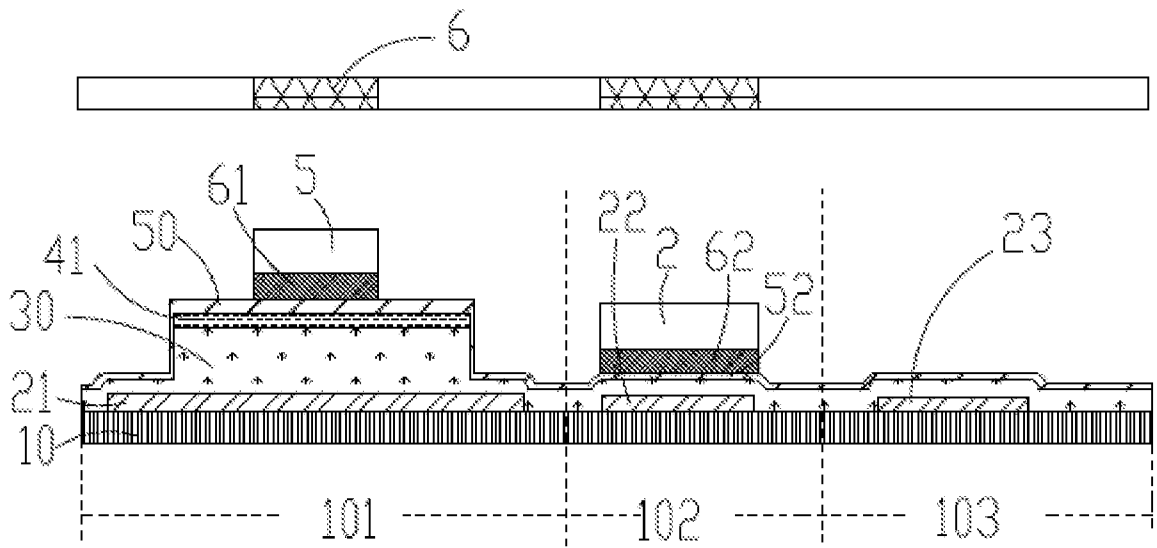


图 16

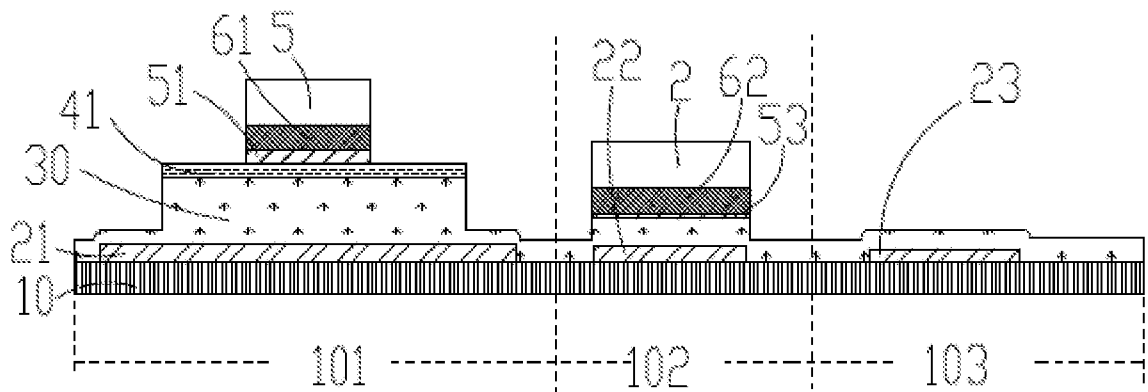


图 17

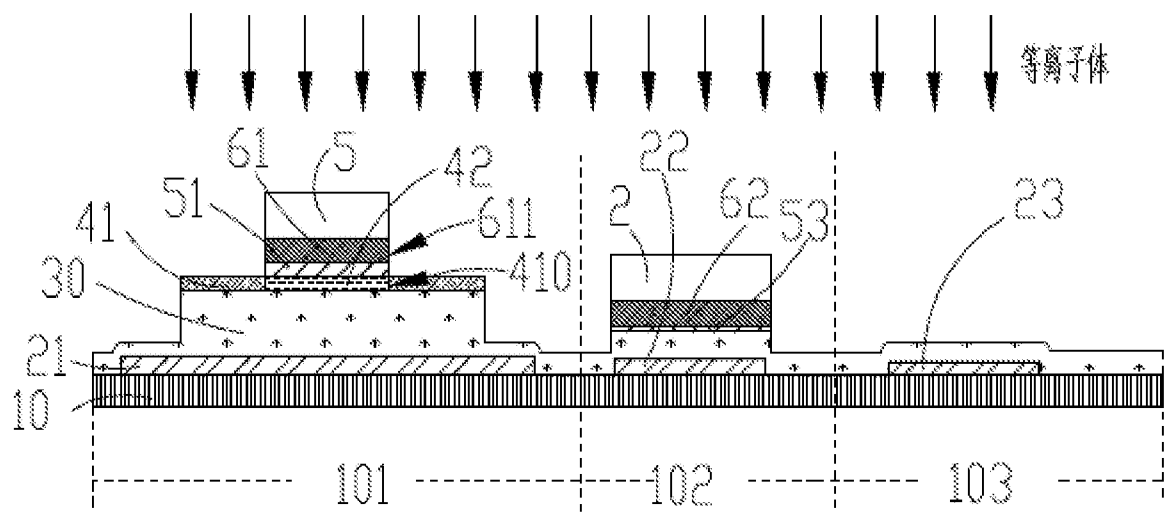


图 18

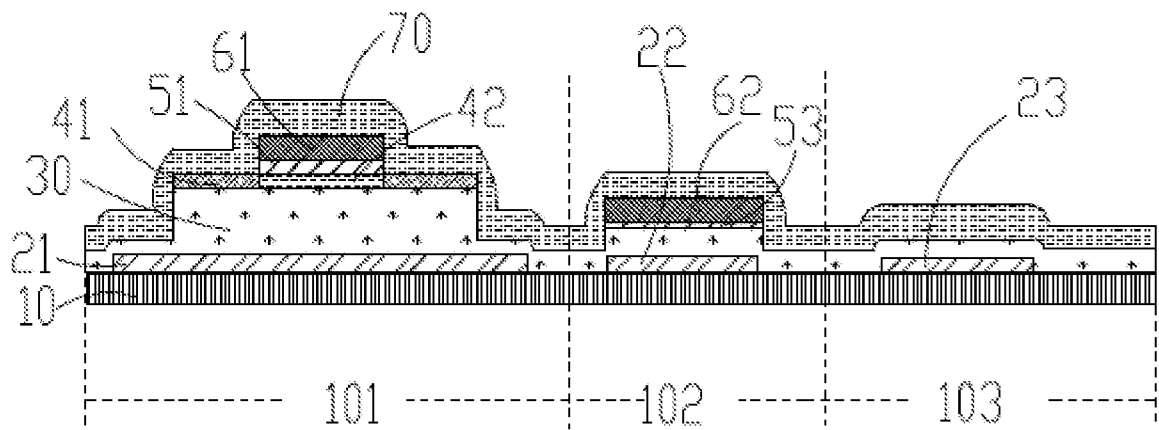


图 19

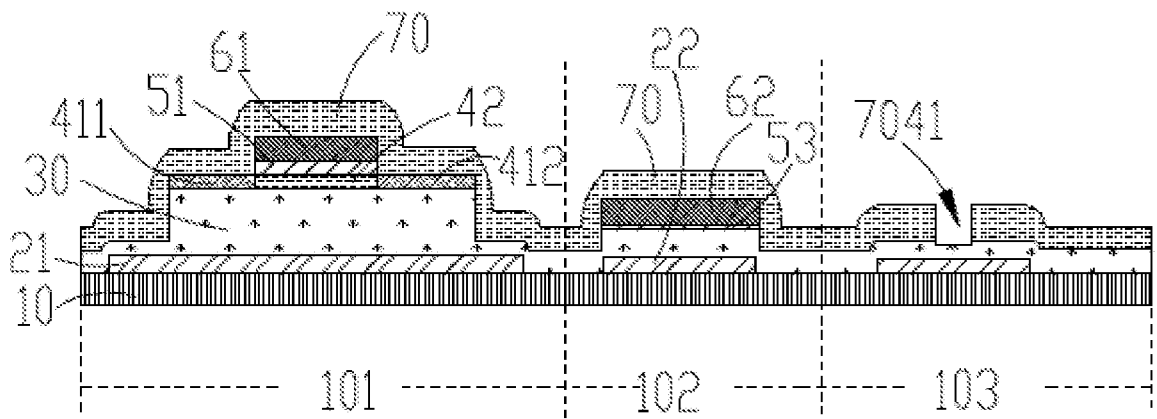


图 20

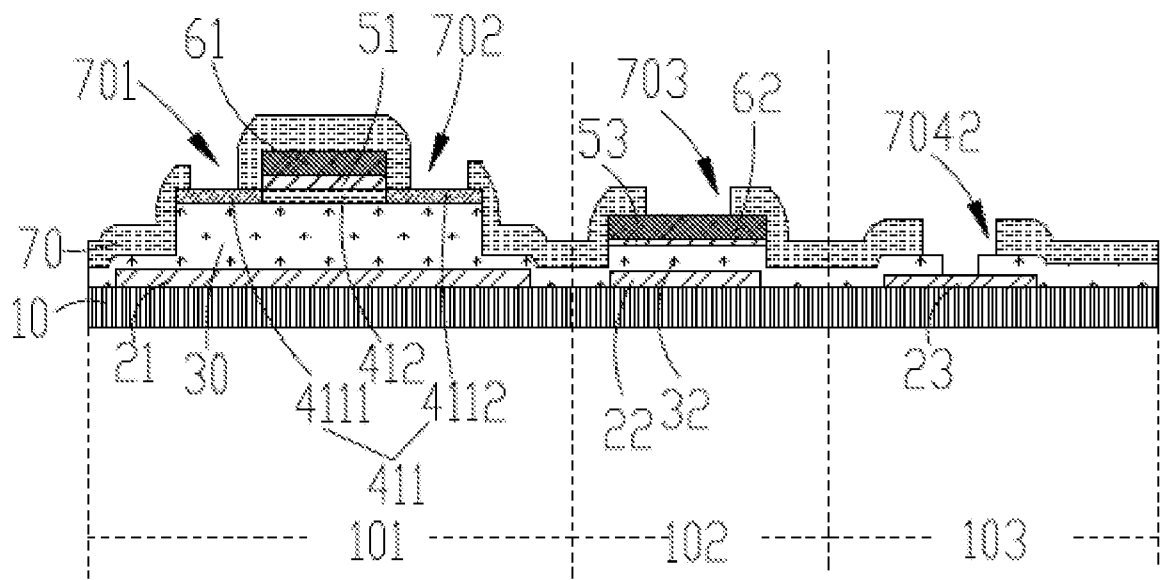


图 21

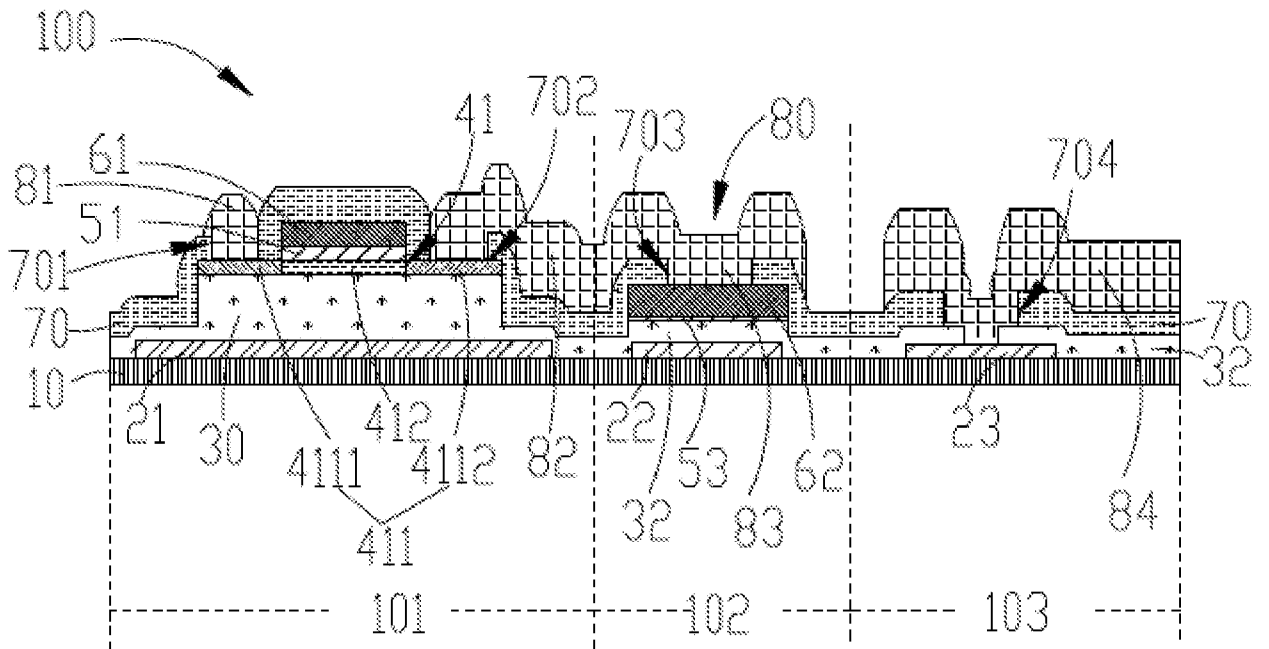


图 22

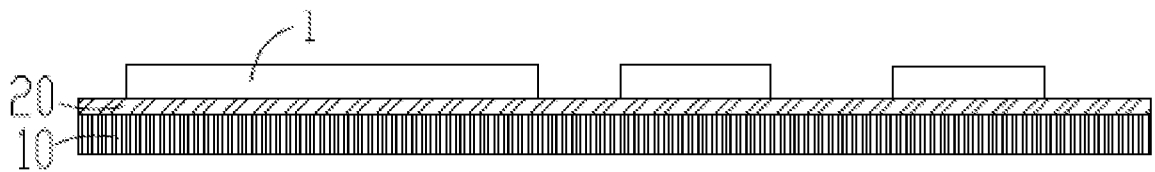


图 23

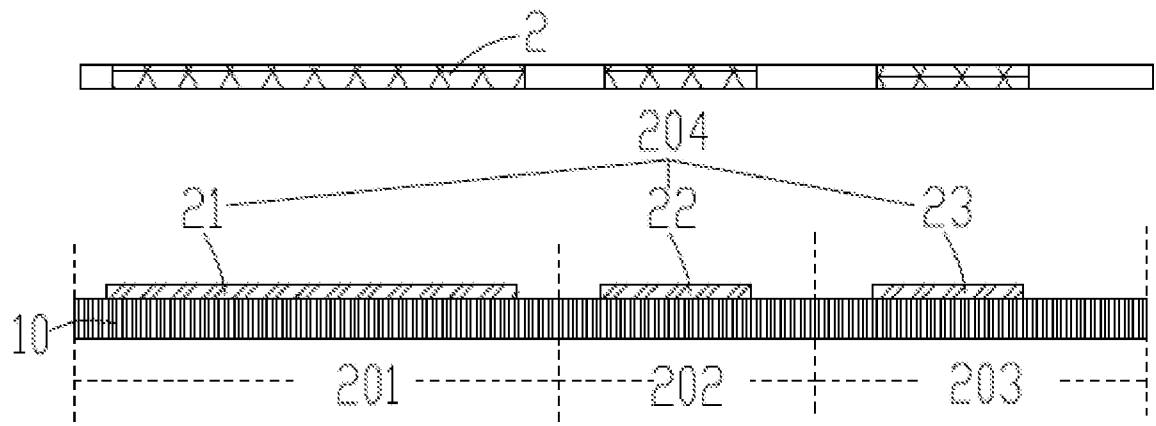


图 24

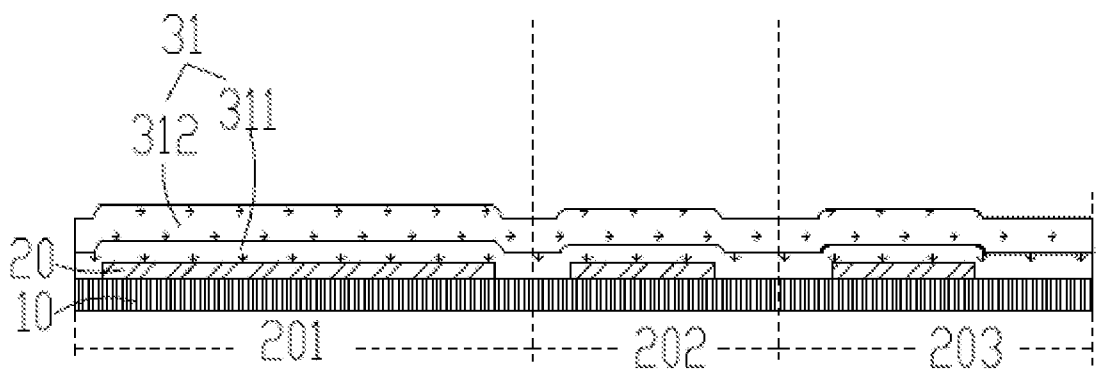


图 25

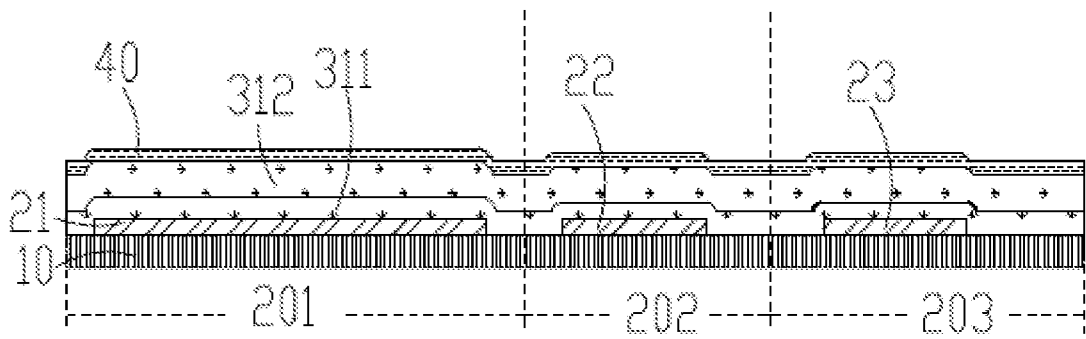


图 26

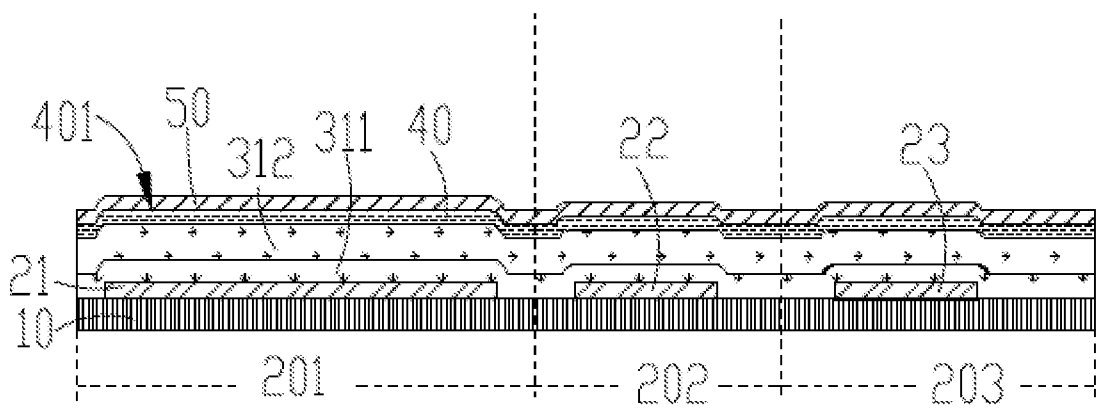


图 27

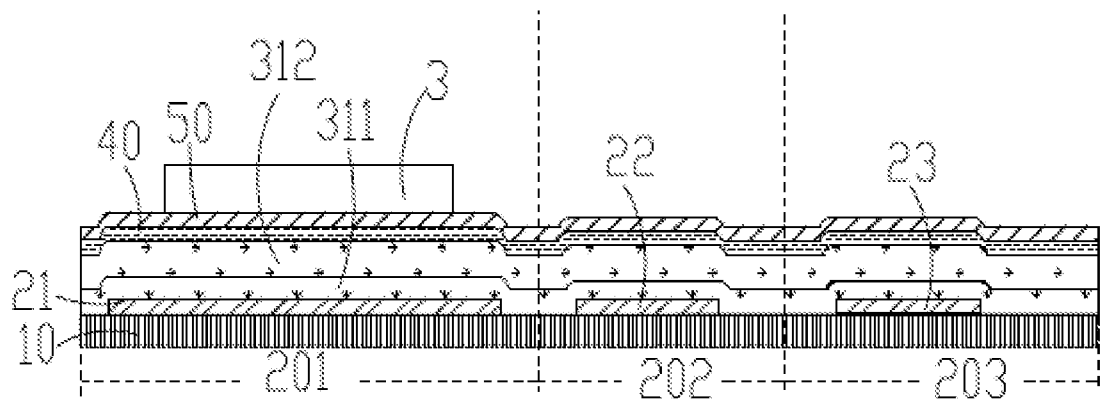


图 28

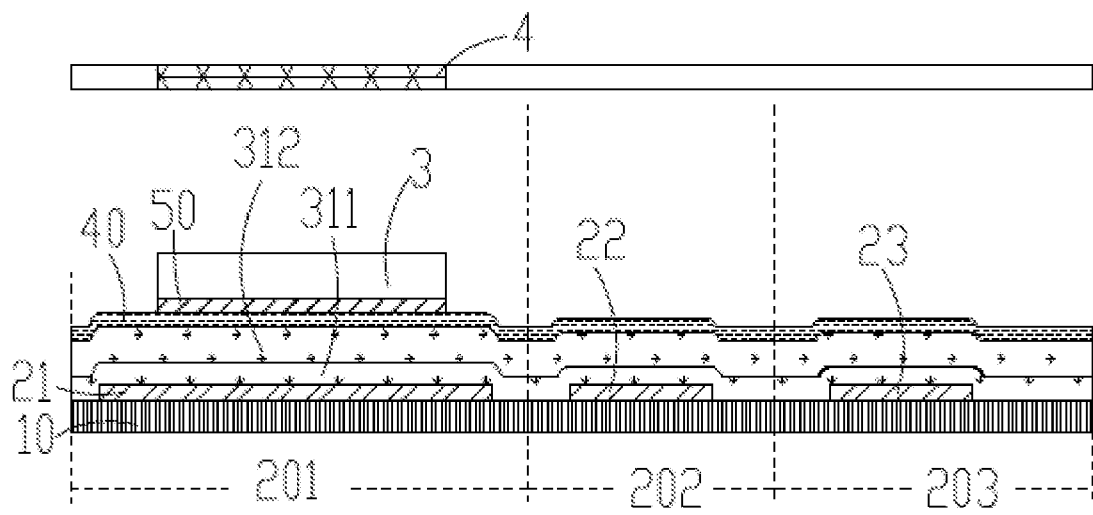


图 29

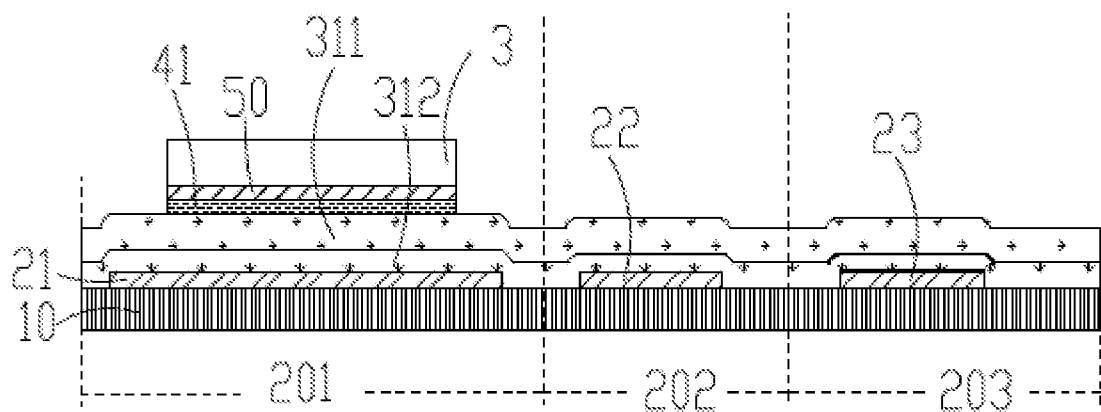


图 30

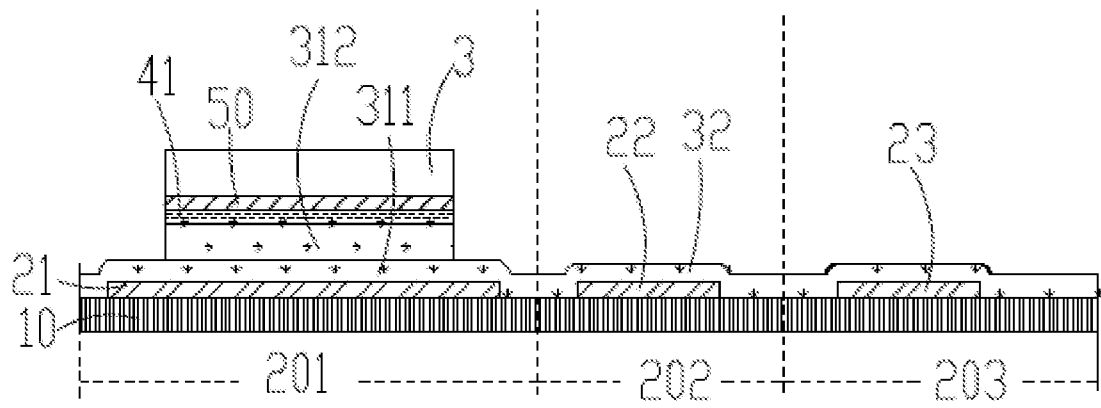


图 31

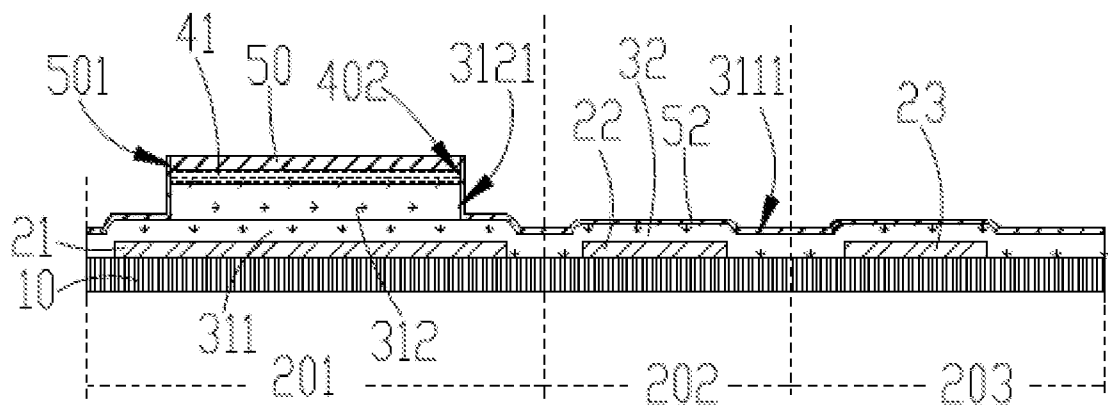


图 32

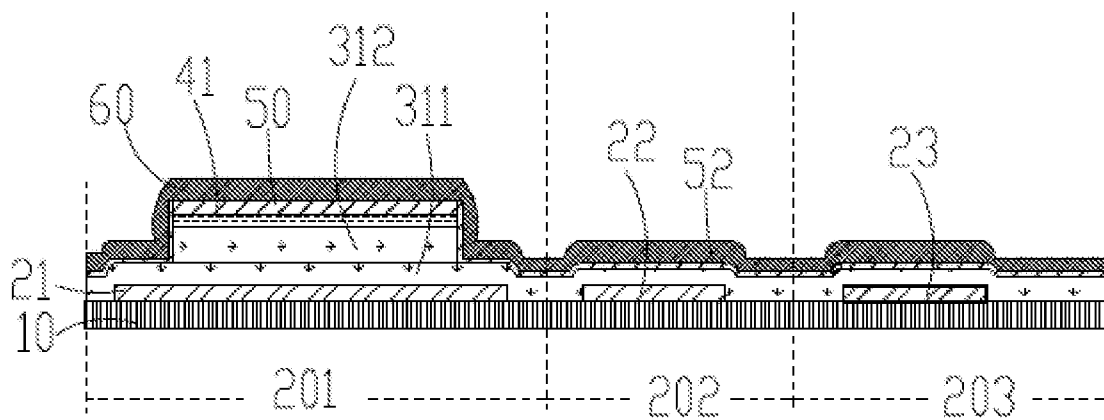


图 33

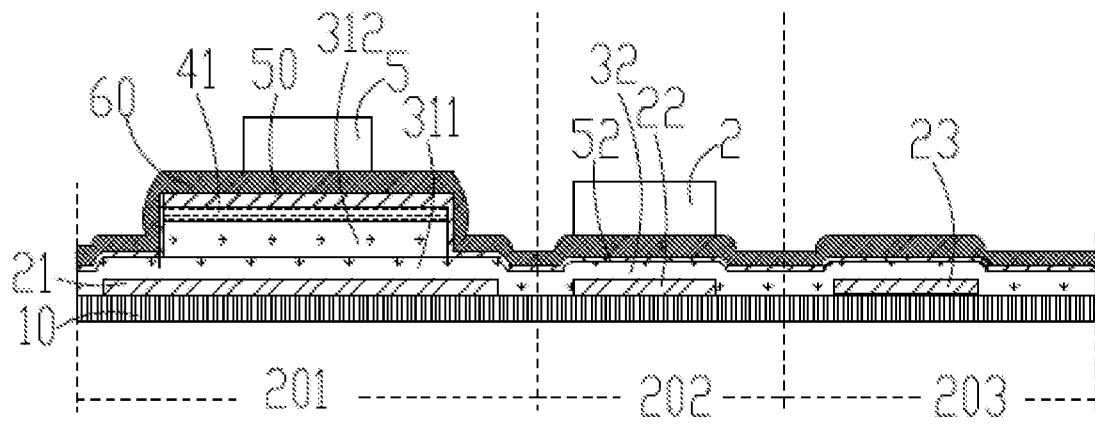


图 34

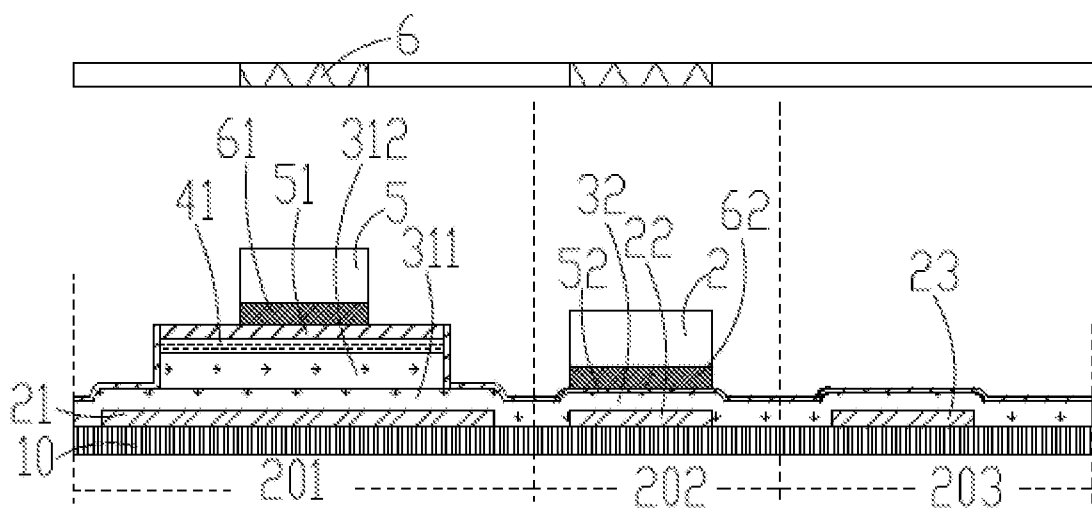


图 35

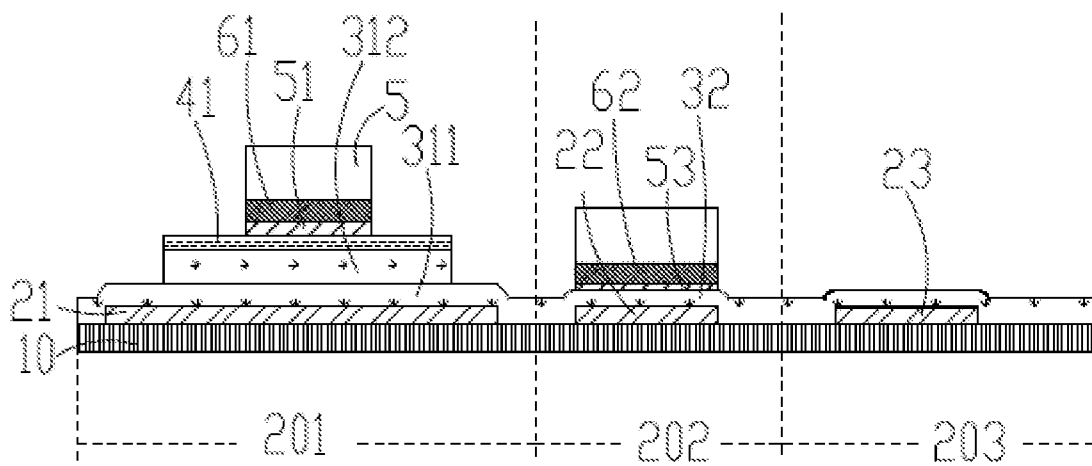


图 36

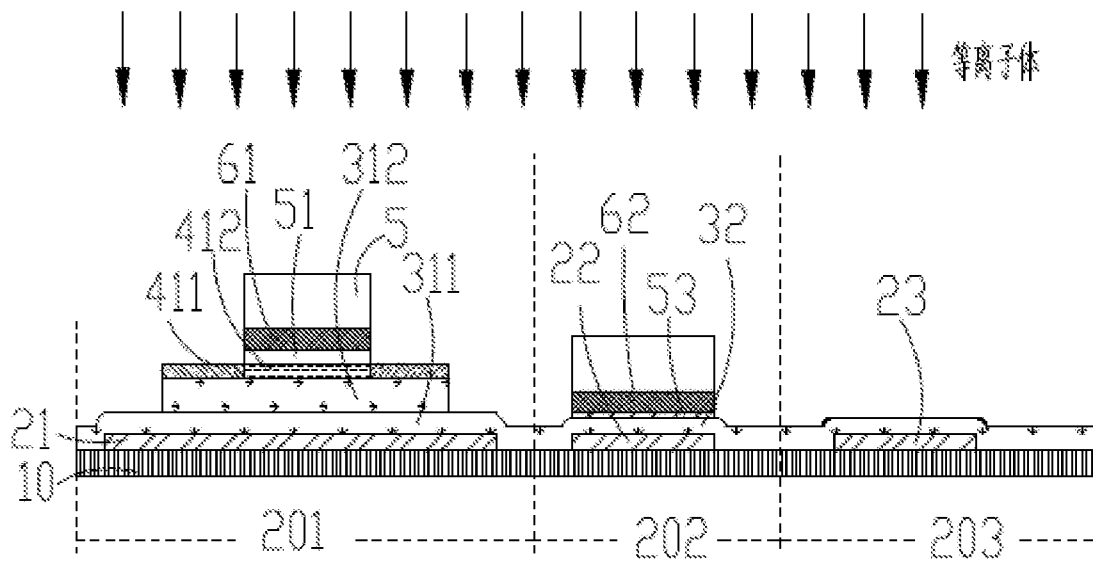


图 37

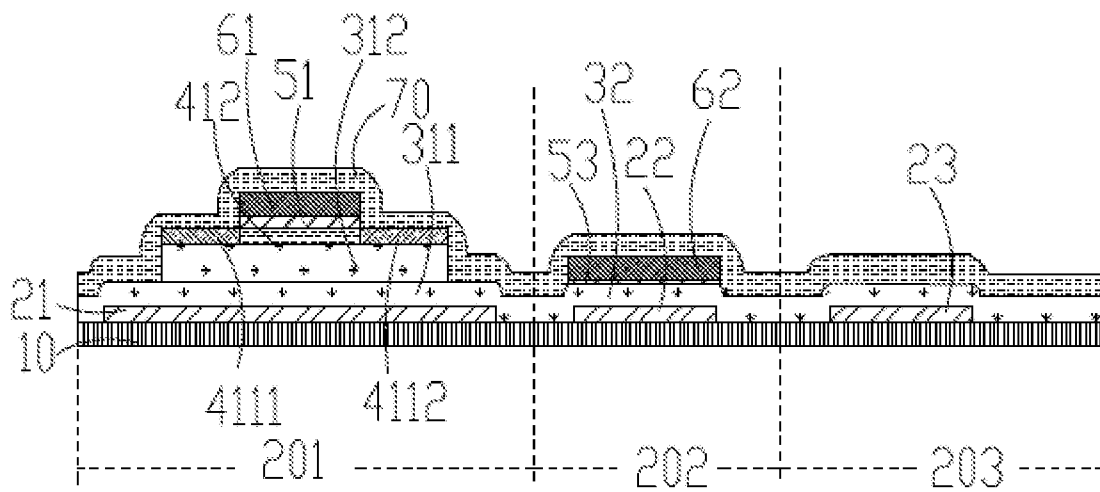


图 38

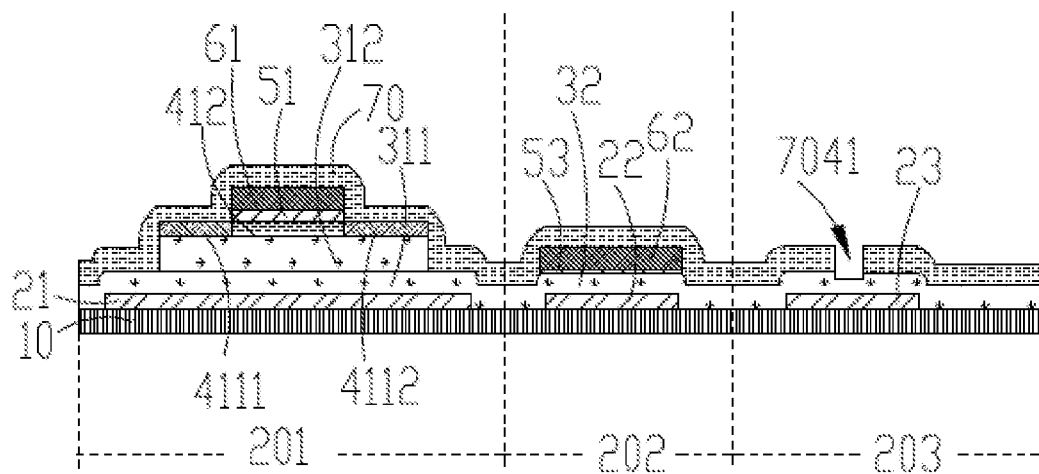


图 39

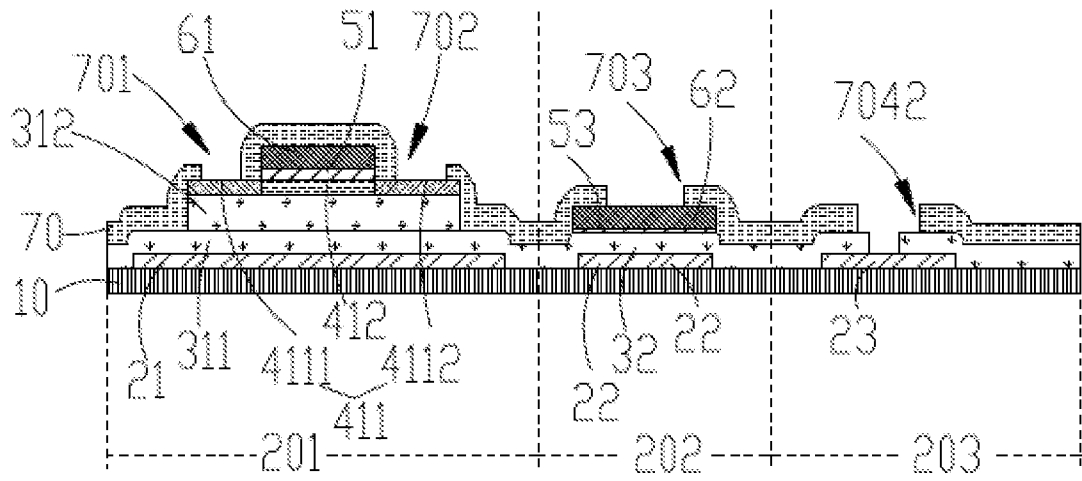


图 40

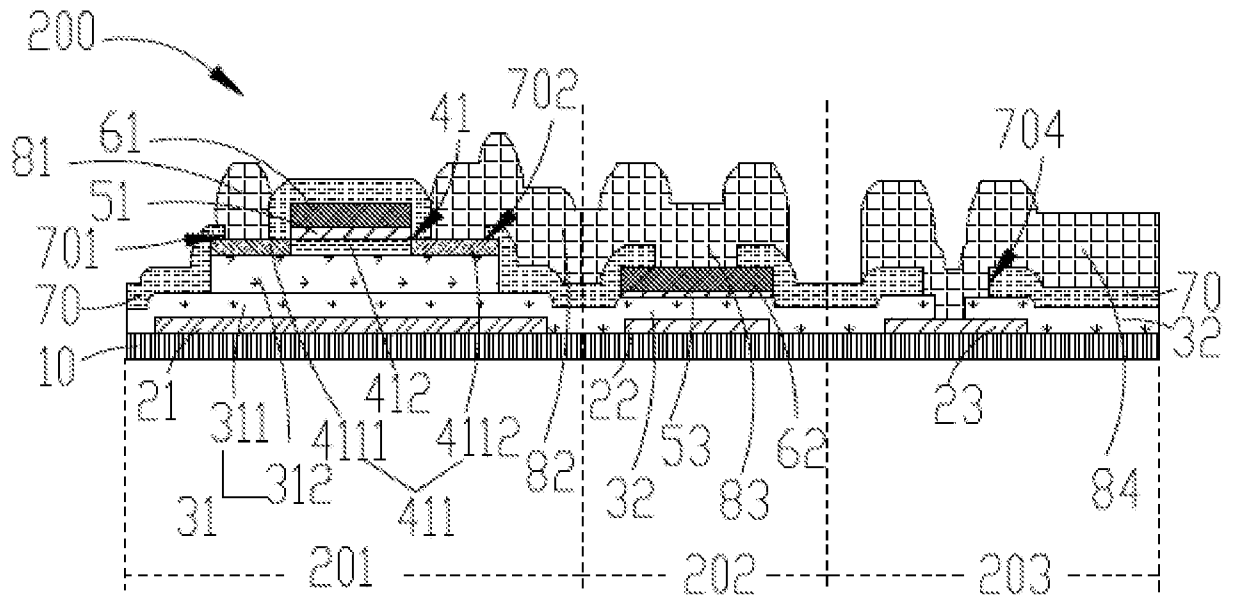


图 41

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/094557

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 21/77(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, CNABS, CNKI, SIPOABS: 薄膜晶体管, 栅绝缘, 栅极绝缘, 栅介电, 栅极介电, 层, 膜, 掩模, 掩膜, 有源层, 半导体层, TFT?, gate, insulating, dielectric, layer, film, mask+, active, semiconductor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102522410 A (SHENZHEN LAIBAO HI-TECH CO., LTD.) 27 June 2012 (2012-06-27) description, paragraphs [0019]-[0032], and figures 1a-1j	1-15
A	CN 104752344 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 01 July 2015 (2015-07-01) entire document	1-15
A	CN 104733382 A (KUNSHAN NEW FLAT PANEL DISPLAY TECHNOLOGY CENTER CO., LTD. ET AL.) 24 June 2015 (2015-06-24) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

01 April 2019

Date of mailing of the international search report

12 April 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/094557

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102522410	A	27 June 2012	CN	102522410	B	02 March 2016
CN	104752344	A	01 July 2015	US	9876037	B2	23 January 2018
				WO	2016173027	A1	03 November 2016
				US	2018097020	A1	05 April 2018
				US	2016315105	A1	27 October 2016
CN	104733382	A	24 June 2015	None			

国际检索报告

国际申请号

PCT/CN2018/094557

A. 主题的分类

H01L 29/786(2006.01)i; H01L 21/77(2017.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI, CNABS, CNKI, SIPOABS: 薄膜晶体管, 栅绝缘, 栅极绝缘, 栅介电, 栅极介电, 层, 膜, 掩模, 掩膜, 有源层, 半导体层, TFT?, gate, insulating, dielectric, layer, film, mask+, active, semiconductor

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102522410 A (深圳莱宝高科技股份有限公司) 2012年 6月 27日 (2012 - 06 - 27) 说明书第[0019]段-第[0032]段, 及附图1a-1j	1-15
A	CN 104752344 A (深圳市华星光电技术有限公司) 2015年 7月 1日 (2015 - 07 - 01) 全文	1-15
A	CN 104733382 A (昆山工研院新型平板显示技术中心有限公司 等) 2015年 6月 24日 (2015 - 06 - 24) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 4月 1日

国际检索报告邮寄日期

2019年 4月 12日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

周江

传真号 (86-10)62019451

电话号码 86-(010)-62411586

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/094557

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102522410	A	2012年 6月 27日	CN	102522410	B	2016年 3月 2日
CN	104752344	A	2015年 7月 1日	US	9876037	B2	2018年 1月 23日
				WO	2016173027	A1	2016年 11月 3日
				US	2018097020	A1	2018年 4月 5日
				US	2016315105	A1	2016年 10月 27日
CN	104733382	A	2015年 6月 24日	无			