

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-190802

(P2006-190802A)

(43) 公開日 平成18年7月20日(2006.7.20)

(51) Int. Cl.

H05K 3/46 (2006.01)

F I

H05K 3/46

Q

テーマコード (参考)

5E346

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願2005-1191 (P2005-1191)

(22) 出願日 平成17年1月6日(2005.1.6)

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(74) 代理人 110000017

特許業務法人アイテック国際特許事務所

(72) 発明者 呉 有紅

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北事業場内

Fターム(参考) 5E346 AA43 AA60 CC04 CC09 CC32

DD12 FF45 HH17

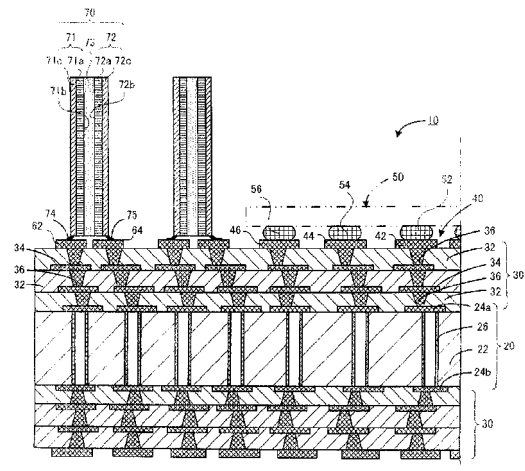
(54) 【発明の名称】 多層プリント配線板

(57) 【要約】

【課題】 キャパシタンス素子の実装面積の小さい多層プリント配線板を提供する。

【解決手段】 この多層プリント配線板10では、キャパシタンス素子70は半導体素子50が実装される面に対して電極面71b、72bが略鉛直となるように立設して実装されている。これにより、従来のようにキャパシタンス素子70が面実装される場合に比べ、キャパシタンス素子70の1個当たりの実装面積を減少させることができる。従って、同じ数のキャパシタンス素子70であれば多層プリント配線板を小型化することができる。また、従来と同じ多層プリント配線板10の大きさであれば、より多くのキャパシタンス素子70を実装することができる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体素子と、該半導体素子の周囲に搭載され一对の電極板の電極面が高誘電体を挟むように構成されているキャパシタンス素子とが電気配線を介して接続されている多層プリント配線板であって、

前記キャパシタンス素子は、前記半導体素子を実装される面に対して前記電極面が略鉛直となるように立設して実装されている、

多層プリント配線板。

## 【請求項 2】

前記電極板は、前記電気配線を介して前記半導体素子から伝導してきた熱を該電極板の外面から放熱する、

請求項 1 に記載の多層プリント配線板。

## 【請求項 3】

前記電極板は、該電極板の外面に放熱フィンを有している、

請求項 2 に記載の多層プリント配線板。

## 【請求項 4】

前記電極板は、前記高誘電体と接する電極板本体と、該電極板本体の外面に接する金属板とを備えている、

請求項 1 ～ 3 のいずれかに記載の多層プリント配線板。

## 【請求項 5】

前記キャパシタンス素子は、複数実装されており、

該複数実装されたキャパシタンス素子は、前記一对の電極板のうち同極の電極板同士が金属連結板により連結されている、

請求項 1 ～ 4 のいずれかに記載の多層プリント配線板。

## 【請求項 6】

前記キャパシタンス素子は、前記半導体素子が多角形の時、該半導体素子の外周縁のうち直近に位置する辺と前記電極面とが略平行になるように実装されている、

請求項 1 ～ 5 のいずれかに記載の多層プリント配線板。

## 【請求項 7】

前記キャパシタンス素子は、前記半導体素子が多角形の時、該半導体素子の外周縁のうち直近に位置する辺と前記電極面とが略平行で且つ前記辺に沿った長さが該辺と略同じ又はそれ以上である、

請求項 6 に記載の多層プリント配線板。

## 【請求項 8】

前記キャパシタンス素子は、前記半導体素子が多角形の時、該半導体素子の外周縁のうち直近に位置する辺と前記電極面とが略直角になるように実装されている、

請求項 1 ～ 5 のいずれかに記載の多層プリント配線板。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体素子と、該半導体素子の周囲に搭載され一对の電極板の電極面が高誘電体を挟むように構成されているキャパシタンス素子とが電気配線を介して接続されている多層プリント配線板に関する。

## 【背景技術】

## 【0002】

従来より、半導体素子と、該半導体素子の周囲に搭載され一对の電極板の電極面が高誘電体を挟むように構成されているキャパシタンス素子とが電気配線を介して接続されている多層プリント配線板の構造が種々提案されている。例えば、この種の多層プリント配線板では、実装されている半導体素子が高速にオンオフされるとスイッチングノイズが発生して電源ラインの電位が瞬時に低下することがあるが、このような電位の瞬時低下を抑え

10

20

30

40

50

るために半導体素子を実装する面と同じ面にキャパシタンス素子を実装することが提案されている（例えば特許文献1参照）。このキャパシタンス素子を実装した多層プリント配線板によれば、電源ラインとグランドラインとの間にキャパシタンス素子を接続してデカップリングするため、スイッチングノイズの発生や電源ラインの電位の低下を抑制することができる。

【特許文献1】特開2001-144207号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、上述のキャパシタンス素子を実装した多層プリント配線板では、キャパシタンス素子はその電極面と多層プリント配線板とが平行になるように実装される（つまり面実装される）ため、キャパシタンス素子1個当たりの実装面積が大きくなってしまう。近年、半導体素子のオンオフの周波数が数GHz～数十GHzと高く電位の瞬時低下が起きやすい状況下では、キャパシタンス素子の容量を大きくして十分なデカップリング効果を得ることが考えられるが、多層プリント配線板を従来通りの大きさとすれば、キャパシタンス素子の実装数が限られてしまうため容量を十分大きくできないという問題があり、キャパシタンス素子の実装数を増やそうとすれば、多層プリント配線板が大型化するという問題があった。また、実装される半導体素子の高速化に伴い半導体素子に供給すべき電流量が大きくなるため半導体素子から発熱してしまい、半導体素子が誤動作するという問題があった。

【0004】

本発明は、このような問題を解決するためになされたものであり、キャパシタンス素子1個当たりの実装面積を減少させることを目的の一つとする。また、半導体素子からの発熱による半導体素子の誤動作を防止することを目的の一つとする

【課題を解決するための手段】

【0005】

本発明は、上述の目的の少なくとも一部を達成するために以下の手段を採った。

【0006】

即ち、本発明の多層プリント配線板は、

半導体素子と、該半導体素子の周囲に搭載され一対の電極板の電極面が高誘電体を挟むように構成されているキャパシタンス素子とが電気配線を介して接続されている多層プリント配線板であって、

前記キャパシタンス素子は、前記半導体素子を実装される面に対して前記電極面が略鉛直となるように立設して実装されている、

ものである。

【0007】

この多層プリント配線板では、キャパシタンス素子は半導体素子を実装される面に対して電極面が略鉛直となるように立設して実装される。こうすれば、従来のようにキャパシタンス素子が面実装される場合に比べ、キャパシタンス素子1個当たりの実装面積を減少させることができるため、同じ数のキャパシタンス素子であれば多層プリント配線板を小型化することができる。また、従来と同じ多層プリント配線板の大きさであれば、より多くのキャパシタンス素子を実装することができる。

【0008】

本発明の多層プリント配線板において、前記電極板は、前記電気配線を介して前記半導体素子から伝導してきた熱を該電極板の外面から放熱してもよい。キャパシタンス素子は立設されているため、面実装される場合に比べてキャパシタンス素子の電極板の外面が外気と接触する面積は大きくなる。このため、半導体素子から発生した熱は電気配線を伝導して電極板の外面から効率よく放熱され、この熱による半導体素子の誤動作を防止することができる。ここで、前記電極板は、その外面に放熱フィンを有していてもよい。こうすれば、電極板の外面と外気とが接触する面積は増加するため、電極板から効率よく放熱さ

10

20

30

40

50

せることができる。

#### 【0009】

本発明の多層プリント配線板において、前記電極板は、前記高誘電体と接する電極板本体と、該電極板本体の外面に接する金属板とを備えていてもよい。こうすれば、キャパシタンス素子の熱容量が大きくなるため、半導体素子で発生したより多くの熱を電気配線を介してキャパシタンス素子へと伝導することができる。

#### 【0010】

本発明の多層プリント配線板において、前記キャパシタンス素子は、複数実装されており、該複数実装されたキャパシタンス素子は、前記一对の電極板のうち同極の電極板同士が金属連結板により連結されていてもよい。こうすれば、一枚の金属連結板が複数のキャパシタンス素子の電極板と接続されるため、キャパシタンス素子同士が間隔をあけて配置されているときには、個々のキャパシタンス素子の電極板に金属板を接続するときと比べて大きな面積の金属連結板を用いることができ、これにより半導体素子で発生した熱を効率的に放熱させることができる。

#### 【0011】

本発明の多層プリント配線板において、前記キャパシタンス素子は、前記半導体素子が多角形のとき、該半導体素子の外周縁のうち直近に位置する辺と前記電極面とが平行になるように実装されていてもよい。こうすれば、例えば、半導体素子の外周縁に対して電極面が平行となる方向に細長いスペースしかあいていない場合でも、このスペースにキャパシタンス素子を実装することができる。ここで、前記キャパシタンス素子は、前記半導体素子が多角形のとき、該半導体素子の外周縁のうち直近に位置する辺と前記電極面とが略平行で且つ前記辺に沿った長さが該辺と略同じ又はそれ以上であってもよい。こうすれば、該辺よりも短いものを複数実装する場合と比べて、キャパシタンス素子の静電容量を小さくすることなくキャパシタンス素子の部品数を減少させることができる。

#### 【0012】

本発明の多層プリント配線板において、前記キャパシタンス素子は、前記半導体素子が多角形のとき、該半導体素子の外周縁のうち直近に位置する辺と前記電極面とが略直角になるように実装されていてもよい。こうすれば、例えば、半導体素子の外周縁に対して電極面が直角となる方向に細長いスペースしかあいていない場合でも、このスペースにキャパシタンス素子を実装することができる。

#### 【発明を実施するための最良の形態】

#### 【0013】

次に、本発明の実施の形態を図面に基づいて説明する。図1は本発明の一実施形態である多層プリント配線板10の縦断面図（中心線の左側のみ示す）、図2はこの多層プリント配線板10の平面図である。本実施形態の多層プリント配線板10は、図1に示すように、表裏面に形成された導体層24a、24b同士をスルーホール導体26を介して電氣的に接続するコア基板20と、このコア基板20の上面にて樹脂絶縁層32を挟んで複数積層された導体層34同士をバイヤホール導体36を介して電氣的に接続することによって形成されたビルドアップ部30と、ビルドアップ部30の最表層にパターン化された導体層であって半導体素子50を実装する実装部40と、この実装部40の周囲に設けられたキャパシタンス素子配置領域60と、キャパシタンス素子配置領域60に実装されたキャパシタンス素子70とを備えている。

#### 【0014】

コア基板20は、BT（ビスマレイミドートリアジン）樹脂やガラスエポキシ樹脂等からなるコア基板本体22の表裏両面に銅により導体パターンが形成された導体層24a、24bと、コア基板本体22の表裏を貫通するスルーホールの内周面を銅めっきすることにより形成されたスルーホール導体26とを有しており、両導体層24a、24bはスルーホール導体26を介して電氣的に接続されている。

#### 【0015】

ビルドアップ部30は、コア基板20の表裏両面に樹脂絶縁層32と導体層34とを交

10

20

30

40

50

互に積層したものであり、各導体層 3 4 は樹脂絶縁層 3 2 の表裏を貫通するバイアホール導体 3 6 を介して電氣的に接続されている。このようなビルドアップ部 3 0 は、周知のサブトラクティブ法（パネルめっき法やパターンめっき法）やアディティブ法（セミアディティブ法やフルアディティブ法）により形成されるが、例えば以下のようにして形成される。即ち、まず、コア基板 2 0 の表裏両面に片面を銅箔で覆った樹脂シートを銅箔が上面になるように貼り付ける。続いて、銅箔表面を黒化処理した後に炭酸ガスレーザや UV レーザ、YAG レーザ、エキシマレーザなどにより銅箔及び樹脂シートを貫通するバイアホールを形成する。次に、この銅箔及びバイアホール内部を無電解銅めっきした後に電解銅めっきを行う。ここで、銅めっきされたバイアホール内部がバイアホール導体 3 6 となる。そして、銅めっきされた銅箔の表面に導体パターンと同じパターンを持つエッチングレジストを作成し、これをエッチング液で処理した後にエッチングレジストを剥離する。すると、樹脂絶縁層 3 2 の表面に導体パターンの形成された導体層 3 4 が作成される。あとは、この手順を繰り返すことによりビルドアップ部 3 0 が形成される。

10

20

30

40

50

#### 【0016】

実装部 4 0 は、半導体素子 5 0 を実装する領域であり、ビルドアップ部 3 0 の最表面に形成されている。この実装部 4 0 には、電源用パッド 4 2、グランド用パッド 4 4、シグナル用パッド 4 6 が格子状又は千鳥状に配列されており（図 2 参照）、各電源用パッド 4 2 は導体層 3 4 やバイアホール導体 3 6、スルーホール導体 2 6 を介して外部電源の正極に接続され、各グランド用パッド 4 4 は同様にして外部電極の負極に接続される。また、各シグナル用パッド 4 6 は、導体層 3 4 やバイアホール導体 3 6、スルーホール導体 2 6 を介して信号の伝達を行う。そして、実装部 4 0 の周囲には、キャパシタンス素子配置領域 6 0（図 2 参照）が複数形成されている。このキャパシタンス素子配置領域 6 0 には、キャパシタンス素子 7 0 を実装するための電源用パッド 6 2 及びグランド用パッド 6 4 が複数対形成されており、各電源用パッド 6 2 は導体層 3 4 やバイアホール導体 3 6、スルーホール導体 2 6 を介して外部電源の正極に接続され、各グランド用パッド 6 4 は同様にして外部電源の負極に接続される。また、電源用パッド 6 2、グランド用パッド 6 4 は、それぞれ半導体素子を実装する電源用パッド 4 2、グランド用パッド 4 4 と電氣的に接続されている。

#### 【0017】

キャパシタンス素子 7 0 は、セラミック系の高誘電体材料を高温で焼成した高誘電体 7 3 と、この高誘電体 7 3 を挟むプラス極側の電極板 7 1 及びマイナス極側の電極板 7 2 とで構成される。このプラス極側の電極板 7 1 は、高誘電体 7 3 と接するスズめっき製のプラス極側の電極板本体 7 1 a と、プラス極側の電極板本体 7 1 a の外面にはんだや導電性ペースト等により電氣的に接続されたプラス極側の金属板 7 1 c とを備え、マイナス極側の電極板 7 2 は、高誘電体 7 3 と接するスズめっき製のマイナス極側の電極板本体 7 2 a と、マイナス極側の電極板本体 7 2 a の外面にはんだや導電性ペースト等により電氣的に接続されたマイナス極側の金属板 7 2 c とを備えている。また、プラス極側の電極板 7 1 及びマイナス極側の電極板 7 2 には、電源用リード線 7 4 及びグランド用リード線 7 5 が取り付けられている。そして、多層プリント配線板 1 0 への実装は、電源用リード線 7 4 とグランド用リード線 7 5 をそれぞれキャパシタンス素子配置領域 6 0 の電源用パッド 6 2 とグランド用パッド 6 4 にはんだで接合することによって行われる。このとき、キャパシタンス素子 7 0 は、図 1 及び図 2 に示すように、キャパシタンス素子 7 0 の電極面 7 1 b、7 2 b が多層プリント配線板 1 0 に対して略鉛直になるよう立設し、且つ電極面 7 1 b、7 2 b が半導体素子 5 0 の外周縁のうち直近に位置する辺と略平行になるように実装される。具体的には、図 2 において半導体素子 5 0 の左側に並設されたキャパシタンス素子 7 0 のうち右側に位置するキャパシタンス素子 7 0 A を例に挙げると、キャパシタンス素子 7 0 A は、半導体素子 5 0 の外周縁のうちキャパシタンス素子 7 0 A の直近に位置する辺 5 0 a とキャパシタンス素子 7 0 A の電極面 7 1 b、7 2 b とが略平行になるように実装される。また、本実施形態では、キャパシタンス素子 7 0 A は、半導体素子 5 0 の外周縁のうち直近に位置する辺 5 0 a と電極面 7 1 a、7 1 b とが略平行に配置されたとき

に該辺 50a に沿った長さが該辺 50a よりも長くなるよう構成されている。なお、金属板 71c, 72c の外周面のうち外気と接触する面は図示しない絶縁被膜で覆われていてもよい。

#### 【0018】

次に、このように構成された多層プリント配線板 10 の使用例について以下に説明する。まず、裏面に多数のはんだバンプが配列された半導体素子 50 を実装部 40 に載置する。このとき、半導体素子 50 の電源用バンプ 52、グランド用バンプ 54、信号用バンプ 56 をそれぞれ実装部 40 の電源用パッド 42、グランド用パッド 44、信号用パッド 46 と接触させる。その後、リフローにより各バンプと各パッドとを接合する。そして、多層プリント配線板 10 をマザーボード等の他のプリント配線板に接合する。このとき、例えば、予め多層プリント配線板 10 の裏面に形成されたパッドにはんだバンプを形成しておき、他のプリント配線板上の対応するパッドと接触させた状態でリフローにより接合してもよい。また、ピン接合により多層プリント配線板 10 を他のプリント配線板に接合してもよい。

10

#### 【0019】

以上詳述した多層プリント配線板 10 によれば、キャパシタンス素子 70 は、半導体素子 50 が実装される面に対して電極面 71b, 72b が略鉛直になるように立設して実装されるため、従来のようにキャパシタンス素子 70 が面実装される場合に比べ、キャパシタンス素子 70 の 1 個当たりの実装面積を減少させることができ、この結果、同じ数のキャパシタンス素子 70 であれば多層プリント配線板 10 を小型化することができる。また、従来と同じ多層プリント配線板 10 の大きさであれば、より多くのキャパシタンス素子 70 を実装することができる。

20

#### 【0020】

また、キャパシタンス素子 70 は立設して実装されているため、プラス極側の電極板 71 及びマイナス極側の電極板 72 の外面が外気と接触する面積は、キャパシタンス素子 70 が面実装される場合に比べて大きくなる。この結果、半導体素子 50 へ供給する電気量が増加して半導体素子 50 から発熱したとしても、この熱は導体層 34 やバイアホール導体 36 などを伝導してプラス極側の電極板 71 及びマイナス極側の電極板 72 の外面から効率よく放熱させることができ、この熱による半導体素子 50 の誤動作を防止することができる。

30

#### 【0021】

更に、プラス極側の電極板本体 71a の外面とマイナス極側の電極板本体 72a の外面は、それぞれプラス極側の金属板 71c とマイナス極側の金属板 72c と電気的に接続されているため、キャパシタンス素子 70 の熱容量は大きくなり、この結果、プラス極側の金属板 71c 及びマイナス極側の金属板 72c を用いない場合に比べてより多くの熱を半導体素子 50 からキャパシタンス素子 70 へと伝導させることができる。特に、3~20 GHz で高速駆動する半導体素子 50 を実装したときには多くの熱が発生するため、本発明を適用する意義が高い。

#### 【0022】

更にまた、キャパシタンス素子 70 は、キャパシタンス素子 70 を立設して実装することによって実装面積が小さくなる反面キャパシタンス素子 70 の高さが高くなるため、キャパシタンス素子 70 を面実装する場合に比べて不安定となることも考えられるが、本実施形態では、プラス極側の電極板本体 71a とマイナス極側の電極板本体 72a がプラス極側の金属板 71c とマイナス極側の金属板 72c によって挟まれていることから、プラス極側の金属板 71c 及びマイナス極側の金属板 72c が支持板としての役割を果たし、立設しているキャパシタンス素子 70 を安定させることができる。

40

#### 【0023】

そして、キャパシタンス素子 70 は立設して実装されるため、キャパシタンス素子 70 の高さを高くすれば、実装面積を増加することなくキャパシタンス素子 70 の静電容量を大きくすることができる。

50

## 【0024】

そしてまた、キャパシタンス素子70は、半導体素子50の外周縁のうち電極面71b, 72bと略平行であって且つ直近に位置する辺に沿った長さが該辺よりも長いために、直近に位置する辺よりも短いものを複数実装する場合と比べ、キャパシタンス素子70の静電容量を小さくすることなくキャパシタンス素子70の部品数を減少させることができる。

## 【0025】

なお、本発明は上述した実施形態に何ら限定されることはなく、本発明の技術的範囲に属する限り種々の態様で実施しうることはいうまでもない。

## 【0026】

例えば、上述した実施形態の多層プリント配線板10では図1及び図2の多層プリント配線板10を採用したが、図3及び図4の多層プリント配線板10を採用してもよい。つまり、図3及び図4の多層プリント配線板10では、プラス極側の電極板171は、外面に放熱フィンを有するプラス極側の電極板本体171aと、放熱フィンに密着するようにプラス極側の電極板本体171aの外面にはんだや導電性ペースト等で電氣的に接続されているプラス極側の金属板171cとで構成され、マイナス極側の電極板172は、外面に放熱フィンを有するマイナス極側の電極板本体172aと、放熱フィンに密着するようにマイナス極側の電極板本体172aの外面にはんだや導電性ペースト等で電氣的に接続されているマイナス極側の金属板172cとで構成されている。こうすれば、プラス極側の電極板171及びマイナス極側の電極板172の外面は放熱フィンを有しているため、  
20 プラス極側の電極板171及びマイナス極側の電極板172の外面と外気とが接触する面積は増加し、半導体素子50で発生した熱をプラス極側の電極板171及びマイナス極側の電極板172の外面から効率よく放熱させることができる。ここで、図5に示すように、  
30 プラス極側の電極板本体171a及びマイナス極側の電極板本体172aの代わりにプラス極側の電極板本体271a及びマイナス極側の電極板本体272aを用いてもよい。即ち、図5の多層プリント配線板10では、プラス極側の電極板本体271a及びマイナス極側の電極板本体272aの外面には放熱フィンを設けず、プラス極側の金属板271c及びマイナス極側の金属板272cの外面にのみ放熱フィンを設ける。こうすれば、電極板本体の外面に放熱フィンを設けなくてもプラス極側の電極板271及びマイナス極側の電極板272の外面と外気とが接触する面積を増加させることができ、半導体素子50  
30 で発生した熱をプラス極側の電極板271及びマイナス極側の電極板272の外面から効率よく放熱させることができる。

## 【0027】

また、上述した実施形態の多層プリント配線板10では、キャパシタンス素子70Aは半導体素子50の外周縁のうち直近に位置する辺50aと電極面71b, 72bとが平行になるように実装されたが、図6に示すように、半導体素子50の外周縁のうち直近に位置する辺50aと電極面71b, 72bとが略直角になるように実装されていてもよい。

## 【0028】

更に、上述した実施形態では、キャパシタンス素子70が同列に1つ実装されている場合を例示したが、図7に示すように、キャパシタンス素子70が同列に複数実装されている場合には、これらのキャパシタンス素子70のプラス極側の電極板71の外面同士がプラス極側の金属連結板81により連結され、マイナス極側の電極板72の外面同士がマイナス極側の金属連結板82により連結されていてもよい。こうすれば、それぞれ一枚のプラス極側の金属連結板81及びマイナス極側の金属連結板82は同列にある複数のキャパシタンス素子70と接続されるため、キャパシタンス素子70同士が同列に間隔をあけて配置されているときには、個々のキャパシタンス素子70の電極板に金属板を接続するときと比べて大きな面積の金属連結板を用いることができ、これにより半導体素子50で発生した熱を効率的に放熱させることができる。また、プラス極側の金属連結板81及びマイナス極側の金属連結板82は、その外面に放熱フィンを有していてもよい。こうすれば、  
40 プラス極側の金属連結板81及びマイナス極側の金属連結板82の外面と外気とが接触  
50

する面積が増加し、半導体素子 50 で発生した熱をプラス極側の金属連結板 81 及びマイナス極側の金属連結板 82 の外面から効率よく放熱させることができる。

#### 【0029】

更に、上述した実施形態では、キャパシタンス素子 70 は半導体素子 50 の外周縁と向かい合う一部の領域に配置されたが、図 8 に示すように半導体素子 50 を取り囲むように配置されていてもよい。

#### 【0030】

更にまた、上述した実施形態では、キャパシタンス素子 70A が半導体素子 50 の外周縁のうち直近に位置する辺 50a と電極面 71b, 72b とを略平行にするように実装されている場合に、キャパシタンス素子 70A は半導体素子 50 の外周縁のうち直近に位置する辺 50a に沿った長さが該辺 50a よりも長いものであったが、図 9 に示すように、直近に位置する辺 50a と略同じ長さ又はそれ以下のものを複数実装してもよい。

#### 【0031】

そして、上述した実施形態では、プラス極側の電極板 71 はプラス極側の電極板本体 71a 及びプラス極側の金属板 71c から構成され、マイナス極側の電極板 72 はマイナス極側の電極板本体 72a 及びマイナス極側の金属板 72c から構成されたが、それぞれプラス極側の電極板本体 71a とマイナス極側の電極板本体 72a のみから構成されていてもよい。

#### 【0032】

そしてまた、上述した実施形態では、プラス極側の金属板 71c に電源用リード線 74 を設け、マイナス極側の金属板 72c にグランド用リード線 75 を設けたが、プラス極側の電極板本体 71a とマイナス極側の電極板本体 72a に設けてもよいし、プラス極側の金属板 71c 及びプラス極側の電極板本体 71a とマイナス極側の金属板 72c 及びマイナス極側の電極板本体 72a の両方に設けてもよい。

#### 【図面の簡単な説明】

#### 【0033】

【図 1】多層プリント配線板 10 の断面図である。

【図 2】多層プリント配線板 10 の平面図である。

【図 3】他の多層プリント配線板 10 の断面図である。

【図 4】他の多層プリント配線板 10 の平面図である。

【図 5】他の多層プリント配線板 10 の平面図である。

【図 6】他の多層プリント配線板 10 の平面図である。

【図 7】他の多層プリント配線板 10 の平面図である。

【図 8】他の多層プリント配線板 10 の平面図である。

【図 9】他の多層プリント配線板 10 の平面図である。

#### 【符号の説明】

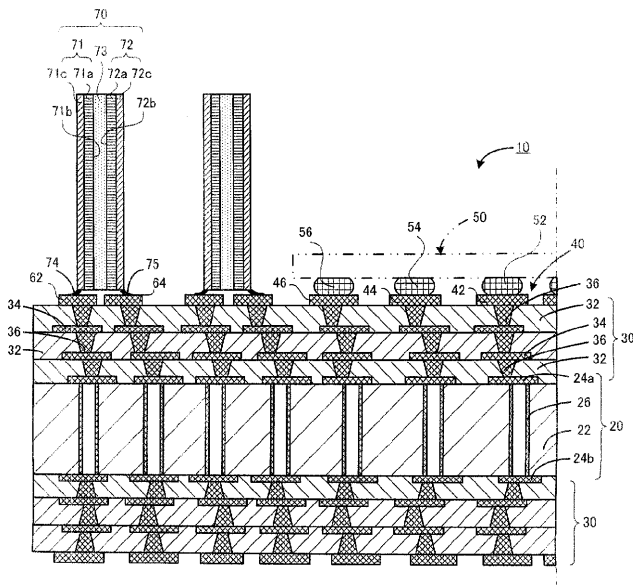
#### 【0034】

10 多層プリント配線板、20 コア基板、22 コア基板本体、24a, 24b 導体層、26 スルーホール導体、30 ビルドアップ部、32 樹脂絶縁層、34 導体層、36 バイアホール導体、40 実装部、42 電源用パッド、44 グランド用パッド、46 信号用パッド、50 半導体素子、50a 半導体素子の辺、52 電源用パンプ、54 グランド用パンプ、56 信号用パンプ、60 キャパシタンス素子配置領域、62 電源用パッド、64 グランド用パッド、70, 70A キャパシタンス素子、71 プラス極側の電極板、71a プラス極側の電極板本体、71b 電極面、71c プラス極側の金属板、72 マイナス極側の電極板、72a マイナス極側の電極板本体、72b 電極面、72c マイナス極側の金属板、73 高誘電体、74 電源用リード線、75 グランド用リード線、81 プラス極側の金属連結板、82 マイナス極側の金属連結板、171 プラス極側の電極板、171a プラス極側の電極板本体、171b 電極面、171c プラス極側の金属板、172 マイナス極側の電極板、172a マイナス極側の電極板本体、172b 電極面、172c マイナス極側の金

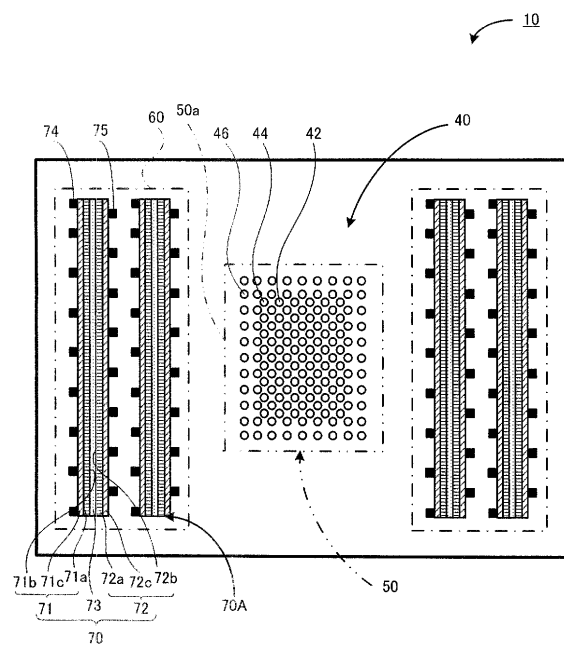


属板、１７３ 高誘電体、１７４ 電源用リード線、１７５ グランド用リード線、２７  
１ プラス極側の電極板、２７１ a プラス極側の電極板本体、２７１ b 電極面、２  
１ c プラス極側の金属板、２７２ マイナス極側の電極板、２７２ a マイナス極側の  
電極板本体、２７２ b 電極面、２７２ c マイナス極側の金属板、２７３ 高誘電体、  
２７４ 電源用リード線、２７５ グランド用リード線。

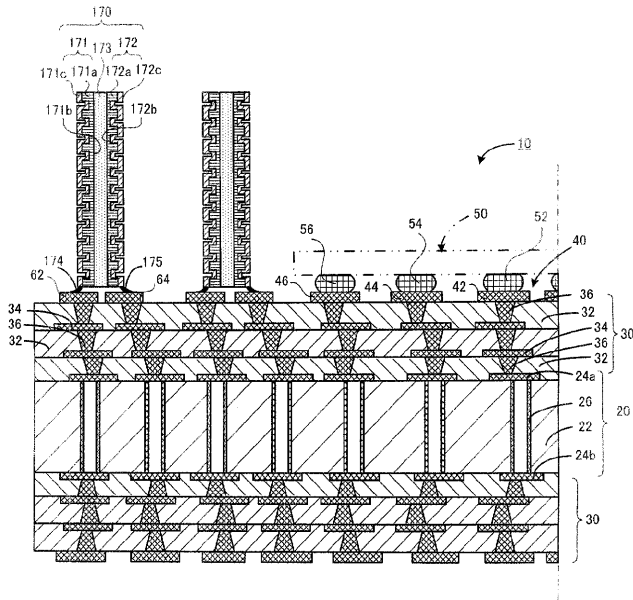
【図 1】



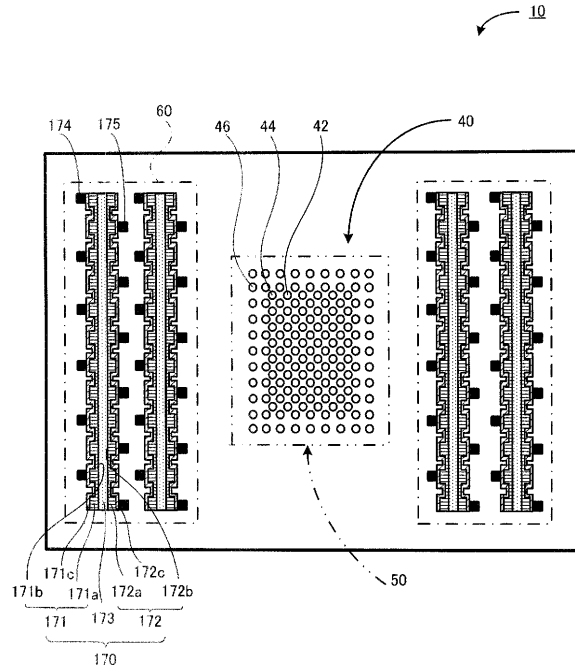
【図 2】



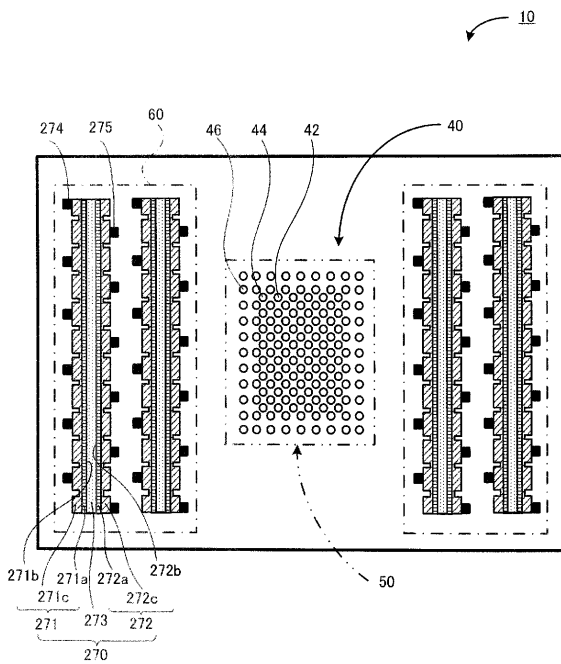
【図 3】



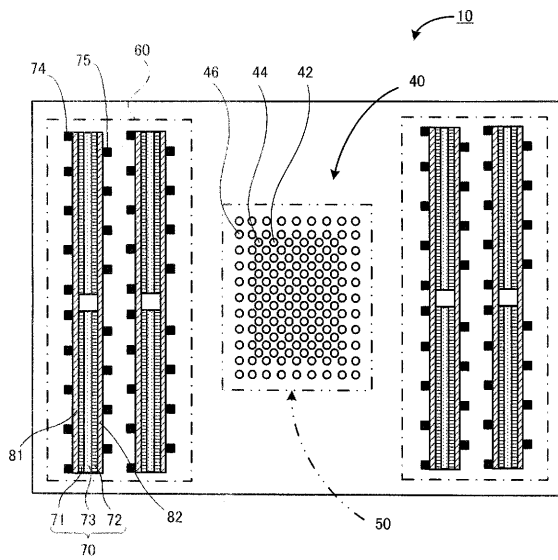
【図 4】



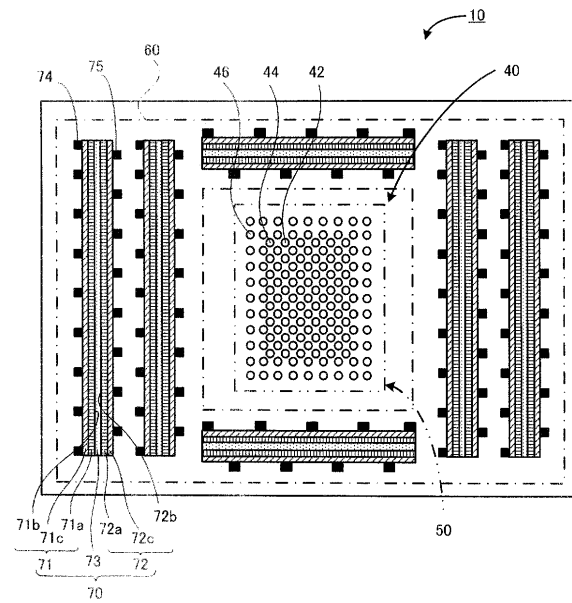
【図 5】



【図 7】



【図 8】



【図 9】

