



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월19일
(11) 등록번호 10-1698198
(24) 등록일자 2017년01월13일

(51) 국제특허분류(Int. Cl.)
G06K 19/07 (2006.01) G06K 7/10 (2006.01)
(52) CPC특허분류
G06K 19/0723 (2013.01)
G06K 7/10009 (2013.01)
(21) 출원번호 10-2015-0132696
(22) 출원일자 2015년09월18일
심사청구일자 2015년09월18일
(56) 선행기술조사문헌
X. Wang et al, "A Novel Low-Power Digital Baseband Controller for Passive UHF RFID Tag", IEEE WiCOM 2012(2012.09.23.)*
JP2006311561 A*
KR1020080051846 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
이중욱
경기도 화성시 영통로26번길 24, 301동 801호(반월동, 대우푸르지오)
이재훈
울산광역시 중구 평동3길 2, 101동 2101호 (유곡동, 이편한세상)
(74) 대리인
유미특허법인

전체 청구항 수 : 총 14 항

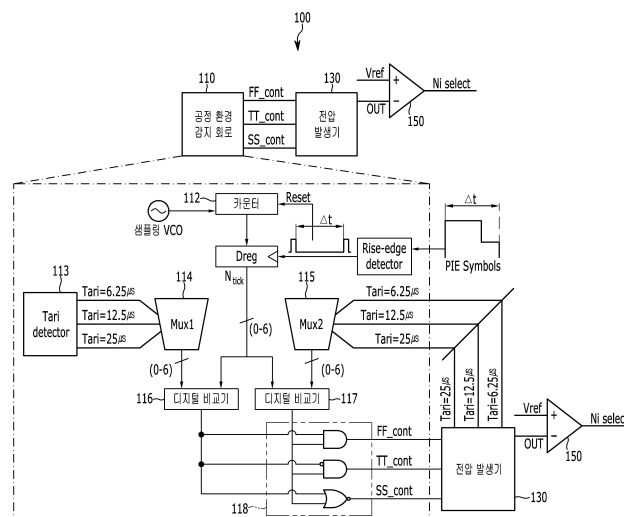
심사관 : 정남호

(54) 발명의 명칭 수동형 태그의 아날로그 디코더 및 클럭 발생기, 그리고 이들의 동작 방법

(57) 요약

수동형 태그의 아날로그 디코더로서, 링 오실레이터를 이용하여 계산된 PIE(pulse interval encoding) 심볼의 데이터-0 구간 길이와 상기 PIE 심볼의 데이터-0 길이(Tari값)를 비교하여 상기 태그가 제작된 공정 환경을 감지하고, 감지한 공정 환경을 기초로 제어 신호를 생성하는 공정 환경 감지 회로, 상기 제어 신호를 기초로 충전할 커패시터를 선택하고, 상기 PIE 심볼의 신호에 따라 상기 커패시터를 충전하며, 충전된 커패시터 전압을 출력하는 전압 발생기, 그리고 기준 전압과 상기 전압 발생기의 출력 전압을 비교하여 상기 PIE 심볼의 데이터를 판별하는 전압 비교부를 포함한다.

대표도 - 도4



이 발명을 지원한 국가연구개발사업

과제고유번호 2015R1A2A2A03004160

부처명 미래창조부

연구관리전문기관 한국연구재단

연구사업명 기초연구사업/중견연구

연구과제명 융합기술 연구 능동 메타표면의 보안성있는 ID 선택적 energy hot spot을 통한 사물인터넷 전력 및 센싱

기 여 율 1/1

주관기관 경희대학교(국제캠퍼스)

연구기간 2015.05.01~2018.04.30

공지예외적용 : 있음

명세서

청구범위

청구항 1

수동형 태그의 아날로그 디코더로서,

입력된 PIE(pulse interval encoding) 심볼에서 사용한 데이터-0 길이(Tari값)를 입력받고, 공정 환경에 따라 가변되는 링 오실레이터의 공정 환경별 주파수 각각으로 상기 데이터-0 길이(Tari값)를 가상으로 카운트한 공정 환경별 제1값을 계산하며, 상기 공정 환경별 제1값과 상기 PIE 심볼의 데이터-0 구간을 상기 링 오실레이터의 실제 주파수로 카운트한 제2값을 비교하여 상기 링 오실레이터의 공정 환경을 감지하고, 감지한 공정 환경을 기초로 제어 신호를 생성하는 공정 환경 감지 회로,

상기 제어 신호를 기초로 충전할 커패시터를 선택하고, 상기 PIE 심볼의 신호에 따라 상기 커패시터를 충전하며, 충전된 커패시터 전압을 출력하는 전압 발생기, 그리고

기준 전압과 상기 전압 발생기의 출력 전압을 비교하여 상기 PIE 심볼의 데이터를 판별하는 전압 비교부를 포함하는 아날로그 디코더.

청구항 2

제1항에서,

상기 데이터-0 길이는 6.25us, 12.5us, 25us 중의 어느 하나의 값인 아날로그 디코더.

청구항 3

제1항에서,

상기 전압 발생기는

복수의 공정 환경 각각의 공정 편차를 기초로 결정된 커패시턴스를 가지는 복수의 커패시터를 포함하고, 상기 제어 신호에 포함된 특정 공정 환경을 기초로 상기 복수의 커패시터 중에서 상기 특정 공정 환경에 대응된 커패시터를 충전할 커패시터로 선택하는 아날로그 디코더.

청구항 4

제3항에서,

상기 전압 발생기는

공정 환경이 바뀌더라도 데이터-1 신호에 의한 출력 전압이 데이터-0 신호에 의한 출력 전압보다 큰 값을 가지도록 상기 복수의 커패시터 각각의 커패시턴스를 결정하는 아날로그 디코더.

청구항 5

제3항에서,

상기 전압 발생기는

상기 복수의 커패시터 각각의 충전을 제어하는 스위치를 포함하고, 상기 제어 신호를 기초로 상기 스위치의 온 오프를 제어하는 아날로그 디코더.

청구항 6

제1항에서,

상기 전압 발생기는

상기 PIE 심볼의 데이터-0 길이에 따라 상기 커패시터로 흐르는 전류량을 가변하는 트랜지스터 회로를 포함하는

아날로그 디코더.

청구항 7

제1항에서,

상기 공정 환경 감지 회로는

상기 태그의 클록 발생기로부터 상기 데이터-0 구간을 상기 링 오실레이터로 계산한 값과 상기 데이터-0 길이를 수신하고,

상기 데이터-0 길이는 6.25us, 12.5us, 25us 중의 어느 하나의 값인 아날로그 디코더.

청구항 8

제1항에서,

상기 전압 비교부는

상기 PIE 심볼의 데이터 판별 결과를 상기 태그의 클록 발생기로 전달하는 아날로그 디코더.

청구항 9

수동형 태그에 포함된 아날로그 디코더의 동작 방법으로서,

PIE(pulse interval encoding) 심볼의 데이터-0 구간을 링 오실레이터로 계산한 카운트값과 기준값을 비교하여 공정 환경을 감지하는 단계,

복수의 공정 환경 각각의 공정 편차를 기초로 결정된 커패시턴스를 가지는 복수의 커패시터 중에서, 감지한 공정 환경에 해당하는 커패시터를 선택하는 단계,

상기 PIE 심볼의 데이터 신호에 따라, 선택한 커패시터를 충전하는 단계, 그리고

충전한 커패시터의 전압과 기준 전압을 비교하여 상기 데이터 신호의 값을 판별하는 단계

를 포함하고,

상기 기준값은

공정 환경에 따라 가변되는 상기 링 오실레이터의 공정 환경별 주파수를 이용하여 계산한 T_{ari} 의 공정 환경별 카운트값이고,

상기 T_{ari} 는 6.25us, 12.5us, 25us 중의 어느 하나의 값인 동작 방법.

청구항 10

삭제

청구항 11

제9항에서,

상기 공정 환경을 감지하는 단계는

상기 PIE 심볼의 T_{ari} 를 검출하는 단계,

상기 링 오실레이터의 공정 환경별 주파수를 이용하여 검출한 T_{ari} 를 카운트하여 공정 환경별 기준 카운트값을 계산하는 단계, 그리고

상기 링 오실레이터로 계산한 카운트값과 상기 공정 환경별 기준 카운트값을 비교하여 공정 환경을 판단하는 단계

를 포함하는 동작 방법.

청구항 12

삭제

청구항 13

제9항에서,

판별한 값을 클록 발생기로 전달하는 단계

를 더 포함하는 동작 방법.

청구항 14

수동형 태그의 클록 발생기로서,

목표 주파수로 제1 데이터 길이를 카운트한 제1 기준값과 상기 목표 주파수로 제2 데이터 길이를 카운트한 제2 기준값을 저장하는 기준 카운트값 관리부, 그리고

상기 기준 카운트값 관리부로부터 입력 데이터에 해당하는 기준값을 입력받고, 입력받은 기준값과 상기 입력 데이터를 오실레이터의 주파수로 카운트한 카운트값을 비교하여 상기 오실레이터의 주파수를 낮추거나 높이는 제어를 수행하는 회로부를 포함하고,

상기 기준 카운트값 관리부는 상기 입력 데이터의 판별 데이터를 기초로 상기 제1 기준값과 상기 제2 기준값 중 어느 하나를 상기 회로부로 전달하는 클록 발생기.

청구항 15

제14항에서,

상기 입력 데이터의 판별 데이터는 디코더로부터 전송되고,

상기 디코더는

상기 입력 데이터를 기초로 커패시터를 충전하고, 상기 커패시터의 충전 전압을 기초로 상기 입력 데이터를 판별하는 클록 발생기.

청구항 16

제14항에서,

상기 회로부는

입력 신호의 프리앰블 구간에서 샘플링 오실레이터를 이용하여 상기 제1 데이터 길이와 상기 제2 데이터 길이를 계산하고,

상기 입력 신호의 데이터 구간이 시작되면 상기 샘플링 오실레이터의 동작을 멈추는 클록 발생기.

발명의 설명

기술 분야

[0001] 본 발명은 수동형 태그에 관한 것이다.

배경 기술

[0002] 수동형 태그는 배터리나 외부 전원 없이 자체적으로 전원을 발생시키므로 반영구적인 수명을 가지는 장점이 있다. 반면, 수동형 태그는 자체 전원을 사용하기 때문에 낮은 전력의 칩 설계가 요구되고, 전원이 없는 환경에서 안정된 동작을 구현하기 위한 회로 설계가 필요하다. 태그 칩의 하위 블록인 디지털 제어 회로는 국제표준 EPC Class-1 Generation-2 (EPC C1G2)에 따라 일정 주파수를 생성하는 클록 발생기(clock generator)에 의해 작동된다. 오류 없이 통신하기 위해, 클록 발생기는 EPC C1G2 표준에 의거하여 태그에서 리더로 역산란(backscattering) 주파수를 오차 범위 $\pm 4\%$ 이내의 일정 주파수를 생성하여야 한다. 오차 범위 내의 주파수를 얻기 위해 일반적으로 resistor trimming 기법을 사용할 수 있으나 태그 칩의 가격(10 cent)을 고려할 때 적용하기 어렵다. 그러므로 태그 칩 내에서 자체 보정(self calibration) 과정을 이용해 EPC C1G2에서 요구되는 주

파수를 생성하는 방법이 필요하다. 수동형 태그 칩은 자체적인 기준 전압이나 주파수원을 지속적으로 유지할 수 없기 때문에 리더로부터 수신한 신호를 통해 자체 주파수 보정을 수행해야 한다.

[0003] 리더는 태그로 펄스 간격 인코딩(pulse interval encoding, PIE) 신호를 900 MHz 대역 주파수로 변조하여 전송한다. 태그는 리더로부터 전송된 신호(다운 링크)를 복조의 과정을 거쳐 PIE 심볼(symbol)을 추출한다. 이후 태그 칩의 하위 블록인 PIE 디코더(decoder)에서 PIE 심볼을 디코딩하여 이진 데이터를 판별한다.

[0004] 클럭 발생기는 PIE 디코더에서 판별된 데이터를 이용하여 자체 주파수 보정을 수행한다. 디지털 디코더는 수 MHz의 높은 주파수를 가지는 클럭으로 PIE 심볼에 포함된 데이터 주기를 카운트한 값을 이용해 데이터를 판별하기 때문에 많은 전력을 소모하는 문제점이 있다. 더구나 디지털 디코더는 오차 범위 내의 클럭으로 동작하므로, 전원이 없는 태그 칩에서 클럭 발생기가 안정화되기 이전에는 디지털 디코더를 사용할 수 없는 문제점이 있다. 클럭을 사용하지 않는 아날로그 디코더를 사용할 수 있으나, 아날로그 디코더는 칩 제작 과정에서 발생하는 공정 편차에 의해 데이터 판별 오류가 발생할 수 있는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 반도체 제작 공정 환경(process corner)감지 회로를 통해 공정 편차에 관계없이 데이터를 판별하는 아날로그 디코더를 제공하는 것이다. 또한 본 발명이 해결하고자 하는 과제는 아날로그 디코더의 판별 데이터를 이용하여 자체 주파수 보정을 수행하는 클럭 발생기를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 한 실시예에 따른 수동형 태그의 아날로그 디코더로서, 링 오실레이터를 이용하여 계산된 PIE(pulse interval encoding) 심볼의 데이터-0 구간 길이와 상기 PIE 심볼의 데이터-0 길이(Tari값)의 차이를 이용하여 상기 태그가 제작된 공정 환경을 감지하고, 감지한 공정 환경을 기초로 제어 신호를 생성하는 공정 환경 감지 회로, 상기 제어 신호를 기초로 충전할 커패시터를 선택하고, 상기 PIE 심볼의 신호에 따라 상기 커패시터를 충전하며, 충전된 커패시터 전압을 출력하는 전압 발생기, 그리고 기준 전압과 상기 전압 발생기의 출력 전압을 비교하여 상기 PIE 심볼의 데이터를 판별하는 전압 비교부를 포함한다.

[0007] 상기 공정 환경 감지 회로는 상기 링 오실레이터의 공정 환경별 주파수를 이용하여 상기 데이터-0 길이를 가상으로 카운트한 공정 환경별 제1값을 계산하고, 상기 링 오실레이터의 주파수를 이용하여 상기 데이터-0 구간 길이를 카운트한 제2값을 출력하며, 상기 공정 환경별 제1값과 상기 제2값을 비교하여 상기 링 오실레이터의 공정 환경을 감지하고, 상기 데이터-0 길이는 6.25us, 12.5us, 25us 중의 어느 하나의 값일 수 있다.

[0008] 상기 전압 발생기는 공정 환경별로 동작하도록 설정된 복수의 커패시터를 포함하고, 상기 제어 신호를 기초로 상기 복수의 커패시터 중에서 충전할 커패시터를 선택하며, 상기 복수의 커패시터는 서로 다른 커패시턴스를 가지고, 각 커패시턴스는 매핑된 공정 환경의 공정 편차를 고려하여 결정될 수 있다.

[0009] 상기 전압 발생기는 공정 환경이 바뀌더라도 데이터-1 신호에 의한 출력 전압이 데이터-0 신호에 의한 출력 전압보다 큰 값을 가지도록 상기 복수의 커패시터 각각의 커패시턴스를 결정할 수 있다.

[0010] 상기 전압 발생기는 상기 복수의 커패시터 각각의 충전을 제어하는 스위치를 포함하고, 상기 제어 신호를 기초로 상기 스위치의 온오프를 제어할 수 있다.

[0011] 상기 전압 발생기는 상기 PIE 심볼의 데이터-0 길이에 따라 상기 커패시터로 흐르는 전류량을 가변하는 트랜지스터 회로를 포함할 수 있다.

[0012] 상기 공정 환경 감지 회로는 상기 태그의 클럭 발생기로부터 상기 데이터-0 구간 길이를 링 오실레이터로 계산한 값과 상기 데이터-0 길이를 수신하고, 상기 데이터-0 길이는 6.25us, 12.5us, 25us 중의 어느 하나의 값일 수 있다.

[0013] 상기 전압 비교부는 상기 PIE 심볼의 데이터 판별 결과를 상기 태그의 클럭 발생기로 전달할 수 있다.

[0014] 본 발명의 다른 실시예에 따른 수동형 태그에 포함된 아날로그 디코더의 동작 방법으로서, PIE(pulse interval encoding) 심볼의 데이터-0 구간을 링 오실레이터로 계산한 카운트값과 기준값을 비교하여 공정 환경을 감지하는 단계, 공정 환경별로 동작하도록 설정된 복수의 커패시터 중에서, 감지한 공정 환경에 해당하는 커패시터를

선택하는 단계, 상기 PIE 심볼의 데이터 신호에 따라, 선택한 커패시터를 충전하는 단계, 그리고 충전한 커패시터의 전압과 기준 전압을 비교하여 상기 데이터 신호의 값을 판별하는 단계를 포함한다.

[0015] 상기 기준값은 공정 환경에 따라 가변되는 상기 링 오실레이터의 공정 환경별 주파수를 이용하여 계산한 Tari의 카운트값이고, 상기 Tari는 6.25us, 12.5us, 25us 중의 어느 하나의 값일 수 있다.

[0016] 상기 공정 환경을 감지하는 단계는 상기 PIE 심볼의 Tari를 검출하는 단계, 상기 링 오실레이터의 공정 환경별 주파수를 이용하여 검출한 Tari를 카운트하여 공정 환경별 기준 카운트값을 계산하는 단계, 그리고 상기 링 오실레이터로 계산한 카운트값과 상기 공정 환경별 기준 카운트값을 비교하여 공정 환경을 판단하는 단계를 포함할 수 있다.

[0017] 상기 복수의 커패시터는 서로 다른 커패시턴스를 가지고, 각 커패시턴스는 설정된 공정 환경의 공정 편차를 고려하여 결정될 수 있다.

[0018] 상기 동작 방법은 판별한 값을 클록 발생기로 전달하는 단계를 더 포함할 수 있다.

[0019] 본 발명의 또 다른 실시예에 따른 수동형 태그의 클록 발생기로서, 목표 주파수로 제1 데이터 길이를 카운트한 제1 기준값과 상기 목표 주파수로 제2 데이터 길이를 카운트한 제2 기준값을 저장하는 기준 카운트값 관리부, 그리고 상기 기준 카운트값 관리부로부터 입력 데이터에 해당하는 기준값을 입력받고, 입력받은 기준값과 상기 입력 데이터를 오실레이터의 주파수로 카운트한 카운트값을 비교하여 상기 오실레이터의 주파수를 낮추거나 높이는 제어를 수행하는 회로부를 포함하고, 상기 기준 카운트값 관리부는 상기 입력 데이터의 판별 데이터를 기초로 상기 제1 기준값과 상기 제2 기준값 중 어느 하나를 상기 회로부로 전달할 수 있다.

[0020] 상기 입력 데이터의 판별 데이터는 디코더로부터 전송되고, 상기 디코더는 상기 입력 데이터를 기초로 커패시터를 충전하고, 상기 커패시터의 충전 전압을 기초로 상기 입력 데이터를 판별할 수 있다.

[0021] 상기 회로부는 입력 신호의 프리앰블 구간에서 샘플링 오실레이터를 이용하여 상기 제1 데이터 길이와 상기 제2 데이터 길이를 계산하고, 상기 입력 신호의 데이터 구간이 시작되면 상기 샘플링 오실레이터의 동작을 멈출 수 있다.

발명의 효과

[0022] 본 발명의 실시예에 따르면 아날로그 디코더가 공정 환경을 감지하고 공정 편차를 보상함으로써 공정 편차에 관계없이 일정 전압을 출력할 수 있다. 따라서, 본 발명의 실시예에 따르면 아날로그 디코더를 사용하더라도 공정 편차에 의한 판별 오류를 줄이는 효과가 있다.

[0023] 본 발명의 실시예에 따르면 아날로그 디코더를 사용하므로 클록을 이용하여 데이터를 판별하는 디지털 디코더보다 전력 소모를 줄이는 효과가 있다.

[0024] 본 발명의 실시예에 따르면 클록 발생기가 아날로그 디코더의 판별 데이터를 이용하여 EPC C1G2 표준에서 요구하는 주파수 클록의 주파수 오차를 줄이는 효과가 있다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 한 실시예에 따른 태그의 구조를 나타내는 도면이다.

도 2는 본 발명의 한 실시예에 따른 태그 칩의 블록도이다.

도 3은 PIE 심볼을 나타내는 도면이다.

도 4는 본 발명의 한 실시예에 따른 PIE 디코더의 구성도이다.

도 5는 본 발명의 한 실시예에 따른 PIE 디코더의 전압 발생기의 회로도 예시이다.

도 6은 Tari가 6.25us인 경우, 본 발명의 한 실시예에 따른 PIE 디코더의 전압 발생기와 종래 기술의 출력 전압을 비교한 도면이다.

도 7은 Tari가 12.5us인 경우, 본 발명의 한 실시예에 따른 PIE 디코더의 전압 발생기와 종래 기술의 출력 전압을 비교한 도면이다.

도 8은 Tari가 25us인 경우, 본 발명의 한 실시예에 따른 PIE 디코더의 전압 발생기와 종래 기술의 출력 전압을

비교한 도면이다.

도 9는 본 발명의 한 실시예에 따른 PIE 디코더의 출력 전압과 종래 기술의 출력 전압을 비교한 도면이다.

도 10은 본 발명의 한 실시예에 따른 PIE 디코더의 디코딩 마진과 종래 기술의 디코딩 마진을 비교한 도면이다.

도 11부터 도 14는 본 발명의 한 실시예에 따른 클록 발생기의 자체 주파수 보정을 설명하는 도면이다.

도 15는 본 발명의 한 실시예에 따른 클록 발생기의 자체 주파수 보정 결과를 설명하는 도면이다.

도 16은 본 발명의 한 실시예에 따른 PIE 디코더의 동작 방법을 나타내는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0027] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0028] 도 1은 본 발명의 한 실시예에 따른 태그의 구조를 나타내는 도면이고, 도 2는 본 발명의 한 실시예에 따른 태그 칩의 블록도이며, 도 3은 PIE 심볼을 나타내는 도면이다.
- [0029] 도 1을 참고하면, RFID 태그(10)는 전파 신호를 송수신하는 안테나(11)와 사물의 정보를 저장하고 통신기능을 처리하는 태그 칩(13)을 포함한다. RFID 태그(10)는 주파수에 따라 다양하게 설계되고, 예를 들면, UHF 900 MHz 부근의 주파수를 사용하도록 설계될 수 있다.
- [0030] 태그 칩(13)은 자체 전원이 없는 수동형 태그로서, 아날로그 회로(rectifier, bandgap, regulator, low voltage detector, power-on-reset(POR), demodulator, modulator 등), 디지털 제어 회로(digital control), 디지털 제어 회로에 클록을 제공하는 클록 발생기, 메모리 등으로 구성될 수 있다.
- [0031] 도 2를 참고하면, 태그 칩(13)은 디지털 제어 회로, 메모리 그리고 RF 신호를 수신하여 처리하는 아날로그 회로를 포함한다.
- [0032] 아날로그 회로는 rectifier, bandgap, regulator, low voltage detector, power-on-reset(POR)), 리더와 통신을 수행하는 모듈로 복조기(demodulator)와 변조기(modulator)를 포함할 수 있다. 그리고 태그 칩(13)은 아날로그 디코더(100)와 클록 발생기(200)를 포함한다.
- [0033] 아날로그 디코더(100)는 펄스 간격 인코딩(pulse interval encoding, PIE) 심볼을 디코딩하므로, 앞으로 PIE 디코더라고 부른다. PIE 디코더(100)는 PIE 심볼의 신호에 의해 충전되는 커패시터 전압을 기초로 데이터를 0 또는 1로 판별한다. PIE 디코더(100)는 태그 칩이 제작된 공정 환경을 감지하고 공정 환경에 따라 충전 커패시터를 선택하는 공정 환경 감지 회로를 포함하고, 이에 대해서는 다음에 자세히 설명한다.
- [0034] 클록 발생기(200)는 디지털 제어 회로에 클록(CLK)을 제공한다. 클록 발생기(200)는 디지털 제어 회로가 오류 없이 동작하도록 일정한 주파수의 클록을 생성해야 한다. 이를 위해 클록 발생기(200)는 디지털 제어 회로가 동작하기 전에 수신한 PIE 심볼을 이용하여 원하는 주파수의 클록(1.92MHz)이 될 때까지 자체 주파수 보정을 한다. 클록 발생기(200)는 현재 주파수로 카운트한 입력 데이터의 카운트값과 기준 카운트값을 비교해 가면서 현재 주파수를 조정한다. 이때, 기준 카운트값은 PIE 디코더(100)의 판별 데이터(0 또는 1)에 의해 데이터-0에 대한 기준 카운트값 또는 데이터-1에 대한 기준 카운트값이 선택된다.
- [0035] 다음에서 PIE 심볼에 대해 설명한다.
- [0036] 수동형 태그는 리더와의 데이터 교환을 위해 EPC C1G2 표준 및 호환 버전을 따른다. EPC C1G2 표준에 따르면 도 3과 같은 PIE 심볼이 리더에서 태그로 전송된다.
- [0037] 다운링크 PIE 심볼은 프리앰블(preamble) 구간과 데이터 구간을 포함한다. PIE 심볼은 하이(high) 레벨의 길이

에 따라 0과 1을 구분한다. 로우(low) 레벨의 길이는 일정하다.

- [0038] 프리앰블 구간은 디리미터(Delimiter) 구간, 데이터-0 구간(Tari), 리더에서 태그로의 캘리브레이션을 위한 구간(Reader-to-Tag calibration, RTcal), 태그에서 리더로의 캘리브레이션을 위한 구간(Tag-to-Reader calibration, TRcal)을 포함한다.
- [0039] 디리미터(Delimiter) 구간은 일정 길이(12.5us5%)로서, PIE 심볼의 시작을 알린다.
- [0040] 데이터-0 구간(Tari)은 데이터-0의 길이(펄스폭)를 나타낸다. Tari는 6.25us, 12.5us, 25us 중의 한 가지 값을 가진다.
- [0041] RTcal 구간은 데이터-0(Tari)과 데이터-1 $[(1+x)Tari]$ 의 합산 길이 $[(2+x) Tari]$ 를 가진다. 여기서 x 값은 EPC C1G2에서 0.5에서 1.0 사이의 값을 가진다.
- [0042] TRcal 구간은 태그에서 리더로 데이터를 보낼 때 역산란(backscattering) 변조 주파수를 정하기 위한 파라미터이다.
- [0043] 데이터 구간은 데이터-0과 데이터-1이 무작위로 연속되는 데이터 체인이고, 데이터-0은 논리적으로 0(로우)으로 판별되고, 데이터-1은 논리적으로 1(하이)로 판별된다.
- [0044] PIE 심볼이 변조된 다운링크 RF 신호는 정류기(rectifier)를 거쳐 복조기(demodulator)로 전달된다. 복조기는 전송 주파수(예를 들면, 900 MHz 부근)로 변조된 캐리어를 복조하여 PIE 심볼을 추출한다.
- [0045] PIE 디코더(100)는 PIE 심볼의 데이터(DATA) 구간을 디코딩하여 0과 1을 판별한다.
- [0046] PIE 디코더(100)는 프리앰블 구간을 디코딩하여 데이터-0(Tari)과 데이터-1 $[(1+x)Tari]$ 을 구분할 수 있는 정보를 획득한다. 데이터-0과 데이터-1의 하이 레벨 길이가 다르므로, 데이터-0과 데이터-1의 신호에 의해 충전되는 커패시터 전압이 다르다. PIE 디코더(100)는 커패시터 전압에 의한 출력 전압과 기준 전압을 비교하여 0과 1을 판별한다. 보통의 아날로그 디코더는 공정 편차에 따라 트랜지스터의 온(ON) 시간이 변동되어 커패시터 충전 전압이 가변할 수 있고, 결과적으로 판별 오류가 다수 발생할 수 있다. 다음에서 공정 환경 감지 회로를 이용하여 공정 편차에 강인한 PIE 디코더(100)에 대해 설명한다.
- [0047] 도 4는 본 발명의 한 실시예에 따른 PIE 디코더의 구성도이다.
- [0048] 도 4를 참고하면, PIE 디코더(100)는 공정 환경 감지 회로(110), 전압 발생기(130), 그리고 전압 비교부(150)를 포함한다. 설명을 위해 공정 환경 감지 회로(110)의 모든 구성이 PIE 디코더(100)에 포함되는 것으로 설명하나, 공정 환경 감지 회로(110)에서 공정 환경을 판단하기 위해 사용되는 데이터들(예를 들면, Ntick, Tari)이 다른 블록(예를 들면, 클럭 발생기)으로부터 입력받도록 설계될 수 있다.
- [0049] 공정 환경 감지 회로(110)는 태그 칩이 제작된 공정 환경(Process corner)을 감지한다. 공정 환경 감지 회로(110)는 전압 발생기(130)에 구현된 복수의 커패시터 중에서 감지한 공정 환경에 대응된 커패시터가 충전되도록 제어 신호(예를 들면, FF_cont, TT_cont, SS_cont)를 출력한다. 제어 신호는 커패시터에 연결된 스위치의 온/오프를 제어한다. 공정 환경을 감지하는 공정 환경 감지 회로(110)는 다양하게 설계될 수 있다.
- [0050] 공정 환경 감지 회로(110)는 비교적 높은 주파수로 발진하는 링 오실레이터(ring oscillator)의 출력 주파수가 공정 환경에 따라 공정 편차가 발생하는 것을 이용한다. 공정 환경 감지 회로(110)는 공정 환경에 따라 바뀌는 링 오실레이터 (이후 sampling VCO로 부른다)의 주파수를 세 가지 이상으로 분류하여 공정 환경을 감지한다.
- [0051] 일반적으로 공정 환경은 두 알파벳을 사용하여 표시할 수 있다. 첫 번째 알파벳은 N 채널 MOSFET(NMOS) 코너(corner)이고, 두 번째 알파벳은 P 채널 MOSFET(PMOS) 코너를 나타낸다. 전자나 정공의 이동도(mobility)에 따라 느림(slow), 보통(typical), 빠름(fast)으로 구분되고, 대표적인 세 가지 공정 환경인 SS(slow-slow), TT(typical-typical), FF(fast-fast)가 가능하다. 본 발명에서는 대표적인 세 가지 공정 환경(SS, TT, FF)에 대한 예시만 보이고 있으나, 좀 더 다양한 공정 환경도 고려할 수 있다.
- [0052] 공정 환경 감지 회로(110)는 샘플링 VCO의 주파수로 PIE 심볼의 데이터-0(Tari) 구간에 해당하는 카운트값(Ntick)을 계산한다. 상승 에지 감지기(rise-edge detector)(111)가 펄스폭(Δt)을 감지하고, 이진 카운터(binary counter)(112)가 펄스폭 동안 샘플링 VCO의 주파수로 카운팅되는 클럭수(카운트값, Ntick)를 계산한다. 표 1을 참고하면 공정 환경(SS, TT, FF)에 따라 샘플링 VCO의 주파수 편차가 발생한다. Tari와 공정 환경에 따라 각각 계산되는 카운트값(Ntick)이 겹치지 않도록 하면 공정 환경이 SS, TT, FF로 바뀌더라도, 카운트값을 기

초로 세 가지 공정 환경을 판별할 수 있다. 예를 들어 $T_{ari}=6.25\mu s$ 인 경우, FF 공정에서 카운팅된 값은 26의 값이고, $T_{ari}=12.5\mu s$ 인 경우, SS 공정에서 카운팅된 값은 30의 값이다. 즉 공정이 바뀌더라도 단일 T_{ari} 값에서 카운팅된 값은 다른 공정에서 카운팅된 값과 중복되지 않는다.

표 1

process corner	sample frequency	Ntick $T_{ari}=6.25\mu s$	Ntick $T_{ari}=6.25\mu s$	Ntick $T_{ari}=25\mu s$
SS	1.21MHz	15	30	60
TT	1.54MHz	19	38	77
FF	2.09MHz	26	52	105

[0053]

T_{ari} 검출기(113)에서 출력된 T_{ari} 값은 두 개의 맥스(114, 115)로 각각 입력된다. 맥스(MUX1)(114)에는 SS와 TT의 공정 환경을 판별하기 위한 기준 카운트값이 저장된다. 표 1에서 SS와 TT의 사이 값, 예를 들면, $T_{ari}=6.25\mu s$ 일 때 17, $T_{ari}=12.5\mu s$ 일 때 34 그리고 $T_{ari}=25\mu s$ 일 때 68의 값들이 미리 계산되어 각각 저장되어 있다.

[0054]

맥스(MUX2)(115)에는 TT와 FF의 공정 환경을 판별하기 위한 기준 카운트 값이 저장된다. 표 1에서 TT와 FF의 사이 값, 예를 들면, $T_{ari}=6.25\mu s$ 일 때 23, $T_{ari}=12.5\mu s$ 일 때 45 그리고 $T_{ari}=25\mu s$ 일 때 90의 값들이 미리 계산되어 각각 저장되어 있다. 맥스(MUX1)(114) 및 맥스(MUX2)(115)에서 각각 출력되는 공정 환경 판별을 위한 기준 카운트값은 샘플링 VCO를 이용하여 데이터-0을 카운트한 값(Ntick)과 디지털 비교기(digital comparator)(116, 117)에서 비교된다. 두 디지털 비교기(116, 117)에서 출력된 값은 공정 환경 판별 로직 게이트(118)에 입력된다.

[0055]

공정 환경 판별 로직 게이트(118)는 공정 환경에 따라 복수의 로직 게이트로 구성된다. 공정 환경 판별 로직 게이트(118) 세 개의 로직 게이트로 구성될 수 있고, 세 개의 로직 게이트는 두 디지털 비교기에서 출력된 값에 따라 세 개의 공정 환경(SS, TT, FF) 중의 하나에 대응되도록 구성된다. 공정 환경 판별 로직 게이트(118)는 두 디지털 비교기에서 출력된 값에 따라 공정 환경 제어 신호를 출력한다. 공정 환경 제어 신호는 SS 제어 신호(SS_cont), TT 제어 신호(TT_cont), FF 제어 신호(FF_cont) 중의 하나일 수 있다. 예를 들어 $T_{ari}=6.25\mu s$ 이고 공정 환경이 SS일 경우, T_{ari} 검출기(113)에서 출력된 값이 맥스(114, 115)로 입력된다. 맥스(MUX1)(114)는 저장되어있던 $T_{ari}=6.25\mu s$ 에 해당하는 SS와 TT를 판별하기 위한 기준 카운트 값 17을 출력한다. 맥스(MUX2)(115)는 TT와 FF를 판별하기 위한 기준 카운트 값 23을 출력한다. 샘플링 VCO를 이용하여 데이터-0을 카운트한 값(Ntick)인 15와 맥스(MUX1)(114)에서 나온 기준 카운트 값인 17과 비교하면 데이터-0을 카운트한 값이 더 작기 때문에 디지털 비교기(116)의 출력은 0이다. 맥스(MUX2)(115)에서 나온 기준 카운트 값인 23과 비교하면 데이터-0을 카운트한 값이 더 작기 때문에 디지털 비교기(117)의 출력도 0이다. 이 출력은 SS 제어 신호(SS_cont), TT 제어 신호(TT_cont), FF 제어 신호를 출력해주는 각각의 로직 게이트의 입력으로 인가된다. SS 제어 신호부는 NOR 게이트로 구성되어, 입력으로 0이 인가되면 1을 출력하여 전압발생기(130)를 제어한다. TT 제어 신호부는 하나의 반전 입력으로 구성된 AND 게이트로 0의 입력이 인가되면 0을 출력한다. FF 제어 신호부는 AND 게이트로 0의 입력이 인가되어 0을 출력한다.

[0056]

전압 발생기(130)는 T_{ari} 검출기(113)에서 출력된 T_{ari} 값, 공정 환경 판별 로직 게이트(118)에서 출력된 공정 환경 제어 신호, 그리고 PIE 심볼을 입력받는다.

[0057]

전압 발생기(130)는 PIE 심볼의 신호에 따라 커패시터를 충전하고 방전하여 PIE 심볼에 해당하는 전압을 출력한다. 이때, 전압 발생기(130)는 T_{ari} 값과 공정 환경 제어 신호에 따라 스위치를 제어하여 충전되는 전류량과 커패시터의 커패시턴스(capacitance)를 제어한다. 따라서, 공정 환경에 따라 공정 편차가 발생하더라도 전압 발생기(130)는 공정 환경에 적응적으로 충전되는 커패시터를 선택하여 결과적으로 일정 전압이 출력되도록 한다.

[0058]

전압 비교부(150)는 기준 전압과 전압 발생기(130)의 출력 전압을 비교하여 판별 데이터(0 또는 1)를 출력한다. 이때, 판별 데이터는 클럭 발생기(200)에서 데이터-0의 기준 카운트값($N0_{ref_freq}$)과 데이터-1의 기준 카운트값($N1_{ref_freq}$)을 선택할 때 사용된다. 이 경우, 판별 데이터는 Ni(i는 0 또는 1) 선택값이라고 부를 수 있다.

[0059]

도 5는 본 발명의 한 실시예에 따른 PIE 디코더의 전압 발생기의 회로도의 예시이다.

[0060]

도 5를 참고하면, 전압 발생기(130)는 공정 환경에 맞춰 PIE 심볼에 대한 전압을 발생시키는 전압발생기

[0061]

(adaptive PIE voltage generator)이다. 전압 발생기(130)는 Tari값, 공정 환경 제어 신호, 그리고 PIE 심볼을 입력받는다.

- [0062] 전압 발생기(130)는 다양하게 설계될 수 있고, 예를 들면, 복수의 트랜지스터(M1, M2, M3, M4, M5, M6)와 복수의 커패시터(C1, C2, C3, C4), Tari값에 의해 온/오프(ON/OFF) 되는 복수의 스위치(Tari_S1, Tari_S2, Tari_S3), 공정 환경 제어 신호에 따라 온/오프되는 복수의 스위치(SS_S1, TT_S2, FF_S3)로 설계된 회로를 예로 들어 설명한다.
- [0063] PIE 심볼의 반전 신호(/PIE_SIG)가 M1 트랜지스터의 게이트로 입력되고, /PIE_SIG에 의해 M1 트랜지스터가 온되면, M1 트랜지스터를 흐르는 전류에 의해 C1 커패시터가 충전되도록 M1 트랜지스터와 C1 커패시터가 연결된다. /PIE_SIG에 의해 M1 트랜지스터가 오프되면, C1 커패시터를 방전시키는 트랜지스터가 추가된다.
- [0064] M2 트랜지스터가 C1 커패시터의 전압에 의해 구동되도록, M2 트랜지스터의 게이트에 C1 커패시터가 연결된다. C1 커패시터가 충전되면, M2 트랜지스터는 온되고, M2 트랜지스터의 전류(I_{total})가 M3 트랜지스터로 흐르도록 M2 트랜지스터에 M3 트랜지스터가 연결된다.
- [0065] 한편, Tari값(6.25us, 12.5us, 25us)에 따라 C1 커패시터에 충전되는 전하량이 달라진다. 따라서, Tari값에 따라 M2 트랜지스터의 게이트 전압이 달라지고, M2 트랜지스터에서 흐르는 전류량(I_{total})이 달라진다. 따라서, M2 트랜지스터에서 흐르는 전류가, Tari값에 따라 선택된 어느 트랜지스터(병렬로 연결된 M4, M5, M6 트랜지스터 중 어느 하나)로 흐르도록 M3 트랜지스터와 M4, M5, M6 트랜지스터의 게이트가 서로 연결된다.
- [0066] 복수의 스위치(Tari_S1, Tari_S2, Tari_S3)는 Tari값에 의해 온오프가 제어된다. 스위치(Tari_S1)는 Tari=6.25us일 때 온되고, M2 트랜지스터에서 흐르는 일부 전류(I1)가 M4 트랜지스터로 흐르도록 한다. 스위치(Tari_S2)는 Tari=12.5us일 때 온되고, M2 트랜지스터에서 흐르는 일부 전류(I2)가 M5 트랜지스터로 흐르도록 한다. 스위치(Tari_S3)는 Tari=25us일 때 온되고, M2 트랜지스터에서 흐르는 일부 전류(I3)가 M6 트랜지스터로 흐르도록 한다. Tari값에 따라 달라지는 M2 트랜지스터의 전류량(I_{total})을 고려하여 Tari값에 따라 각각 동작하는 M4, M5, M6 트랜지스터의 크기가 결정된다. 이를 통해 Tari값이 달라지더라도 커패시터(C2, C3, C4)로 흐르는 충전 전류가 어느 정도 일정하게 조절된다.
- [0067] 복수의 스위치(SS_S1, TT_S2, FF_S3)는 공정 환경 제어 신호에 따라 온오프가 제어된다. 스위치(SS_S1)는 SS 공정 환경일 때 온되고, 충전 전류(I1, I2, I3 중 어느 하나)가 C2 커패시터를 충전하도록 한다. 스위치(TT_S2)는 TT 공정 환경일 때 온되고, 충전 전류(I1, I2, I3 중 어느 하나)가 C3 커패시터를 충전하도록 한다. 스위치(FF_S1)는 FF 공정 환경일 때 온되고, 충전 전류(I1, I2, I3 중 어느 하나)가 C4 커패시터를 충전하도록 한다. 공정 환경에 따라 발생하는 공정 편차를 기초로 C2, C3, C4 커패시터의 커패시턴스가 결정함으로써, 공정 환경이 달라지더라도 커패시터(C2, C3, C4)에 충전되는 전압이 일정하게 출력된다.
- [0068] 도 6은 Tari가 6.25us인 경우, 본 발명의 한 실시예에 따른 PIE 디코더의 전압 발생기와 종래 기술의 출력 전압을 비교한 도면이고, 도 7은 Tari가 12.5us인 경우, 본 발명의 한 실시예에 따른 PIE 디코더의 전압 발생기와 종래 기술의 출력 전압을 비교한 도면이며, 도 8은 Tari가 25us인 경우, 본 발명의 한 실시예에 따른 PIE 디코더의 전압 발생기와 종래 기술의 출력 전압을 비교한 도면이다.
- [0069] 도 6을 참고하면, Tari가 6.25us일 때, (a)는 본 발명이 적용되지 않은 종래 구조에서 공정 환경(SS, TT, FF)별 데이터-0과 데이터-1의 출력 전압이고, (b)는 본 발명의 전압 발생기(130)의 공정 환경(SS, TT, FF)별 데이터-0과 데이터-1의 출력 전압을 보여준다.
- [0070] (a)를 참고하면, 종래 구조는 공정 편차를 고려하지 않으므로, FF 공정 환경에서의 데이터-0 전압이 SS 공정 환경에서의 데이터-1 전압보다 높다. 따라서, 종래 PIE 디코더는 공정 편차에 의해 데이터를 잘못 판별하게 된다.
- [0071] 한편, (b)를 참고하면, 전압 발생기(130)는 공정 편차에 관계없이 데이터-0과 데이터-1의 전압 차이를 발생시킨다. 어떤 공정 환경에서도 데이터-0 전압이 데이터-1의 전압보다 작기 때문에 전압 비교부(150)는 오류없이 데이터를 판별할 수 있다.
- [0072] 도 7을 참고하면, Tari가 12.5us일 때, (a)는 본 발명이 적용되지 않은 종래 구조에서 공정 환경(SS, TT, FF)별 데이터-0과 데이터-1의 출력 전압이고, (b)는 본 발명의 전압 발생기(130)의 공정 환경(SS, TT, FF)별 데이터-0과 데이터-1의 출력 전압을 보여준다.
- [0073] 도 8을 참고하면, Tari가 25us일 때, (a)는 본 발명이 적용되지 않은 종래 구조에서 공정 환경(SS, TT, FF)별

데이터-0과 데이터-1의 출력 전압이고, (b)는 본 발명의 전압 발생기(130)의 공정 환경(SS, TT, FF)별 데이터-0과 데이터-1의 출력 전압을 보여준다.

- [0074] 도 5에서 설명한 바와 같이, 전압 발생기(130)는 모든 Tari에 대해 데이터-0과 데이터-1를 판별하는 마진(margin)을 충분히 제공하므로, 공정 편차가 발생하더라도 전압 비교부(150)는 오류없이 데이터를 판별할 수 있다.
- [0075] 도 9는 본 발명의 한 실시예에 따른 PIE 디코더의 출력 전압과 종래 기술의 출력 전압을 비교한 도면이고, 도 10은 본 발명의 한 실시예에 따른 PIE 디코더의 디코딩 마진과 종래 기술의 디코딩 마진을 비교한 도면이다.
- [0076] 도 9를 참고하면, (a)는 본 발명이 적용되지 않은 종래 구조의 Tari, 온도, 공정 환경에 따른 데이터-0과 데이터-1의 출력 전압이고, (b)는 본 발명의 전압 발생기(130)의 Tari, 온도, 공정 환경에 따른 데이터-0과 데이터-1의 출력 전압을 보여준다.
- [0077] (a)를 참고하면, 공정 편차가 보상되지 않아 데이터-0과 데이터-1의 전압이 섞여 있다. 따라서, 종래 구조는 데이터-0과 데이터-1를 판별하기 위한 기준 전압을 설정하기 어렵고, 적당한 기준 전압을 설정하더라도 데이터 판별 오류가 발생할 수 있다.
- [0078] (b)를 참고하면, PIE 디코더의 전압 발생기(130)는 공정 편차를 보상하여 데이터-0과 데이터-1의 전압을 출력한다. 따라서, 450 mV 부근의 값을 기준 전압(Vref)으로 설정하면 Tari, 온도, 공정 환경이 달라지더라도 오류 없이 데이터-0과 데이터-1를 판별할 수 있다.
- [0079] 도 10을 참고하면, (a)는 본 발명이 적용되지 않은 종래 구조의 Tari, 온도, 공정 환경에 따른 디코딩 마진이고, (b)는 본 발명의 전압 발생기(130)의 Tari, 온도, 공정 환경에 따른 디코딩 마진을 보여준다. 디코딩 마진은 데이터-0과 데이터-1를 판별하기 위해 필요한 전압 차이이다.
- [0080] (a)를 참고하면, 공정 편차가 보상되지 않아 온도가 변하고 공정 편차가 존재하면 디코딩 마진이 25 mV이하로 내려간다. 디코딩 마진이 작을수록 데이터 판별 오류 가능성이 높아진다.
- [0081] (b)를 참고하면, PIE 디코더의 전압 발생기(130)는 온도가 변하고 공정 편차가 존재하더라도 150 mV 이상의 디코딩 마진을 제공한다. 150 mV 이상의 디코딩 마진이 있다면 대부분의 디지털 로직은 오류 없이 데이터를 판별할 수 있다.
- [0082] 도 11부터 도 14는 본 발명의 한 실시예에 따른 클록 발생기의 자체 주파수 보정을 설명하는 도면이고, 도 15는 본 발명의 한 실시예에 따른 클록 발생기의 자체 주파수 보정 결과를 설명하는 도면이다.
- [0083] 도 11을 참고하면, 디지털 제어 회로에 클록(CLK)을 제공하는 클록 발생기(200)는 일정한 주파수의 클록(1.92MHz)을 생성해야 한다. 이를 위해 클록 발생기(200)는 수신한 PIE 심볼을 이용하여 자체 주파수 보정을 하여 일정 주파수의 클록을 생성한다.
- [0084] 클록 발생기(200)는 디지털 주파수 고정 루프(Frequency Lock Loop, FLL)회로(210), 카운트 분배기(count divider)(230), 기준 카운트값 관리부(250)를 포함할 수 있다. 기준 카운트값 관리부(250)는 기준 주파수로 계산한 데이터-0 길이의 기준 카운트값($N0_{ref_freq}$)과 데이터-1 길이의 기준 카운트값($N1_{ref_freq}$)을 저장한다. 기준 주파수(ref_freq)는 1.92MHz일 수 있다.
- [0085] FLL 회로(210)는 PIE 심볼의 펄스폭을 감지하는 상승 에지 감지기(rise-edge detector)(211), 샘플링 VCO(212)의 주파수(f_s) 또는 디지털 제어 오실레이터(digital controlled oscillator, DCO)(213)의 주파수(f_{osc})를 이용하여 펄스폭을 카운팅하는 카운터(symbol time-length counter)(214), DCO(213)의 주파수를 제어하는 주파수 감지기 및 루프 필터(frequency detector and loop filter)(215)를 포함할 수 있다.
- [0086] FLL 회로(210)의 주파수 감지기 및 루프 필터(215)는 입력 데이터를 DCO(213)의 현재 주파수(f_{osc})로 카운트한 카운트값과 기준(목표) 주파수에 해당하는 기준 카운트값을 비교하여 DCO(213)의 주파수를 낮추거나 높이는 자체 보정을 한다. 주파수 감지기 및 루프 필터(215)는 기준 카운트값 관리부(250)로부터 입력된 기준 카운트값($N0_{ref_freq}$ 또는 $N1_{ref_freq}$)을 사용한다. PIE 디코더(100)의 N_i 선택값에 의해 기준 카운트값 관리부(250)의 $N0_{ref_freq}$ 와 $N1_{ref_freq}$ 중 어느 하나가 선택되어 주파수 감지기 및 루프 필터(215)로 입력되도록 설계된다. 이를 위해 클록 발생기(200)와 PIE 디코더(100)의 입력 데이터는 동기화되어야 한다.
- [0087] 카운트 분배기(230)는 Tari 검출기(231)와 분배기(233)를 포함할 수 있다. FLL 회로(210)에서 3개의 Tari값 각

각에 대한 루프 필터가 필요한데, 회로의 복잡도를 낮추기 위해 T_{ari} 를 나누는 연산을 수행한다. 기준 T_{ari} 를 6.25us로 설정하고 $T_{ari}=6.25us$ 일 경우 $\lceil 1$, $T_{ari}=12.5us$ 일 경우 $\lceil 2$ 그리고 $T_{ari}=25us$ 일 경우에는 $\lceil 4$ 연산한다. 카운트 분배기(230)는 $T_{ari}=6.25us$ 에 대한 연산 결과를 루프 필터(215)와 기준 카운트값 관리부(250)로 입력한다. T_{ari} 검출기(231)는 자체 주파수 보정을 위한 T_{ari} 를 판별한 후, 공정 환경 판단을 위한 기능으로 사용될 수 있다.

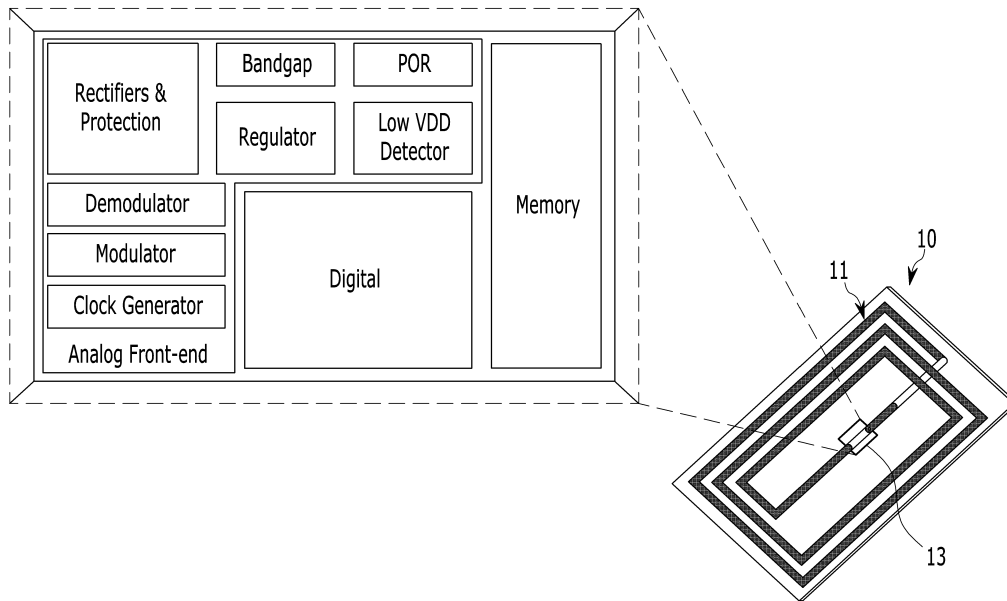
- [0088] 다음에서 입력된 PIE 심볼에 따른 클록 발생기(200)의 자체 주파수 보정 방법을 순차적으로 설명한다. 특히 기존의 클록 발생기는 PIE 디코더의 공정 편차에 의해 제대로 동작하지 않으나, 본 발명의 클록 발생기(200)는 공정 편차에도 불구하고 안정적으로 동작하는 PIE 디코더(100)의 판별 데이터를 이용하여 자체 주파수 보정을 수행할 수 있다.
- [0089] 도 12는 프리앰블의 T_{ari} 구간을 이용한 T_{ari} 판별 방법을 도식적으로 설명하는 도면이다.
- [0090] 클록 발생기(200)는 PIE 심볼의 데이터 구간을 이용한 자체 주파수 보정을 수행하기 전에 T_{ari} 값을 판별한다.
- [0091] 상승 에지 감지기(211)는 T_{ari} 구간의 길이(펄스폭)를 계산한다.
- [0092] 카운터(214)는 샘플링 VCO의 주파수(f_s)를 이용하여 T_{ari} 구간의 길이에 해당하는 카운트값(N_{tick})을 계산한다. 샘플링 VCO는 공정 환경에 따라 주파수 편차가 있지만, 표 1을 참고로 설명한 바와 같이 N_{tick} 값의 범위가 세 가지 대표적인 공정 환경(SS, TT, FF)에 겹치지 않도록 한다.
- [0093] T_{ari} 검출기(231)는 카운트값(N_{tick})을 이용하여 6.25us, 12.5us, 25us 중 어느 하나를 입력 PIE 심볼의 T_{ari} 값으로 검출할 수 있다.
- [0094] 이렇게 클록 발생기(200)에서 샘플링 VCO의 주파수(f_s)로 계산된 T_{ari} 의 카운트값(N_{tick})과 T_{ari} 값은 PIE 디코더(100)에 입력될 수 있다.
- [0095] 기준 주파수에 대한 데이터-0의 카운트값은 T_{ari} 값으로부터 계산되므로, 기준 주파수(1.92MHz)에 대한 데이터-0의 카운트값($N_{0, 1.92\text{ MHz}}$)은 T_{ari} 가 판별되면 기준 카운트값 관리부(250)의 NO 기준 카운트값 저장소에 저장된다.
- [0096] 앞서 설명한 바와 같이, $N_{0, 1.92\text{ MHz}}$ 의 값은 DCO(213)의 출력 주파수가 1.92MHz일 때 데이터-0를 카운트한 값을 의미한다. 데이터-0값은 3가지(6.25us, 12.5us, 25us)중 어느 하나이기 때문에, 기준 카운트값도 T_{ari} 별로 필요하게 된다. 따라서 회로의 복잡도를 낮추기 위해 T_{ari} 를 나누는 연산을 수행하는 카운트 분배기가 T_{ari} 에 따라 분배의 양을 달리하여 $T_{ari}=6.25us$ 에 해당하는 카운트값을 가지도록 한다. 클록 주파수가 1.92MHz일 때 $T_{ari}=6.25us$ 를 카운트한 값은 24의 값이고 미리 계산된 이 값이 $N_{0, 1.92\text{ MHz}}$ 에 저장된다.
- [0097] 도 13은 PIE 심볼의 프리앰블 구간에서 T_{ari} 구간 이후에 들어오는 구간을 이용하여 데이터-1의 기준 카운트값(N_{1, ref_freq})을 설정하는 방법을 설명하는 도면이다.
- [0098] 데이터-1은 $(1+x)*T_{ari}$ 에 해당하는 펄스폭을 가지고, x 에 따라 펄스폭(주기)이 달라진다. 기준 카운트값 관리부(250)는 RT_{cal} 구간의 카운트값과 T_{ari} 구간의 카운트값을 이용하여 기준 주파수(1.92MHz)에 대한 데이터-1의 기준 카운트값($N_{1, 1.92\text{ MHz}}$)을 계산한다.
- [0099] $N_{1, 1.92\text{ MHz}}$ 은 FLL 회로(210)가 자체 주파수 보정을 수행하는 동안 PIE 심볼의 입력이 데이터-1일 때 FLL 회로(210)로 입력된다.
- [0100] 이와 같이, 클록 발생기(200)는 데이터-0과 데이터-1의 펄스폭에 해당하는 기준 카운트값을 계산해둔다. 클록 발생기(200)는 샘플링 VCO를 프리앰블 구간에만 사용하여 기준 카운트값을 계산할 수 있다. 샘플링 VCO는 프리앰블 구간이 끝나고 데이터 구간이 시작되는 오프되도록 설정될 수 있다.
- [0101] 도 14는 PIE 심볼에서 프리앰블 구간이 끝나고 들어오는 데이터 구간을 이용하여 클록 발생기(200)가 자체 보정을 하는 방법을 도식적으로 설명하는 도면이다.
- [0102] 클록 발생기(200)는 데이터 구간의 데이터-0과 데이터-1의 길이를 이용하여 자체 주파수 보정을 한다.
- [0103] 데이터-0이 들어오면 PIE 디코더(100)의 제어 신호(Ni_select)가 0으로 출력되어 데이터-0에 해당하는 기준 카운트값($N_{0, 1.92\text{ MHz}}$)이 FLL 회로(210)로 입력된다. FLL 회로(210)는 기준 카운트값($N_{0, 1.92\text{ MHz}}$)과 현재 주파수에 의해

의한 카운트값을 비교하여 현재 주파수를 낮추거나 높이는 자체 주파수 보정을 한다.

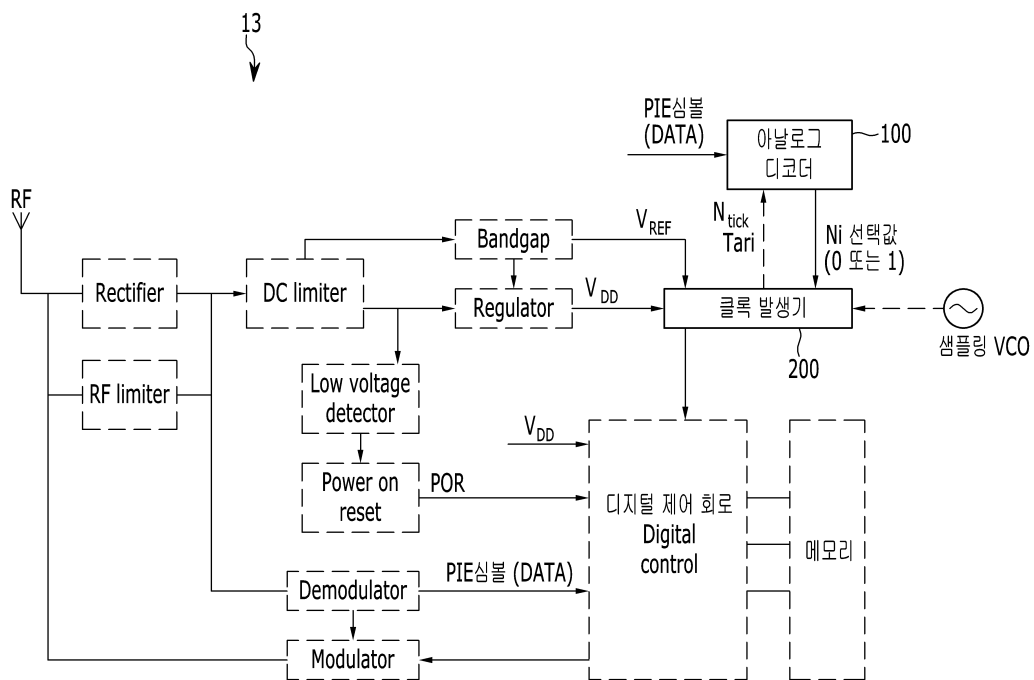
- [0104] 데이터-1이 들어오면 PIE 디코더(100)의 제어 신호(Ni select)가 1로 출력되어 데이터-1에 해당하는 기준 카운트값($N_{1.92MHz}$)이 FLL 회로(210)로 입력된다. FLL 회로(210)는 기준 카운트값($N_{1.92MHz}$)과 현재 주파수에 의해 의한 카운트값을 비교하여 현재 주파수를 낮추거나 높이는 자체 주파수 보정을 한다.
- [0105] 클록 발생기(200)는 도 15와 같이 목표한 1.92 MHz의 주파수가 출력될 때까지 데이터 구간을 이용하여 자체 주파수 보정 과정을 반복한다.
- [0106] 도 15는 본 발명의 한 실시예에 따른 클록 발생기의 자체 주파수 보정 결과를 나타내는 도면이다.
- [0107] 도 15를 참고하면, 클록 발생기(200)는 데이터 판별 오류가 적은 PIE 디코더(100)의 PIE 심볼 판별 데이터를 기초로 자체 주파수 보정을 수행한 결과, 1.92 MHz의 클록을 오차 0.5 %내에서 발생시킬 수 있다.
- [0108] 도 16은 본 발명의 한 실시예에 따른 PIE 디코더의 동작 방법을 나타내는 흐름도이다.
- [0109] 도 16을 참고하면, PIE 디코더(100)는 PIE 심볼의 Tari 구간(데이터-0 구간)을 샘플링 VCO로 계산한 카운트값(Ntick)을 입력받는다(S110).
- [0110] PIE 디코더(100)는 PIE 심볼의 Tari값을 입력받는다(S120).
- [0111] PIE 디코더(100)는 샘플링 VCO로 계산한 카운트값(Ntick)과 Tari값의 카운트값을 비교하여 공정 환경을 판단한다(S130). 샘플링 VCO가 공정 환경에 따라 주파수 편차가 발생하고, 결과적으로 샘플링 VCO의 클록으로 카운트한 값이 달라진다. 따라서, 입력된 Tari 구간을 샘플링 VCO로 계산한 카운트값(Ntick)을 기초로 공정 환경을 판단할 수 있다. 이때, PIE 심볼의 Tari 구간을 샘플링 VCO로 계산한 카운트값(Ntick)과 Tari값의 카운트값을 비교하는 방법은 다양하게 구현될 수 있다. 예를 들면, 도 4를 참고로 설명한 바와 같이, 믹스(MUX1)(114)는 Tari값에 따라 SS와 TT의 공정 환경을 판별하기 위한 기준 카운트값을 출력하고, 믹스(MUX2)(115)는 Tari값에 따라 TT와 FF의 공정 환경을 판별하기 위한 기준 카운트값을 출력한다. 그리고, 믹스(MUX1)(114) 및 믹스(MUX2)(115)에서 각각 출력되는 기준 카운트값과 샘플링 VCO를 이용하여 Tari 구간을 카운트한 값(Ntick)의 비교 결과에 따라 공정 환경 판별 로직 게이트(118)가 동작하도록 설계될 수 있다.
- [0112] PIE 디코더(100)는 복수의 커패시터 중에서 공정 환경에 대응된 커패시터를 선택한다(S140). 공정 환경에 따라 발생하는 소자들의 편차에 의해 커패시터를 충전시키는 전류량이 달라질 수 있다. 충전 전류량이 달라지더라도 일정 전압이 출력되도록 복수의 커패시터 각각은 공정 환경에 해당하는 커패시턴스 값을 가진다.
- [0113] PIE 디코더(100)는 PIE 심볼의 신호에 따라 선택된 커패시터를 충전 및 방전한다(S150).
- [0114] PIE 디코더(100)는 커패시터의 전압과 기준 전압을 비교하여 PIE 심볼의 데이터를 판별한다(S160).
- [0115] PIE 디코더(100)는 판별한 결과를 클록 발생기(200)로 전달한다(S170).
- [0116] 이와 같이 본 발명의 실시예에 따르면 아날로그 디코더가 공정 환경 감지 회로를 통해 공정 환경을 감지하고 공정 편차를 보상함으로써 공정 편차에 관계없이 일정 전압을 출력할 수 있다. 따라서, 본 발명의 실시예에 따르면 아날로그 디코더를 사용하더라도 공정 편차에 의한 판별 오류를 줄일 수 있다. 본 발명의 실시예에 따르면 아날로그 디코더를 사용하지 않고 클록을 이용하여 데이터를 판별하는 디지털 디코더보다 전력 소모를 줄일 수 있다. 본 발명의 실시예에 따르면 클록 발생기가 아날로그 디코더의 판별 데이터를 이용하여 EPC C1G2 표준에서 요구하는 주파수의 클록을 발생할 수 있다.
- [0117] 이상에서 설명한 본 발명의 실시예는 장치 및 방법을 통해서만 구현이 되는 것은 아니며, 본 발명의 실시예의 구성에 대응하는 기능을 실현하는 프로그램 또는 그 프로그램이 기록된 기록 매체를 통해 구현될 수도 있다.
- [0118] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

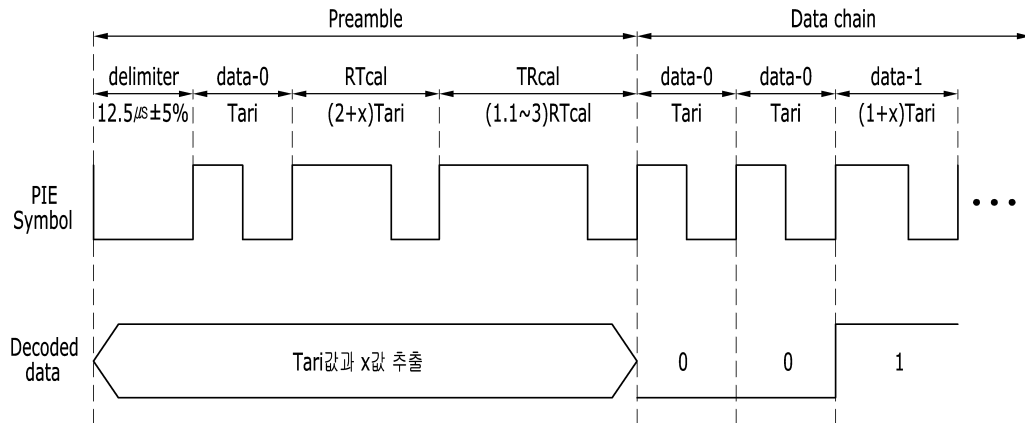
도면1



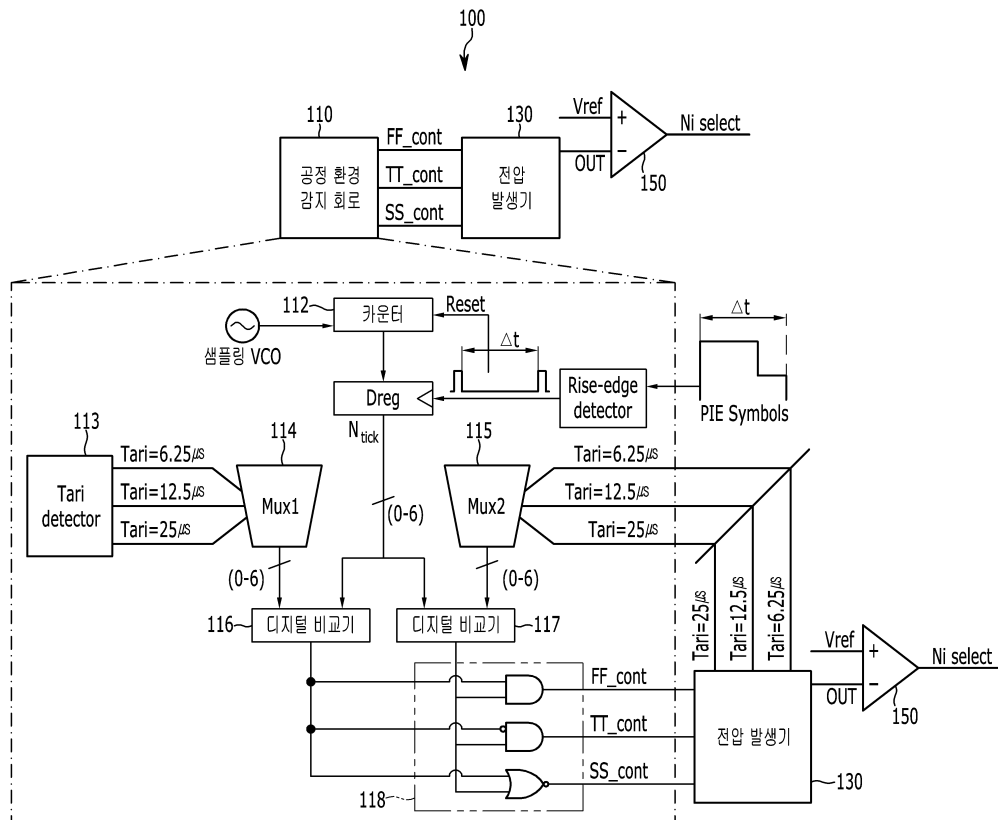
도면2



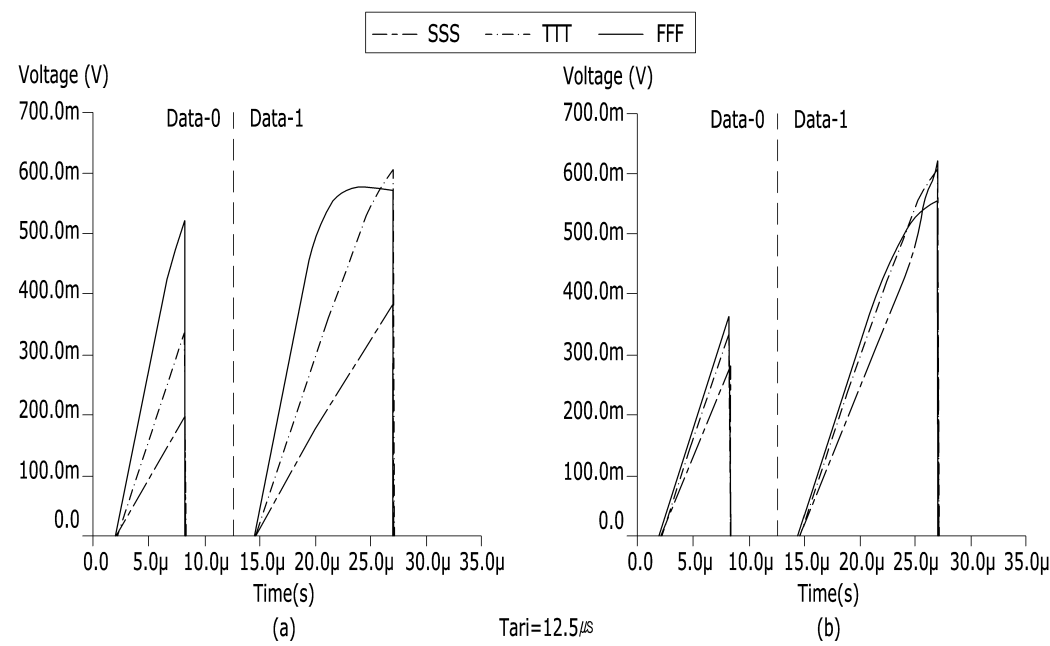
도면3



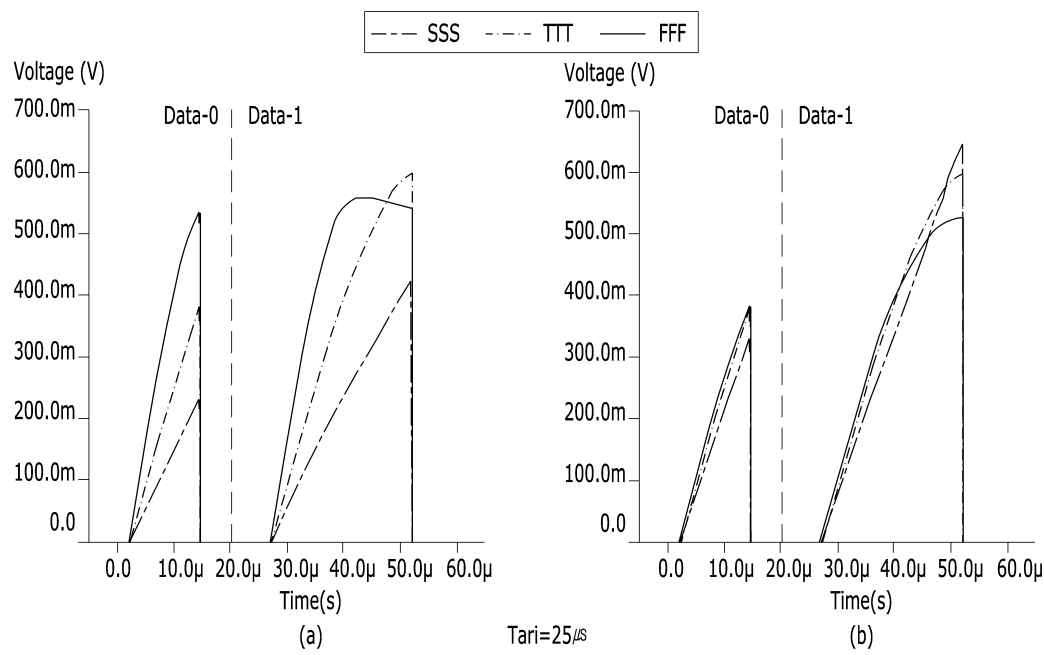
도면4



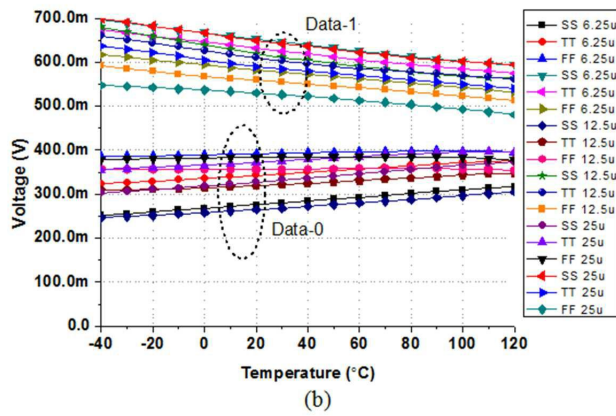
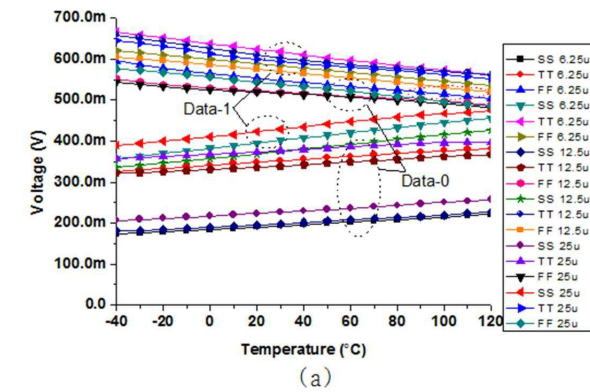
도면7



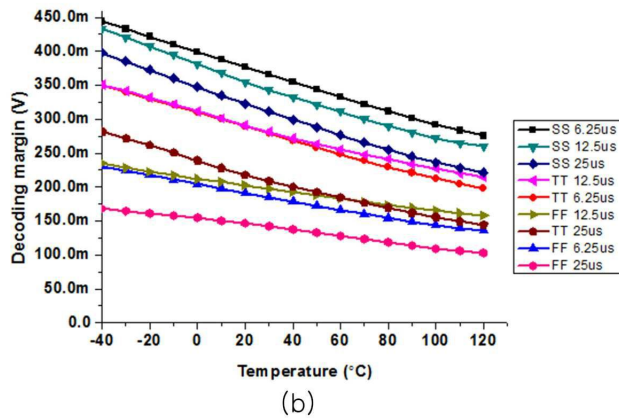
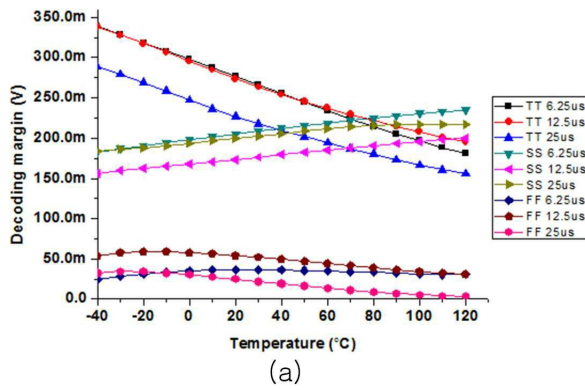
도면8



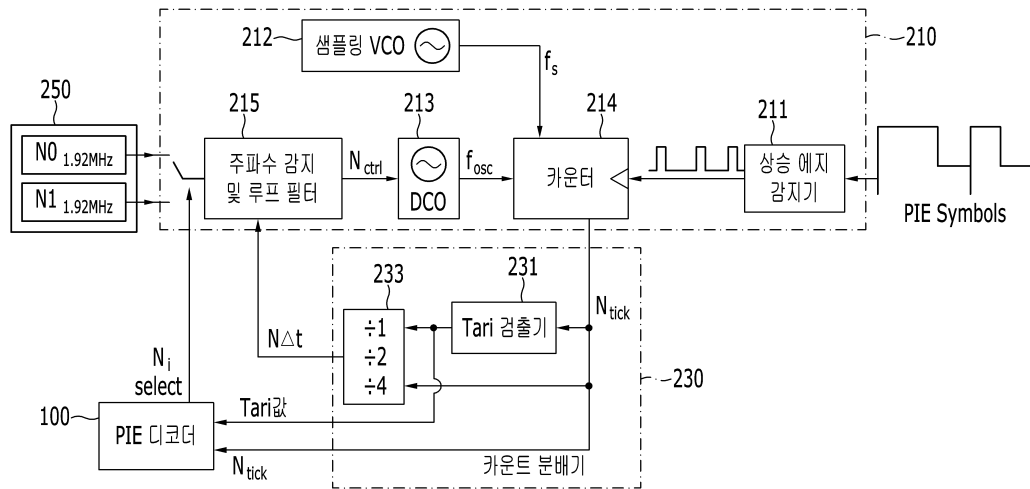
도면9



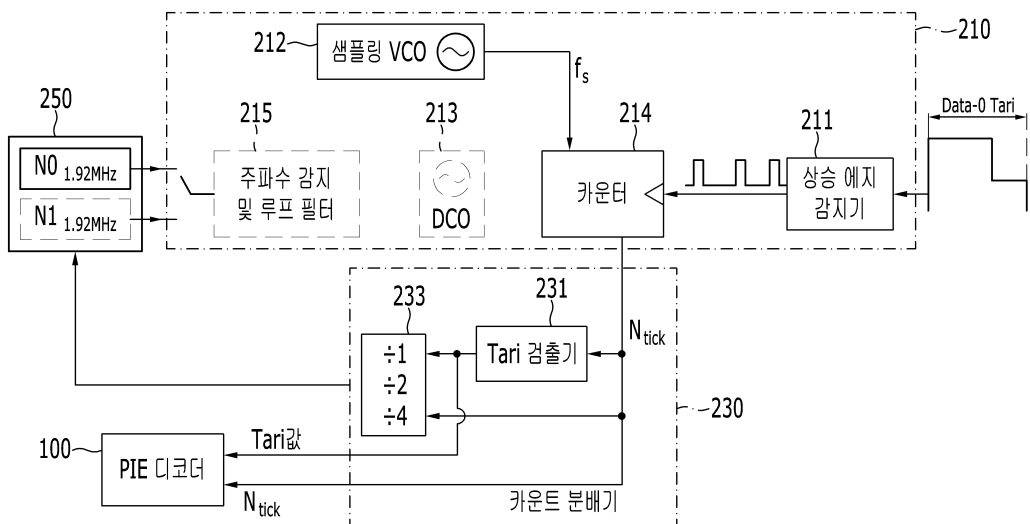
도면10



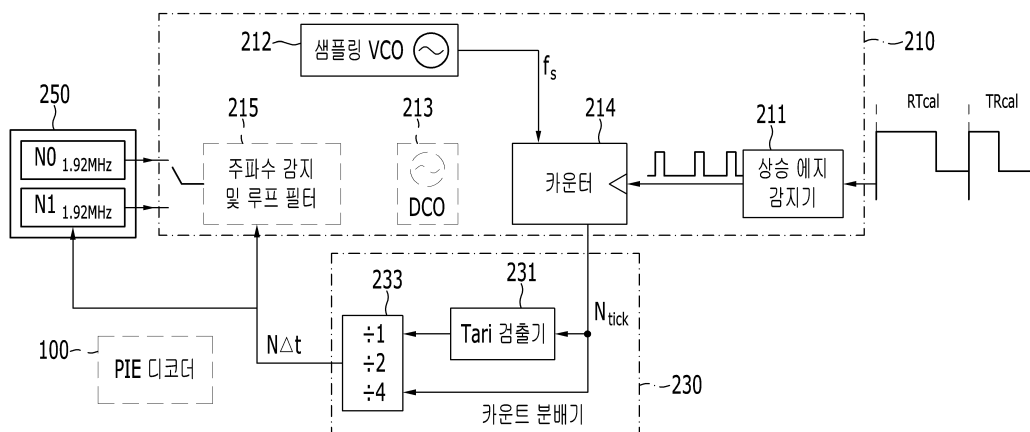
도면11



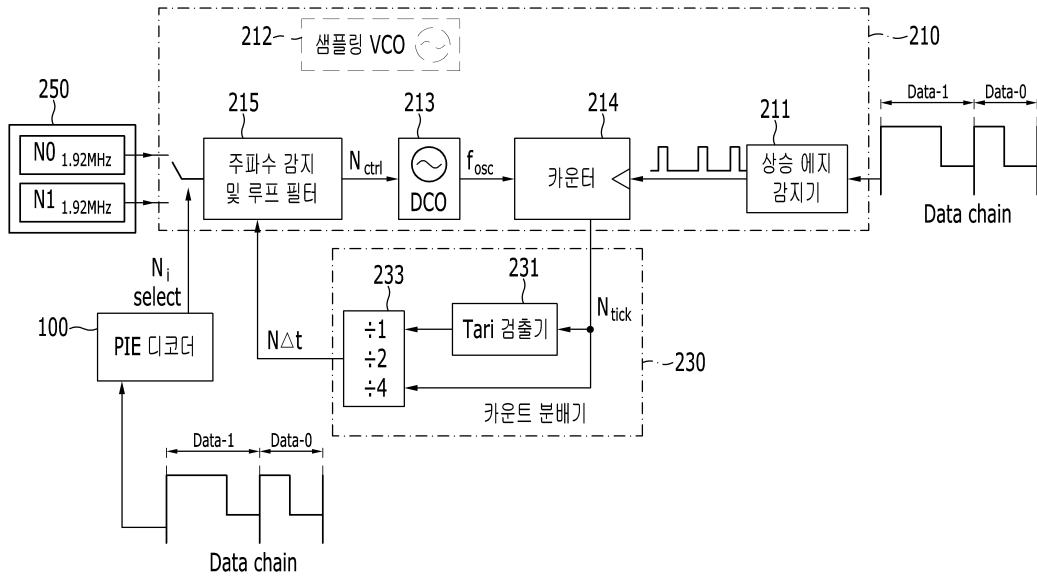
도면12



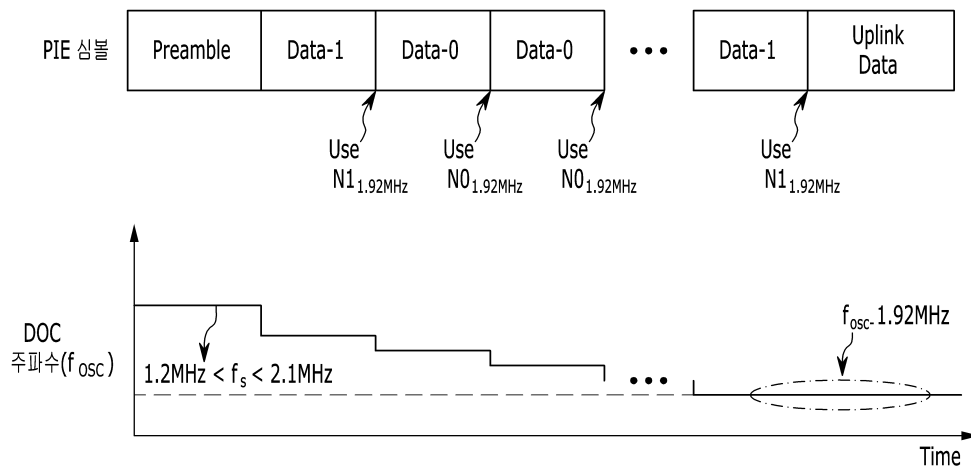
도면13



도면14



도면15



도면16

