

(12) SOLICITUD INTERNACIONAL PUBLICADA EN VIRTUD DEL TRATADO DE COOPERACIÓN
EN MATERIA DE PATENTES (PCT)

(19) Organización Mundial de la Propiedad
Intellectual
Oficina internacional



(43) Fecha de publicación internacional
25 de Enero de 2007 (25.01.2007)

PCT

(10) Número de Publicación Internacional
WO 2007/010072 A2

(51) Clasificación Internacional de Patentes: Sin clasificar

(21) Número de la solicitud internacional:
PCT/ES2006/000428

(22) Fecha de presentación internacional:
21 de Julio de 2006 (21.07.2006)

(25) Idioma de presentación: español

(26) Idioma de publicación: español

(30) Datos relativos a la prioridad:
P200501833 21 de Julio de 2005 (21.07.2005) ES

(71) Solicitantes (para todos los Estados designados salvo
US): **UNIVERSITAT AUTONOMA DE BARCELONA**
[ES/ES]; Area I+D - Edifici A, Campus universitari s/n,
E-08193 Bellaterra (ES). **CONSEJO SUPERIOR DE
INVESTIGACIONES CIENTÍFICAS** [ES/ES]; Serrano
117, E-28006 Madrid (ES).

(72) Inventores; e

(75) Inventores/Solicitantes (para US solamente): **BARNIOL
BEUMALA, Núria** [ES/ES]; Campus universitari s/n,
E-08193 Bellaterra (ES). **VILLAROYA GAUDÓ, María**
[ES/ES]; Campus universitari s/n, E-08193 Bellaterra (ES).
ABADAL BERINI, Gabriel [ES/ES]; Campus universi-
tari s/n, E-08193 Bellaterra (ES). **VERD MARTORELL,
Jaume** [ES/ES]; Campus universitari s/n, E-08193 Bel-
laterra (ES). **ESTEVE TINTÓ, Jaume** [ES/ES]; Campus
universitari s/n, E-08193 Bellaterra (ES). **FIGUERAS
COSTA, Eduard** [ES/ES]; Campus universitari s/n,
E-08193 Bellaterra (ES). **PÉREZ MURANO, Francesc**

[ES/ES]; Campus universitari s/n, E-08193 Bellaterra
(ES). **CAMPABADAL, Francesca** [ES/ES]; Campus
universitari s/n, E-08193 Bellaterra (ES).

(74) Representante común: **UNIVERSITAT AUTONOMA
DE BARCELONA**; Area I+D - Edifici A, Campus uni-
versitari s/n, E-08193 Bellaterra (ES).

(81) Estados designados (a menos que se indique otra cosa,
para toda clase de protección nacional admisible): AE,
AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ,
CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE,
EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL,
IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK,
LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW,
MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,
RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Estados designados (a menos que se indique otra cosa,
para toda clase de protección regional admisible): ARIPO
(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ,
UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, MD,
RU, TJ, TM), europea (AT, BE, BG, CH, CY, CZ, DE, DK,
EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC,
NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publicada:

— sin informe de búsqueda internacional, será publicada nue-
vamente cuando se reciba dicho informe

Para códigos de dos letras y otras abreviaturas, véase la sección
"Guidance Notes on Codes and Abbreviations" que aparece al
principio de cada número regular de la Gaceta del PCT.

(54) Title: METHOD FOR THE MONOLITHIC INTEGRATION OF MATERIALS OF HIGH MECHANICAL QUALITY WITH
INTEGRATED CIRCUITS FOR MEMS/NEMS APPLICATIONS

(54) Título: PROCEDIMIENTO DE INTEGRACIÓN MONOLÍTICA DE MATERIALES DE ALTA CALIDAD MECÁNICA
CON CIRCUITOS INTEGRADOS PARA APLICACIONES MEMS/NEMS

(57) Abstract: The invention relates to a method for the monolithic integration of materials of high mechanical quality with inte-
grated circuits for MEMS/NEMS applications. According to the invention, a structure with at least three layers is used to form the
electronic circuitry and the micro-/nano-electromechanical systems, said layers comprising: a lower or base layer which is intended
to be used to form the electronic circuits, an intermediate insulating layer, and an upper layer which is used to form at least part of
said MEMS/NEMS. The structure with at least three layers comprises a substrate, such as an SOI substrate, the layers of which are
joined to one another prior to the formation therein of the electronic circuits and the MEMS/NEMS, thereby defining areas on the
upper and intermediate layers in which said MEMS/NEMS are to be formed and eliminating the remainder of the layers so that the
lower layer can be accessed and the electronic circuitry can be formed using standard techniques.

(57) Resumen: Comprende utilizar para la formación de dicha circuitería electrónica y de dichos sistemas micro/nano-electromecá-
nicos, una estructura de al menos tres capas: una inferior o de base destinada a ser utilizada para formar dichos circuitos electrónicos;
una capa intermedia aislante; y una capa superior destinada a formar, al menos en parte, dichos MEMS/NEMS. Dicha estructura de
al menos tres capas es un sustrato, tal como un sustrato SOI, cuyas capas están unidas entre sí previamente a la formación en las
mismas tanto de los citados circuitos electrónicos como de los referidos MEMS/NEMS, definiéndose en primer lugar unas zonas
de dichas capas superior e intermedia donde se desean formar dichos MEMS/NEMS, y eliminándose el resto de dichas capas para
poder acceder a la capa inferior y poder formar la circuitería electrónica mediante técnicas convencionales.



WO 2007/010072 A2

**Procedimiento de integración monolítica de materiales de alta calidad
mecánica con circuitos integrados para aplicaciones MEMS/NEMS**

Campo de la invención

La presente invención se refiere a un procedimiento de fabricación de circuitos integrados caracterizado por una técnica de preparación de las obleas para su uso en procesos de fabricación de sistemas micro/nano-electromecánicos (MEMS/NEMS) compatibles con la fabricación de circuitería electrónica, tal como circuitería CMOS estándar.

Antecedentes de la invención

La solicitud de patente US 2004227201 por "Modules integrating MEMS devices with pre-processed electronic circuitry and methods for fabricating such modules" describe circuitería CMOS con MEMS sobre SOI. La patente propone fabricar un módulo MEMS conforme a una estructura de capas que puede ser una estructura SOI y lo unen adhesivamente a baja temperatura con un sustrato que puede ser un sustrato con circuitería CMOS integrada

Los inventores han tenido asimismo conocimiento de los siguientes artículos relacionados con el objeto de la invención:

- T.J.Brosnihan et al, *Embedded Interconnect and Electrical Isolation for High-Aspect Ratio, SOI Inertial Instruments*, Transducers 97, 637-640 (Chicago, 1997)

Se parte de una oblea SOI, en la que tras un pre-proceso se definen una parte de la capa de silicio SOI para formar el MEMS y la otra parte de la misma capa para definir el CMOS.

- T.J.Brosnihan et al., *Optical iMEMS®- a fabrication process for MEMS optical switches with integrated on-chip electronics*. Transducers'03, 1638-1642, Boston (2003).

Se describe el uso de tecnología SOI de unión para definir sustratos con tres capas de silicio cristalino, el CMOS se realiza en la última capa.

A diferencia del procedimiento descrito en la citada patente US 2004227201 en la presente invención se parte de un sustrato comercial sobre

el cual se definen tanto la circuitería CMOS como el dispositivo MEMS, no necesitando ningún tipo de soldadura.

En relación a las enseñanzas de los artículos, en la invención que se describirá a continuación no se necesita una tecnología CMOS compatible con SOI, puesto que el CMOS se integra en el silicio de substrato

Exposición de la invención

La presente invención se refiere a la integración monolítica de materiales de alta calidad mecánica para aplicaciones MEMS, más en particular a un procedimiento apto para la fabricación de circuitos integrados combinan circuitería electrónica y MEMS/NEMS.

Conforme a la presente invención, se parte de substratos comerciales tipo SOI (del inglés Silicon On Insulator: silicio sobre aislante). La oblea que hace de substrato debe ser de silicio y tendrá las características eléctricas adecuadas para la fabricación del CMOS mientras que el grosor del óxido aislante y grosor del silicio que conforman la estructura SOI se eligen en función del micro / nano-sistema que se quiera realizar. Esta última capa que servirá para fabricar el micro/nano-sistema puede ser de silicio u otra capa de material a condición que sea compatible con los procesos de fabricación CMOS (silicio, SiC, zafiro,...).

Según el procedimiento que se propone, mediante un proceso previo a las etapas de fabricación de la circuitería CMOS, se prepara la oblea definiendo o seleccionando unas determinadas zonas destinadas a la fabricación de las estructuras dimensiones micro o nanométricas y mediante técnicas de grabado (seco o húmedo) se eliminan posteriormente las capas extras de la oblea para preparar el silicio substrato para la fabricación CMOS.

Con este procedimiento la fabricación CMOS no se ve alterada por lo que no es necesario modificar las líneas de fabricación establecidas en una "foundry" (fabricación convencional –diseño y métodos de fabricación – de circuitería CMOS por dopaje).

Como proceso final, tras las etapas CMOS estándar de la tecnología seleccionada, se fabrica el transductor o transductores mecánicos, tales como: sensores químicos, sensores bioquímicos, sensores de masa, transductores

ultrasónicos, espejos para enlaces ópticos y componentes de radiofrecuencia, entre los que se encuentran resonadores, filtros y osciladores.

Esta nueva tecnología permite la utilización de capas estructurales y sacrificiales para el transductor mecánico independientes de la tecnología CMOS utilizada. Así se pueden seleccionar materiales con características mecánicas apropiadas para cada aplicación, lo que hace muy versátil esta técnica.

Breve descripción de los dibujos

Las anteriores y otras ventajas y características se comprenderán más plenamente a partir de la siguiente descripción de los dibujos adjuntos, que reflejan la transformación de una oblea SOI virgen antes de aplicar el procedimiento propuesto y el resultado obtenido tras dicha aplicación.

En dichos dibujos:

la Fig. 1 muestra mediante dos vistas, una en planta y otra en alzado, una oblea SOI utilizable para la formación de circuitería electrónica y de MEMS/NEMS según el procedimiento propuesto por la presente invención, y

la Fig. 2 muestra una sección ampliada de la oblea de la Fig. 1 previa y su transformación una vez ha sido utilizada para fabricar circuitos integrados según el procedimiento propuesto por la presente invención.

Descripción de los dibujos como base de la invención

La presente invención concierne a un procedimiento de fabricación de circuitos integrados con circuitería electrónica y MEMS/NEMS, del tipo que comprende utilizar para la formación de dicha circuitería electrónica y de dichos sistemas micro/nano-electromecánicos, una estructura de al menos tres capas, tal como la estructura SOI ilustrada por la Fig. 1:

- una inferior o de base destinada a ser utilizada para formar dichos circuitos electrónicos;
- una capa intermedia aislante; y
- una capa superior destinada a formar, al menos en parte, dichos MEMS/NEMS,

El procedimiento propuesto por la presente invención está caracterizado porque dicha estructura de al menos tres capas es un substrato cuyas capas están unidas entre sí previamente a la formación en las mismas tanto de los citados circuitos electrónicos como de los referidos MEMS/NEMS, formándose preferentemente estos últimos entre la capa superior y la capa intermedia.

En la Fig. 1 se muestra una oblea SOI de diámetro d_{obl} , donde pueden apreciarse las tres capas citadas, con sus respectivos grosores t_{sub} , t_{ox} y t_{si} indicados, los cuales han sido escogidos de manera que sean adecuados para la formación de la circuitería CMOS, en el caso de la capa base, y adecuados para la formación de los MEMS/NEMS, en el caso de las otras dos capas.

Las características eléctricas de las capas son las adecuadas para los componentes que van a ser formados en ellas, no necesitando por tanto que, por ejemplo la capa inferior, en general consistente en un substrato de silicio, reúna unas características eléctricas adecuadas para la formación de la circuitería CMOS y también de los MEMS/NEMS, sino única y específicamente para la formación de la circuitería CMOS.

El procedimiento propuesto por la presente invención comprende, en primer lugar definir unas zonas donde se pretenden formar los MEMS/NEMS, tanto de la capa superior como, preferentemente, también de la intermedia, tras lo cual se eliminan el resto de ambas capas, es decir las partes no comprendidas en dichas zonas seleccionadas, dejando así acceso a la capa de base para proceder a un tratamiento de dicha capa base o substrato para formar en la misma los citados circuitos electrónicos mediante técnicas convencionales.

En la Fig. 2 puede apreciarse un trozo de una oblea SOI antes (imagen superior) y después (imagen inferior) de la formación de la circuitería electrónica y los MEMS/NEMS.

Las tres capas básicas necesarias para la aplicación del procedimiento propuesto, se han indicado en dicha Fig. 2 como SiO_2 la intermedia, y como Si las otras dos, aunque cada una de dichas capas de silicio no serán necesariamente iguales sino, como se ha apuntado arriba, de las características eléctricas adecuadas para la fabricación de circuitería CMOS, la inferior, y de los MEMS/NEMS, la superior.

En la imagen inferior de la Fig. 2 puede observarse un componente CMOS formado en la capa inferior mediante un pozo definido en dicha capa inferior de silicio, un MEMS/NEMS definido en la capa superior de silicio soportado en parte por la capa de óxido intermedia SiO_2 , y en parte en voladizo debido a la eliminación de parte de dicha capa intermedia, con el fin de que el MEMS/NEMS pueda moverse mecánicamente.

Se muestran otra serie de elementos y capas en dicha Fig. 2, tales como los correspondientes a las conexiones eléctricas (mostradas en sección) que conectan los MEMS/NEMS con la circuitería CMOS, así como una capa de pasivación posteriormente superpuesta sobre las zonas del circuito integrado que ocupa la circuitería CMOS, dejando al aire el MEMS/NEMS ilustrado, o gran parte de él.

La imagen inferior de la Fig. 2 solamente ilustra un ejemplo de realización de un circuito integrado conseguido mediante la aplicación del procedimiento propuesto, pero un experto en la materia podría conseguir realizar circuitos integrados distintos al ilustrado sin salirse del alcance de la invención según está definido en las reivindicaciones adjuntas.

REIVINDICACIONES

1.- Procedimiento de fabricación de circuitos integrados con circuitería electrónica y MEMS/NEMS, del tipo que comprende utilizar para la formación de dicha circuitería electrónica y de dichos sistemas micro/nano-electromecánicos, una estructura de al menos tres capas:

- una inferior o de base destinada a ser utilizada para formar dichos circuitos electrónicos;
- una capa intermedia aislante; y
- una capa superior destinada a formar, al menos en parte, dichos MEMS/NEMS,

estando dicho procedimiento caracterizado porque dicha estructura de al menos tres capas es un substrato cuyas capas están unidas entre sí previamente a la formación en las mismas tanto de los citados circuitos electrónicos como de los referidos MEMS/NEMS.

2.- Procedimiento según la reivindicación 1, caracterizado porque comprende la definición de unas zonas seleccionadas en al menos dicha capa superior destinadas a la formación de dichos MEMS/NEMS.

3.- Procedimiento según la reivindicación 2, caracterizado por la eliminación de parte de la citada capa superior no comprendida en dichas zonas seleccionadas.

4.- Procedimiento según la reivindicación 3, caracterizado porque dicha eliminación se realiza por una técnica de grabado.

5.- Procedimiento según la reivindicación 4, caracterizado porque dicha técnica de grabado es una técnica de grabado en seco o en húmedo.

6.- Procedimiento según la reivindicación 3, caracterizado porque comprende la definición de unas zonas seleccionadas en al menos dicha capa intermedia y la eliminación de una parte de dicha capa intermedia no delimitada en dichas zonas seleccionadas, dejando acceso a la capa de base para proceder a un tratamiento de dicha capa base o substrato para formar en la misma los citados circuitos electrónicos.

7.- Procedimiento según la reivindicación 6, caracterizado porque para al menos uno de dichos MEMS/NEMS la zona de la capa intermedia situada por

debajo de la capa superior la cual configurará, al menos en parte, dicho MEMS/NEMS es de una extensión menor.

8.- Procedimiento según la reivindicación 6, caracterizado porque para al menos uno de dichos MEMS/NEMS la zona de la capa intermedia situada por debajo de la capa superior la cual configurará, al menos en parte, dicho MEMS/NEMS es de una extensión igual.

9.- Procedimiento según la reivindicación 6, caracterizado porque para al menos uno de dichos MEMS/NEMS la zona de la capa intermedia situada por debajo de la capa superior la cual configurará, al menos en parte, dicho MEMS es de una extensión superior.

10.- Procedimiento según una cualquiera de las reivindicaciones anteriores en donde dicha capa intermedia es una capa sacrificial y porque en base a al menos una parte de la misma se obtiene la formación de dichos MEMS/NEMS junto con dicha capa superior.

11.- Procedimiento según una cualquiera de las reivindicaciones anteriores, caracterizada porque dicha capa de base o sustrato es de Silicio.

12.- Procedimiento según una cualquiera de las anteriores reivindicaciones caracterizado porque dicha capa intermedia es un óxido.

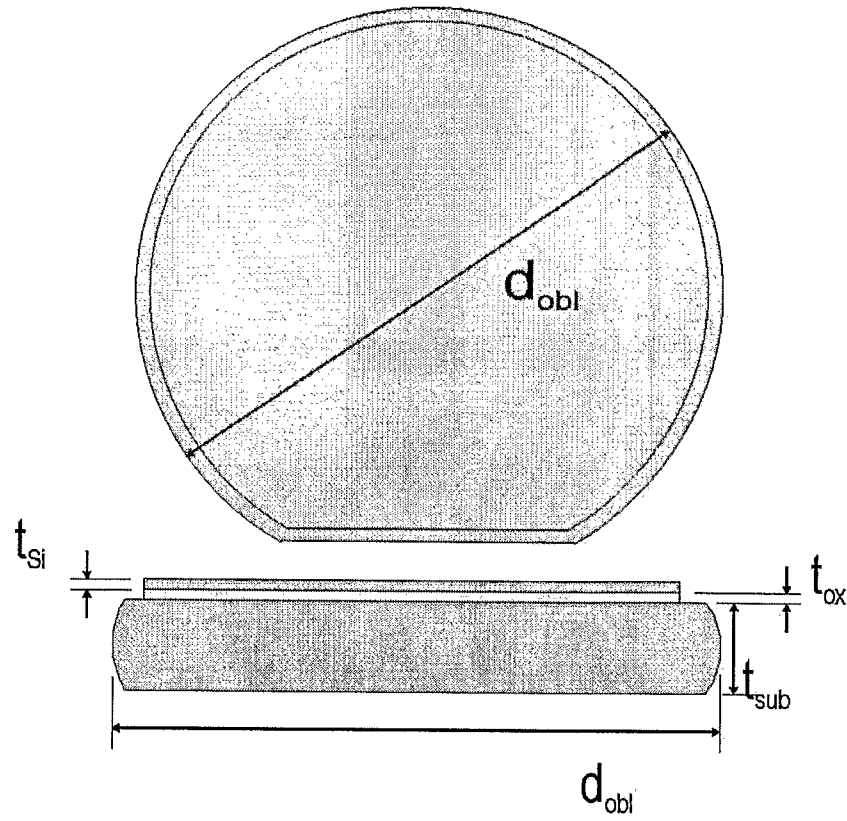
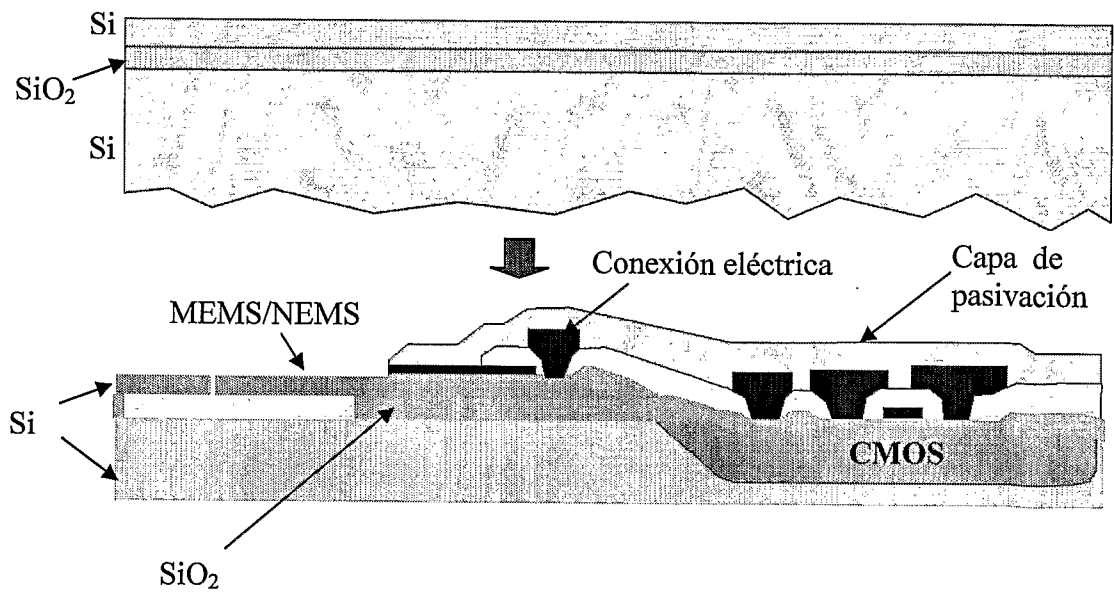
13.- Procedimiento según la reivindicación 12, caracterizado porque dicha capa superior es de un material escogido entre el grupo que comprende Si, SiC o zafiro.

14.- Procedimiento según la reivindicación 12, caracterizado porque dicho sustrato es una estructura SOI en la forma de una oblea.

15.- Procedimiento según la reivindicación 11 caracterizado porque dicha circuitería electrónica formada en dicho sustrato es circuitería CMOS.

16.- Procedimiento según la reivindicación 1, caracterizado porque dichos MEMS/NEMS son al menos uno del grupo formado por los siguientes elementos: sensores químicos, sensores bioquímicos, sensores de masa, transductores ultrasónicos y componentes de radiofrecuencia, entre los que se encuentran resonadores, filtros y osciladores.

1/1

**Fig. 1****Fig. 2**