(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5779326号
(P5779326)
(45)発行日　平成27年9月16日(2015.9.16)　(24)登録日　平成27年7月17日(2015.7.17)

(51)Int.Cl.　　F I
G11B 5/09 (2006.01)　　G11B 5/09 311C
G11B 5/02 (2006.01)　　G11B 5/02 Q

請求項の数 11　(全 13 頁)

(21)出願番号　特願2010-165275 (P2010-165275)
(22)出願日　平成22年7月22日 (2010.7.22)
(65)公開番号　特開2011-40149 (P2011-40149A)
(43)公開日　平成23年2月24日 (2011.2.24)
審査請求日　平成25年5月29日 (2013.5.29)
(31)優先権主張番号　10-2009-0075249
(32)優先日　平成21年8月14日 (2009.8.14)
(33)優先権主張国　韓国 (KR)

(73)特許権者　508012194
シーゲート　テクノロジー　インターナショナル
Ｓｅａｇａｔｅ　Ｔｅｃｈｎｏｌｏｇｙ　Ｉｎｔｅｒｎａｔｉｏｎａｌ
英国領ケイマン諸島、ケイ・ワイ・１－１１０４　グランド・ケイマン、ウグランド・ハウス、ピィ・オゥ・ボックス・３０９、メイプルズ・アンド・カルダー内
(74)代理人　110001195
特許業務法人深見特許事務所
(72)発明者　金　明　美
大韓民国京畿道城南市盆唐区野塔洞５１８住公アパート８０８棟２０１号

最終頁に続く

(54)【発明の名称】ハードディスクドライブの前置増幅器及びそれを含むハードディスクドライブ並びにコンピュータシステム

(57)【特許請求の範囲】
【請求項１】
前置増幅器であって、
デジタルデータに対応する差動信号を駆動させるように構成されたドライバと、
前記差動信号間の差と、前記デジタルデータに対応して可変の電圧レベルを有する基準信号との比較結果に従って、前記ドライバからの出力信号を伝送する制御を行なうように構成された制御回路とを備え、
前記制御回路は、前記差動信号間の前記差と前記基準信号との比較結果に従って、前記ドライバからの出力信号を伝送するか否かを制御するように構成される、前置増幅器。
【請求項２】
前記制御回路は、前記差動信号間の前記差を検出するように構成された差検出器と、
前記電圧レベルを制御するデジタルコードに対応する前記基準信号を生成して出力するように構成されたデジタルアナログ変換器と、
前記差検出器から出力された前記差と前記デジタルアナログ変換器から出力された前記基準信号との比較結果に対応する制御信号を生成するように構成された比較器と、
前記制御信号に従って、前記ドライバからの前記出力信号の伝送を制御するように構成されたスイッチング回路とを含む、請求項１に記載の前置増幅器。
【請求項３】
前記スイッチング回路は、アクティブ信号と前記制御信号とに従って、前記ドライバからの前記出力信号の伝送を制御する、請求項２に記載の前置増幅器。

【請求項４】
前記制御回路は、前記差動信号間の前記差を検出するように構成された差検出器と、
前記電圧レベルを制御するデジタルコードに対応する前記基準信号を生成して出力するように構成されたデジタルアナログ変換器と、
前記差検出器から出力された前記差動信号間の前記差と前記デジタルアナログ変換器から出力された前記基準信号との比較結果に対応する比較信号を生成するように構成された比較器と、
前記比較器から出力された比較信号をラッチし、制御信号を出力するように構成されたラッチと、
前記ラッチから出力された前記制御信号に従って、前記ドライバからの前記出力信号の伝送を制御するように構成されたスイッチング回路とを含む、請求項１に記載の前置増幅器。
【請求項５】
前記ラッチは、前記前置増幅器の読み出し動作を指示する読み出しイネーブル信号に応答して初期化される、請求項４に記載の前置増幅器。
【請求項６】
前記スイッチング回路は、アクティブ信号と前記制御信号とに従って、前記ドライバからの前記出力信号の伝送を制御する、請求項４に記載の前置増幅器。
【請求項７】
ハードディスクドライブであって、
磁気記録媒体と、
前記磁気記録媒体に書き込み信号を書き込むように構成された書き込みヘッドと、
前記書き込みヘッドに前記書き込み信号を供給するように構成された、請求項１～６のいずれか１項に記載の前置増幅器とを備える、ハードディスクドライブ。
【請求項８】
前記基準信号の前記電圧レベルを制御するデジタルコードを前記前置増幅器に伝送するように構成されたプロセッサをさらに備える、請求項７に記載のハードディスクドライブ。
【請求項９】
請求項７に記載のハードディスクドライブと、
前記ハードディスクドライブの書き込み動作を制御して書き込みデータを出力するように構成されたプロセッサとを備える、コンピュータシステム。
【請求項１０】
不揮発性メモリ装置をさらに備え、
前記プロセッサは、前記不揮発性メモリ装置の動作を制御する、請求項９に記載のコンピュータシステム。
【請求項１１】
前記ドライバは、制御信号に応答してイネーブル又はディセーブルされる、請求項１に記載の前置増幅器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ハードディスクドライブの前置増幅器に関し、特に、ＤＣ書き込み（ＤＣ ｗｒｉｔｅ）を防止することができるハードディスクドライブの前置増幅器及びそれを含むハードディスクドライブ並びにコンピュータシステムに関する。
【背景技術】
【０００２】
ハードディスクドライブ（Ｈａｒｄ Ｄｉｓｋ Ｄｒｉｖｅ）は、データ保存装置として広く使われている。したがって、書き込みデータの信頼性を高めるために、書き込みデータは、ハードディスクドライブのディスク（ｄｉｓｋ）に正確に書き込まれなければな

らない。しかし、書き込みデータが、さまざまな要因によって、ディスクに正確に書き込まれない場合、読み出し動作時に、書き込みデータを復元しにくくなるという問題がある。

【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開平１０－１０５９１２号公報
【特許文献２】特開平１１－２５０４０９号公報
【特許文献３】特開２００１－２７３６０３号公報
【特許文献４】韓国公開特許第１０－０６９９８７９号公報

【発明の概要】
【発明が解決しようとする課題】
【０００４】
そこで、本発明は上記従来のハードディスクドライブの前置増幅器における問題点に鑑みてなされたものであって、本発明の目的は、ＤＣ書き込みを防止することができるードディスクドライブの前置増幅器及びそれを含むハードディスクドライブ並びにコンピュータシステムを提供することにある。
【課題を解決するための手段】
【０００５】
上記目的を達成するためになされた本発明によるハードディスクドライブの前置増幅器は、ハードディスクドライブの前置増幅器であって、書き込みデータに対応する差動信号を駆動させるように構成されたドライバと、前記差動信号間の差と基準信号との比較結果に従って、書き込み制御信号を生成するように構成された制御回路とを有し、前記ドライバは、前記書き込み制御信号に応答してイネーブル又はディセーブルされることを特徴とする。
【０００６】
前記制御回路は、前記差動信号間の差を検出するための差検出器と、デジタルコードに対応する前記基準信号を生成するためのデジタルアナログ変換器と、前記差検出器から出力された前記差と前記基準信号との比較結果に対応する前記書き込み制御信号を生成するための比較器とを含み、前記ドライバは、前記書き込み制御信号に応答してイネーブル又はディセーブルされることが好ましい。
前記制御回路は、前記差動信号間の差を検出するための差検出器と、デジタルコードに対応する前記基準信号を生成するためのデジタルアナログ変換器と、前記差検出器から出力された前記差の出力信号と前記基準信号との比較結果に対応する比較信号を生成するための比較器と、前記比較信号をラッチし、前記書き込み制御信号を出力するラッチとを含み、前記ドライバは、前記ラッチから出力された前記書き込み制御信号に応答してイネーブル又はディセーブルされることが好ましい。
前記ラッチは、前記前置増幅器の読み出し動作を指示する読み出しイネーブル信号に応答して初期化されることが好ましい。
【０００７】
また、上記目的を達成するためになされた本発明によるハードディスクドライブの前置増幅器は、ハードディスクドライブの前置増幅器であって、書き込みデータに対応する差動信号を駆動させるように構成されたドライバと、前記差動信号間の差と基準信号との比較結果に従って、前記ドライバからの出力信号を書き込みヘッドに伝送するか否かの制御を行う制御回路とを有することを特徴とする。
【０００８】
前記制御回路は、前記差動信号間の差を検出するための差検出器と、デジタルコードに対応する前記基準信号を生成するためのデジタルアナログ変換器と、前記差検出器から出力された前記差の出力信号と前記基準信号との比較結果に対応する書き込み制御信号を生成するための比較器と、前記書き込み制御信号に応答して、前記ドライバの前記出力信号

を、前記書き込みヘッドに伝送するか否かの制御を行うスイッチ回路とを含むことが好ましい。

前記制御回路は、前記差動信号間の差を検出するための差検出器と、デジタルコードに対応する前記基準信号を生成するためのデジタルアナログ変換器と、前記差検出器から出力された前記差の出力信号と前記基準信号との比較結果に対応する比較信号を生成するための比較器と、前記比較器から出力された前記比較信号をラッチし、前記書き込み制御信号を出力するラッチと、前記ラッチから出力された書き込み制御信号に応答して、前記ドライバの前記出力信号を、前記書き込みヘッドに伝送するか否かの制御を行うスイッチ回路とを含むことが好ましい。

【０００９】

上記目的を達成するためになされた本発明によるハードディスクドライブは、磁気記録媒体と、前記磁気記録媒体に書き込み信号を書き込むための書き込みヘッドと、前記書き込み信号を前記書き込みヘッドに供給するための前置増幅器とを有し、前記前置増幅器は、書き込みデータに対応する差動信号を駆動させて、前記書き込み信号を生成するためのドライバと、前記差動信号間の差と基準信号との比較結果に従って、前記書き込み信号を、前記書き込みヘッドに伝送するか否かの制御を行う制御回路とを含むことを特徴とする。

【００１０】

前記制御回路は、前記差動信号間の差を検出するための差検出器と、デジタルコードに対応する前記基準信号を生成するためのデジタルアナログ変換器と、前記差検出器から出力された前記差の出力信号と前記基準信号との比較結果に対応する比較信号を生成するための比較器と、前記比較器から出力された前記比較信号をラッチし、前記書き込み制御信号を出力するラッチと、前記ラッチから出力された書き込み制御信号に応答して、前記書き込み信号を、前記書き込みヘッドに伝送するか否かの制御を行うスイッチ回路とを含むことが好ましい。

【００１１】

上記目的を達成するためになされた本発明によるコンピュータシステムは、ハードディスクドライブと、前記ハードディスクドライブの書き込み動作を制御するためのメインプロセッサとを有し、前記ハードディスクドライブは、磁気記録媒体と、前記磁気記録媒体に書き込み信号を書き込むための書き込みヘッドと、前記書き込み信号を前記書き込みヘッドに供給するための前置増幅器とを含み、前記前置増幅器は、前記メインプロセッサから出力された書き込みデータに対応する差動信号を駆動させて、前記書き込み信号を生成するためのドライバと、前記差動信号間の差と基準信号との比較結果に従って、前記書き込み信号を、前記書き込みヘッドに伝送するか否かの制御を行う制御回路とを含むことを特徴とする。

【発明の効果】

【００１２】

本発明に係るハードディスクドライブの前置増幅器及びそれを含むハードディスクドライブ並びにコンピュータシステムによれば、ＤＣ書き込みを防止することができる。したがって、前置増幅器を含むハードディスクドライバは、ＤＣ書き込みによる誤動作を防止し、データの信頼性を高めうるという効果がある。

【図面の簡単な説明】

【００１３】

【図１】本発明の実施形態による前置増幅器を含むデータ処理装置のブロック図である。

【図２】図１に示した前置増幅器の書き込み回路の一実施形態を示すブロック図である。

【図３】図１に示した前置増幅器の書き込み回路の他の実施形態を示すブロック図である。

【図４】図２に示した前置増幅器の書き込み回路の一実施形態を示す動作タイミング図である。

【図５】図２に示した前置増幅器の書き込み回路の他の実施形態を示す動作タイミング図

である。
【図６】本発明の実施形態による前置増幅器の動作を示すフローチャートである。
【図７】図１に示したデータ処理装置を含むコンピュータシステムのブロック図である。
【図８】図１に示したデータ処理装置と不揮発性メモリ装置とを含むコンピュータシステムのブロック図である。
【発明を実施するための形態】
【００１４】
次に、本発明に係るハードディスクドライブの前置増幅器及びそれを含むハードディスクドライブ並びにコンピュータシステムを実施するための形態の具体例を図面を参照しながら説明する。
【００１５】
図１は、本発明の実施形態による前置増幅器を含むデータ処理装置のブロック図である。
図１を参照すると、データ処理装置１０は、プロセッサ（ｐｒｏｃｅｓｓｏｒ）２０と前置増幅器３０とを含む。データ処理装置１０は、ハードディスクドライブ（Ｈａｒｄ Ｄｉｓｋ Ｄｒｉｖｅ；ＨＤＤ）の一部として具現可能である。
【００１６】
書き込み動作時に、プロセッサ２０は、メインプロセッサ（ｍａｉｎ ｐｒｏｃｅｓｓｏｒ；例えば、ＣＰＵまたはホスト（ｈｏｓｔ））から出力された書き込みデータＤＡＴＡを受信し、該受信された書き込みデータＤＡＴＡを前置増幅器３０で処理することができる多様な信号に変換し、該変換された多様な信号ＲＷｎ、ＷＤＸ、ＷＤＹ、ＳＤＡＴＡ、ＳＣＬＫ、及びＳＥＮを前置増幅器３０に伝送する。
【００１７】
信号のＳＤＡＴＡは、シリアルクロック（ｓｅｒｉａｌ ｃｌｏｃｋ）信号ＳＣＬＫに応答して、前置増幅器３０に伝送されるシリアルデータを意味し、信号のＳＥＮは、イネーブル（ｅｎａｂｌｅ）信号を意味する。したがって、前置増幅器３０は、イネーブル信号ＳＥＮがハイレベル（ｈｉｇｈ ｌｅｖｅｌ）に活性化された時、シリアルクロック信号ＳＣＬＫに応答して、入力されたシリアルデータ信号ＳＤＡＴＡを受信して解析し、該解析結果に従って動作を行う。
【００１８】
信号のＲＷｎは、アクセス（ａｃｃｅｓｓ）動作を指示するアクセス信号である。したがって、前置増幅器３０は、第１レベル（例えば、ローレベル（ｌｏｗ ｌｅｖｅｌ））を有するアクセス信号ＲＷｎに応答して、書き込み動作（ＷＲＩＴＥ）を行い、第２レベル（例えば、ハイレベル）を有するアクセス信号ＲＷｎに応答して、読み出し動作（ＲＥＡＤ）を行う。
【００１９】
信号のＷＤＸとＷＤＹは、書き込みデータＤＡＴＡに対応する差動信号である。
読み出し動作時に、プロセッサ２０は、前置増幅器３０から出力された差動信号ＲＤＸとＲＤＹを受信し、該受信された差動信号ＲＤＸとＲＤＹをメインプロセッサ（例えば、ＣＰＵまたはホスト）で処理することができる読み出しデータに変換し、該変換された読み出しデータをメインプロセッサに伝送する。
差動信号ＲＤＸとＲＤＹは、磁気記録媒体、例えば、ディスクから読み出された信号ＲＤＸ’とＲＤＹ’に対応する信号である。
【００２０】
本発明の実施形態による前置増幅器３０は、書き込み動作時、差動信号ＷＤＸとＷＤＹとの差ＷＤＬが基準信号Ｖｔｈより低い時、差動信号ＷＤＸとＷＤＹに対応する書き込み信号が、磁気記録媒体、例えば、ディスクに書き込まれること（これを、“ＤＣ書き込み”と言う）を防止する機能を有する。このようなＤＣ書き込みを防止する機能を有する前置増幅器３０を含むデータ処理装置１０は、ディスクに書き込まれたデータの信頼性を高めうる効果がある。

【００２１】
前置増幅器３０は、書き込み回路４０と読み出し回路５０とを含む。書き込み回路４０は、ローレベルを有するアクセス信号ＲＷｎに応答してイネーブルされ、読み出し回路５０は、ハイレベルを有するアクセス信号ＲＷｎに応答してイネーブルされる。
【００２２】
正常な書き込み動作が行われる時、書き込み回路４０は、書き込みデータＤＡＴＡに対応する差動信号ＷＤＸとＷＤＹを処理（例えば、バッファリング（ｂｕｆｆｅｒｉｎｇ）、増幅、または駆動（ｄｒｉｖｉｎｇ））し、該処理された差動信号ＷＤＸ’とＷＤＹ’を書き込みヘッド（図示せず）に伝送する。読み出し動作が行われる時、読み出し回路５０は、読み出しヘッド（図示せず）によってディスクから読み出された差動信号ＲＤＸ’とＲＤＹ’を受信し、該受信された差動信号ＲＤＸ’とＲＤＹ’を処理（例えば、バッファリング、増幅、または駆動）し、該処理された差動信号ＲＤＸとＲＤＹをプロセッサ２０に伝送する。
【００２３】
図２は、図１に示した前置増幅器の書き込み回路の一実施形態を示すブロック図である。
図２を参照すると、書き込み回路４０は、制御回路４２とドライバ４４とを含む。その名称にかかわらず、ドライバ４４は、差動信号ＷＤＸとＷＤＹを処理、例えば、バッファリング、または駆動することができる少なくとも一つの回路を意味する。
【００２４】
制御回路４２は、書き込みデータＤＡＴＡに対応する差動信号ＷＤＸとＷＤＹとの差と基準信号Ｖｔｈとの比較結果によって、書き込み制御信号ＤＥＴ又はＥＮ１を発生する。
ドライバ４４は、差動信号ＷＤＸとＷＤＹを処理し、該処理された差動信号ＷＤＸ’とＷＤＹ’を書き込みヘッドに伝送する。ドライバ４４は、書き込み制御信号ＤＥＴ又はＥＮ１に応答してイネーブルされるか、ディセーブルされる。
また他の実施形態として、ドライバ４４は、書き込み制御信号ＤＥＴ又はＥＮ１と書き込みアクティブ信号ＥＮ２とに応答してイネーブルされるか、ディセーブルされうる。書き込みアクティブ信号ＥＮ２は、シリアルデータＳＤＡＴＡの一部に含まれてプロセッサ２０から伝送することができる。
【００２５】
制御回路４２は、差検出器（４２－１）、デジタルアナログ変換器（４２－３）、及び比較器（４２－５）を含む。差検出器（４２－１）は、差動信号ＷＤＸとＷＤＹとの差を検出し、該検出された差（ＷＤＸ－ＷＤＹ、またはＷＤＹ－ＷＤＸ）を出力する。デジタルアナログ変換器（４２－３）は、デジタルコード（ｄｉｇｉｔａｌ　ｃｏｄｅ）ＷＩＴ＜Ｎ：０＞に対応する基準信号Ｖｔｈを生成する。デジタルコードＷＩＴ＜Ｎ：０＞は、シリアルデータＳＤＡＴＡの一部に含まれてプロセッサ２０から伝送することができる。
【００２６】
例えば、デジタルコードＷＩＴ＜１：０＞が“００”である場合、デジタルアナログ変換器（４２－３）は、７０ｍＶを出力し、デジタルコードＷＩＴ＜１：０＞が“０１”である場合、デジタルアナログ変換器（４２－３）は、１４０ｍＶを出力し、デジタルコードＷＩＴ＜１：０＞が“１０”である場合、デジタルアナログ変換器（４２－３）は、２８０ｍＶを出力し、デジタルコードＷＩＴ＜１：０＞が“１１”である場合、デジタルアナログ変換器（４２－３）は、４００ｍＶを出力することができる。ここで、７０ｍＶ、１４０ｍＶ、２８０ｍＶ、又は４００ｍＶは、ＤＣ電圧を意味し、またオシレーション（ｏｓｃｉｌｌａｔｉｏｎ）信号のピークツウピーク（ｐｅａｋ－ｔｏ－ｐｅａｋ）電圧を意味する。また、オシレーション信号の周波数は、差動信号ＷＤＸとＷＤＹのそれぞれの周波数と同一であり得る。
【００２７】
比較器（４２－５）は、差検出器（４２－１）から出力された信号ＷＤＬと基準信号Ｖｔｈとの比較結果に対応する比較信号ＤＥＴを生成する。比較信号ＤＥＴは、書き込み制

御信号としてドライバ４４に直接伝送される。図２に示した比較器（４２－５）の入力端子の極性は、説明の便宜のためのものであって、他の実施形態では反対にもなりうる。

比較信号ＤＥＴは直接ドライバ４４に伝送されたり、図２に示したように、比較信号ＤＥＴは、ラッチ（ｌａｔｃｈ）（４２－７）を経由してドライバ４４に伝送することができる。すなわち、ラッチ（４２－７）は、比較信号ＤＥＴをラッチする。この場合、ドライバ４４は、ラッチ（４２－７）から出力された書き込み制御信号ＥＮ１に応答してイネーブル又はディセーブルされる。

【００２８】

ラッチ（４２－７）は、前置増幅器３０の読み出し動作（ＲＥＡＤ）を指示するハイレベルを有するアクティブ信号ＲＷｎに応答して初期化されうる。制御回路４２は、イネーブル信号ＷＩＳに応答してイネーブルまたはディセーブルされる。例えば、制御回路４２が、ローレベルとハイレベルのうちの何れか一つのレベルを有するイネーブル信号ＷＩＳに応答してイネーブルされる場合、ドライバ４４は、選択的にドライバ４４の出力信号である差動信号ＷＤＸ’とＷＤＹ’を書き込みヘッドに伝送する。また、制御回路４２が、ローレベルとハイレベルのうちの他の一つのレベルを有するイネーブル信号ＷＩＳに応答してディセーブルされる場合、ドライバ４４は、無条件にドライバ４４の出力信号である差動信号ＷＤＸ’とＷＤＹ’を書き込みヘッドに伝送する。

【００２９】

図３は、図１に示した前置増幅器の書き込み回路の他の実施形態を示すブロック図である。

図３を参照すると、書き込み回路４０’は、ドライバ４１、及び制御回路４２’を含む。

【００３０】

ドライバ４１は、書き込みデータＤＡＴＡに対応する差動信号ＷＤＸとＷＤＹを処理し、該処理された差動信号ＷＤＸ’とＷＤＹ’をスイッチング回路（４２－９）を通じて書き込みヘッドに出力する。制御回路４２’は、差動信号ＷＤＸとＷＤＹとの差と基準信号Ｖｔｈとの比較結果によって、ドライバ４１の出力信号である差動信号ＷＤＸ’とＷＤＹ’の書き込みヘッドへの伝送を許可するか、又は遮断する。

【００３１】

図３に示したドライバ４１とスイッチング回路（４２－９）とを除けば、図３の書き込み回路４０’と図２の書き込み回路４０は、実質的に同一である。すなわち、図２に示した書き込み回路４０では、ドライバ４４がイネーブル又はディセーブルさせ、図３に示した書き込み回路４０’では、スイッチング回路（４２－９）がイネーブル又はディセーブルさせる。

スイッチング回路（４２－９）は、書き込み制御信号（すなわち、ラッチ（４２－７）がない場合には、比較器（４２－５）の出力信号である書き込み制御信号ＤＥＴ、またはラッチ（４２－７）がある場合には、ラッチ（４２－７）の出力信号である書き込み制御信号ＥＮ１）に応答して、ドライバ４１と書き込みヘッドとの接続をスイッチングする。

【００３２】

制御回路４２’は、イネーブル信号ＷＩＳに応答してイネーブルまたはディセーブルされる。例えば、制御回路４２’が、ローレベルとハイレベルのうちの何れか一つのレベルを有するイネーブル信号ＷＩＳに応答してイネーブルされる場合、スイッチング回路（４２－９）は、選択的にドライバ４１の出力信号である差動信号ＷＤＸ’とＷＤＹ’を書き込みヘッドに伝送する。また、制御回路４２’が、上記ローレベルとハイレベルのうちの他の一つのレベルを有するイネーブル信号ＷＩＳに応答してディセーブルされる場合、スイッチング回路（４２－９）は、無条件にドライバ４１の出力信号である差動信号ＷＤＸ’とＷＤＹ’を書き込みヘッドに伝送する。

【００３３】

図４は、図２に示した前置増幅器の書き込み回路の一実施形態を示す動作タイミング図である。

図１、図２、及び図４を参照して、書き込みアクティブ信号ＥＮ２がローレベルを有する時、書き込み回路４０の動作を説明すれば、次の通りである。

【００３４】

アクセス信号ＲＷｎがローレベルである時、すなわち、書き込み動作時に、差動信号ＷＤＸとＷＤＹとの差ＷＤＬが基準信号Ｖｔｈより高ければ、比較器（４２－５）は、ローレベルを有する比較結果の出力信号である書き込み制御信号ＤＥＴを出力する。したがって、比較器（４２－５）の出力信号である書き込み制御信号ＤＥＴ（＝ＥＮ１）またはラッチ（４２－７）の出力信号ＥＮ１は、ローレベルであるので、ドライバ４４は、ローレベルを有する書き込み制御信号ＤＥＴ又はＥＮ１に応答してオン（ＯＮ）またはイネーブルされる。ドライバ４４は、差動信号ＷＤＸとＷＤＹを処理し、該処理された差動信号ＷＤＸ’とＷＤＹ’を書き込みヘッドに出力するので、書き込みヘッドは、差動信号ＷＤＸ’とＷＤＹ’をディスクに書き込む正常な書き込み動作を行う。

【００３５】

しかし、差動信号ＷＤＸとＷＤＹとの差ＷＤＬが基準信号Ｖｔｈより低ければ、比較器（４２－５）は、ハイレベルを有する比較結果の出力信号である書き込み制御信号ＤＥＴを出力するので、比較器（４２－５）の出力信号である書き込み制御信号ＤＥＴ又はラッチ（４２－７）の出力信号である書き込み制御信号ＥＮ１は、ハイレベルである。したがって、ドライバ４４は、ハイレベルを有する書き込み制御信号ＤＥＴ又はＥＮ１に応答してオフ（ＯＦＦ）又はディセーブルされる。この時、ドライバ４４は、差動信号ＷＤＸとＷＤＹを出力することができないので、書き込みヘッドは、書き込み動作を行うことができない。

【００３６】

読み出し動作を行うために、アクセス信号ＲＷｎがローレベルからハイレベルに遷移すれば、ラッチ（４２－７）に保存されたデータ、すなわち、比較器（４２－５）の出力信号である書き込み制御信号ＤＥＴに対応するビット値（例えば、０または１）は初期化される。すなわち、ラッチ（４２－７）の出力信号である書き込み制御信号ＥＮ１は、ローレベルになる。読み出し動作が終了した後、書き込み動作は、差動信号ＷＤＸとＷＤＹとの差ＷＤＬと基準信号Ｖｔｈとを比較する動作から再び始まる。

【００３７】

図１、図３、及び図４を参照して、書き込みアクティブ信号ＥＮ２がローレベルを有する時、書き込み回路４０’の動作を説明すれば、次の通りである。

アクセス信号ＲＷｎがローレベルである時、すなわち、書き込み動作時に、差動信号ＷＤＸとＷＤＹとの差ＷＤＬが基準信号Ｖｔｈより高ければ、比較器（４２－５）は、ローレベルを有する比較結果の出力信号である書き込み制御信号ＤＥＴを出力するので、比較器（４２－５）の出力信号である書き込み制御信号ＤＥＴ又はラッチ（４２－７）の出力信号ＥＮ１は、ローレベルである。

【００３８】

この時、スイッチング回路（４２－９）は、ローレベルを有する書き込み制御信号ＤＥＴ又はＥＮ１に応答してオン又はイネーブルされる。ドライバ４１は、差動信号ＷＤＸとＷＤＹを処理し、該処理された差動信号ＷＤＸ’とＷＤＹ’をスイッチング回路（４２－９）に出力し、スイッチング回路（４２－９）は、ドライバ４１から出力された差動信号ＷＤＸ’とＷＤＹ’を書き込みヘッドに出力する。書き込みヘッドは、差動信号ＷＤＸ’とＷＤＹ’をディスクに書き込む正常な書き込み動作を行う。

【００３９】

しかし、差動信号ＷＤＸとＷＤＹとの差ＷＤＬが基準信号Ｖｔｈより低ければ、比較器（４２－５）は、ハイレベルを有する比較結果の出力信号である書き込み制御信号ＤＥＴを出力するので、比較器（４２－５）の出力信号である書き込み制御信号ＤＥＴ又はラッチ（４２－７）の出力信号である書き込み制御信号ＥＮ１は、ハイレベルである。したがって、スイッチング回路（４２－９）は、ハイレベルを有する書き込み制御信号ＤＥＴ又はＥＮ１に応答してオフ又はディセーブル（ｄｉｓａｂｌｅ）されるので、スイッチング

回路（４２－９）は、ドライバ４１から出力された差動信号ＷＤＸ’とＷＤＹ’を書き込みヘッドに出力することができない。したがって、差動信号ＷＤＸとＷＤＹとの差ＷＤＬが基準信号Ｖｔｈより低い時、書き込みヘッドは、書き込み動作を行うことができない。

【００４０】

読み出し動作を行うために、アクセス信号ＲＷｎがローレベルからハイレベルに遷移すれば、ラッチ（４２－７）に保存されたデータは初期化される。すなわち、ラッチ（４２－７）の出力信号である書き込み制御信号ＥＮ１は、ローレベルになる。読み出し動作が終了した後、書き込み動作は、差動信号ＷＤＸとＷＤＹとの差ＷＤＬと基準信号Ｖｔｈとを比較する動作から再び始まる。

【００４１】

図５は、図２に示した前置増幅器の書き込み回路の他の実施形態を示す動作タイミング図である。

図１、図２、及び図５を参照して、書き込み制御信号ＤＥＴ又はＥＮ１と書き込みアクティブ信号ＥＮ２のそれぞれがハイレベルである時、書き込み回路４０の動作を説明すれば、次の通りである。

【００４２】

差動信号ＷＤＸとＷＤＹの差ＷＤＬが基準信号Ｖｔｈより低ければ、比較器（４２－５）は、ハイレベルを有する比較結果の出力信号である書き込み制御信号ＤＥＴを出力するので、比較器（４２－５）の出力信号である書き込み制御信号ＤＥＴ又はラッチ（４２－７）の出力信号である書き込み制御信号ＥＮ１は、ハイレベルである。したがって、ドライバ４４は、書き込み制御信号ＤＥＴ又はＥＮ１と書き込みアクティブ（ａｃｔｉｖｅ）信号ＥＮ２とに応答してオン又はイネーブルされるので、ドライバ４４は、差動信号ＷＤＸとＷＤＹを処理し、該処理された差動信号ＷＤＸ’とＷＤＹ’を書き込みヘッドに出力する。したがって、書き込みヘッドは、差動信号ＷＤＸ’とＷＤＹ’をディスクに書き込む正常な書き込み動作を行う。

【００４３】

次いで、図１、図３、及び図５を参照して、書き込み制御信号ＤＥＴ又はＥＮ１と書き込みアクティブ信号ＥＮ２のそれぞれがハイレベルである時、書き込み回路４０’の動作を説明すれば、次の通りである。

差動信号ＷＤＸとＷＤＹとの差ＷＤＬが基準信号Ｖｔｈより低ければ、比較器（４２－５）は、ハイレベルを有する比較結果の出力信号である書き込み制御信号ＤＥＴを出力するので、比較器（４２－５）の出力信号である書き込み制御信号ＤＥＴ又はラッチ（４２－７）の出力信号である書き込み制御信号ＥＮ１は、ハイレベルである。したがって、スイッチング回路（４２－９）は、書き込み制御信号ＤＥＴ又はＥＮ１と書き込みアクティブ信号ＥＮ２とに応答してオン又はイネーブルされる。ドライバ４１は、差動信号ＷＤＸとＷＤＹを処理し、該処理された差動信号ＷＤＸ’とＷＤＹ’を書き込みヘッドに出力する。結果として、差動信号ＷＤＸとＷＤＹとの差ＷＤＬが基準信号Ｖｔｈより低くても、書き込みヘッドは、差動信号ＷＤＸ’とＷＤＹ’をディスクに書き込む正常な書き込み動作を行う。

【００４４】

図６は、本発明の実施形態による前置増幅器の動作を示すフローチャートである。

図１～図６を参照すると、制御回路４２又は４２’の比較器（４２－５）は、差動信号ＷＤＸとＷＤＹとの差ＷＤＬと基準信号Ｖｔｈとを比較し（ステップＳ１０）、差動信号ＷＤＸとＷＤＹとの差ＷＤＬが基準信号Ｖｔｈより高い場合、図２のドライバ４４の出力信号である差動信号ＷＤＸ’とＷＤＹ’、又は図３のドライバ４１の出力信号である差動信号ＷＤＸ’とＷＤＹ’は、書き込みヘッドに伝送される。したがって、正常な書き込み動作が行われる（ステップＳ２０）。

【００４５】

しかし、差動信号ＷＤＸとＷＤＹの差ＷＤＬが基準信号Ｖｔｈより低い場合、ハイレベルを有する書き込み制御信号ＤＥＴ又はＥＮ１は、図２のドライバ４４又は図３のスイッ

チング回路（４２－９）に伝送される。そして、ステップＳ３０にて書き込みアクティブ信号ＥＮ２の状態がチェックされる。図５に示したように、書き込みアクティブ信号ＥＮ２がハイレベルである時、差動信号ＷＤＸとＷＤＹとの差ＷＤＬが基準信号Ｖｔｈより低くても、図２のドライバ４４のである差動信号出力信号ＷＤＸ’とＷＤＹ’、又は図３のドライバ４１の出力信号である差動信号ＷＤＸ’とＷＤＹ’は、書き込みヘッドに伝送される。したがって、正常な書き込み動作が行われる（ステップＳ２０）。

【００４６】

しかし、図４に示したように、書き込みアクティブ信号ＥＮ２がローレベルである時、図２のドライバ４４、又は図３のスイッチング回路（４２－９）は、ディセーブルされるので、図２のドライバ４４の出力信号である差動信号ＷＤＸ’とＷＤＹ’、又は図３のドライバ４１の出力信号である差動信号ＷＤＸ’とＷＤＹ’は、書き込みヘッドに伝送されない。したがって、書き込み動作は止まる（ステップＳ４０）。

【００４７】

従って、書き込み動作が行われている途中で、差動信号ＷＤＸとＷＤＹとの差ＷＤＬが基準信号Ｖｔｈより低くなる（または、小くなる）場合、前置増幅器３０の制御回路４２又は４２’は、書き込みデータＤＡＴＡに対応する差動信号ＷＤＸとＷＤＹ、または差動信号ＷＤＸとＷＤＹに対応する差動信号ＷＤＸ’とＷＤＹ’が、書き込みヘッドに伝送されることを遮断する。したがって、データ処理装置１０の書き込みデータの信頼性は増加する。

【００４８】

図７は、図１に示したデータ処理装置を含むコンピュータシステムのブロック図である。

図７に示したコンピュータシステム１００は、ハードディスクドライブ１０、及びハードディスクドライブ１０の書き込み動作又は読み出し動作を制御するためのメインプロセッサ１１０を含む。

【００４９】

図１～図７を参照すると、ハードディスクドライブ１０は、ディスクのような磁気記録媒体、磁気記録媒体に書き込み信号を書き込むための書き込みヘッド、及び書き込み信号を書き込みヘッドに供給するための前置増幅器３０を含む。前置増幅器３０は、プロセッサ２０の制御下で、メインプロセッサ１１０から出力された書き込みデータに対応する差動信号をバッファリングして、書き込み信号を生成するためのバッファを含む。

【００５０】

また、前置増幅器３０は、差動信号間の差と基準信号との比較結果によって、書き込み信号が、書き込みヘッドに伝送するか否かの制御を行う制御回路４２又は４２’を含む。

書き込みヘッドは、ＰＭＲ（Ｐｅｒｐｅｎｄｉｃｕｌａｒ Ｍａｇｎｅｔｉｃ Ｒｅｃｏｒｄｉｎｇ）ヘッドとして具現可能である。例えば、図１～図７を参照して説明した技術的思想は、ＰＭＲヘッドを使うハードディスクドライブで使われる。

【００５１】

図８は、図１に示したデータ処理装置と不揮発性メモリ装置とを含むコンピュータシステムのブロック図である。

図８に示したコンピュータシステム２００は、磁気的記録装置であるＨＤＤ１０と電子的記録装置である不揮発性メモリ２１０とを含む。不揮発性メモリ２１０が、ＨＤＤ１０の内部に具現される場合、ＨＤＤ１０は、ハイブリッドＨＤＤの機能を行う。不揮発性メモリ２１０は、フラッシュ（ｆｌａｓｈ）メモリセルを含みうる。

【００５２】

メインプロセッサ１１０は、ＨＤＤ１０のディスクにデータを書き込むために、又はディスクからデータを読み出すために、ＨＤＤ１０の動作を制御する。また、メインプロセッサ１１０は、不揮発性メモリ２１０にデータを書き込むために、又は不揮発性メモリ２１０からデータを読み出すために、ＨＤＤ１０の動作を制御する。また、メインプロセッサ１１０は、必要に応じてデータをＨＤＤ１０または不揮発性メモリ２１０に書き込むこ

とができる。

【００５３】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【産業上の利用可能性】

【００５４】

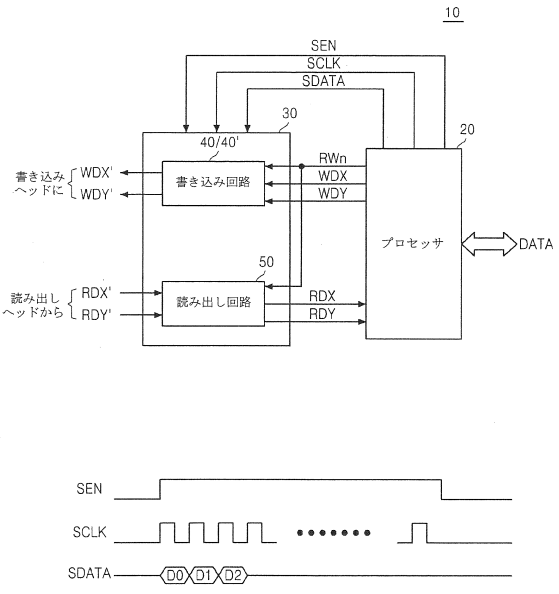
本発明は、ハードディスクドライブを有する全ての電子機器に好適に使用される。

【符号の説明】

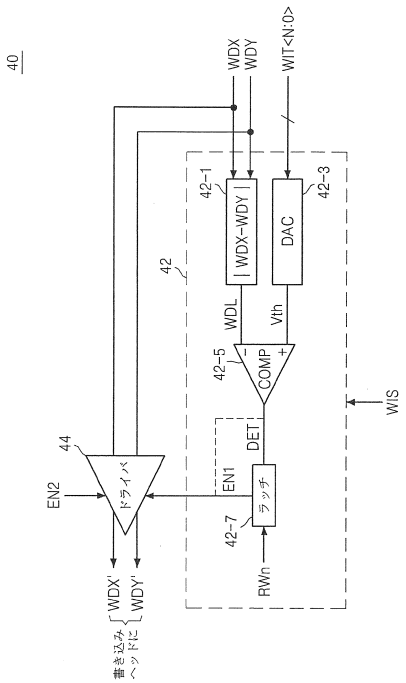
【００５５】

１０　データ処理装置（ハードディスクドライブ：ＨＤＤ）
２０　プロセッサ
３０　前置増幅器
４０、４０’　書き込み回路
４１、４４　ドライバ
４２、４２’　制御回路
４２－１　差検出器
４２－３　デジタルアナログ変換器
４２－５　比較器
４２－７　ラッチ
４２－９　スイッチング回路
５０　読み出し回路
１００、２００　コンピュータシステム
１１０　メインプロセッサ
２１０　不揮発性メモリ

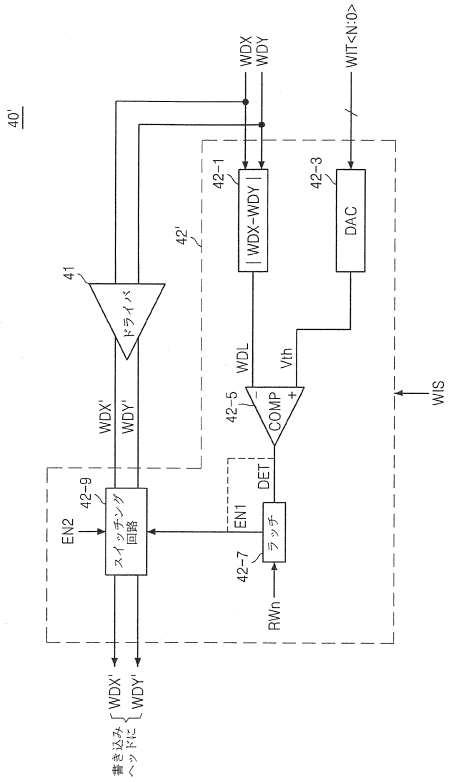
【図１】



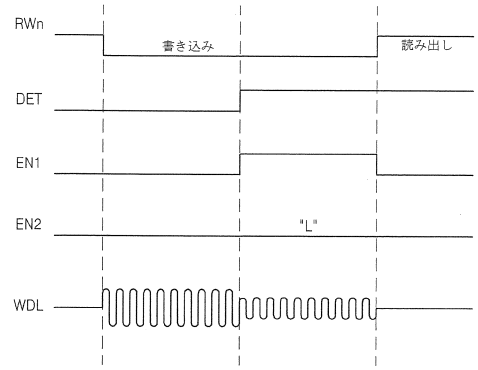
【図２】



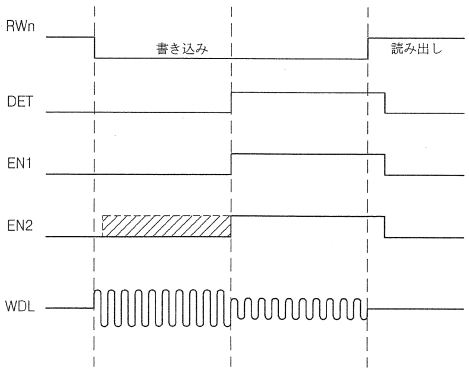
【図３】



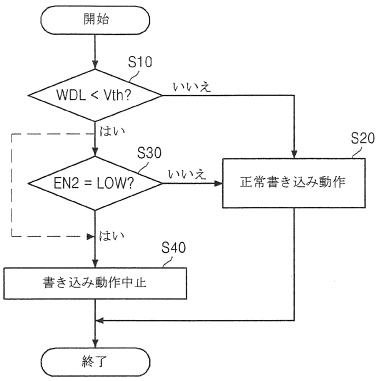
【図４】



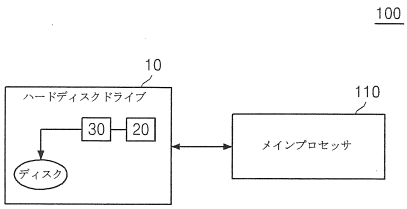
【図５】



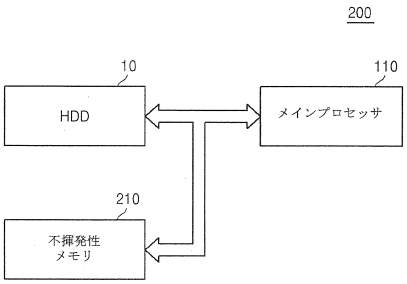
【図６】



【図７】



【図８】



フロントページの続き

(72)発明者　洪　慶　鎬
大韓民国京畿道烏山市園洞大林イーピョンハンセサン１団地アパート１１３棟１３０２号

審査官　斎藤　眞

(56)参考文献　特開２００６－２６９０３３（ＪＰ，Ａ）
特開２００４－２４１０４３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｂ　　５／００－５／０２４
Ｇ１１Ｂ　　５／０９
Ｇ１１Ｂ　２０／１０