

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年2月7日(07.02.2013)



(10) 国際公開番号
WO 2013/018218 A1

- (51) 国際特許分類:
G06F 15/177 (2006.01) G06F 1/12 (2006.01)
- (21) 国際出願番号: PCT/JP2011/067803
- (22) 国際出願日: 2011年8月3日(03.08.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 左木 茂克 (SAGI, Shigekatsu) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 宏明(SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目2番5号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: SYNCHRONIZATION CONTROL DEVICE, COMPUTATIONAL PROCESSING DEVICE, PARALLEL COMPUTER SYSTEM AND CONTROL METHOD FOR SYNCHRONIZATION CONTROL DEVICE

(54) 発明の名称: 同期制御装置、演算処理装置、並列計算機システムおよび同期制御装置の制御方法

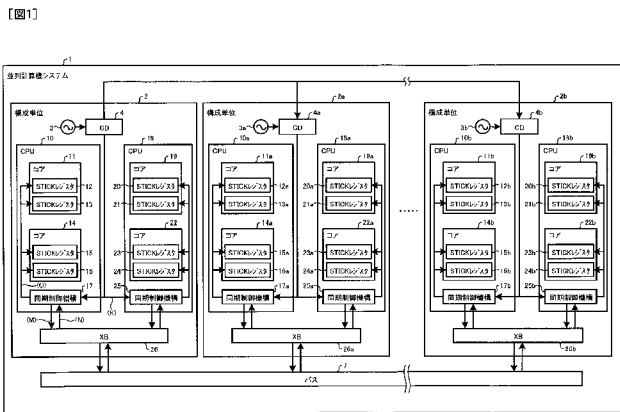


FIG. 1:
1 Parallel computer system
2, 2a, 2b Unit
7 Bus
12, 12a, 12b, 13, 13a, 13b, 15, 15a, 15b, 16, 16a, 16b, 20, 20a, 20b, 21, 21a, 21b, 23, 23a, 23b, 24, 24a, 24b STICK register
11, 11a, 11b, 14, 14a, 14b, 19, 19a, 19b, 22, 22a, 22b Core
17, 17a, 17b, 25, 25a, 25b Synchronization control mechanism

(57) Abstract: This synchronization control device (17) detects rising or falling of a divided clock signal, into which a CD (4) has divided a clock signal into 1/N periods. In addition, the synchronization control device (17) monitors the elapsed time from the rising or the falling of the divided clock signal so as to monitor a second timing for updating a STICK register (15) possessed by a CPU (10). Furthermore, the synchronization control device (17) generates a control clock in which the divided clock signal which has been divided by the CD (4) is multiplied by N times. Also, the synchronization control device (17) receives synchronization requests from other CPUs via an XB (26). Then, the synchronization control device (17) receives the synchronization requests from the other CPUs and if the second timing is detected, outputs the generated control clock.

(57) 要約: 同期制御装置(17)は、CD(4)がクロック信号を1/Nに分周した分周クロック信号の立ち上がり又は立ち下がりを検出する。また、同期制御装置(17)は、分周クロック信号の立ち上がり又は立ち下りからの経過時間を監視して、CPU(10)が有するSTICK

レジスタ(15)を更新する第2のタイミングを監視する。また、同期制御装置(17)は、CD(4)が分周した分周クロック信号をN倍に通倍した制御クロックを生成する。また、同期制御装置(17)は、XB(26)を介して、他のCPUからの同期要求を受信する。そして、同期制御装置(17)は、他のCPUからの同期要求を受信し、かつ、第2のタイミングを検出した場合に、生成した制御クロックを出力する。



WO 2013/018218 A1

明 細 書

発明の名称：

同期制御装置、演算処理装置、並列計算機システムおよび同期制御装置の制御方法

技術分野

[0001] 本発明は、同期制御装置、演算処理装置、並列計算機システムおよび同期制御装置の制御方法に関する。

背景技術

[0002] 従来、複数のCPU (Central Processing Unit) を有する並列計算機システムが知られている。このような並列計算機システムの一例として、各CPUが有するSystem TICKレジスタ (以下、STICKレジスタと記載する。) に格納された値をそろえることで、各CPUが実行する処理を同期させる技術が知られている。

[0003] 図21は、従来の並列計算機システムの一例を説明するための図である。図21に示す例では、並列計算機システム70は、発振器71、基準信号生成部72、複数のCPU73~73e、複数のクロスバチップ (以下XBと記載する) 74~74b、バス75を有する。

[0004] CPU73は、複数のコア76、79を有し、各コア76、79の内部に他のCPU73a~73eと同期して処理を実行するためのSTICKレジスタ77、80を有する。また、CPUは、STICKレジスタに格納される値を他のCPUと同期させるための同期制御機構90を有する。なお、CPU73a~73eは、CPU73と同様の機能を発揮するものとして、以下の説明を省略する。

[0005] このような並列計算機システム1が有する基準信号生成部72は、発振器71から入力された信号に応じて、各CPU73~73eが有する各STICKレジスタ77~77e、80~80eに格納される値をカウントアップさせる基準信号を生成する。そして、基準信号生成部72は、接続線の長さ

等の信号伝送特性が管理された伝送路を介して、生成した基準信号を最小のスキューで各CPU 73～73eに供給する。つまり、基準信号生成部72は、各CPU 73～73eに対して、同じ位相の基準信号を供給する。

[0006] 図22は、従来のCPUを説明するための図である。図22に示すように、CPU 73は、コア76、コア79、同期制御機構90を有し、コア76は、STICKレジスタ77とIU (Instruction Control Unit) 78を、コア79は、STICKレジスタ80、IU 81を有する。このようなCPU 73は、図22中(A)に示す経路を介して、基準信号生成部72から供給された基準信号を同期制御機構90に供給する。

[0007] また、IU 78、81は、実行中のソフトウェアがCPU 73～73eが実行する処理の同期を要求した場合には、図22中(B)に示すように、同期制御機構90に対して、各CPU 73～73eが実行する処理の同期を要求する。このような場合には、同期制御機構90は、図22中(C')に示すように、STICKレジスタのカウント開始やカウント停止を示す同期要求を、自身を含めた各CPU 73～73eが有する同期制御機構90～90eへブロードキャスト送信する。

[0008] ここで、各CPU 73～73e、XB 74～74b、バス75は、信号伝送特性が管理された、一定のレイテンシが期待できるパラレルバスによって接続されている。このため、各同期制御機構90～90eは、図22中(C)に示すようにブロードキャスト送信された同期要求を同じタイミングで受信する。そして、同期制御機構90は、図22中(D)に示すように、同期要求を受信したタイミングに基づいて、STICKレジスタ77、80に格納する値のカウント開始やカウント停止を実行する。

[0009] このような処理を実行することによって、各同期制御機構90～90eは、同じタイミングで各STICKレジスタ77～77e、80～80eに格納された値のカウントアップを開始し、各CPU 73～73eが実行する処理を同期させる。

[0010] 以下、図を用いて、各同期制御機構90～90eの一例を説明する。図2

3は、従来の同期制御機構を説明するための図である。例えば、同期制御機構90は、シンクロナイザ91、アップエッジディテクタ92、フェイズカウンタ93、設定レジスタ94a、比較器94b、設定レジスタ95a、比較器95b、制御パケット送信部96、制御パケット受信部97を有する。また、制御パケット送信部96は、送信バッファ96a、出力回路96b、エンコーダ96cを有する。また、制御パケット受信部97は、デコーダ97a、受信バッファ97b、更新回路97cを有する。なお、図23中に示す経路(A)～(D)は、図22中の経路(A)～(D)に対応する。

[0011] シンクロナイザ91は、図23中(A)に示す経路を介して受信した基準信号をコア73のコアクロックと同期させる。アップエッジディテクタ92は、コアクロックと同期した基準信号のアップエッジを検出する。フェイズカウンタ93は、コアクロックの周期の数を計数しており、アップエッジディテクタ92がアップエッジを検出するたびに、計数していたコアクロックの周期の数をリセットする。つまり、フェイズカウンタ93は、コアクロックを用いて、基準信号のアップエッジから経過した時間を計測する。

[0012] ここで、設定レジスタ94aおよび設定レジスタ95aには、予め所定の値が設定されている。そして、比較器94bは、フェイズカウンタ93の値が設定レジスタ94aに設定された値と同一の値となった場合には、出力回路96bにイネーブル信号を出力する。また、比較器95bは、フェイズカウンタ93の値が設定レジスタ95bに設定された値と同一の値となった場合には、更新回路97cにイネーブル信号を出力する。

[0013] つまり、比較器94bは、基準信号のアップエッジから設定レジスタ94aに設定された時間が経過した場合には、出力回路96bにイネーブル信号を出力する。また、比較器95bは、基準信号のアップエッジから設定レジスタ95aに設定された時間が経過した場合には、更新回路97cにイネーブル信号を出力する。以下の説明においては、比較器94bがイネーブル信号を送信するタイミングを「XBC Timing」と記載し、比較器95bがイネーブル信号を出力するタイミングを「REG-WR Timing」と記載する。

」と記載する。

[0014] 制御パケット送信部96は、図23中(B)に示す経路を介して、IU78から同期要求を受信した場合には、受信した同期要求を送信バッファ96aに格納する。そして、制御パケット送信部96は、出力回路96bにイネーブル信号が入力された場合、つまり、フェイズカウンタ93が計測した時間が「XBC Timing」となった場合には、以下の処理を実行する。すなわち、制御パケット送信部96は、エンコーダ96cを用いて、同期要求をパケット化し、図23中(C')に示す経路およびXB75を介して、同期要求のパケットをブロードキャスト送信する。

[0015] 一方、制御パケット受信部97は、図23中(C)に示す経路を介して、同期要求のパケットを受信した場合には、デコーダ97aを用いてパケットをデコードし、同期要求を受信バッファ97bに格納する。そして、更新回路97cは、イネーブル信号が入力された場合、つまり、フェイズカウンタ93が計測した時間が「REG-WR Timing」となった場合には、以下の処理を実行する。

[0016] すなわち、更新回路97cは、受信バッファ97bに格納されている同期要求が各CPUのカウント開始を示している場合には、制御レジスタ98に「0」を格納する。この結果、同期制御機構90は、図23中(D)で示す経路を介して、基準信号をSTICKレジスタ77に出力し、STICKレジスタ77のカウントを開始する。つまり、同期制御機構90は、同期要求を受信した直後に、位相計数回路が「REG-WR Timing」を示したタイミングで、STICKレジスタのカウントを開始する。

[0017] 図24は、STICKレジスタのカウントを開始するタイミングを説明するための図である。図24には、図23中(A)を介して受信する基準信号、図23中(B)を介して受信する同期要求、図23中(C)を介して受信するパケット、図23中(D)を介して出力する基準信号を記載した。また、図24には、各CPU73~73eがパケットを受信するタイミング、各CPU73~73eがSTICKレジスタのカウントを行うタイミングを示

す。まず、同期制御機構90は、図23中(E)に示すように、IU78から同期要求を受信した場合には、図24中(F)に示す「XBC Timing」で、同期要求が格納されたパケットを各CPU73~73eにブロードキャスト送信する。

[0018] すると、各CPU73~73e、各XB74~74b、バス75は、レイテンシが保障されたパラレルバスで接続されているので、各CPU73~73eは、図24中(H)に示すように、同じタイミングで同期要求が格納されたパケットを受信する。その後、各動機制御機構90~90eは、図24中(G)に示す「REG-WR Timing」で、STICKレジスタのカウントを開始する。

先行技術文献

特許文献

[0019] 特許文献1：特開平10-233766号公報

特許文献2：特開平10-243483号公報

発明の概要

発明が解決しようとする課題

[0020] しかしながら、上述した同期要求をブロードキャスト送信する技術では、各CPU間が制御信号と制御信号の制御対象であるデータとが分離されるパラレルバスではなく、制御信号とデータを1本の信号線で送信するシリアルリンク等の伝送レイテンシが一定しない方式で接続された場合には、適切に同期制御を行うことができないという問題がある。

[0021] 図25は、各CPU間の伝送レイテンシが一定しない場合にSTICKレジスタのカウントを開始するタイミングがCPU間で揃わない場合を説明するための図である。なお、図25に示す例では、各CPU73~73aは、シリアルリンクによって接続されている。また、図25中(E)は、図24中(E)と同様に、IU79から同期要求を受信するタイミングを示し、図25中(F)は、図24中の(F)と同様「XBC Timing」を示す

。また、図25中(G)は、図24中の(G)と同様「REG-WR Timing」を示す。また、図25には、図24と同様に各CPU73~73eがパケットを受信するタイミング、各CPU73~73eがSTICKレジスタのカウントを行うタイミングを示す。

[0022] 例えば、図25中(E)に示すように、IU78が同期要求を発行した場合には、CPU62は、図25中(F)に示す「XBC Timing」で各CPU73~73eに同期要求をブロードキャスト送信する。ここで、シリアルリンクにおいては、一定確率の伝送エラーの発生を許容することにより、伝送エラーの発生を許容しない場合よりもCPU73~73e間のスループットを高くする。すなわち、一定確率の伝送エラーの発生を許容するシリアルリンクにおいては、伝送エラーが発生した場合には、データを再送することにより伝送エラーの救済を行うので、伝送エラーを許容しない場合よりも伝送レイテンシが増加する。そのため、伝送エラーの発生を許容しない信号伝送と異なり、シリアルリンクを用いた信号伝送においては伝送レイテンシが一定しない。

[0023] このため、図25中(I)に示すように、CPU73a、73b、73eに伝送エラーが発生した場合には、各CPU62~69は、ブロードキャストされた同期要求をそれぞれ異なるタイミングで受信する。この結果、図25中(G)に示す「REG-WR Timing」でSTICKレジスタのカウントを開始するCPUと、図25中(J)に示す「REG-WR Timing」でSTICKレジスタのカウントを開始するCPUとが混在してしまう。図25に示す例では、CPU73aとCPU73bが、他のCPU73、73c~73eとは異なるタイミングでカウントを開始する。つまり、異なるタイミングでSTICKレジスタのカウントを開始するCPUが混在する。

[0024] この結果、各CPU73~73eは、各STICKレジスタ77~77e、80~80eに格納される値をそろえることができないので、同期して処理を実行することができないという問題がある。

[0025] 1つの側面では、本発明は、CPU間がシリアルリンク等の伝送レイテンシが一定しない方式で接続された場合に、同期制御を行えるようにすることを目的とする。

課題を解決するための手段

[0026] 1つの側面では、入力したクロック信号を $1/N$ に分周するクロック分周器に接続する、データ転送装置を介して他の演算処理装置に接続する演算処理装置が有する同期制御装置である。また、同期制御装置は、クロック分周器が分周した分周クロック信号の立ち上がり又は立ち下がりを検出する検出部と、検出部が検出した分周クロック信号の立ち上がり又は立ち下りからの経過時間を監視する監視部を有する。ここで、監視部は、データ転送装置への同期要求を送信する第1のタイミングと、演算処理装置が有する同期レジスタを更新する第2のタイミングを監視する。また、同期制御装置は、クロック分周器が分周した分周クロック信号をN倍に逡倍した制御クロックを生成するクロック生成部を有する。また、同期制御装置は、データ転送装置を介して、他の演算処理装置からの同期要求を受信する同期要求受信部を有する。そして、同期制御装置は、同期要求受信部が他の演算処理装置からの同期要求を受信し、かつ、監視部が第2のタイミングを検出した場合に、クロック生成部が生成した制御クロックを出力するクロック制御部を有する。また、同期制御装置は、監視部が第1のタイミングを検出した場合に、データ転送装置を介して、同期要求を他の演算処理装置に送信する同期要求送信部を有する。

発明の効果

[0027] 一つの実施態様では、各CPU間がシリアルリンク等の伝送レイテンシが一定しない方式で接続された場合に同期制御を行なうことができる。

図面の簡単な説明

[0028] [図1]図1は、実施例1に関わる並列計算機システムの一例を説明するための図である。

[図2]図2は、実施例1に係るCPUの一例を説明するための図である。

[図3]図3は、実施例1に関わる同期制御機構の一例を説明するための図である。

[図4]図4は、同期要求を格納した制御パケットの一例を説明するための図である。

[図5a]図5aは、実施例1に係る同期制御機構の一例を説明するための図である。

[図5b]図5bは、同期制御機構の動作の一例を説明するための図(1)である。

[図5c]図5cは、同期制御機構の動作の一例を説明するための図(2)である。

[図5d]図5dは、同期制御機構の動作の一例を説明するための図(3)である。

[図6]図6は、実施例1に係るSTICKレジスタのカウントを開始するタイミングを説明するためのタイムチャートである。

[図7]図7は、実施例2に関わる並列計算機システムの一例を説明するための図である。

[図8]図8は、実施例2に係るCPUの一例を説明するための図である。

[図9]図9は、実施例2に係る同期制御機構を説明するための図である。

[図10]図10は、実施例2に係る同期制御機構の一例を説明するための図である。

[図11]図11は、実施例2に係るSTICKレジスタのカウントを開始するタイミングを説明するためのタイムチャートである。

[図12]図12は、実施例3に関わる並列計算機システムの一例を説明するための図である。

[図13]図13は、実施例3に係る並列計算機システムの一部を説明するための図である。

[図14]図14は、実施例3に係る構成要素の一例を説明するための図である。

[図15]図15は、実施例3に係る同期制御機構について説明するための図である。

[図16]図16は、実施例3に係るBCパイプライン機構を説明するための図である。

[図17]図17は、BCパイプライン機構の一例を説明するための図である。

[図18]図18は、同期制御機構が制御パケットをBCパイプライン機構に送信するタイミングを説明するタイムチャートである。

[図19]図19は、BCパイプライン機構が制御パケットをブロードキャスト送信するタイミングを説明するためのタイムチャートである。

[図20]図20は、同期制御機構がSTICKレジスタに同期信号を出力するタイミングを説明するためのタイムチャートである。

[図21]図21は、従来の並列計算機システムの一例を説明するための図である。

[図22]図22は、従来のCPUを説明するための図である。

[図23]図23は、従来の同期制御機構を説明するための図である。

[図24]図24は、STICKレジスタのカウントを開始するタイミングを説明するための図である。

[図25]図25は、各CPU間の伝送レイテンシが一定しない場合にSTICKレジスタのカウントを開始するタイミングがCPU間で揃わない場合を説明するための図である。

発明を実施するための形態

[0029] 以下に添付図面を参照して本願に係る同期制御装置、演算処理装置、並列計算機システムおよび同期制御装置の制御方法について説明する。

実施例 1

[0030] 以下の実施例1では、図1を用いて、並列計算機システムの一例を説明する。図1は、実施例1に関わる並列計算機システムの一例を説明するための図である。図1に示すように、並列計算機システム1は、複数の構成単位2～2bおよびバス7を有する。

- [0031] 構成単位2は、発振器3、CD (Clock Distributor) 4、CPU10、CPU18、XB26を有する。なお、各構成単位2a、2bは、構成単位2と同様に、発振器3a、3b、CD4a、4b、CPU10a、10b、CPU18a、18b、XB26a、XB26bを有する。また、バス7とは、例えば、Inter Connect等、並列計算機システム1が有する各部が共通して利用する接続経路である。また、各CPU11~11b、18~18b、XB26~26b、バス7は、シリアルリンクによって接続されている。
- [0032] CPU10は、コア11、コア14、同期制御機構17を有する。また、コア11は、ストランドごとのSTICKレジスタ12、13を有し、コア14も同様に、ストランドごとのSTICKレジスタ15、16を有する。また、CPU18は、コア19、コア22、同期制御機構25を有する。また、コア19は、STICKレジスタ20、21を有し、コア22は、STICKレジスタ223、24を有する。
- [0033] なお、以下の説明においては、CPU10a~10bおよびCPU18~18bは、CPU10と同様の処理を実行するものとして、説明を省略する。また、XB26a~26bは、XB26と同様の処理を実行するものとして、説明を省略する。
- [0034] 以下、構成単位2が有する発振器3、CD4、CPU10、XB26が実行する処理について説明する。各CD4~4bは、各CPU10~10b、18~18bに同一の位相および同一の周波数を有する分周信号を供給するクロックデバイスである。具体的には、各CD4~4bは、それぞれ同一の周波数を有する基準信号を生成する発振器3~3bと接続されている。また、各CD4~4bは、接続線の長さ等の信号伝送特性が管理された伝送路を介して、相互に接続されており、いずれか1つのCDをマスタとしてその他のCDに対して基準信号を送信する。
- [0035] 例えば、CD4は、マスタとして他のCD4a、4bと接続されている場合には、発振器3が生成した基準信号を取得し、取得した基準信号を1/N

(Nは、1よりも大きい数とする)の周波数を有する分周信号に分周する。そして、CD4は、他のCD4 a、4 bに対して分周信号を最小のスキューで供給する。また、CD4は、他のCD4 a、4 bに対して送信された分周信号のレイテンシを考慮したタイミングで、分周信号をCPU10が有する同期制御機構17、およびCPU18が有する同期制御機構25へ送信する。

[0036] 一方、CD4 aは、CD4から分周信号を受信した場合には、受信した信号をCPU10 aが有する同期制御機構17 a、および、CPU18 aが有する同期制御機構25 aに供給する。また、CD4 bも同様に、CD4から分周信号を受信した場合には、受信した信号を同期制御機構17 b、25 bに供給する。なお、各CD4～4 bは、それぞれがマスタとして動作することも可能であり、並列計算機システム1の構成等により、任意のCDをマスタとすることができる。

[0037] なお、CD4～4 bが基準信号を分周する方法としては、任意の分周方法を適用することができる。例えば、CD4～4 bは、同期カウンタ等の分周器を用いて、基準信号を分周し、分周した基準信号、すなわち、分周信号を生成することとしてもよい。このように、各CD4～4 bは、基準信号のN倍の周期を有する分周信号を同じ位相を保つように調整しながら各同期制御機構17～17 b、25～25 bに供給する。

[0038] CPU10は、自身に割当てられた処理を実行する演算処理装置である。また、CPU10は、各STICKレジスタ12、13、15、16に格納された値を他のCPUが有する各STICKレジスタと同期させる。そして、CPU10は、STICKレジスタ12、13、15、16に格納された値に従って、処理を実行することで、他のCPU10 a、10 b、18～18 bと同期して処理を実行する。

[0039] 同期制御機構17は、図1中の(K)に示す経路を介して、CD4から分周信号を受信する。また、同期制御機構17は、受信した分周信号をN倍に逡倍した制御信号を生成するとともに、分周信号の立ち上がり、または、立

下りからの経過時間を監視する。また、同期制御機構 17 は、CPU 10 が実行するアプリケーションが、CPU 10 が実行する処理の他の CPU 10 a、10 b、18～18 b が実行する処理との同期を要求する同期要求を発行した場合には、以下の処理を実行する。

[0040] すなわち、同期制御機構 17 は、図 1 中 (M) に示す経路を介して、自身を含めた各 CPU 10～10 b、18～18 b に対して、同期要求を格納した制御パケットをブロードキャスト送信する。また、同期制御機構 17 は、図 1 中 (N) に示す経路を介して、同期要求を格納した制御パケットを受信した場合には、以下の処理を実行する。すなわち、同期制御機構 17 は、CD 4 から受信した分周信号が示すタイミングに従って、図 1 中 (O) に示す経路を介し、各 STICK レジスタ 12、13、15、16 へ制御信号を供給する。

[0041] 以下、CPU 10 が実行する処理について、詳細に説明する。図 2 は、実施例 1 に係る CPU の一例を説明するための図である。なお、図 2 中 (K)、(M)、(N)、(O) に示す経路は、図 1 中の (K)、(M)、(N)、(O) に示す経路と対応する。また、図 2 に示す例では、構成単位 2 は、各 CPU 10、18 の間の通信を制御するシステム制御部である SCF (System Control Facility) 5 を有するものとする。

[0042] 図 2 に示す例では、CPU 10 は、コア 11、コア 14、SX (外部接続ユニット: Secondary Cache and External Access Unit) 101、Serial IO (Input Output) 102 を有する。コア 11 は、IU (命令制御ユニット: Instruction Control Unit) 110 を有し、ストランド T 111 に STICK レジスタ 12 を有し、ストランド T 112 に STICK レジスタ 13 を有する。また、Serial IO は、トランザクション層、データリンク層、物理層を介し、XB 26 との間でシリアルリンクによるデータの送受信を行う入出力装置である。

[0043] コア 14 も同様に、IU 140、ストランド T 141 に STICK レジスタ 15 を有し、ストランド T 142 に STICK レジスタ 16 を有する。ま

た、SX101は、アービタ103、同期制御機構17を有する。なお、以下の説明においては、コア14は、コア11と同様の処理を実行するものとして、詳細な説明を省略する。

[0044] IU110は、アービタ103からSTICKレジスタ12またはSTICKレジスタ13の読み出し要求を受信した場合には、STICKレジスタ12またはSTICKレジスタ13に格納されている値の読み出しを行う。そして、IU110は、読み出した値をアービタ103へ送信する。また、IO110は、アービタ103から、レジスタの書き込み要求とともに書き込む値を受信した場合には、受信した値をSTICKレジスタ12またはSTICKレジスタ13に書き込む。

[0045] アービタ103は、CPU10が実行しているプログラムがSTICKレジスタ12またはSTICKレジスタ13に格納された値の読み出しを要求した場合には、IU110に対してレジスタの読み出し要求を送信する。また、アービタ103は、CPU10が実行しているプログラムがSTICKレジスタ12またはSTICKレジスタ13に格納されている値の更新を要求した場合には、IU110に対して、レジスタの書き込み要求とともに、書き込む値を送信する。

[0046] なお、アービタ103は、IU140に対しても同様に、STICKレジスタ13、16に対する書き込み要求や読み出し要求を送信する。また、アービタ103は、CPU10が実行しているプログラムが各CPU10~10b、18~18bが実行する処理の同期を要求した場合には、同期要求を発行し、図2中(L)に示す経路を介して、同期制御機構17へ送信する。

[0047] 同期制御機構17は、図2中(K)に示す経路を介して、CD4から基準信号を1/Nの周波数に分周した分周信号を受信する。また、同期制御機構17は、受信した分周信号をN倍に逡倍した制御信号を生成する。ここで、制御信号とは、各STICKレジスタ12、13、15、16に格納された値をカウントアップするタイミングを示す信号である。また、同期制御機構17は、分周信号の立ち上がりまたは立下りを検出し、検出した立ち上がり

又は立下りからの経過時間を監視する。

[0048] そして、同期制御機構17は、同期要求をアービタ103から受信し、かつ、監視した経過時間が「XBC Timing」となった場合には、図2中(M)に示す経路を介して、同期要求をSerial IO102へ送信する。また、同期制御機構17は、図2中(N)に示す経路を介して、Serial IO102から同期要求を受信し、かつ、監視した経過時間が「REG-WR Timing」となった場合には、以下の処理を実行する。すなわち、同期制御機構17は、図2中(O)に示す経路を介して、各STICKレジスタ12、13、15、16へ制御信号を供給することで、STICKレジスタに格納された値のカウントアップを行う。つまり、制御信号は、各STICKレジスタ12、13、15、16に格納された値をインクリメントする信号である。

[0049] また、同期制御機構17は、図2中(P)に示す経路を介して、「SBC Timing」となる経過時間、または、「REG-WR Timing」となる経過時間を示す設定情報を受信する。このような場合には、同期制御機構17は、「SBC Timing」となる経過時間、または、「REG-WR Timing」となる経過時間を、受信した設定情報が示す経過時間に設定する。

[0050] また、同期制御機構17は、図2中(Q)に示す経路を介して、受信した設定情報をCPU18が有する同期制御機構25に転送する。また、同期制御機構17は、図2中(R)に示す経路を介して、制御信号を各STICKレジスタ12、13、15、16に供給しているか否かを示す信号をアービタ103に送信する。

[0051] CPU18は、CPU10と同様に、コア19、コア22、SX181、Serial IO182を有する。なお、CPU18が有するコア19、コア22、SX181、Serial IO182は、それぞれ、CPU10が有するコア11、コア14、SX101、Serial IO102と同様の処理を実行するものとして、詳細な説明を省略する。

- [0052] 次に、図3を用いて、同期制御機構17の一例について説明する。図3は、実施例1に関わる同期制御機構の一例を説明するための図である。なお、図3中(K)、(L)、(M)、(N)、(O)に示す経路は、図2中(K)、(L)、(M)、(N)、(O)に示す経路と対応する。
- [0053] 図3に示す例では、同期制御機構17は、シンクロナイザ30、アップエッジディテクタ31、フェイズカウンタ32、設定レジスタ33a、比較器33b、設定レジスタ34a、比較器34b、制御パケット送信部35、制御パケット受信部36、を有する。また、同期制御機構17は、制御レジスタ37、nパルス生成部50、ANDゲート60を有する。また、制御パケット送信部35は、送信バッファ35a、出力回路35b、エンコーダ35cを有する。また、制御パケット受信部36は、デコーダ36a、受信バッファ36b、更新回路36cを有する。
- [0054] また、nパルス生成部50は、加算器51、ピリオドレジスタ52、除算器53、サブピリオドレジスタ54、サブフェイズカウンタ55、第1コンパレータ56、残余パルスカウンタ57、第2コンパレータ58、ANDゲート59を有する。
- [0055] 例えば、同期制御機構17は、CD4が生成した分周信号を図3中(K)に示す経路から受信した場合には、受信した分周信号をシンクロナイザ30に入力する。シンクロナイザ30は、分周信号の位相とCPU10のコアクロックとを同期させ、位相をコアクロックに同期させた分周信号をアップエッジディテクタ31に入力する。
- [0056] アップエッジディテクタ31は、シンクロナイザ30から入力された分周信号の立ち上がりエッジを検出する。そして、アップエッジディテクタ31は、分周信号の立ち上がりエッジを検出した場合には、フェイズカウンタ32、ピリオドレジスタ52、サブフェイズカウンタ55、残余パルスカウンタ57に、パルス信号を入力する。
- [0057] なお、図3に示す例においては、アップエッジディテクタ31の代わりに、分周信号の立下りエッジを検出するダウンエッジディテクタを設置するこ

ととしてもよい。このようなダウンエッジディテクタは、分周信号の立下りエッジを検出した場合には、フェイズカウンタ32、ピリオドレジスタ52、サブフェイズカウンタ55、残余パルスカウンタ57に、パルス信号を入力する。

[0058] フェイズカウンタ32は、CPU10のコアクロックを監視し、コアクロックの周期の数を計数する。また、フェイズカウンタ32は、アップエッジディテクタ31が分周信号のアップエッジを検出する度に、計数していたコアクロックの周期の数を「0」にリセットする。つまり、フェイズカウンタ32は、分周信号のアップエッジが検出されてからコアクロックが何周期したかを測定することで、分周信号のアップエッジが検出されてから経過した時間を計測する。

[0059] 設定レジスタ33aは、「XBC Timing」を設定するためのレジスタである。具体的には、設定レジスタ33aは、分周信号のアップエッジから「XBC Timing」までの時間を、コアクロックの周期単位で示した値が格納される。例えば、設定レジスタ33aは、分周信号のアップエッジからコアクロック「5」周期分の時間が経過したタイミングを「XBC Timing」とする場合には、値「5」が格納される。

[0060] 比較器33bは、フェイズカウンタ32が計数したコアクロックの周期の数と、設定レジスタ33aに格納された値とを比較する。そして、比較器33bは、フェイズカウンタ32が計数したコアクロックの周期の数と、設定レジスタ33aに格納された値とが一致した場合には、制御パケット送信部35が有する出力回路35bにイネーブル信号を送信する。つまり、比較器33bは、フェイズカウンタ32によって、分周信号のアップエッジから所定の時間が経過した場合には、「XBC Timing」であると判別し、出力回路35bにイネーブル信号を出力する。

[0061] 設定レジスタ34aは、「REG-WR Timing」を設定するためのレジスタである。つまり、設定レジスタ34aは、設定レジスタ33aと同様に、分周信号のアップエッジから「REG-WR Timing」まで

の時間を、コアクロックの周期単位で示した値が格納される。また、比較器 34 b は、比較器 33 b と同様に、フェイズカウンタ 32 が計数したコアクロックの周期の数と、設定レジスタ 34 a に格納された値とを比較する。

[0062] そして、比較器 33 b は、フェイズカウンタ 32 が計数したコアクロックの周期の数と、設定レジスタ 34 a に格納された値とが一致した場合には、制御パケット受信部 36 が有する更新回路 36 c にイネーブル信号を出力する。つまり、比較器 34 b は、フェイズカウンタ 32 によって、分周信号のアップエッジから所定の時間が経過した場合には、「REG-WR Timing」であると判別し、更新回路 36 c にイネーブル信号を出力する。

[0063] また、同期制御機構 17 は、図 3 中 (L) を介して、アービタ 103 から、アプリケーションが発行した同期要求を受信した場合には、受信した同期要求を送信バッファ 35 a に格納する。ここで、同期制御機構 17 は、アプリケーションが各 CPU 10 ~ 10 b、18 ~ 18 b による同期処理の開始を要求する場合には、アービタ 103 から「0」を示す同期要求を受信する。また、同期制御機構 17 は、アプリケーションが各 CPU 10 ~ 10 b、18 ~ 18 b による同期処理の停止を要求する場合には、アービタ 103 から「1」を示す同期要求を受信する。

[0064] また、出力回路 35 b は、比較器 33 b からイネーブル信号を受信した場合には、送信バッファ 35 a に格納された同期要求をエンコーダ 35 c に送信する。エンコーダ 35 c は、出力回路 35 b から同期要求を受信した場合には、同期要求を格納した制御パケットを生成し、生成したパケットを図 3 中 (M) に示す経路を介して XB26 に送信することで、各 CPU 10 ~ 10 b、18 ~ 18 b にブロードキャスト送信する。つまり、制御パケット送信部 35 は、同期要求が発行され、かつ、分周信号の立ち上がりから経過した時間「XBC Timing」となった場合には、同期要求を格納した制御パケットをブロードキャスト送信する。

[0065] ここで、図 4 は、同期要求を格納した制御パケットの一例を説明するための図である。図 4 に示すように、エンコーダ 35 c は、STP (Start TLP

character)、SEQ# (Sequence Number)、VCID (Virtual Channel ID)、S (Packet Size)、DID (Destination ID) が格納されたパケットを生成する。また、エンコード35cは、PID (Partition ID)、OPC (Operation Code)、RQID (Request ID)、W (Write Data)、複数のCRC (Cyclic Redundancy Check) 3~0、END (End character)、PAD (Padding character) を格納した制御パケットを生成する。

[0066] ここで、STPには、TLPの開始を示すコードが格納される。また、SEQ#には、パケットのシーケンス番号が格納される。またVCIDには、バーチャルチャネルIDを示す情報が格納される。また、Sには、パケットのサイズが格納される。また、DIDには、ブロードキャストを示す情報、または、送り先のCPUの番号が格納される。PIDには、パーティションIDが格納される。また、RQIDには、リクエストIDが格納される。各CRCには、巡回冗長検査のための信号が格納される。また、ENDにはTLPの終了を示すコードが格納される。また、PADには、パケットの端数を埋めるためのコードが格納される。

[0067] ここで、Wには、STICKの操作内容を示す情報が格納される。すなわち、制御パケット送信部35は、図4に示すパケットのWの領域に「1」を格納した場合には、各CPU12、13、15、16に同期の停止を要求し、「0」を格納した場合には、各CPU12、13、15、16に同期の開始を要求する。

[0068] 図3に戻って、同期制御機構17は、図3中(N)に示す経路を介して、自身を含む各同期制御機構17~17b、25~25bがブロードキャスト送信したパケットをXB26から受信した場合には、受信したパケットをデコーダ36aに送信する。デコーダ36aは、パケットを受信した場合には、受信したパケットをデコードし、パケットに格納されている同期要求を受信バッファ36bに格納する。

[0069] また、更新回路36cは、比較器34bからイネーブル信号を受信した場

合には、受信バッファ36bに格納されていた同期信号を制御レジスタ37に格納する。つまり、更新回路36cは、アプリケーションが各CPU10~10b、18~18bによる同期処理の開始を要求する場合には、制御レジスタ37に「0」を格納する。また、更新回路36cは、アプリケーションが各CPU10~10b、18~18bによる同期処理の停止を要求する場合には、制御レジスタ37に「1」を格納する。つまり、制御パケット受信部36は、同期要求を格納した制御パケットを受信し、かつ、分周信号の立ち上がりから経過した時間が「REG-WR Timing」となった場合には、同期信号を制御レジスタ37に格納する。

[0070] ここで、ANDゲート60には、制御レジスタ37に格納される値の反転信号が入力される。このため、ANDゲート60は、制御レジスタ37に「0」がセットされた場合には、後述するnパルス発生部50からの出力である制御信号を、図3中(O)に示す経路を介して、STICKレジスタ12、13、15、16に出力する。また、ANDゲート60は、制御レジスタ37に「1」が入力された場合には、制御信号の出力を停止する。このため、同期制御機構17は、同期要求を格納した制御パケットを受信し、かつ、分周信号の立ち上がりから経過した時間が「REG-WR Timing」となったタイミングで、制御信号の出力および停止を行うことができる。

[0071] 次にnパルス生成部50が有する各部51~59について説明する。加算器51は、フェイズカウンタ32が計数したコアクロックの周期の数に1を加算した値を算出し、算出した値をピリオドレジスタ52に送信する。つまり、加算器51は、分周信号の位相をコアクロックの周期の数で示す値をピリオドレジスタ52に送信する。

[0072] ピリオドレジスタ52は、アップエッジディテクタ31が送信したパルス信号を受信したタイミングで、加算器51が送信した値を保持する。ここで、アップエッジディテクタ31は、分周信号の立ち上がりを検出した際に、ピリオドレジスタ31にパルス信号を送信する。このため、ピリオドレジスタ52は、分周信号の周期をコアクロックの周期の数で示した値を保持する

。例えば、分周信号の周期がコアクロックのT倍である場合には、ピリオドレジスタ52は、値「T」を保持することとなる。

[0073] 除算器53は、ピリオドレジスタ52に保持された値をCD4が分周信号を生成した際に用いた分周比で除算した値を算出する。例えば、除算器53は、ピリオドレジスタ52に値「T」が保持され、CD4が基準信号の周期を「N」倍にした分周信号を生成した場合には、値「 T/N 」の商と剰余を出力する。つまり、除算器53は、分周信号の周期を示す値を分周比で除算することによって、分周信号の元となる基準信号の周期を算出する。

[0074] サブピリオドレジスタ54は、後述するANDゲート59が制御信号を出力したタイミングで、除算器53から出力される値を保持する。つまり、サブピリオドレジスタ54は、基準信号の周期をCPU10のコアクロックの周期の数で示した値を保持する。換言すると、サブピリオドレジスタ54は、制御信号の周期を示す値を保持する。例えば、制御信号の周期がCPU10のコアクロックの周期の8倍であった場合には、サブピリオドレジスタ54には、数値「8」が格納される。

[0075] サブフェイズカウンタ55は、制御信号の位相をCPU10のコアクロックの周期の数で示すカウンタである。具体的には、サブフェイズカウンタ55は、後述する第2コンパレータ58が出力するパルス信号に合わせて自身の値をインクリメントする。そして、サブフェイズカウンタ55は、アップエッジディテクタ31からパルス信号を受信した場合、または、カウントの値に1を加算した値がサブピリオドレジスタ54の値と同じになった場合には、カウントした値を「0」にリセットする。つまり、サブフェイズカウンタ55は、基準信号と同じ周期でカウントした値を「0」にリセットする。

[0076] 第1コンパレータ56は、サブフェイズカウンタ55の値が「0」の時に「1」の信号をANDゲート59に出力するコンパレータである。つまり、第1コンパレータは、基準信号と同じ周期でパルス信号を出力する。

[0077] 残余パルスカウンタ57は、制御信号として発生させるパルス信号の残余数を計数する。具体的には、残余パルスカウンタ57は、アップエッジディ

テクタ31からパルス信号を受信した際に予め定められた値「N」がセットされ、ANDゲート59から制御信号が出力されるたびに、セットした値をデクリメントする。なお、残余パルスカウンタ57は、アップエッジディテクタ31からパルス信号を受信しておらず、かつ、制御信号を受信していない際は、自身の値を保持する。また、第2コンパレータ58は、残余パルスカウンタ57にセットされた値が「0」ではない時に「1」の信号を出力する。

[0078] ANDゲート59は、第1コンパレータ56と第2コンパレータ58とが「1」の信号を出力した際に、信号「1」を出力する。つまり、ANDゲート59は、残余パルスカウンタ57の値が「0」以外で、サブフェイズカウンタ55の値が「0」の時に、コアクロック1サイクル分だけ「1」となる信号、すなわち、制御信号を出力する。

[0079] ANDゲート60は、制御レジスタ37に「0」がセットされた場合には、図3中(O)に示す経路を介して、STICKレジスタ12、13、15、16へ制御信号を出力する。

[0080] つまり、nパルス生成部50は、CD4から受信した分周信号を補完し、分周前の基準信号と同じ周波数を有する制御信号を生成する。そして同期制御機構17は、同期要求を受信し、かつ、フェイズカウンタ32が示す分周信号の位相が「REG-WR Timing」となった場合には、nパルス生成部50が生成した制御信号を各CTICKレジスタ12、13、15、16へ出力する。このため、同期制御機構17は、基準信号を分周した分周信号が示すタイミングに従って同期処理を開始した場合にも、各CPU11～18を適切に同期させることができる。

[0081] なお、nパルス生成部40は、比較的少数のFF(Flip Flop)のみで実現することができるため、コストが小さく、実装が容易である。また、nパルス生成部40は、アナログ回路であるPLL(Phase Locked Loop:位相同期回路)と比較して、全てをデジタル論理回路で構成している。このため、nパルス生成部40は、PLLでは追従が困難な大きな周波数変動に対し

ても、出力するパルス数を誤ることなく、正常に動作することが可能である。なお、*n*パルス生成部40は、通常のPLLで実装を行うことも可能である。

[0082] 以下、図5aを用いて、同期制御機構17の一例について説明する。図5aは、実施例1に係る同期制御機構の一例を説明するための図である。なお、図5aに示す同期制御機構17は、あくまで一例であり、同期制御機構17が有する各部30~37、50~60は、同等の機能を有する回路等により置換することができる。

[0083] なお、図5aに示す例では、CPU10のコアクロックを*core clk*とし、CD4から供給される同期信号を*stick sync*とし、アービター103を介してアプリケーションから入力される同期要求を*stick clk ctrl req*とする。また、*n*パルス発生部50が生成する制御信号を*stick clk*とする。また、図5a中(K)~(O)に示す経路は、図3に示した(K)~(O)と同じ経路である。

[0084] 図5aに示す例では、シンクロナイザ30は、複数のD型フリップフロップ(以下、D-FFと記載する)を用いて、*core clk*と図5a中(K)に示す経路を介して取得した*stick sync*信号との位相をそろえる。アップエッジディテクタ31は、*core clk*をクロックとする2つのD-FFを直列に接続し、前段のD-FFの出力が「1」で後段のD-FFの出力が「0」の際に、「1」を出力することで、*stick sync*のアップエッジを検出する。なお、以下の説明においては、アップエッジディテクタ31の出力を*stick sync upedge*とする。なお、*stick sync upedge*は、マルチプレクサS1に選択制御信号として入力される。そして、*stick sync upedge*が「1」の際に、加算器51から出力される信号がフェイズカウンタ32にループレバックされ、それ以外の場合には、「0」が入力される。

[0085] フェイズカウンタ32は、マルチプレクサS1からの信号を保持する。つまり、フェイズカウンタ32に保持される値は、*stick sync u*

pedgeが「1」の際に0にリセットされ、stick sync up edgeが「0」の際には、加算器51によってカウントアップされる。

[0086] ピリオドレジスタ52は、stick sync up edgeが「1」の時に、加算器51の出力をラッチする。除算器53は、あらかじめ設定されるconfig register #0に格納される値「N」でピリオドレジスタ52の出力を除算した値を出力する。比較器#0は、レストパルスカウンタ57の値が除算器が端子Rから出力する剰余の値以下であるときに「1」を出力し、サブピリオドレジスタ54にピリオドレジスタの値を「N+1」で除算した値をセットする信号を出力する。これは、ピリオドレジスタ52の値がNで割り切れない場合に、サブピリオドレジスタ54に格納される値を補正するための信号である。

[0087] 加算器#1は、除算器53の端子Qから出力される商に1を加算し、マルチプレクサS2に入力する、マルチプレクサS2は、比較器#0の出力を選択制御信号として加算器#1、または、除算器53が出力する商をサブピリオドレジスタ54に入力する。つまり、マルチプレクサS2は、比較器#0の出力を用いて、ピリオドレジスタ52の値がNで割り切れない場合に、サブピリオドレジスタ54に格納される値を補正する。

[0088] サブピリオドレジスタ54は、マルチプレクサS2の出力を保持する。比較器#1は、サブピリオドレジスタ54に保持された値と、加算器#2によって、サブフェイズカウンタ55に保持された値に1を加算した値とを比較する。そして、比較器#1は、サブピリオドレジスタ54に保持された値とサブフェイズカウンタ55に保持された値に1を加算した値とが、同じ値である場合には、stick sync up edgeとの論理和を取るorゲートに「1」を出力する。

[0089] なお、このorゲートの出力は、マルチプレクサS3の論理和の選択制御信号となる。マルチプレクサS3は、stick sync up edgeが「1」の時、または、サブピリオドレジスタ54に保持された値がサブフェイズカウンタ55の値に1を加算した値とが同じ場合には、「0」をサブ

フェイズカウンタ55に出力する。これ以外の場合には、マルチプレクサS3は、加算器#2の出力、つまり、サブフェイズカウンタ55の値に1を加算した値をサブフェイズカウンタ55に入力する。サブフェイズカウンタ55は、マルチプレクサS3の出力、つまり、制御信号の位相をCPU10のコアクロックの周期の数で示す。

[0090] 加算器#2は、サブフェイズカウンタ55の出力に1を加算した値を比較器#1とマルチプレクサS3に入力する。残余パルスカウンタ57は、コンパレータS0により、stick_sync_upedge=1で残余パルスカウンタ57の値が1の時に「N」にセットされ、reproduced_stick_clkが「1」の時に、減算器#0によってデクリメントされる。どちらでもない場合には、残余パルスカウンタ57は、格納される値がホールドされる。

[0091] ここで、コンパレータS0の選択制御信号には、core_clkとstick_sync_upedgeによって生成されたrest_pulse_counter_valが入力される。このrest_pulse_counter_valは、nパルス発生部50の動作開始直後に、周期が確定していないreproduced_stick_clkを出力するのを防ぐ信号である。

[0092] また、第1コンパレータ56は、サブフェイズカウンタ55の値が「0」の時に「1」をANDゲート59に出力し、第2コンパレータ58は、残余パルスカウンタ57の値が「0」ではないときに、「1」をANDゲート59に入力する。ANDゲート59は、第1コンパレータ56および第2コンパレータ58の出力に応じた出力をD-FFに入力し、reproduced_stick_clkを出力される。つまり、reproduced_stick_clkは、残余パルスカウンタ57の値が「0」ではなく、かつ、サブフェイズカウンタ55の値が「0」である場合に、コアクロック1つ分だけ「1」となる信号である。このように、nパルス発生部50は、reproduced_stick_clkを生成し、図5a中(0)に示す経路

を介して、生成した `reproduced_stick_clk` を STICK レジスタ 12、13、15、16 へ送信する。

- [0093] 次に、「XBC Timing」および「REG-WR Timing」の設定を行う処理について説明する。例えば、同期制御機構 17 は、図 5 a 中 (P) に示す経路を介して SCF 5 から `Scan_In` 信号を取得する。同期制御機構 17 は、`Scan_In` 信号により n パルス発生部 50 が有する `config_register#0` に「N」をセットされる。
- [0094] また、同期制御機構 17 は、`Scan_In` 信号により、設定レジスタ 33 a に「XBC Timing」とするフェイズカウンタ 32 の値がセットされ、設定レジスタ 34 a に「REG-WT Timing」となるフェイズカウンタ 32 の値がセットされる。また、同期制御機構 17 は、図 5 a 中 (Q) に示す経路を介して、`Scan_Out` 信号を同期制御機構 25 に送信する。同期制御機構 25 は、同様に、`Scan_In` 信号によって「XBC Timing」および「REG-WR Timing」とが設定され、その後、`Scan_Out` 信号を SCF 5 に送信する。
- [0095] 比較器 33 は、設定レジスタ 33 a に格納された値とフェイズカウンタ 32 の値とが一致した場合には「1」を出力する。また、比較器 34 は、設定レジスタ 34 a に格納された値とフェイズカウンタ 32 の値とが一致した場合には「1」を出力する。
- [0096] 次に、制御パケット送信部 35 および制御パケット受信部 36 の一例について説明する。なお、図 5 a に示す例では、ここで、`stick_ctl_req` が「1」の時に、制御パケットをブロードキャスト送信するものとする。例えば、制御パケット送信部 35 は、アービタ 103 から、図 5 a 中 (L) を介して、`stick_ctl_req` を取得し、`stick_ctl_req` の値を送信バッファ 35 a に格納する。
- [0097] また、送信バッファ 35 a に格納された値は、比較器 33 が設定レジスタ 33 a に格納された値とフェイズカウンタ 32 の値とが一致すると判別した場合には、スリーステートバッファである出力回路 35 b によって、エンコ

ーダ35cへ送信される。つまり、送信バッファ35aに格納された値は、比較器33が「1」を出力した際、つまり、「XBC Timing」の際に制御パケットに格納され、図5a中(M)に示す経路を介して、各CPU10~10b、18~18bへブロードキャスト送信される。

[0098] また、制御パケット受信部36が有するデコーダ36aは、図5a中(N)に示す経路から制御パケットを受信し、受信したパケットのうちWに格納されているSTICKの操作内容を示す情報を取得する。具体的には、デコーダ36aは、STICKの同期開始を示す「0」、または、STICKの同期停止を示す「1」を取得する。そして、デコーダ36aは、パケットを受信したことを示すpacket validと、packet dataである「0」または「1」とを出力する。

[0099] 受信バッファ36bは、デコーダが出力したpacket dataである「0」または「1」を保持する。更新回路36cは、スリーステートバッファであり、比較器36cが「1」を出力した際、つまり、「REG-WR Timing」の際に、受信バッファ36bに格納された値を制御レジスタ37に格納する。ここで、制御レジスタ37に格納される値は、ANDゲート60に反転入力されている。このため、制御レジスタ37に「0」が格納された場合には、stick clkがSTICKレジスタ12、13、15、16に供給され、制御レジスタ37に「1」が格納された場合には、stick clkの供給が停止する。

[0100] なお、図5aに示す各設定レジスタ33a、34aおよびconfig register #0については、JTAG (Joint Test Action Group) やI2C (Inter Integrated Circuit) 等のSTICKに依存しない機構により設定される。図5aに示す例では、JTAGによるスキャン信号で設定される。

[0101] 次に、図5b~図5dを用いて、図5aに示した回路が出力する信号波形および各カウンタに格納される値の一例について説明する。図5bは、同期制御機構の動作の一例を説明するための図(1)である。図5cは、同期制

御機構の動作の一例を説明するための図（２）である。図５dは、同期制御機構の動作の一例を説明するための図（３）である。なお、図５b～図５dには、同期制御機構の動作の一例を示す信号波形を３つに分割した波形を示す。また、図５b～図５dに示す例では、stick_syncの周期は、CD4～4bが分周する前の基準信号であるstick_clkの周期の４倍とし、N=4とした。なお、図５b～5dに示す数値は、各カウンタが計数し値および各レジスタに格納された値を16進数で表した数値である。

[0102] 図５bに示すように、stick_clkの４倍の周期を有するstick_clk_syncが出力されると、stick_sync_upedgeが出力され、phase_counterの値がリセットされる。また、stick_sync_upedgeをトリガとして、period_register52には、phase_counterの直前の値に「1」を加算した値が格納され、sub_phase_counterには、「0」が格納される。

[0103] 次に、図５cに示すように、次のstick_sync_upedgeが検出されると、period_registerには16進数で「20」（10進数で「32」）が格納され、rest_pulse_counterに16進数で「4」が格納される。また、sub_period_counterには、16進数で「8」が格納される結果、sub_phase_counterは、0～7の値をカウントする。この結果、コアクロック8つ分の周期で、reproduced_stick_clkが出力されることとなる。

[0104] また、nパルス発生部50は、図５dに示すように、コアクロック8つ分の周期を有するreproduced_stick_clkを出力し続ける。そして、同期制御機構17は、nパルス発生部50が発生させたパルス信号を、「REG-WR Timing」で、各STICKレジスタ12、13、15、16に供給する。

[0105] 次に、図6を用いて、各CPU10～10b、18～18bが同期を開始

するタイミングについて説明する。図6は、実施例1に係るSTICKレジスタのカウントを開始するタイミングを説明するためのタイムチャートである。図6に示す例では、図左側から右へ時間が進むものとする。また、図6には、基準信号の波形、図5a中(K)に示す経路から取得した分周された分周信号であるstick_sync、nパルス発生部が発生させたreproduced_stick_clkの波形を示す。また、図5a中(L)、(M)、(O)に示す経路を流れる信号の波形および各CPU10~10b、18~18bの各STICKレジスタに格納される値を示す。なお、図6に示す例では、矢印の点線が示すタイミングで各CPU10~18bがパケットを受信するものとし、各CPU10~18bが受信する信号の波形については、簡略化した。

[0106] 例えば、図5a中(L)に示す経路を介して、図6中(S)に示すタイミングで、アプリケーションが同期要求を送信した場合には、次の「XBC_Timing」で制御パケットを各CPU10~10b、18~18bへブロードキャスト送信する。ここで、「XBC_Timing」は、stick_syncのアップエッジから、設定レジスタ33aに格納された数分のコアクロックの周期が経過したタイミングである。

[0107] ここで、各CPU10~10b、18~18b、各XB26~26b、バス7は、伝送レイテンシが一定しないシリアルリンクによって接続されている。このため、図6に示すように、各CPU10a、10b、18~18bは、制御パケットをそれぞれ異なるタイミングで取得する。また、CPU10も、自身がブロードキャスト送信した制御パケットを、図5a中(N)に示す経路から取得する。

[0108] その後、各CPU10~10b、18~18bは、「REG-WR_Timing」で、reproduced_stick_clkを出力を開始する。ここで、「REG-WR_Timing」は、stick_syncのアップエッジから設定レジスタ34aに格納された数分のコアクロックの周期が経過したタイミングである。

[0109] このように、各CPU10~10b、18~18bは、基準信号を分周した分周信号が示す「XBC_Timing」および「REG-WT_Timing」に従って、制御パケットの送信およびreproduced_stick_clkの出力を行う。ここで、stick_syncは、基準信号のN倍の長い周期を有する。このため、stick_syncが示す「XBC_Timing」および「REG-WT_Timing」は、基準信号が示す「XBC_Timing」および「REG-WT_Timing」よりも間隔が長くなる。

[0110] この結果、各CPU10~10b、18~18bは、伝送レイテンシのバラつきを吸収できるので、制御パケットをそれぞれ異なるタイミングで受信した場合にも、同時にreproduced_stick_clkの供給を開始することができる。この結果、各CPU10~10b、18~18bは、各STICKレジスタに格納される値をそろえ、同期して処理を実行することができる。

[0111] [実施例1の効果]

上述したように、同期制御機構17は、基準信号を低い周波数に分周した分周信号を受信する。また、同期制御機構17は、CPU11が各CPU12~18と同期する場合には、各CPU10~10b、18~18bを宛先とする同期要求を格納した制御パケットをブロードキャスト送信する。そして、同期制御機構17は、自身、または、他の同期制御機構17a、17b、25~25bが送信した制御パケットを受信した場合には、受信した分周信号が示すタイミングに従って、同期制御を開始する。このため、同期制御機構17は、伝送レイテンシが一定しない方式で各CPU10~10b、18~18b間が接続されている場合にも、適切なタイミングで同期を開始させることができる。

[0112] つまり、各CPU10~10b、18~18bは、基準信号よりも長い周期を有する分周信号にしたがって「REG-WR_Timing」となるタイミングを判別し、判別したタイミングで同期制御を開始する。このため、

各CPU 10～10b、18～18bは、同期要求の伝送レイテンシがばらつきに耐性を確保できる。

[0113] また、各CPU 10～10b、18～18bは、シリアルリンク方式のように同期要求の同時到達性が保証されていないような接続方法によって接続されている場合にも、各CPU 11～18を適切に同期させることができる。また、各CPU 10～10b、18～18bは、同期要求を各CPU 11～18に発行する機構を利用することで、各CPU 11～18に対して、同時に任意の制御指示を送信することも可能である。

[0114] また、同期制御機構17は、分周信号に基づいて、分周前の基準信号と同じ周波数を有する制御信号を生成するnパルス生成部50を有する。そして、同期制御機構17は、同期要求を受信した場合には、分周信号が示すタイミングに従って、制御信号を各STICKレジスタ12、13、15、16に供給する。このため、同期制御機構17は、処理を適切に同期させることができる。つまり、同期制御機構17は、STICKレジスタ12、13、15、16に格納される値を適切に同期させるので、各CPU 10、18を適切に同期させることができる。

[0115] このように、各CPU 10～10b、18～18bには、最小のスキューで分周信号が入力され、各同期制御機構17～17b、26～26bは、基準信号と同一の周波数を有する制御信号を生成し、各STICKレジスタに制御信号を出力する。このため、並列計算機システム1は、各CPU 10～10b、18～18bが実行する処理を適切に同期させることができる。

実施例 2

[0116] 以下の実施例2では、図7を用いて、並列計算機システムの一例を説明する。図7は、実施例2に関わる並列計算機システムの一例を説明するための図である。なお、図7に示す例では、実施例1に係る並列計算機システム1が有する各部と同様の機能を発揮するものについては、同じ符号を付し、説明を省略する。図7に示すように、並列計算機システム1aは、複数の構成単位2c～2eと、複数のバス7、7aを有する。なお、構成単位2d、2

- eは、構成単位2cと同様の機能を発揮するものとして、説明を省略する。
- [0117] 構成単位2cは、発振器3、CD4、CPU10c、CPU18c、XB26c、XB26dを有する。CPU10cは、XB26cを介してバス7に接続されており、CPU18cは、XB26dを介してバス27に接続されているものとする。なお、CPU10c、XB26c、バス7は、シリアルリンクで接続されているものとする。また、CPU18c、XB26d、バス7aは、シリアルリンクで接続されているものとする。
- [0118] バス7は、XB26c、26e、26gを介して、CPU10c、10d、10eを接続するバスである。また、バス7aは、XB26d、26f、26hを介して、CPU18c、18d、18eを接続するバスである。また、構成単位2cが有するCPU10c、18cは、相互に接続されている。
- [0119] つまり、並列計算機システム1aにおいては、各構成単位2c~2eが有する2つのCPUを、それぞれ別のグループとし、各グループを別系統のバスが接続する。そして、各グループのCPUのうち、CPU10c~10eがバス7により接続され、CPU18c~18eがバス7aを介してそれぞれ接続されている。
- [0120] 各CPU10c~10e、18c~18eは、同期制御機構17c~17e、25c~25eを有する。なお、以下の説明においては、同期制御機構17d、17e、25c~25eは、同期制御機構17cと同様の処理を実行するものとして、説明を省略する。また、XB26c~26hについては、実施例1に係るXB26と同様の機能を発揮するものとして、説明を省略する。
- [0121] 同期制御機構17cは、各CPU10c~10e、18c~18eが実行する処理を同期させる場合には、図7中(T)に示す経路を介して、同期制御機構25cに同期要求を格納した制御パケットを送信する。その後、同期制御機構17cは、図7中(U)に示す経路を介して、制御パケットを同期制御機構25cから受信した場合、又は、自身が制御パケットを送信してか

ら所定の時間が経過した場合には、以下の処理を実行する。すなわち、同期制御機構 17c は、バス 7 に接続されている各 CPU 10c ~ 10e に対して、同期要求を格納した制御パケットをブロードキャスト送信する。

[0122] ここで、同期制御機構 25c は、同期制御機構 17c から同期要求を格納した制御パケットを受信した場合には、以下の処理を実行する。すなわち、同期制御機構 25c は、同期制御機構 17c が各 CPU 10c ~ 10e に制御パケットをブロードキャスト送信すると同時に、CPU 18c ~ 18e に制御パケットをブロードキャスト送信する。

[0123] その後、各同期制御機構 17c ~ 17e、25c ~ 25e は、ブロードキャスト送信された制御パケットを受信する。そして、各同期制御機構 17c ~ 17e、25c ~ 25e は、分周信号のアップエッジから所定の時間が経過した「REG-WR Timing」で各 CPU 10c ~ 10e、18c ~ 18e が有する各 STICK レジスタに対して、制御信号を供給する。

[0124] つまり、同期制御機構 17c は、自身と同じ構成単位 2c が有する他の同期制御機構 25c と同期し、その後、バス 7 に接続された各 CPU 10c ~ 10e に対して、制御パケットをブロードキャスト送信する。また、同期制御機構 17c は、同期制御機構 25c から制御パケットを受信した場合にも、バス 7 に接続された各 CPU 10c ~ 10e に対して、制御パケットをブロードキャスト送信する。

[0125] このように、同期制御機構 17c ~ 17e、25c ~ 25e は、各 CPU 10c ~ 10e、18c ~ 18e が異なるバスに接続されている場合には、自身を有する CPU とは異なるバスに接続された CPU の同期制御機構に同期要求を送信する。そして、同期制御機構 17c ~ 17e、25c ~ 25e は、自身を有する CPU と同じバスに接続された CPU に同期要求を送信する。このように、同期制御機構 17c ~ 17e、25c ~ 25e は、各 CPU 10c ~ 10e、18c ~ 18e に対して、段階的に同期要求を送信する。

[0126] その後、各同期制御機構 17c ~ 17e、25c ~ 25e は、分周信号の

アップエッジから所定の時間が経過した「REG-WR Timing」で、各CPU 10c~10e、18c~18eが有する各STICKレジスタに同期信号を出力する。このため、並列計算機システム1aは、各CPU 10c~10e、18c~18eが実行する処理を同期させることができる。

[0127] 図8は、実施例2に係るCPUの一例を説明するための図である。なお、図8に示す各部のうち、図2に示す各部と同一の符号を付すものについては、実施例1に係る各部と同様の処理を実行するものとして、説明を省略する。なお、図8中(K)~(R)に示す経路は、図2中(K)~(R)に示す経路と同様の経路であるものとし、詳しい説明を省略する。

[0128] 同期制御機構17aは、アービタ103を介して、アプリケーションが同期の要求を発行した場合には、同期要求を格納した制御パケットを、図8中の(T)に示す経路を介して、同期制御機構25cへ送信する。また、同期制御機構17aは、アプリケーションが発行した同期の要求を同期制御機構25cが取得し、同期制御機構25cが制御パケットを送信した場合には、図8に示す経路(U)を介して、制御パケットを受信する。

[0129] そして、同期制御機構17aは、自身が制御パケットを送信してから一定期間が経過した際、または、同期制御機構25cが送信した制御パケットを受信した場合には、バス7に接続されている各CPU 10c~10eに対して、制御パケットをブロードキャスト送信する。その後、同期制御機構17cは、実施例1に係る同期制御機構17と同様に、「REG-WR Timing」で、各STICKレジスタ12、13、15、16に、制御信号を供給する。

[0130] 次に、図9を用いて、同期制御機構17cについて説明する。図9は、実施例2に係る同期制御機構を説明するための図である。なお、図9中(K)~(O)に示す経路は、図3に示す(K)~(O)と同様の経路であるものとする。また、図9中(T)、(U)に示す経路は、図8中(T)、(U)に示す経路である。また、図9に示す各部のうち、図3と同様の処理を実行するものについては、同一の符号を付すものとし、説明を省略する。

- [0131] 図9に示すように、同期制御機構17cは、シンクロナイザ30、アップエッジディテクタ31、フェイズカウンタ32、比較器33、設定レジスタ33a、比較器34、設定レジスタ34a、制御パケット送信部35d、制御パケット受信部36dを有する。また、同期制御機構17cは、制御レジスタ37、比較器38、設定レジスタ38a、遅延回路39、nパルス生成部50、ANDゲート60を有する。
- [0132] 制御パケット送信部35dは、第1送信バッファ35e、出力回路35f、エンコーダ35g、第2送信バッファ35h、出力回路35i、エンコーダ35jを有する。また、制御パケット受信部36dは、デコーダ36e、第1受信バッファ36f、デコーダ36g、第2受信バッファ36h、更新回路36iを有する。
- [0133] また、第1送信バッファ35e、第2送信バッファ35hは、図3に示す送信バッファ35aと、出力回路35fおよび出力回路35iは、出力回路35bと、エンコーダ35gおよびエンコーダ35jは、エンコーダ35cと同様の機能を発揮するものとする。また、デコーダ36eおよびデコーダ36gは、デコーダ36aと、第1受信バッファ36fおよび第2受信バッファ36hは、受信バッファ36bと、更新回路36iは、更新回路36cと同様の機能を発揮するものとする。
- [0134] なお、比較器33の出力は、出力回路35iに対して入力され、比較器34からの出力は、更新回路36iに対して入力され、比較器38の出力は、出力回路35fに対して入力されるものとする。また、設定レジスタ33aには、実施例1と同様「XBC Timing」が分周信号のアップエッジからコアクロックの周期でいくつ分であるかを示す数値が格納される。また、設定レジスタ34aには、「REG-WR Timing」が分周信号のアップエッジからコアクロックの周期でいくつ分であるかを示す数値が格納される。
- [0135] また、同期制御機構17cは、CPU10cが実行するアプリケーションが同期要求を発行した場合には、図9中(L)に示す経路から、同期要求を

受信し、同期要求を格納した制御パケットを同期制御機構 25 c へ送信する。以下の説明においては、同期制御機構 17 c が、自身とは異なるバスに接続される同期制御機構 25 c へ制御パケットを送信するタイミングを「SBC Timing」と記載する。

[0136] つまり、設定レジスタ 38 a には、「SBC Timing」が分周信号のアップエッジからコアクロックの周期単位でいくつ分かを示す値が格納される。そして、比較器 38 は、フェイズカウンタ 32 の値が設定レジスタ 38 a の値と一致した場合には、出力回路 35 f に対して信号を出力する。出力回路 35 f は、比較器 38 から信号を受信した場合、つまり、「SBC Timing」となった場合には、第 1 送信バッファ 35 e に格納された同期信号をエンコーダ 35 g へ出力する。

[0137] エンコーダ 35 g は、受信した同期信号を格納した制御パケットを生成し、生成した制御パケットを、図 9 中 (T) に示す経路を介して、同期制御機構 35 c へ送信する。また、エンコーダ 35 g は、生成したパケットを遅延回路 39 にも送信する。なお、エンコーダ 35 g が生成するパケットは、実施例 1 に係るエンコーダ 35 c が生成するパケットと同様のパケットである。また、遅延回路 39 は、エンコーダ 35 g が生成した制御パケットを受信した場合には、所定の時間経過後、受信した制御パケットを出力する。

[0138] また、同期制御機構 17 c は、図 9 中 (U) に示す経路を介して、同期制御機構 25 c が送信した制御パケット、または、遅延回路 39 が出力した制御パケットを、制御パケット受信部 36 d に伝達する。制御パケット受信部 36 d は、実施例 1 に係る制御パケット受信部 36 と同様に、制御パケットをデコーダ 36 e でデコードし、同期要求を第 1 受信バッファ 36 f に格納する。また、制御パケット受信部 36 は、第 1 受信バッファ 36 f に格納された同期要求を制御パケット送信部 35 d の第 2 送信バッファ 35 h へ送信する。

[0139] 制御パケット送信部 35 d は、第 2 送信バッファ 35 h が同期要求を受信し、かつ、出力回路 35 i が比較器 33 から信号を受信した場合、つまり、

「XBC Timing」となった場合には、以下の処理を実行する。すなわち、制御パケット送信部35dは、エンコーダ35jを用いて、第2送信バッファ35hに格納された同期要求を格納した制御パケットを生成する。そして、制御パケット送信部35dは、図9中(M)に示す経路を介して、生成した制御パケットを各CPU10c~10eにブロードキャスト送信する。

[0140] また、同期制御機構17cは、XB26cから自身がブロードキャスト送信した制御パケット、または、他の同期制御機構26e、26gがブロードキャスト送信した制御パケットを受信した場合には、図9中(N)に示す経路を介して、制御パケットを受信する。また、同期制御機構17cは、受信した制御パケットを、制御パケット受信部36dのデコーダ36gでデコードし、格納されていた同期要求を第2受信バッファ36hに格納する。ここで、更新回路36iは、実施例1に係る更新回路36cと同様に、比較器34から信号を受信した場合、つまり、「REG-WR Timing」となった場合には、第2受信バッファ36hに格納された同期要求を制御レジスタ37に格納する。

[0141] 次に、図10を用いて、実施例2に係る同期制御装置17cの一例について説明する。図10は、実施例2に係る同期制御機構の一例を説明するための図である。なお、図10に示す同期制御機構17cは、あくまで一例であり、同期制御機構17cが有する各部30~38a、50~60は、同等の機能を有する回路等により置換することができる。

[0142] なお、図10に示す同期制御機構17cは、図5aに示す同期制御機構17に、比較器38、設定レジスタ38a、遅延回路39を追加し、制御パケット送信部35を制御パケット35dに、制御パケット受信部36を制御パケット受信部36dとしたものである。

[0143] 図10に示すように、第一送信バッファ35eは、図10中(L)に示す経路を介して、アービタ103からアプリケーションが発行したstickctlreqを受信し、受信したstickctlreqを保持す

る。出力回路35fは、スリーステートバッファであり、比較器38が「1」を出力した際に、第1送信バッファ35eに格納されたstick clock reqをエンコーダ35gに送信する。エンコーダ35gは、stick clock reqを格納した制御パケットを生成し、生成した制御パケットを、図10中(T)に示す経路を介して、同期制御機構25cへ送信する。

[0144] また、制御パケット受信部36dのデコーダ36eは、同期制御機構25cから図10中(U)に示す経路を介して制御パケットを受信した場合、または、遅延回路39によって遅延した制御パケットを受信した場合には、以下の処理を実行する。すなわち、パケットデコーダ36eは、受信したパケットをデコードし、同期要求を抽出する。そして、抽出した同期要求を第1受信バッファ36fに格納する。

[0145] また、第1受信バッファ36fに格納された同期要求は、制御パケット送信部35hが有する第2送信バッファ35hに伝達され、格納される。次に、出力回路35iは、出力回路35bと同様に、「XBC Timing」で比較器33から信号を受信すると、第2送信バッファ35hに格納された同期要求をエンコーダ35jに出力する。エンコーダ35jは、エンコーダ35cと同様に、同期要求を格納した制御パケットを生成し、生成した制御パケットを図10中(M)に示す経路を介して、各CPU10c~10eへブロードキャスト送信する。

[0146] また、制御パケット受信部36dは、図10中(N)に示す経路を介して、ブロードキャスト送信された制御パケットを受信した場合には、実施例1に係る制御パケット受信部36と同様の処理を行う。つまり制御パケット受信部36dは、デコーダ36を用いて制御パケットから「0」または「1」の同期要求を抽出し、抽出した同期要求を第2受信バッファ36hに格納する。そして、制御パケット受信部36dは、「REG-WR Timing」となった場合には、第2受信バッファ36に格納された値を制御レジスタ37に保持させることで、stick clockの供給の開始や中止を行う。

[0147] 次に、図11を用いて、各CPU10c~10e、18c~18eが同期する処理について説明する。図11は、実施例2に係るSTICKレジスタのカウントを開始するタイミングを説明するためのタイムチャートである。図11に示す例では、図左側から右へ時間が進むものとする。また、図11には、基準信号の波形、図10中(K)に示す経路から取得した分周された分周信号であるstick_syncの波形、nパルス発生部が発生させたreproduced_stick_clkの波形を示す。また、図10中(L)、(U)、(N)、(O)に示す経路を流れる信号の波形、および各CPU10c~10e、18c~18eに格納される値を示す。なお、図11に示す例では、矢印の点線が示すタイミングで各CPU10c~18eがパケットを受信するものとし、各CPU10c~18eが受信する信号の波形については、簡略化した。

[0148] 例えば、同期制御機構17cは、図10中(L)に示す経路を介して、図11中(S)に示すタイミングで、アプリケーションが同期要求を送信した場合には、次の「SBC Timing」で、同期制御機構25cに制御パケットを送信する。なお、「SBC Timing」は、stick_syncのアップエッジから設定レジスタ38aに格納された数分のコアクロックの周期が経過したタイミングである。

[0149] また、同期制御機構17cは、遅延回路39が出力した制御パケット、または、図10中(U)を介して、同期制御機構25cから制御パケットを受信した場合には、「XBC Timing」で制御パケットをCPU10c~10eへブロードキャスト送信する。ここで、同期制御機構25cは、同期制御機構17cと同じ「XBC Timing」で、制御パケットをCPU18c~18eへブロードキャスト送信する。

[0150] その後、各同期制御機構17c~17e、25c~25eは、ブロードキャスト送信した制御パケットを受信し、次の「REG-WT Timing」で、STICKレジスタにstick_clkを出力する。このため、各CPU10c~10e、18c~18eは、各STICKレジスタに格納さ

れる値がそろうため、同期して処理を実行することができる。

[0151] [実施例2の効果]

上述したように、同期制御機構17cは、アプリケーションが同期要求を発行した場合には、構成単位2aとして対応付けられたCPU18cの同期制御機構25cに同期要求を送信する。そして、同期制御機構17cは、同期要求を送信してから所定の時間が経過した場合、または、同期制御機構25cから同期要求を受信した場合には、分周信号が示す「XBC Timing」で、制御パケットを、CPU10c~10eへブロードキャスト送信する。

[0152] この際、同期制御機構25cは、同期制御機構17cが制御パケットをブロードキャスト送信したのと同様のタイミングで、CPU18c~18eに制御パケットをブロードキャスト送信する。その後、同期制御機構17cは、ブロードキャスト送信された制御パケットを受信した後に、分周信号のアップエッジから所定の時間が経過した「REG-WR Timing」となった場合には、以下の処理を実行する。すなわち、同期制御機構17cは、CPU10cのSTICKレジスタ12、13、15、16に制御信号を供給する。この結果、同期制御機構17cは、各CPU10c~10eとCPU18c~18eが異なるバスに接続されている場合にも、各CPU10c~10e、18c~18eが実行する処理を適切に同期させることができる。

[0153] また、同期制御機構17c~17e、25c~25eは、基準信号よりも長い周期を有する分周信号のアップエッジから所定の時間が経過した「REG-WR Timing」となったタイミングで、各CPU11~18のSTICKレジスタに同期信号を出力する。このため、並列計算機システム1aは、各CPU10c~10e、18c~18eがシリアルリンク等の伝送レイテンシが一定しない方式で接続されている場合にも、各CPU10c~10e、18c~18eが実行する処理を適切に同期させることができる。

[0154] なお、同期制御機構17cは、並列計算機システム1aが図7に示す構成

以外の構成を有する場合にも、各CPU10c~10e、18c~18eが実行する処理を適切に同期させることができる。すなわち、同期制御機構17cは、1つのバスに接続された複数のCPUを1つの組とし、自身が設置されたCPUが異なる組のCPUと接続されている場合には、この接続されているCPUに対して同期要求を格納した制御パケットを送信する。

[0155] そして、同期制御機構17cは、各組のCPUに制御パケットを送信した後に、自身が設置されたCPUの組に対して制御パケットをブロードキャスト送信する。このように、多段階で制御パケットを各CPU10c~10e、18c~18eへ送信することによって、同期制御機構17cは、各CPUが実行する処理を適切に同期させることができる。

実施例 3

[0156] 以下の実施例3では、複数の図を用いて、並列計算機システム1bの一例を説明する、図12は、実施例3に関わる並列計算機システムの一例を説明するための図である。図12に示すように、並列計算機システム1bは、複数の構成単位2f~2i、5f~5i、6f~6i、7f~7iをx軸方向およびy軸方向の2次元のメッシュ状に接続したシステムである。

[0157] 具体的には、構成単位2f~7f、2g~7g、2h~7h、2i~7iがx軸方向に接続され、構成単位2f~2i、5f~5i、6f~6i、7f~7iがy軸方向に接続されている。なお、図12では省略したが、並列計算機システム1bは、メッシュ状に接続した複数の構成単位をさらに有する。なお、以下の説明においては、構成単位2fが実行する処理について説明し、他の構成単位2g~2i、5f~5i、6f~6i、7f~7iは、構成単位2fと同様の処理を実行するものとして、説明を省略する。

[0158] 図13は、実施例3に係る並列計算機システムの一部を説明するための図である。なお、図13には、x軸方向に接続された構成単位2f、5f、7fが有する各部を示した。また、実施例1に係る各部と同様の機能を発揮するものについては、同じ符号を付し、以下の説明を省略する。また、図13中(K)、(O)に示す経路は、図1中(K)、(O)に示す経路と同様の

経路である。

- [0159] 構成単位 2 f は、実施例 1 に係る構成単位 2 と同様、発振器 3、CD 4、CPU 10、CPU 18 および XB 26 i を有する。また、XB 26 i は、BC (broadcast) パイプライン機構 6 1 を有する。図 13 中 (V) に示すように、CD 4 が生成する分周信号は、BC パイプライン機構 6 1 にも供給される。
- [0160] 同期制御機構 17 f は、実施例 1 に係る同期制御機構 17 と同様の処理を実行する。また、同期制御機構 17 f は、分周信号のアップエッジから所定の時間が経過した「XBCO Timing」で、制御パケットを BC パイプライン機構 6 1 へ送信する。BC パイプライン機構 6 1 は、図 13 中 (W) に示す経路を介して、同期制御機構 17 f から制御パケットを受信する。
- [0161] ここで、並列計算機システム 1 b が一定の規模よりも大きい場合には、分周信号のアップエッジから所定の時間が経過した「REG-WR Timing」となるまでの間に、各構成単位 2 f ~ 7 i が有する CPU に制御パケットが行きわたらない場合がある。このため、BC パイプライン機構 6 1 は、制御パケットを CPU 10 から受信した場合には、CPU 10 を有する構成単位 2 f と x 軸方向に接続された各構成単位 5 f ~ 7 f とに対して、制御パケットをブロードキャスト送信する。
- [0162] また、BC パイプライン機構 6 1 は、制御パケットを x 軸方向の構成単位 2 f、5 f ~ 7 f にブロードキャスト送信してから一定時間が経過した場合、又は、構成単位 5 f ~ 7 f のいずれかが送信した制御パケットを受信した場合には、以下の処理を実行する。すなわち、BC パイプライン機構 5 1 は、CPU 11 を有する構成単位 2 b と y 軸方向に接続された各構成単位 2 g ~ 2 e へ制御パケットをブロードキャスト送信する。
- [0163] また、BC パイプライン機構 5 1 は、構成単位 2 f と y 軸方向に接続された各構成単位 2 g ~ 2 e へ制御パケットを送信してから一定時間が経過した場合、または、各構成単位 2 g ~ 2 e から制御パケットを受信した場合は、以下の処理を実行する。つまり、BC パイプライン機構 5 1 は、図 13 中 (

b) に示す経路を介して、同期制御機構 17 f に受信した制御パケットを送信する。また、BCパイプライン機構 5 1 は、同期制御機構 25 に制御パケットを送信する。その後、同期制御機構 17 f、25 f は、BCパイプライン機構 5 1 から制御パケットを受信した場合には、分周信号が示す「REG-WR Timing」で、同期信号を各STICKレジスタに供給する。

[0164] なお、上述した例では、CPU 11 が同期制御機構 17 f、25 f を有し、XB26 i がBCパイプライン機構 6 1 を有するものとしたが、同期制御機構 17 f にBCパイプライン機構 5 1 の機能を集約することとしてもよい。また、BCパイプライン機構 6 1 の機能は、XB26 i 以外にも、任意の箇所に設けることとしても良い。

[0165] つぎに、図 14 を用いて、BCパイプライン機構 6 1 が設置される位置について説明する。図 14 は、実施例 3 に係る構成要素の一例を説明するための図である。なお、図 14 に示す各部のうち、図 2 に示した各部と同様の機能を有するものについては、同一の符号を付し、以下の説明を省略する。また、図 14 中 (K)、(O)、(V)、(W)、(b) は、図 13 中 (K)、(O)、(V)、(W)、(b) と同じ経路である。図 14 に示す例では、図 14 中 (K)、(L)、(O) ~ (R) に示す経路を介して、図 2 中 (K)、(L)、(O) ~ (R) に示す経路と同様の経路である。

[0166] すなわち、同期制御機構 17 f は、図 14 中 (K)、(L)、(O) ~ (R) に示す経路を介して、実施例 1 に係る同期制御機構 17 と同様の信号を送受信するものとし、以下の説明を省略する。また、同期制御機構 17 f が「XBCO Timing」で送信した制御パケットは、図 14 中 (W) に示す経路を介して、BCパイプライン機構 6 1 に入力される。つまり、「XBCO Timing」とは、同期制御機構 17 f は、制御パケットをBCパイプライン機構 6 1 に格納するタイミングである。

[0167] BCパイプライン機構 6 1 は、図 14 中の経路 (V) を介してCD4 から分周信号を取得し、実施例 1 に係る同期制御機構 17 と同様の処理を行うことにより、分周信号のアップエッジから経過した時間を計測している。また

、BCパイプライン機構61は、同期制御機構17fが「XBC0 Timing」で送信した制御パケットを、図14中(W)に示す経路を介して受信する。

[0168] そして、BCパイプライン機構61は、制御パケットを同期制御機構17fから受信し、分周信号のアップエッジから予め定められた時間が経過したタイミングである「XBC1 Timing」となった場合には、以下の処理を実行する。すなわち、BCパイプライン機構61は、図14中(X)に示す経路を介して、受信した制御パケットを構成単位2f、5f~7fへブロードキャスト送信する。つまり、「XBC1 Timing」とは、制御パケットをx軸方向に接続された構成単位へ送信するタイミングである。

[0169] また、BCパイプライン機構61は、図14中(Y)に示す経路を介して、構成単位2f、5f~7fにブロードキャスト送信された制御パケットを受信する。このような場合には、BCパイプライン機構61は、分周信号のアップエッジから予め定められた時間が経過したタイミングである「XBC2 Timing」となった際に、以下の処理を実行する。すなわち、BCパイプライン機構61は、図14中(Z)に示す経路を介して、y軸方向に接続された各構成単位2f~2iへ制御パケットをブロードキャスト送信する。つまり、「XBC2 Timing」とは、制御パケットをy軸方向に接続された構成単位へ送信するタイミングである。

[0170] また、BCパイプライン機構61は、図14中(a)に示す経路を介して、各構成単位2f~2iへブロードキャスト送信された制御パケットを受信した場合には、以下の処理を実行する。すなわち、BCパイプライン機構61は、分周信号のアップエッジから予め定められた時間が経過したタイミングである「SBC Timing」となった際に、制御パケットを図14中(b)に示す経路を介して、同期制御機構17fへ送信する。つまり、「SBC Timing」とは、制御パケットを同期制御機構17fへ送信するタイミングである。

[0171] 次に、図15を用いて、実施例3に係る同期制御機構17fについて説明

する。図15は、実施例3に係る同期制御機構について説明するための図である。なお、図15に示す各部のうち、図3に示す各部と同様の機能を発揮するものについては、同一の符号を付し、説明を省略する。

[0172] 設定レジスタ33bは、「XBCO Timing」を設定するためのレジスタである。具体的には、設定レジスタ33aは、分周信号のアップエッジから「XBCO Timing」までの時間を、コアクロックの周期単位で示した値が格納される。つまり、同期制御機構17fは、「XBC Timing」ではなく「XBCO Timing」で制御パケットをXB26iのBCパイプライン機構61へ送信する。そして、同期制御機構17fは、制御パケットをXB26iのBCパイプライン機構61から受信した場合には、同期制御機構17と同様に、「REG-WR Timing」で、各STICKレジスタ12、13、15、16に対する制御信号の供給を開始する。

[0173] 次に、図16を用いて、BCパイプライン機構61が実行する処理について説明する。図16は、実施例3に係るBCパイプライン機構を説明するための図である。なお、図16中の(X)～(Z)、(a)、(b)に示す経路は、図15中(X)～(Z)、(a)、(b)に示す経路であるものとする。

[0174] 図16に示す例では、BCパイプライン機構61は、シンクロナイザ62、アップエッジディテクタ63、フェイズカウンタ64、比較器65～67、設定バッファ65a～67a、BC制御パケット受信部68、BC制御パケット送信部69を有する。また、BC制御パケット受信部68は、複数のデコーダ68a、68c、68eと、第1受信バッファ68b、第2受信バッファ68d、第3受信バッファ68fを有する。また、BC制御パケット送信部69は、第1送信バッファ69a、第2送信バッファ69d、第3送信バッファ69g、複数の出力回路69b、69e、69h、複数のエンコーダ69c、69f、69iを有する。

[0175] なお、図16に示すシンクロナイザ62、アップエッジディテクタ63、

フェイズカウンタ64は、図3に示すシンクロナイザ30、アップエッジディテクタ31、フェイズカウンタ32と同様の処理を実行するものとして説明を省略する。また、設定バッファ65aには、分周信号のアップエッジからコアクロックの周期単位でいくつ分を「XBC0 Timing」とするかを示す値が格納される。

[0176] また、設定バッファ66aには、分周信号のアップエッジからコアクロックの周期でいくつ分を「XBC1 Timing」とするかを示す値が格納される。また、設定バッファ67aには、分周信号のアップエッジからコアクロックの周期単位でいくつ分を「XBC2 Timing」とするかを示す値が格納される。

[0177] また、BC制御パケット受信部68が有する各デコーダ68a、68b、68eは、それぞれ図3に示すデコーダ36aと同様の機能を発揮するものとして、説明を省略する。また、BC制御パケット送信部69が有するエンコーダ69c、69f、69iは、図3に示すエンコーダ35cと同様の機能を発揮するものとして、説明を省略する。第1バッファ68a、第2バッファ68d、第3バッファ68fは、各デコーダ68a、68c、68eが制御パケットから取得した同期要求を記憶するバッファである。

[0178] 第1送信バッファ69a、第2送信バッファ69a、第3送信バッファ69gは、それぞれ、第1受信バッファ68b、第2受信バッファ68d、第3受信バッファ68fに格納された制御パケットを受信し、記憶するバッファである。出力回路69bは、比較器65からの信号を受信した場合には、第1送信バッファ69aに格納されていた同期要求をエンコーダ69cに出力する。出力回路69eは、比較器66からの信号を受信した場合には、第2送信バッファ69dに格納されていた同期信号をエンコーダ69fに格納する。出力回路69hは、比較器65からの信号を受信した場合には、第3送信バッファ69gに格納されていた同期信号をエンコーダ69iに格納する。

[0179] このようなBCパイプライン機構61は、同期制御機構17fから図16

中 (W) に示す経路を介して制御パケットを受信する。そして、BCパイプライン機構61は、制御パケットをデコードし、制御パケットに格納された同期要求を取得する。そして、BCパイプライン機構61は、分周信号のアップエッジから経過した時間が「XBC1 Timing」となった際に、以下の処理を実行する。すなわち、BCパイプライン機構61は、同期要求を格納した制御パケットを生成し、図16中(X)に示す経路を介して、x軸方向に接続された構成単位2f、5f~7fへ制御パケットをブロードキャスト送信する。また、BCパイプライン機構61は、制御パケットを遅延回路39に入力する。

[0180] また、BCパイプライン機構61は、x軸方向にブロードキャスト送信された制御パケットを図16中(Y)に示す経路を介して受信した場合、または、制御パケットを遅延回路39が制御パケットを出力した場合には、以下の処理を実行する。つまり、BCパイプライン機構61は、制御パケットから同期要求を取得し、分周信号のアップエッジから経過した時間が「XBC2 Timing」となった際に、次の処理を実行する。すなわち、BCパイプライン機構61は、同期要求を格納した制御パケットを、図16中(Z)に示す経路を介して、y軸方向の構成単位2f~2iにブロードキャスト送信する。また、BCパイプライン機構61は、制御パケットを遅延回路39aに入力する。

[0181] また、BCパイプライン機構61は、図16中(a)に示す経路を介して、y軸方向の構成単位2f~2iにブロードキャスト送信した制御パケットを受信した場合、または、遅延回路39aが制御パケットを出力した場合には、以下の処理を実行する。つまり、BCパイプライン機構61は、制御パケットから同期要求を取得し、分周信号のアップエッジから経過した時間が「SBC Timing」となった際に、次の処理を実行する。すなわち、BCパイプライン機構61は、同期要求を格納した制御パケットを図16中(b)に示す経路を介して、同期制御機構17fに出力する。

[0182] この後、同期要求をBCパイプライン機構51から受信した同期制御機構

17fは、分周信号のエッジから経過した時間が「REG-WR Timing」となった場合には、nパルス生成部40が生成した同期信号を各STICKレジスタに出力する。

[0183] 図17は、BCパイプライン機構の一例を説明するための図である。図17に示すように、設定レジスタ65a、66a、67aに対しては、Scanin信号により、それぞれ、「XBC1 Timing」、「XBC2 Timing」、「SBC Timing」となるタイミングを示す値が格納される。

[0184] 比較器65は、設定レジスタ65aに格納された値とフェイズカウンタ64の値とを比較し、各値が一致した場合には、スリーステートバッファである出力回路69bに信号を出力する。比較器66は、設定レジスタ66aに格納された値とフェイズカウンタ64の値とを比較し、各値が一致した場合には、スリーステートバッファである出力回路69eに信号を出力する。比較器67は、設定レジスタ67aに格納された値とフェイズカウンタ64の値とを比較し、各値が一致した場合には、スリーステートバッファである出力回路69hに信号を出力する。このように、BCパイプライン機構61は、図5aに示す同期制御機構17と同様の部品により実現可能であり、コストが小さく、実装が容易である。

[0185] 次に、図18～20を用いて、並列計算機システム1bが有するCPUを同期させる処理について説明する。図18は、同期制御機構が制御パケットをBCパイプライン機構に送信するタイミングを説明するタイムチャートである。なお、図18には、基準信号、stick_cync、reproduced_stick_clk、図15中(L)に示す経路を流れる信号、図16中(W)、(X)、(Y)に示す経路を流れる信号を示す。また、図18には、各BCパイプライン機構61～61bが制御パケットを受信するタイミングを示す。なお、図18に示す例では、矢印の点線が示すタイミングで各CPU10およびBCパイプライン機構61～61bがパケットを受信するものとし、各CPU10およびBCパイプライン機構61～61bが

受信する信号の波形については、簡略化した。

[0186] 図18に示す例では、CPU10が有する同期制御機構17fは、図18中(C)に示すタイミングで、アプリケーションから同期要求を受信した場合には、同期要求を格納した制御パケットを「XBC0 Timing」で、BCパイプライン機構61に送信する。このため、BCパイプライン機構61は、図18中(d)に示すタイミングで、制御パケットを受信する。次に、BCパイプライン機構61は、図18中(e)に示すように、stick syncのアップエッジから経過した時間が「XBC1 Timing」となっが際に、以下の処理を実行する。

[0187] すなわち、BCパイプライン機構61は、制御パケットをx軸方向の構成単位2f、5f~7fが有するBCパイプライン機構61~61bに制御パケットをブロードキャスト送信する。その後、BCパイプライン機構61は、図18中(f)に示すタイミングで、制御パケットを受信する。

[0188] 図19は、BCパイプライン機構が制御パケットをブロードキャスト送信するタイミングを説明するためのタイムチャートである。図19に示す例では、基準信号、図16中(V)に示す経路から取得するstick sync、reproduced stick clk、図16中(Z)に示す経路を流れる信号および図16中(a)に示す経路を案がれる信号を示す。また、図19に示す例では、BCパイプライン機構61~61b、CPU10~10b、CPU18~18bが制御パケットを受信するタイミングを示す。

[0189] また、図19に示す例では、構成単位2gが有するBCパイプライン機構61c、構成単位2gが有するCPU10f~10h、CPU18f~18hが制御パケットを受信するタイミングを示す。また、図19に示す例では、構成単位7iが有するBCパイプライン機構61f、CPU10i~10k、CPU18i~18kが制御パケットを受信するタイミングを示す。なお、図19に示す例では、矢印の点線が示すタイミングで各CPU10~10k、および各BCパイプライン機構61~61fがパケットを受信するも

のとし、各CPU10～10k、および各BCパイプライン機構61～61fが受信する信号の波形については、簡略化した。

[0190] 図19に示す例では、BCパイプライン機構61～61bは、分周信号のエッジから経過した時間が「XBC2 Timing」となった場合には、図19中(G)に示すように、図16中(Z)に示す経路を介して、y軸方向の構成単位に制御パケットを送信する。すると、並列計算機システム1bが有する各構成単位2f～2i、5f～7iに、制御パケットが行き渡ることとなる。その後、各BCパイプライン機構61～61fは、「SBC Timing」で、図19中(h)に示すように、図16中(b)に示す経路を介して、制御パケットを各構成単位2f～2i、5f～7iが有するCPU10～10k、18～18kへ送信する。

[0191] 図20は、同期制御機構がSTICKレジスタに同期信号を出力するタイミングを説明するためのタイムチャートである。図20には、基準信号、図15中(K)に示す経路から取得するstick_sync、生成するreproduced_stick_clk、図15中(O)に示す経路から出力するstick_clkを示す。また、図20には、各CPU10～10k、18～18kが有するSTICKレジスタに格納される値を示す。なお、図20に示す例では、既に各CPU10～10k、18～18kが制御パケットを受信しているものとする。

[0192] 図20に示すように、並列計算機システム1bが有する各同期制御機構は、「REG WR Timing」で、制御パケットに格納されていた同期要求を制御レジスタ37に格納する。このため、各CPU10～10k、18～18kは、STICKレジスタに対して、同時にreproduced_stick_clkの入力を開始する結果、各STICKレジスタに入力される値をそろえることができる。結果として、並列計算機システム1bは、各CPU10～10k、18～18kが実行する処理を同期させることができる。

[0193] [実施例3の効果]

上述したように、同期制御機構 17 f および BC パイプライン機構 61 は、構成単位 2 f と x 軸方向に接続された構成単位 5 f ~ 7 f に同期要求をブロードキャスト送信し、次に、y 軸方向に接続された構成単位 2 g ~ 2 i に同期要求をブロードキャスト送信する。そして、同期制御機構 17 f は、ブロードキャスト送信された同期要求を受信し、かつ、分周信号が STICK レジスタの更新を行なう「REG-WR Timing」を示した場合には、各 CPU 10 ~ 10 b、18 ~ 18 b が有する STICK レジスタに、同期信号の出力を開始する。このため、並列計算機システム 1 b は、各 CPU 10 ~ 10 k、18 ~ 18 k が実行する処理を適切に同期させることができる。

[0194] つまり、並列計算機システム 1 b は、同期させる CPU が多数となり、分周信号が「REG-WR Timing」を示す周期よりも短い時間内に同期信号を各 CPU にブロードキャスト送信できない場合には、各 CPU に対して同期要求を段階的に送信する。そして、並列計算機システム 1 b は、各 CPU に同期要求が行き渡り、分周信号が「REG-WR Timing」となった場合には、各 CPU が実行する処理を同期させる。このため、並列計算機システム 1 b は、分周信号が「REG-WR Timing」を示す周期よりも短い時間内に同期信号を各 CPU にブロードキャスト送信できない場合にも、各 CPU が実行する処理を適切に同期させることができる。

[0195] また、同期制御機構 17 f は、基準信号を分周した長い周期を有する分周信号が示すタイミングに従って、同期信号の出力を開始する。このため、並列計算機システム 1 b は、各 CPU 10 ~ 10 k、18 ~ 18 k がシリアルリンク等の、伝送レイテンシが一定しない方式で接続された場合にも、各 CPU 10 ~ 10 k、18 ~ 18 k が実行する処理を同期させることができる。

実施例 4

[0196] これまで本発明の実施例について説明したが実施例は、上述した実施例以外にも様々な異なる形態にて実施されてよいものである。そこで、以下では

実施例4として本発明に含まれる他の実施例を説明する。

[0197] (1) 並列計算機システムが有する構成単位について

上述した並列計算機システム1は、シリアルバスで接続された構成単位2～2bを有していた。また、並列計算機システム1aは、シリアルバスで接続された構成単位2c～5eを有していた。しかし、実施例はこれに限定するものではなく、並列計算機システム1および並列計算機システム1aは、任意の数の構成単位を有してもよい。

[0198] また、各構成単位2c～2eは、それぞれ2つのCPUを有していた。しかし、実施例はこれに限定されるものではなく、各構成単位2c～2eは、任意の数のCPUを有してもよい。このような場合には、同期制御機構17cは、CPU10cと同一の構成単位が有する各CPUに対して同期要求を送信し、その後、各CPUが接続されたバスを介して、他の構成単位2c～2eが有する各CPUに同期要求を送信する。

[0199] また、並列計算機システム1bは、それぞれ2つのCPUを有し、x軸方向およびy軸方向のメッシュ状に接続された複数の構成単位2f～2i、5f～7iを有していた。しかし、実施例はこれに限定されるものではない。例えば、並列計算機システム1bは、x軸方向、y軸方向、z軸方向の3次元に接続された複数の構成単位を有しても良い。このような複数の構成単位を有する場合には、各同期制御機構およびXBは、以下の処理を実行する。すなわち、各軸方向の構成単位に同期要求を多段的に送信し、すべての構成単位に同期要求が送信された場合には、分周信号が示すタイミングに従って、各CPUが有するSTICKカウンタに同期信号を出力する。

[0200] また、並列計算機システム1bは、任意の数のCPUを有する構成単位2f～2i、5f～7iを有してもよい。例えば、並列計算機システム1bは、それぞれ1つのCPUを有する構成単位2f～2i、5f～7iを有していてもよい。つまり、並列計算機システム1bは、x軸方向およびy軸方向に接続された複数のCPUを有してもよい。このような場合には、各同期制御機構は、x軸方向に接続されたCPUに同期要求を送信し、その後、y軸

方向に接続されたCPUに同期要求を送信する。そして、各同期制御機構は、分周信号が示すタイミングで各CPUが有するSTICKレジスタに同期信号を出力する。

[0201] このように、並列計算機システムは、自身が有する各CPUの同期制御装置に同期要求を送信し、その後、分周信号が示すタイミングで各CPUが実行する処理を開始させる。このため、並列計算機システムは、各CPU間がシリアルリンク等の伝送レイテンシが一定ではない方式で接続されている場合にも、適切に各CPUが実行する処理を同期させることができる。

[0202] (2) 同期要求の送信先について

上述した並列計算機システム1bは、x軸方向に接続された構成単位に同期要求をブロードキャスト送信した後、y軸方向に接続された構成単位に同期要求をブロードキャストしていた。しかし、実施例はこれに限定されるものではない。例えば、並列計算機システム1bは、各軸方向に接続された構成単位に対して1度に同期要求を送信するのではなく、各軸方向に接続された構成単位に対して同期要求を送信する処理を、多段階に分けて実行してもよい。

[0203] すなわち、並列計算機システムは、任意の方法を用いて、同期要求を各CPUに送信し、その後、基準信号よりも長い周期を有する分周信号が示すタイミングに基づいて、各CPUが実行する処理の同期を開始すればよい。なお、並列計算機システムは、各CPUに同期要求を送信する経路については、システムの規模や伝送路のレイテンシ等の様々な条件に応じて適切な経路を設計することができる。

符号の説明

- [0204] 1、1a、1b 並列計算機システム
2～2i、5f～5i、6f～6i、7f～7i 構成単位
3 発振器
4 CD
7、7a バス

10~10k、18~18k CPU

26~26k XB

50 nパルス生成部

61~61b BCパイプライン機構

請求の範囲

[請求項1]

入力したクロック信号を $1/N$ に分周するクロック分周器に接続する、データ転送装置を介して他の演算処理装置に接続する演算処理装置が有する同期制御装置において、

前記クロック分周器が分周した分周クロック信号の立ち上がり又は立ち下がりを検出する検出部と、

前記検出部が検出した分周クロック信号の立ち上がり又は立下りからの経過時間を監視して、前記データ転送装置への同期要求を送信する第1のタイミングと、前記演算処理装置が有する同期レジスタを更新する第2のタイミングを監視する監視部と、

前記クロック分周器が分周した分周クロック信号を N 倍に逡倍した制御クロックを生成するクロック生成部と、

前記データ転送装置を介して、前記他の演算処理装置からの同期要求を受信する同期要求受信部と、

前記同期要求受信部が前記他の演算処理装置からの同期要求を受信し、かつ、前記監視部が前記第2のタイミングを検出した場合に、前記クロック生成部が生成した制御クロックを出力するクロック制御部と、

前記監視部が前記第1のタイミングを検出した場合に、前記データ転送装置を介して、同期要求を前記他の演算処理装置に送信する同期要求送信部を有することを特徴とする同期制御装置。

[請求項2]

前記同期制御装置において、

前記監視部はさらに、分周クロック信号の周期を監視し、

前記クロック生成部は、

前記監視部が検出した分周クロック信号の周期を保持する第1の周期保持回路と、

分周クロックの周期の $1/N$ の周期を保持する第2の周期保持回路と、

前記第 1 の周期保持回路に保持された分周クロックの周期を N で除算するとともに、分周クロックの周期の $1/N$ の周期を前記第 2 の周期保持回路に保持する除算回路と、

保持する値を N から 1 ずつ減数する第 1 の計数回路と、

前記第 1 の計数回路が保持する値が 0 以外であることを検出する N 検出回路と、

分周クロックの周期の $1/N$ の周期に基づき、保持する値を 0 から 1 ずつ増分する第 2 の計数回路と、

前記第 2 の計数回路が保持する値が 0 であることを検出するゼロ検出回路と、

前記ゼロ検出回路と前記 1 検出回路の論理積を出力する論理積回路を有することを特徴とする請求項 1 記載の同期制御装置。

[請求項3]

前記監視部は、

前記検出部が検出した分周クロック信号の立ち上がり又は立下りからの経過時間を監視する経過時間監視部と、

前記第 1 のタイミングを検出するための時間値を記憶する第 1 設定レジスタと、

前記第 2 のタイミングを検出するための時間値を記憶する第 2 設定レジスタと、

前記第 1 設定レジスタが記憶する値と前記経過時間監視部が監視した時間とが一致した場合には、前記第 1 のタイミングを検出した旨を前記同期要求送信部に通知し、前記第 2 設定レジスタが記憶する値と前記経過時間監視部が監視した時間とが一致した場合には、前記第 2 のタイミングを検出した旨を前記クロック制御部に通知するタイミング検出部と

を有することを特徴とする請求項 1 または 2 に記載の同期制御装置

。

[請求項4]

前記監視部は、前記演算処理装置と対応付けられ前記演算処理装置

とは異なる経路に接続された他の演算処理装置へ同期要求を送信する第3のタイミングをさらに監視し、

前記同期要求送信部は、前記監視部が前記第3のタイミングを検出した場合には、前記他の演算処理装置へ同期要求を送信し、同期要求の送信後所定の時間が経過しかつ前記監視部が前記第1のタイミングを検出した場合、または、前記他の演算処理装置から同期要求を受信しかつ前記監視部が前記第1のタイミングを検出した場合には、前記データ転送装置を介して、同期要求を、前記他の演算処理装置へ送信することを特徴とする請求項1または2に記載の同期制御装置。

[請求項5]

複数の演算処理装置がx軸方向とy軸方向との2次元のメッシュ状に接続されている場合に、

前記監視部は、x軸方向に接続された他の演算処理装置へ同期要求を送信する第4のタイミングと、y軸方向に接続された他の演算処理装置へ同期要求を送信する第5のタイミングとをさらに監視し、

前記同期要求送信部は、前記監視部が前記第4のタイミングを検出した場合には、前記x軸方向に接続された他の演算処理装置へ同期要求を送信し、同期要求送信の後所定の時間が経過しかつ前記監視部が前記第5のタイミングを検出した場合、または、前記x軸方向に接続された他の演算処理装置から同期要求を受信しかつ前記監視部が前記第5のタイミングを検出した場合には、前記データ転送装置を介して、同期要求を前記y軸方向に接続された他の演算処理装置へ送信し、

前記クロック制御部は、前記同期要求受信部が前記y軸方向に接続された演算処理装置に同期要求を送信してから所定の時間が経過しかつ前記監視部が前記第2のタイミングを検出した場合、または、前記y軸方向に接続された他の演算処理装置からの同期要求を受信しかつ前記監視部が前記第2のタイミングを検出した場合に、前記クロック生成部が生成した制御クロックを出力することを特徴とする請求項1または2に記載の同期制御装置。

[請求項6] 複数の前記演算処理装置を有する構成単位がx軸方向とy軸方向との2次元のメッシュ状に接続されており、

前記同期要求送信部は、前記監視部が、前記第4のタイミングを検出した場合には、前記x軸方向に接続された他の構成単位へ同期要求を送信し、その後、所定の時間が経過し、かつ、前記監視部が前記第5のタイミングを検出した場合、または、前記x軸方向に接続された他の構成単位から同期要求を受信し、かつ、前記監視部が前記第5のタイミングを検出した場合には、前記データ転送装置を介して、同期要求を前記y軸方向に接続された他の構成単位へ送信し、

前記クロック制御部は、前記同期要求受信部が前記y軸方向に接続された構成単位に同期要求を送信してから所定の時間が経過し、かつ、前記監視部が前記第2のタイミングを検出した場合、または、前記y軸方向に接続された他の構成単位からの同期要求を受信し、かつ、前記監視部が前記第2のタイミングを検出した場合に、前記クロック生成部が生成した制御クロックを出力することを特徴とする請求項5に記載の同期制御装置。

[請求項7] データ転送装置を介して他の演算処理装置に接続する演算処理装置において、

演算処理を行なう演算処理部と、

入力したクロック信号を $1/N$ にクロック分周器が分周した分周クロック信号が入力し、前記演算処理装置と前記他の演算処理装置との同期制御を行なう同期制御装置とを備え、

前記同期制御装置は、

入力する分周クロック信号の立ち上がり又は立ち下がりを検出する検出部と、

前記検出部が検出した分周クロック信号の立ち上がり又は立下りからの経過時間を監視して、同期要求を送信する第1のタイミングと、前記演算処理装置が有する同期レジスタを更新する第2のタイミング

を監視する監視部と、

前記クロック分周器が分周した分周クロック信号をN倍に逡倍した制御クロックを生成するクロック生成部と、

前記データ転送装置を介して、前記他の演算処理装置からの同期要求を受信する同期要求受信部と、

前記同期要求受信部が前記他の演算処理装置からの同期要求を受信し、かつ、前記監視部が前記第2のタイミングを検出した場合に前記同期レジスタを更新し、前記クロック生成部が生成した制御クロックを前記演算処理部に出力するクロック制御部と、

前記監視部が前記第1のタイミングを検出した場合に、前記データ転送装置を介して、同期要求を前記他の演算処理装置に送信する同期要求送信部と、

を有することを特徴とする演算処理装置。

[請求項8]

入力したクロック信号を $1/N$ に分周するクロック分周器と、データ転送装置を介して他の演算処理装置に接続された複数の演算処理装置を有する並列計算機システムであって、

前記演算処理装置は、前記他の演算処理装置と同期して処理を実行するための同期制御装置を有し、

前記同期制御装置は、

前記クロック分周器が分周した分周クロック信号の立ち上がり又は立ち下がりを検出する検出部と、

前記検出部が検出した分周クロック信号の立ち上がり又は立下りからの経過時間を監視して、前記データ転送装置への同期要求を送信する第1のタイミングと、前記演算処理装置が有する同期レジスタを更新する第2のタイミングを監視する監視部と、

前記クロック分周器が分周した分周クロック信号をN倍に逡倍した制御クロックを生成するクロック生成部と、

前記データ転送装置を介して、前記他の演算処理装置からの同期要

求を受信する同期要求受信部と、

前記同期要求受信部が前記他の演算処理装置からの同期要求を受信し、かつ、前記監視部が前記第2のタイミングを検出した場合に、前記クロック生成部が生成した制御クロックを出力するクロック制御部と、

前記監視部が前記第1のタイミングを検出した場合に、前記データ転送装置を介して、同期要求を前記他の演算処理装置に送信する同期要求送信部と

を有することを特徴とする並列計算機システム。

[請求項9]

入力したクロック信号を $1/N$ に分周するクロック分周器に接続する、データ転送装置を介して他の演算処理装置に接続する演算処理装置が有する同期制御装置が実行する制御方法であって、

前記クロック分周器が分周した分周クロック信号の立ち上がり又は立ち下がりを検出し、

前記検出した分周クロック信号の立ち上がり又は立下りからの経過時間を監視して、前記データ転送装置への同期要求を送信する第1のタイミングと、前記演算処理装置が有する同期レジスタを更新する第2のタイミングを監視し、

前記分周した分周クロック信号を N 倍に逡倍した制御クロックを生成し、

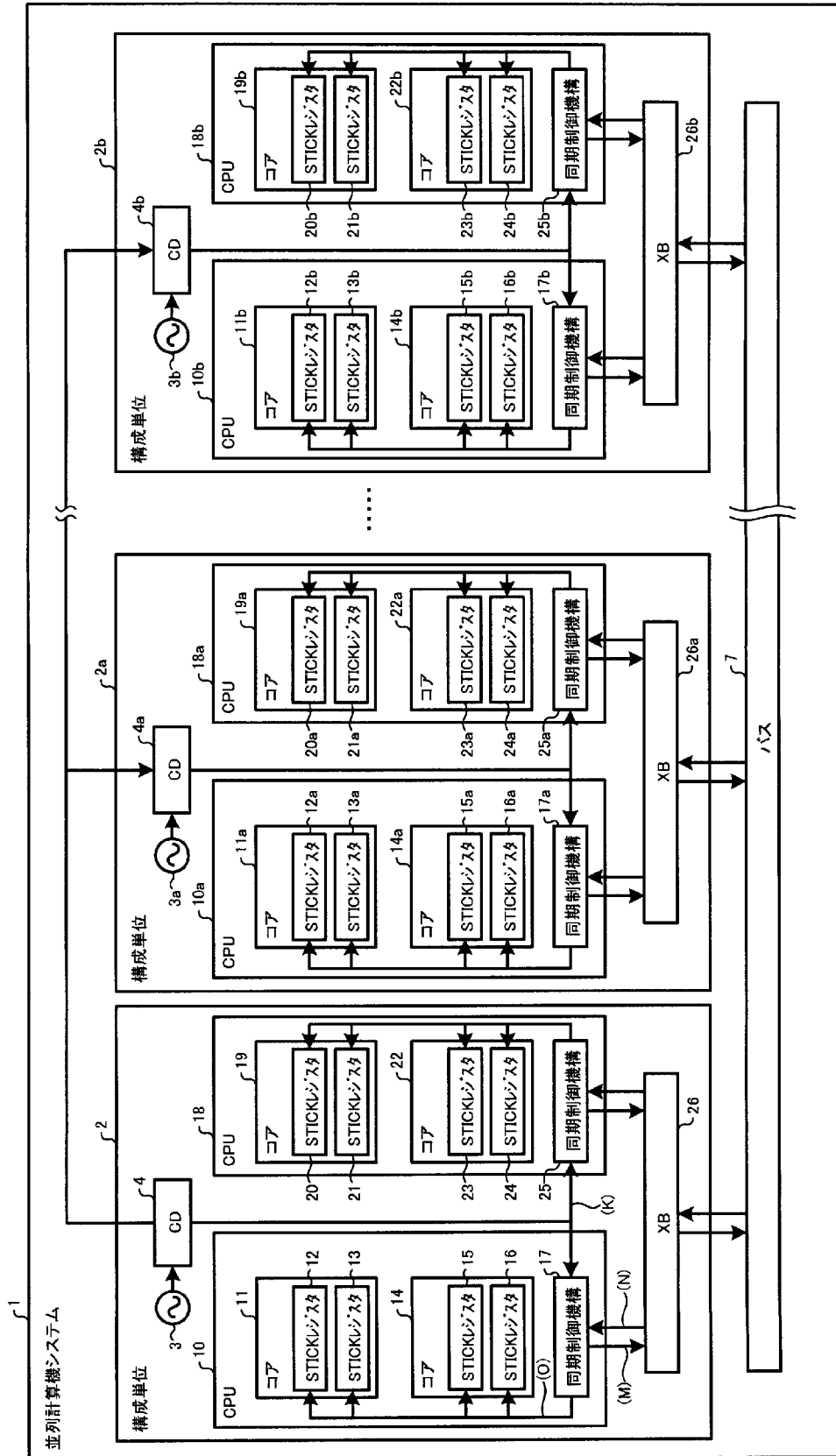
前記データ転送装置を介して、前記他の演算処理装置からの同期要求を受信し、

前記他の演算処理装置からの同期要求を受信し、かつ、前記第2のタイミングを検出した場合に、前記生成した制御クロックを出力し、

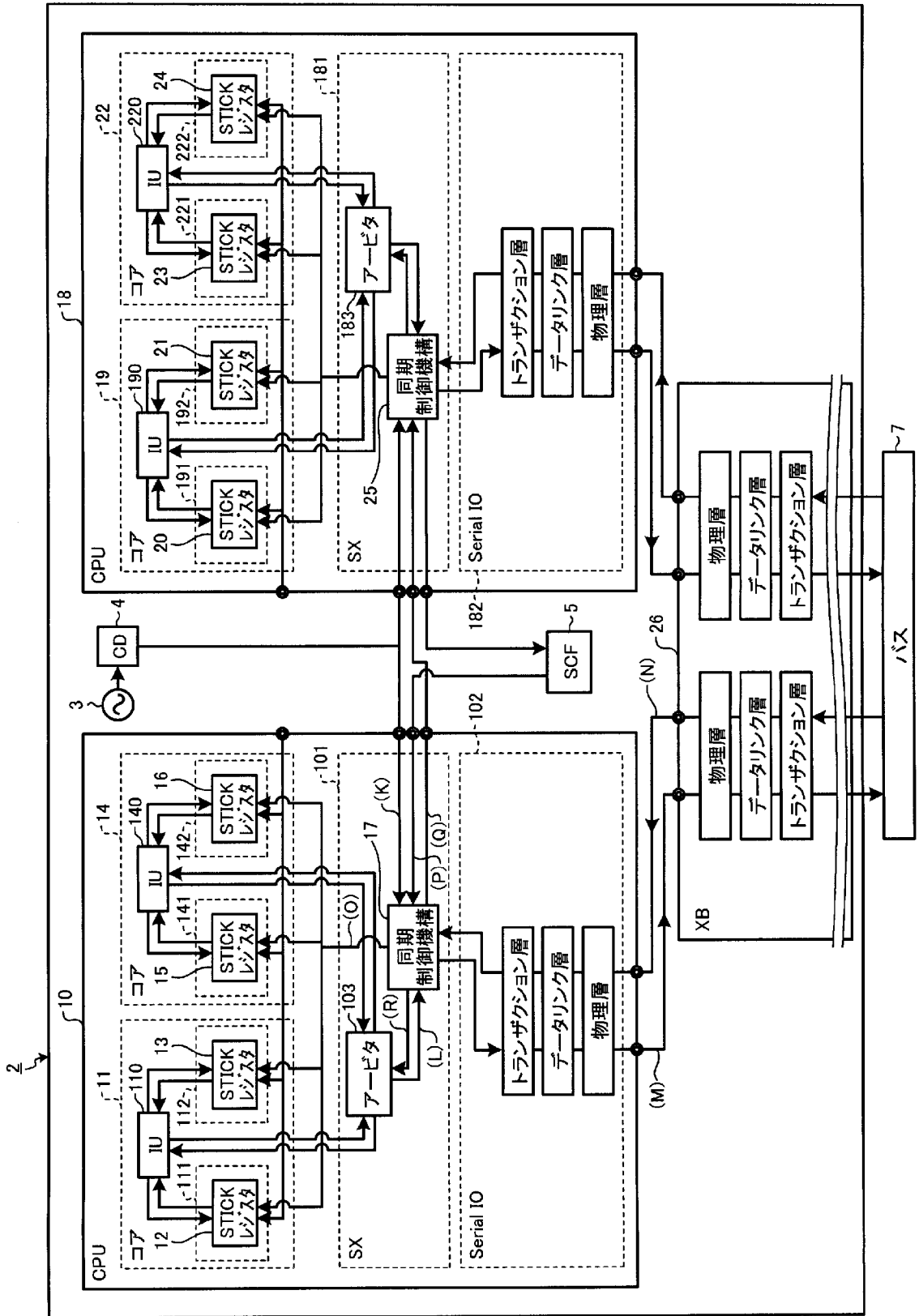
前記第1のタイミングを検出した場合に、前記データ転送装置を介して、同期要求を前記他の演算処理装置に送信する

処理を実行することを特徴とする同期制御装置の制御方法。

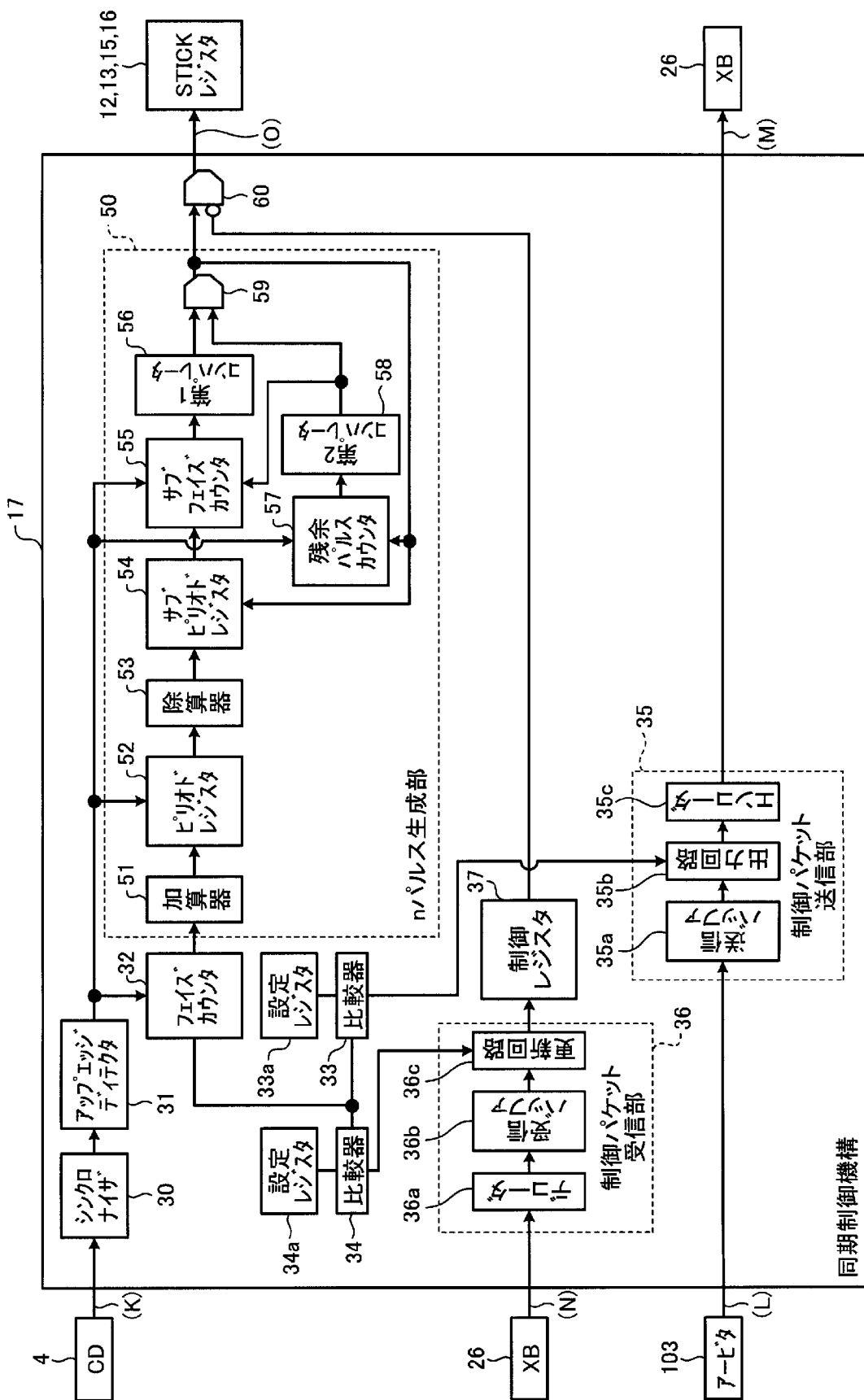
[図1]



[図2]



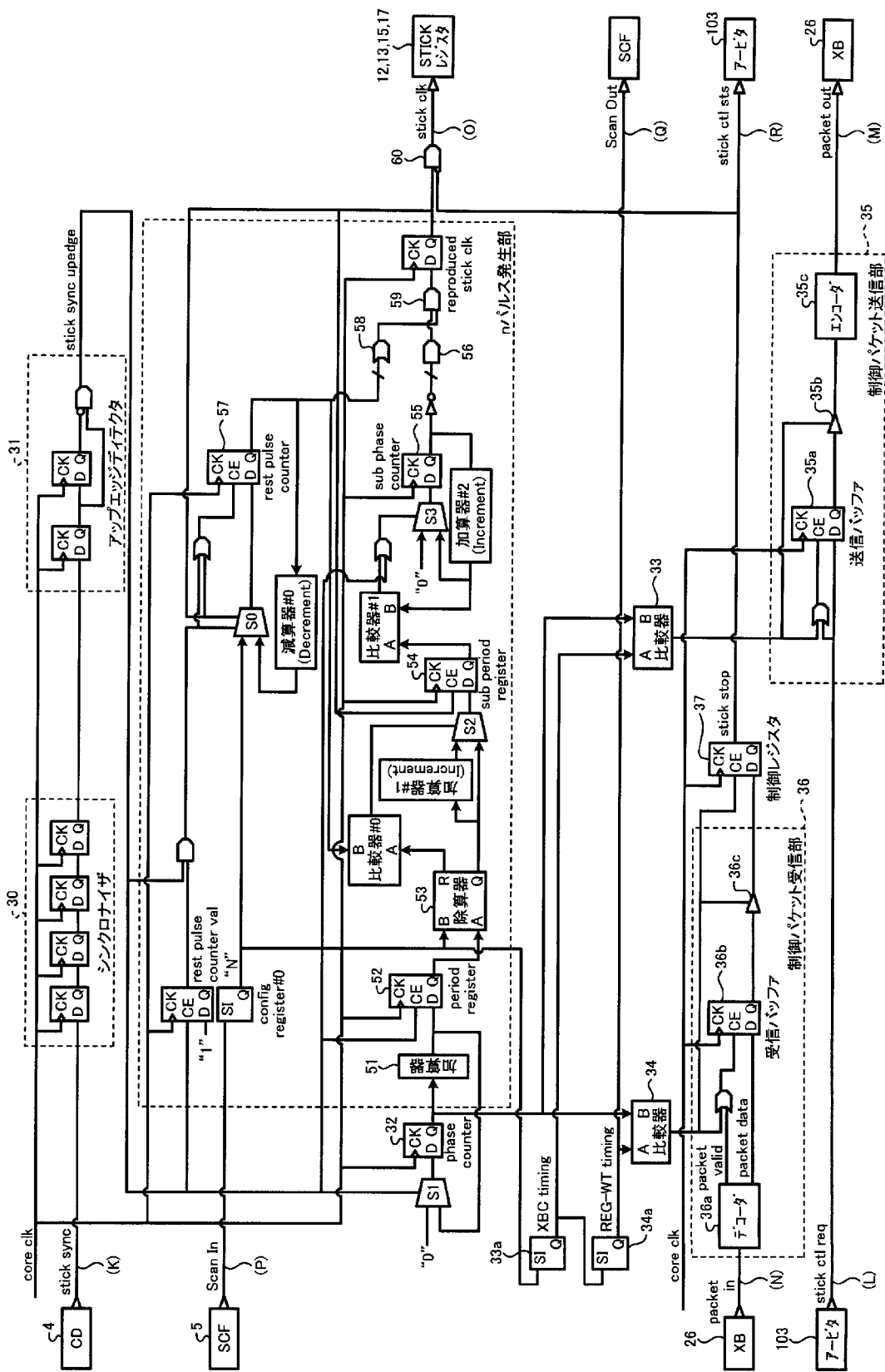
[図3]



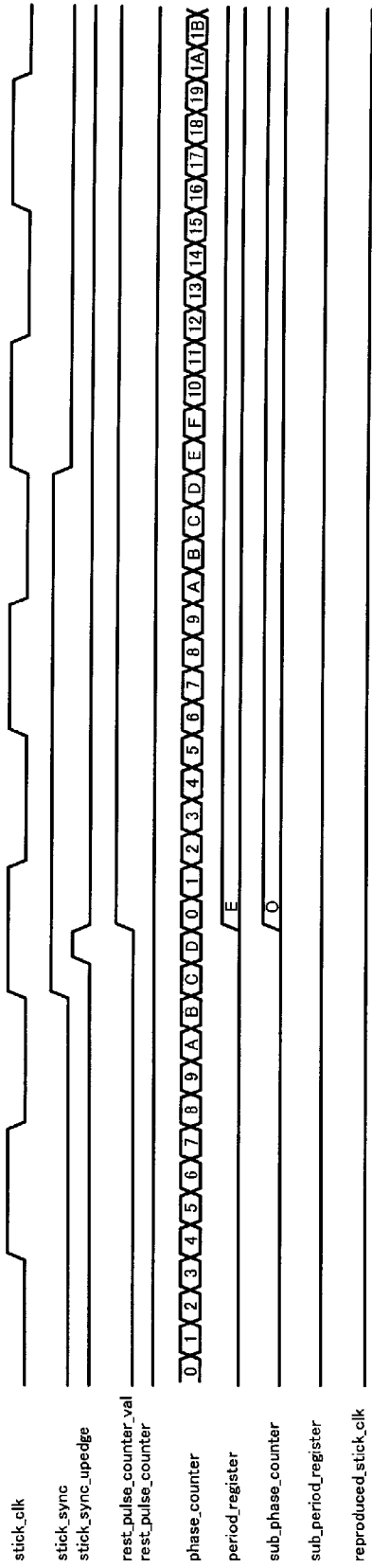
[図4]

	63	56	55	48	47	40	39	32	31	24	23	16	15	8	7	0
0	STP		10/ 11	SEQ#		VCID	S	DID		PID		00000000	00000000	00000000	00000000	00000000
1	00000000	0	OPC				RGID		00000000	00000000	00000000	00000000	00000000	00000000	W	00000000
2	00000000		CRC3			CRC2		CRC1		CRC0		END		PAD		PAD

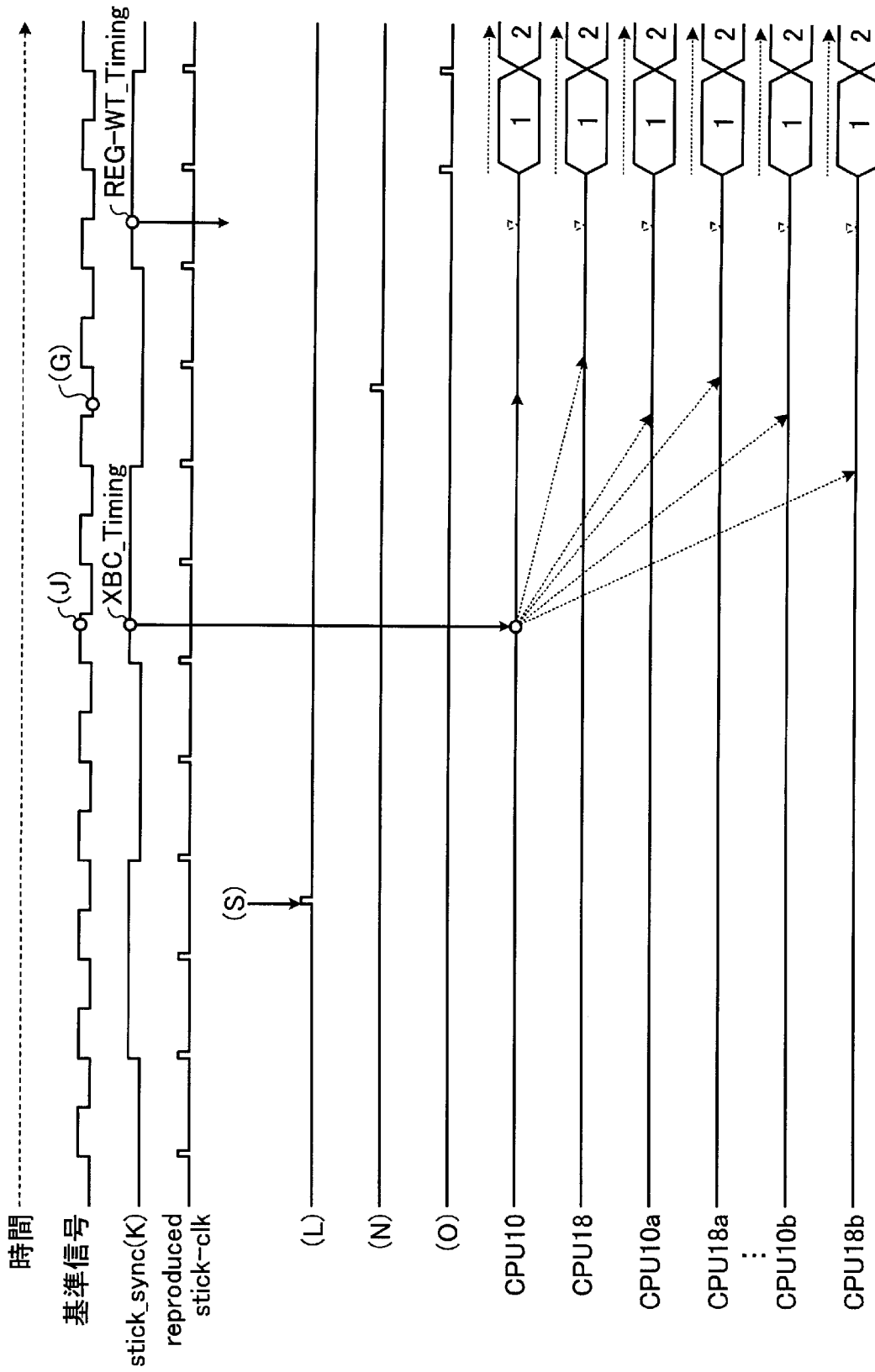
[図5a]



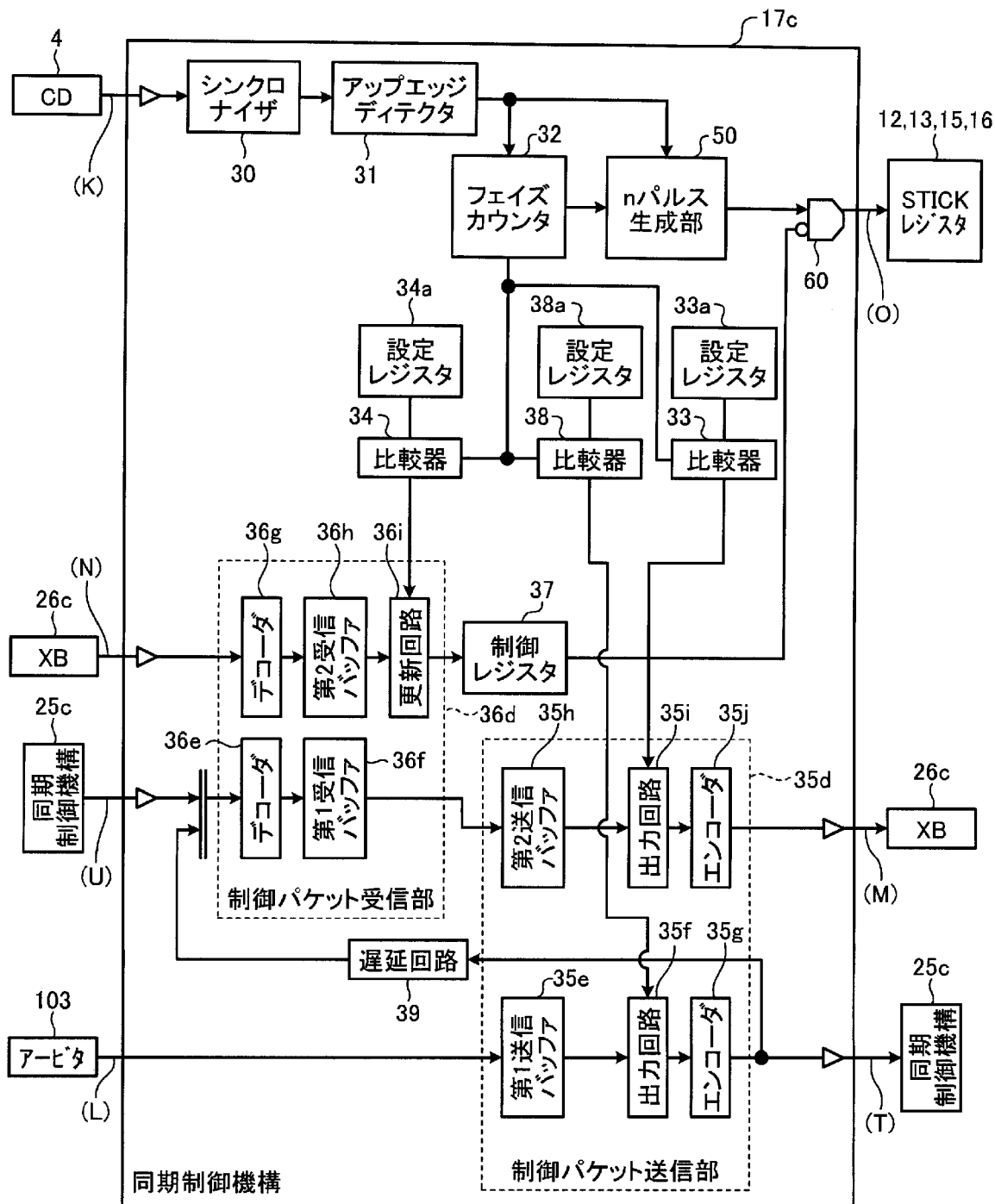
[5b]



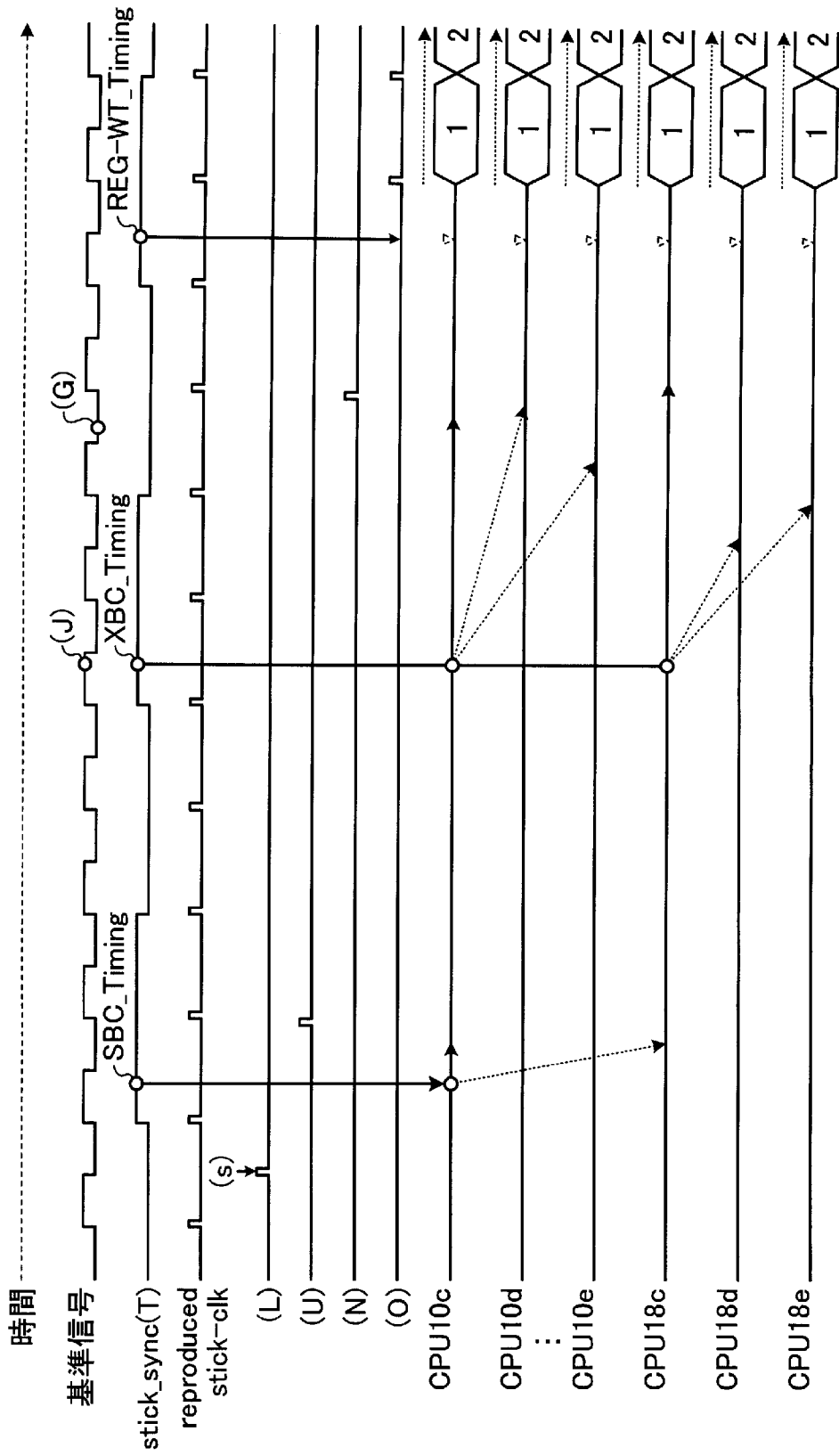
[図6]



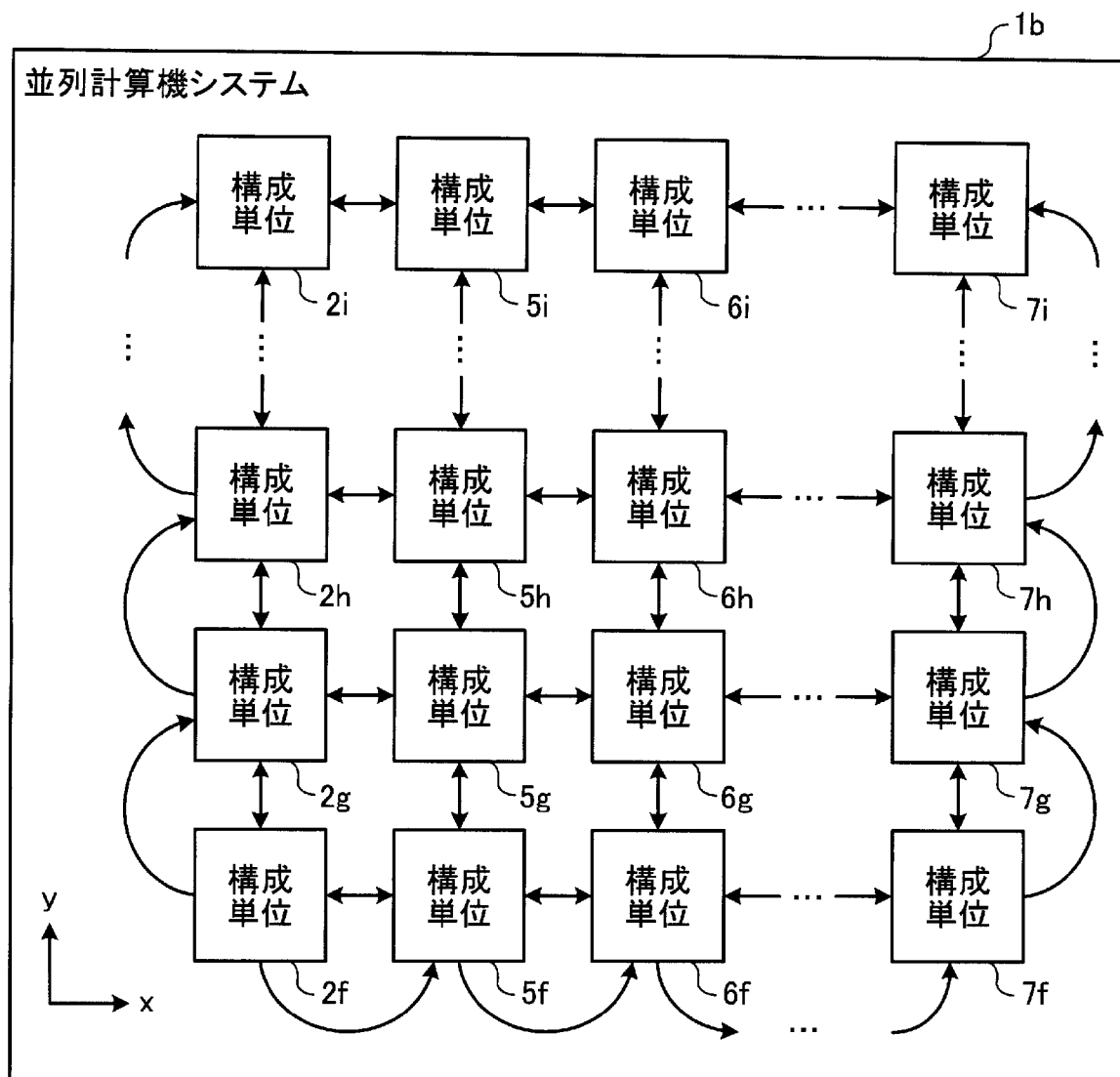
[図9]



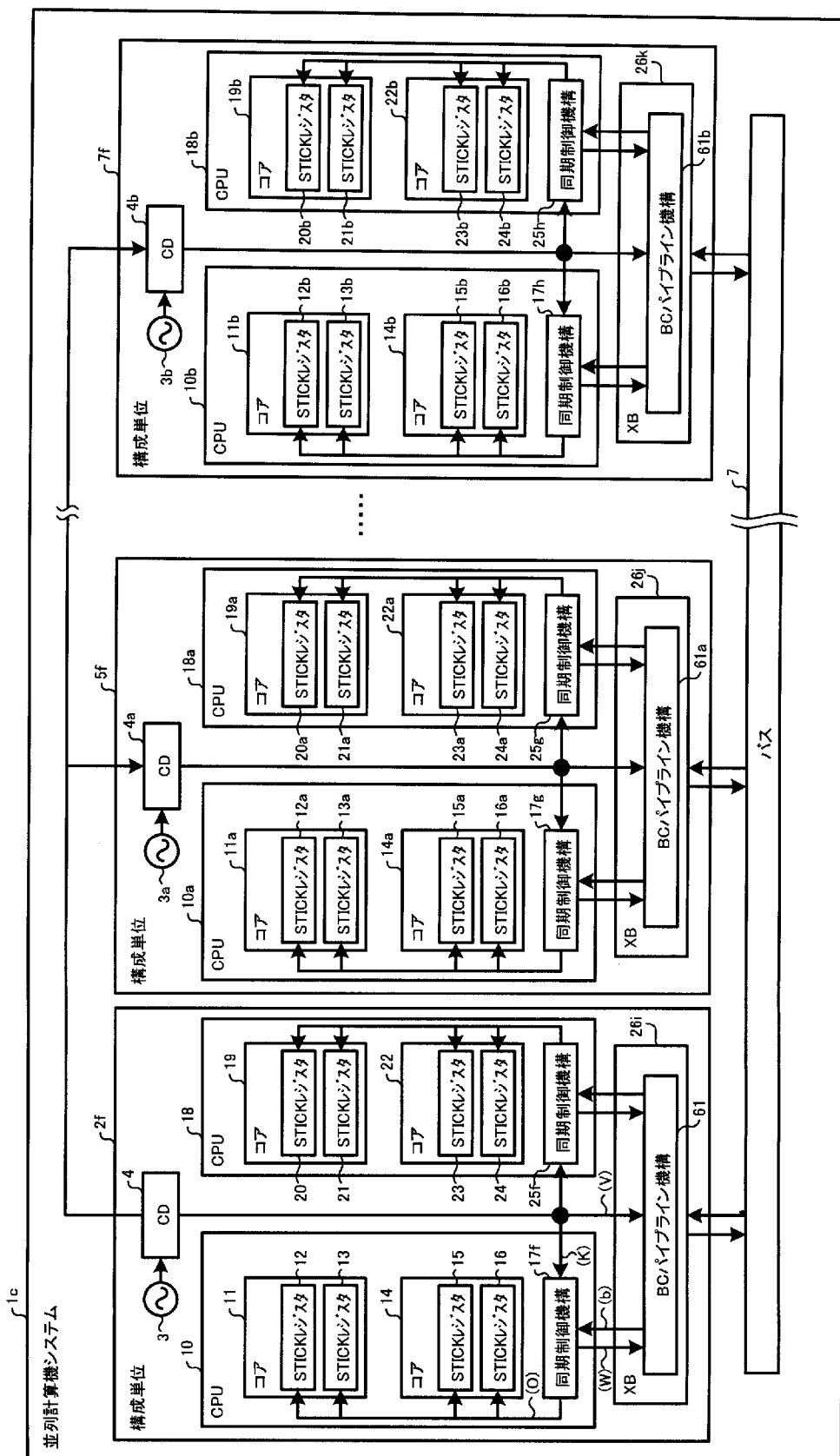
[図11]



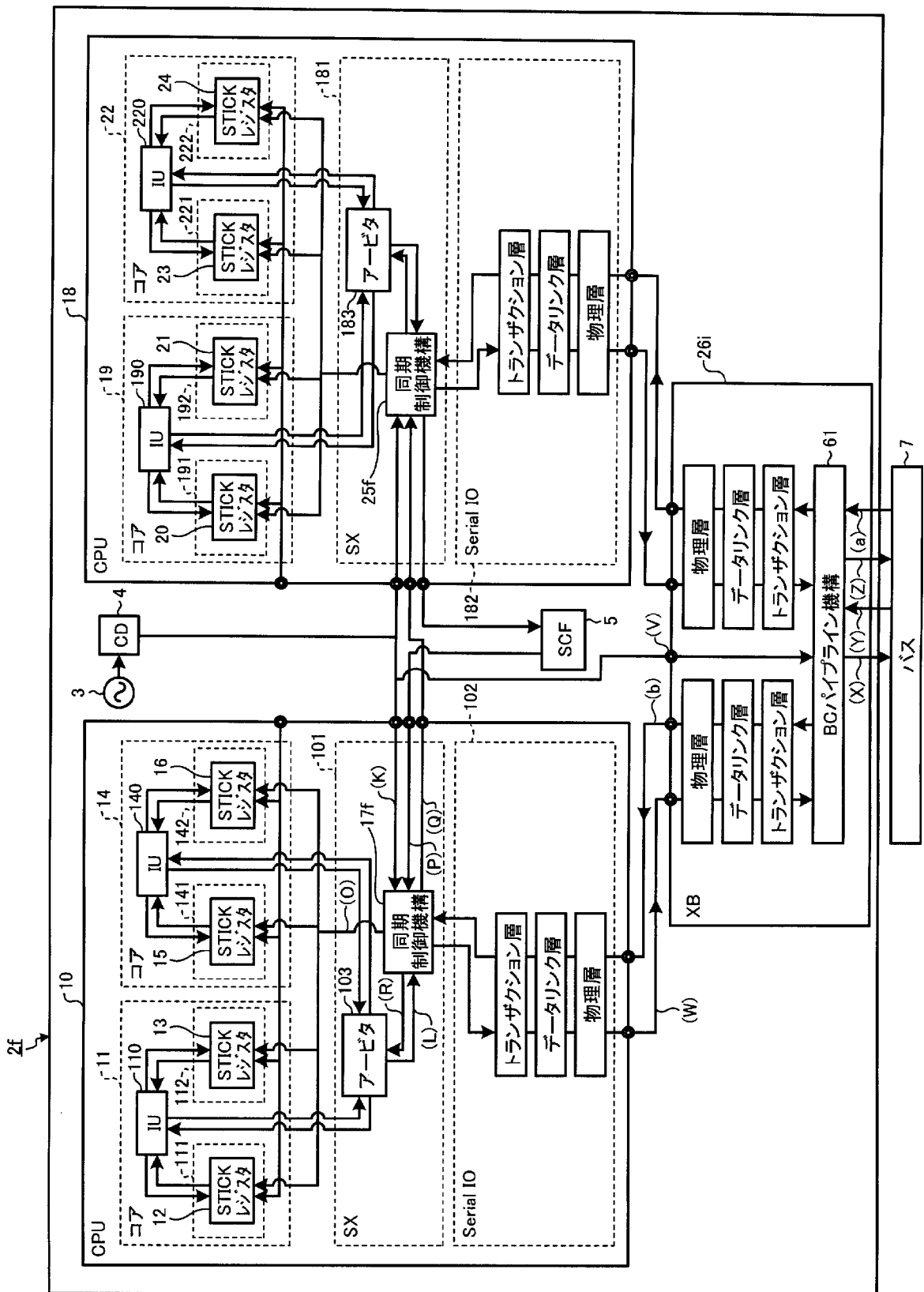
[図12]



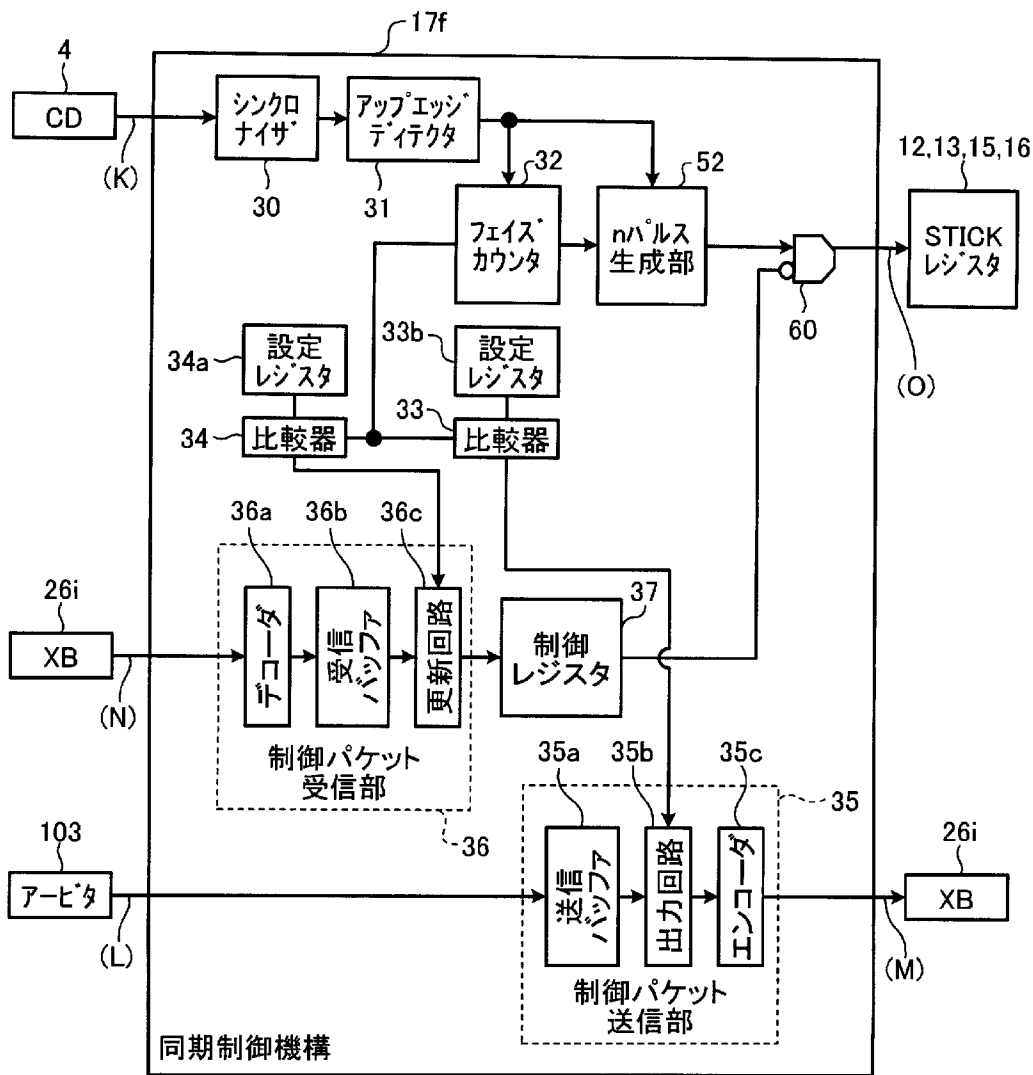
[図13]



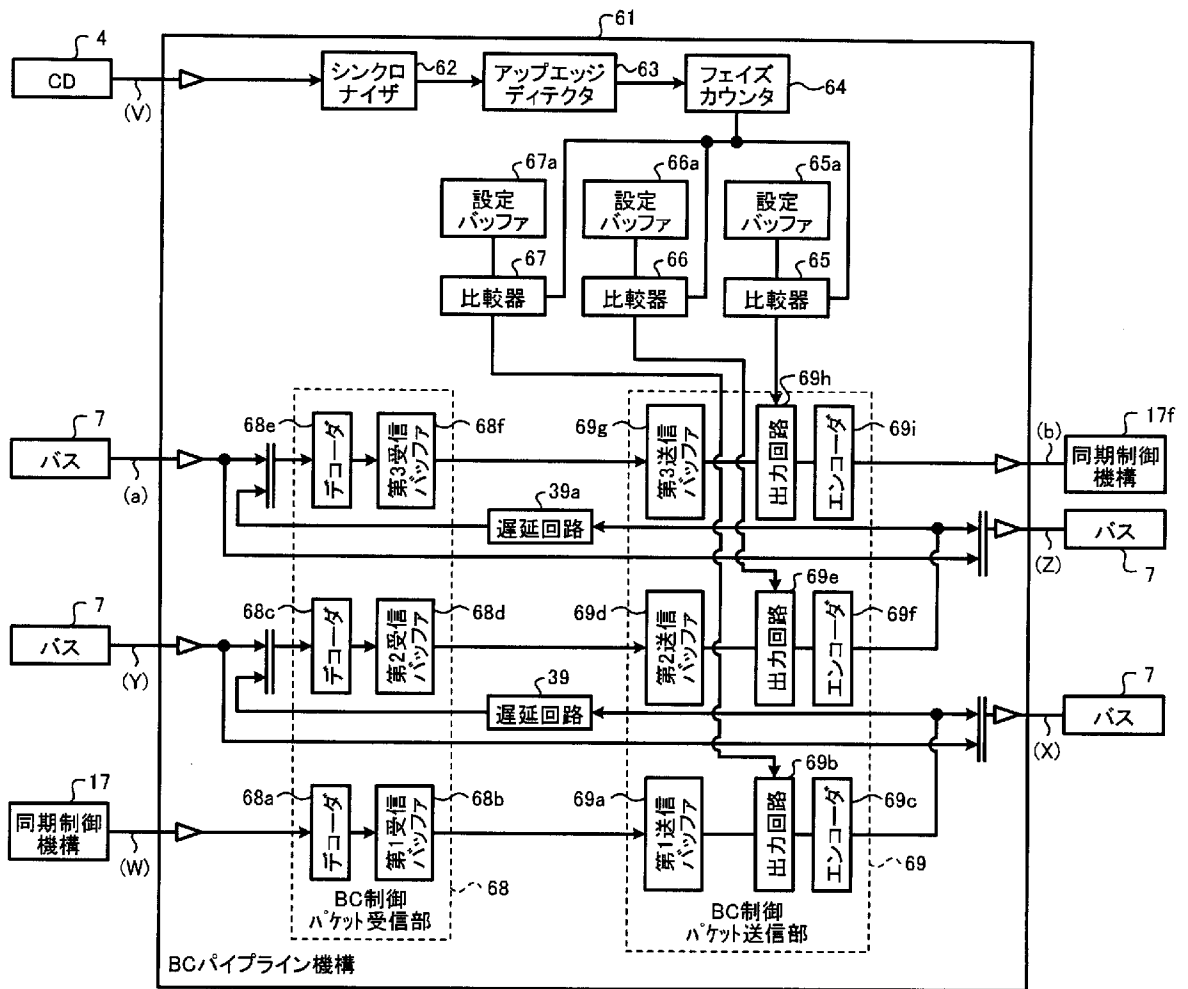
[図14]



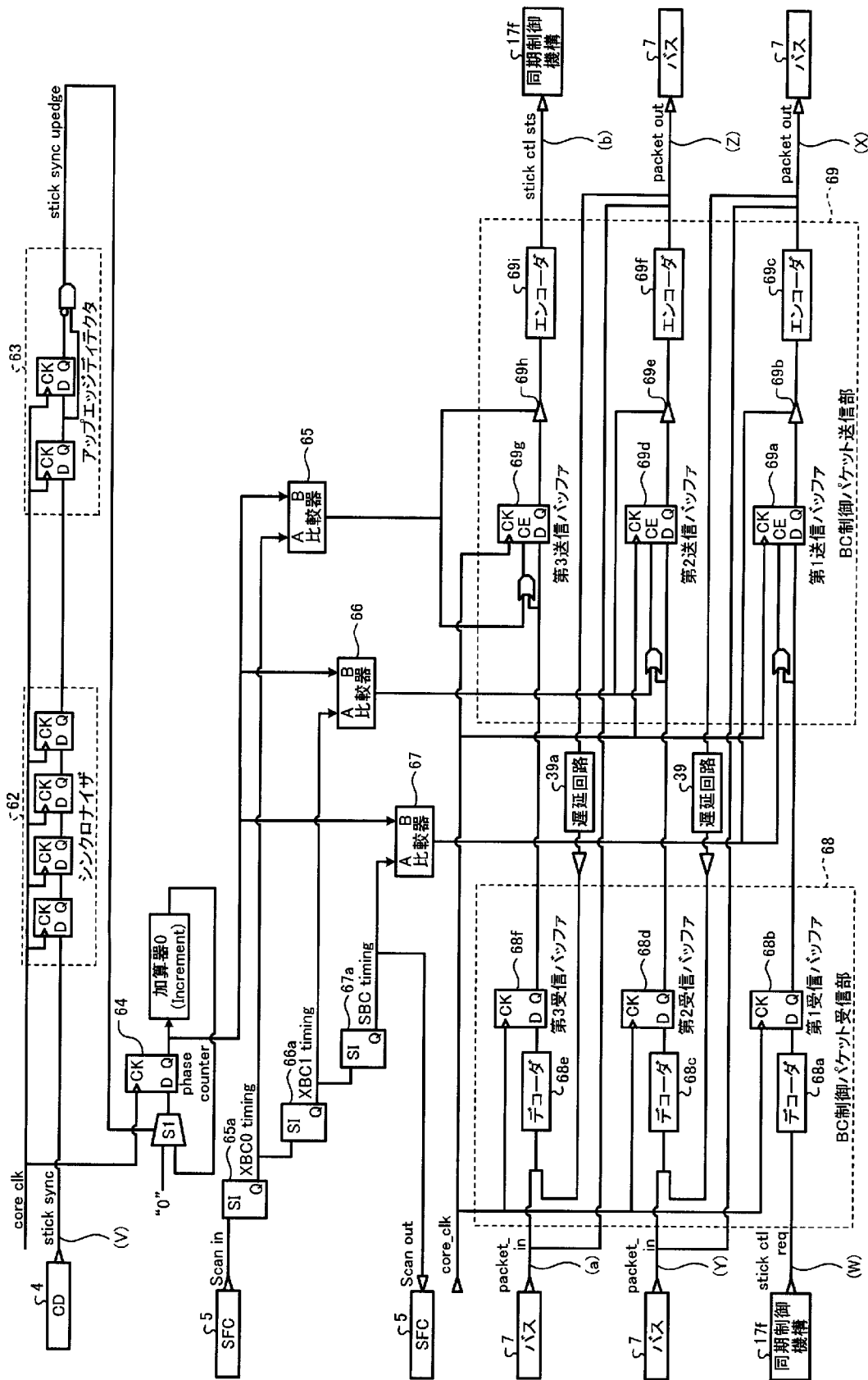
[図15]



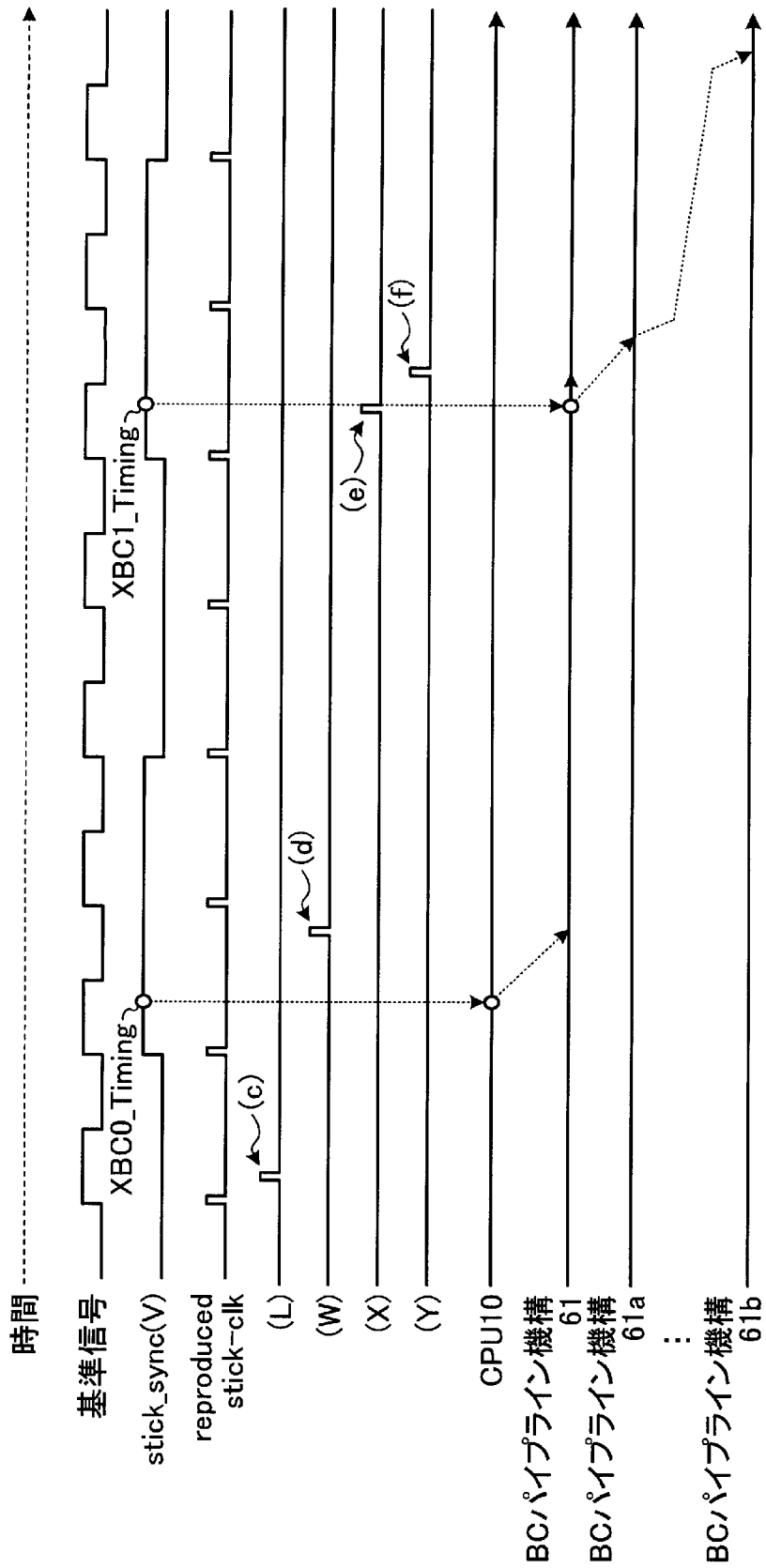
[図16]



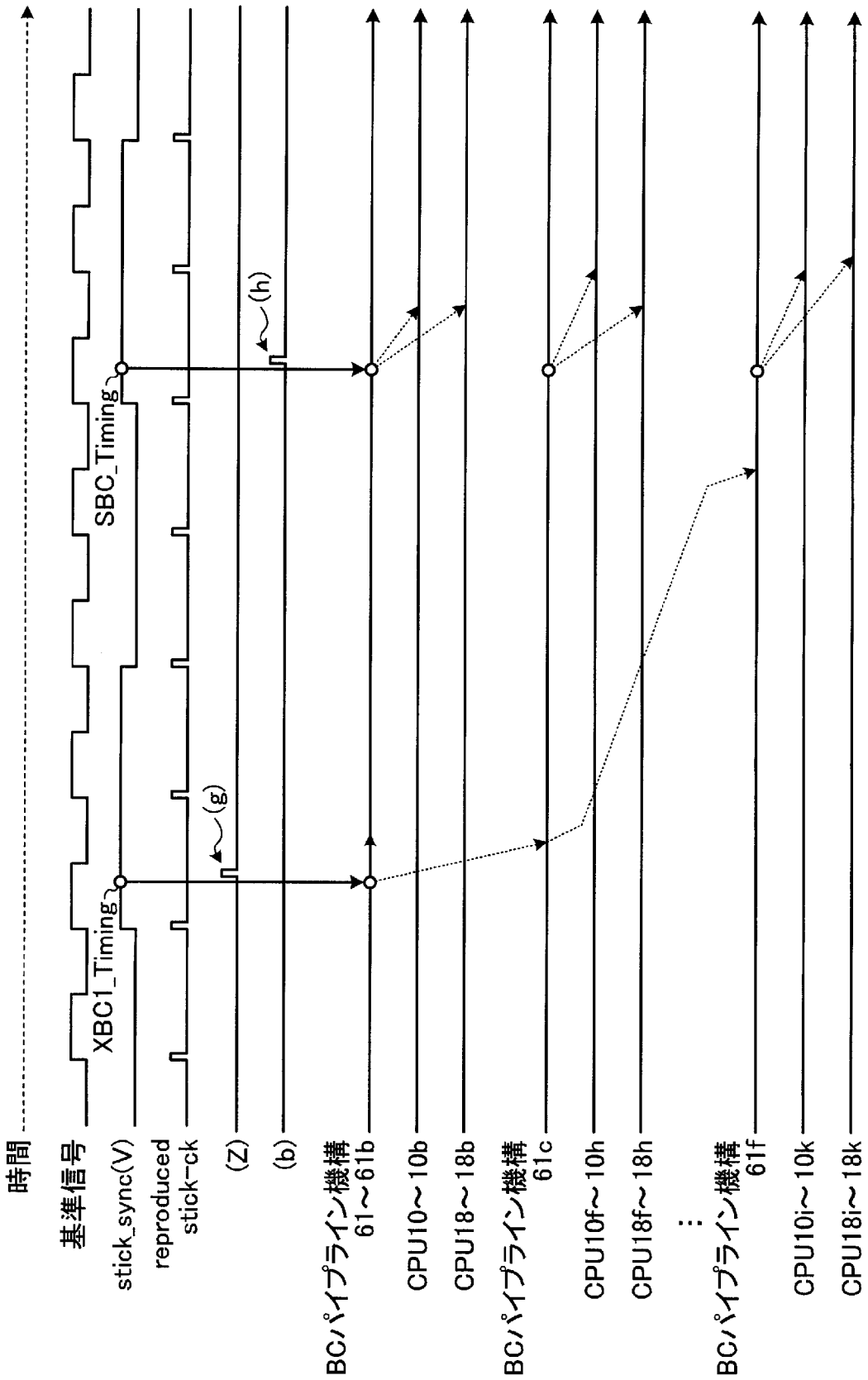
[図17]



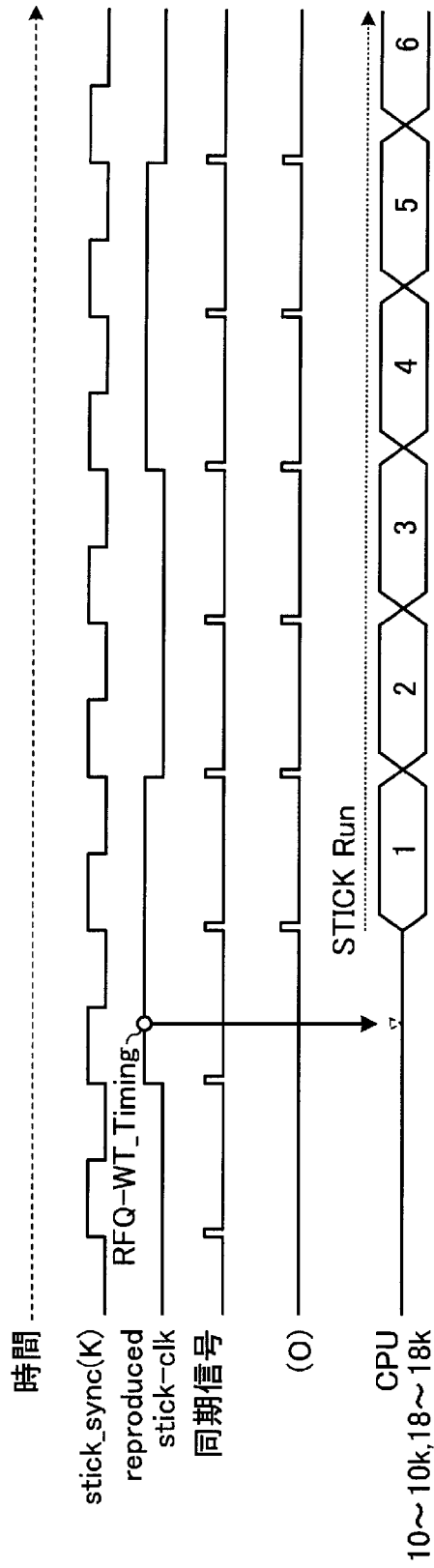
[図18]



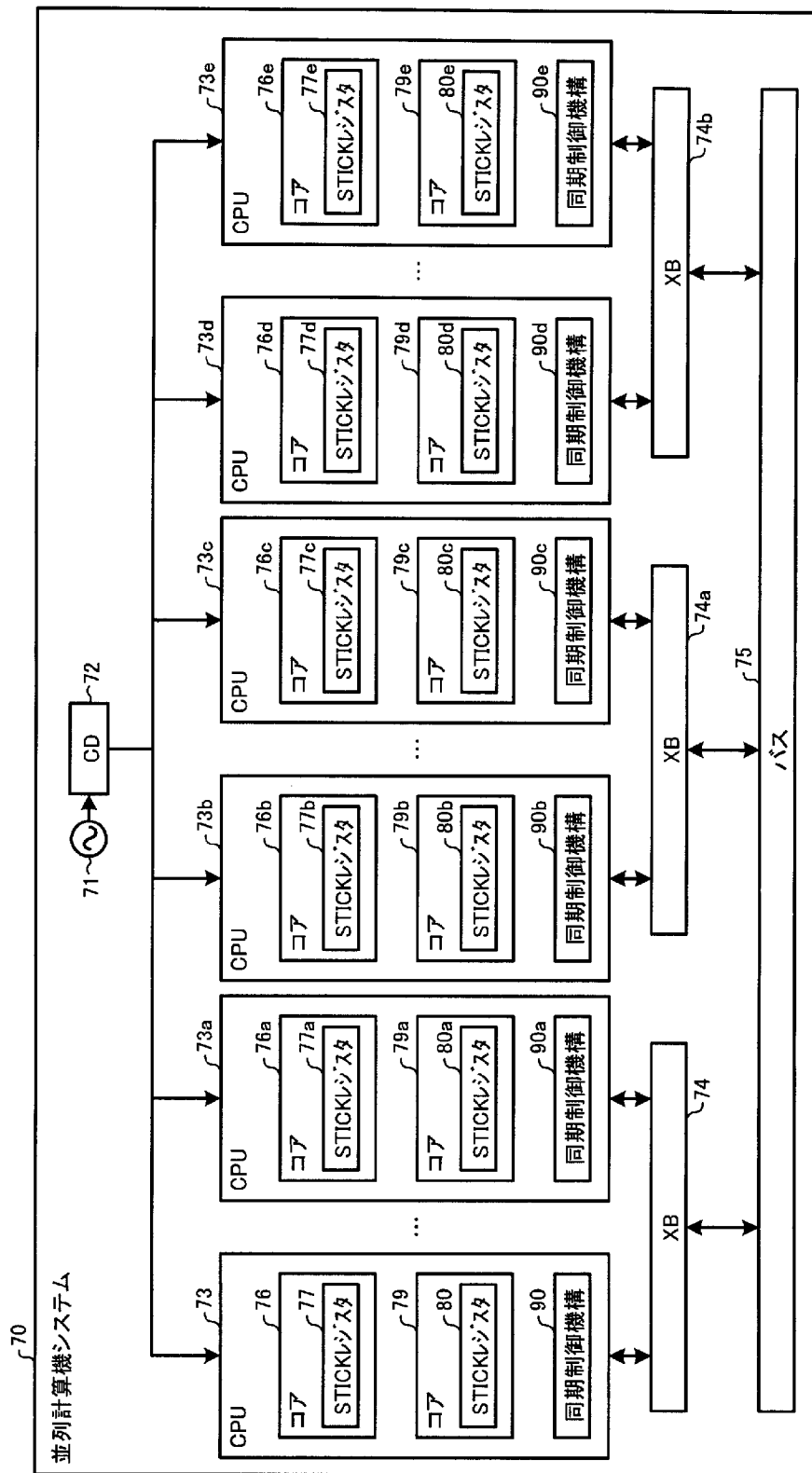
[図19]



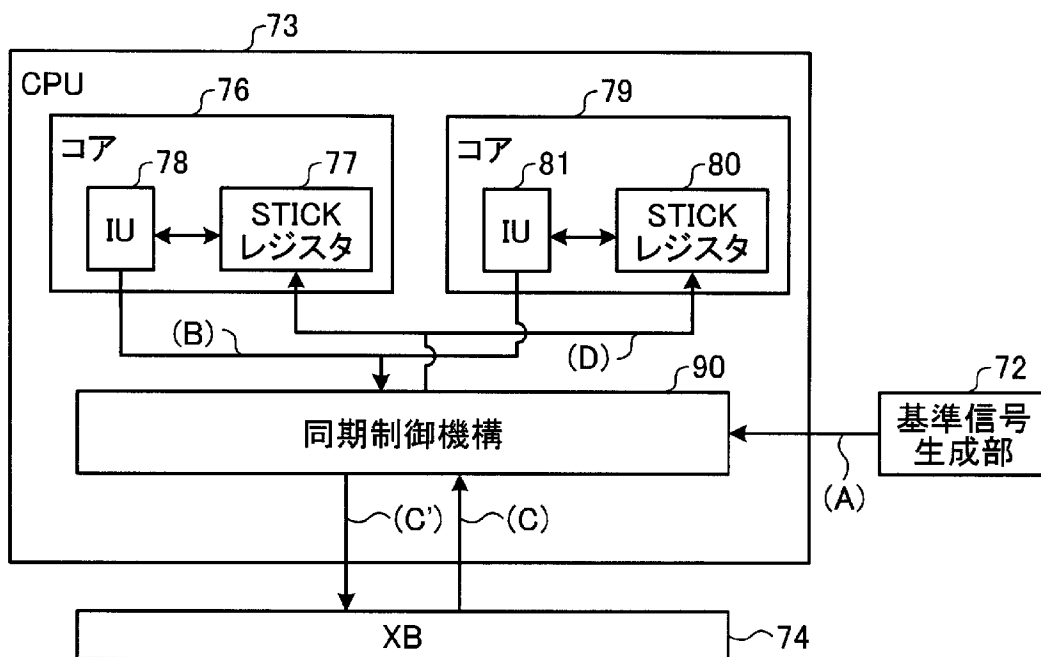
[図20]



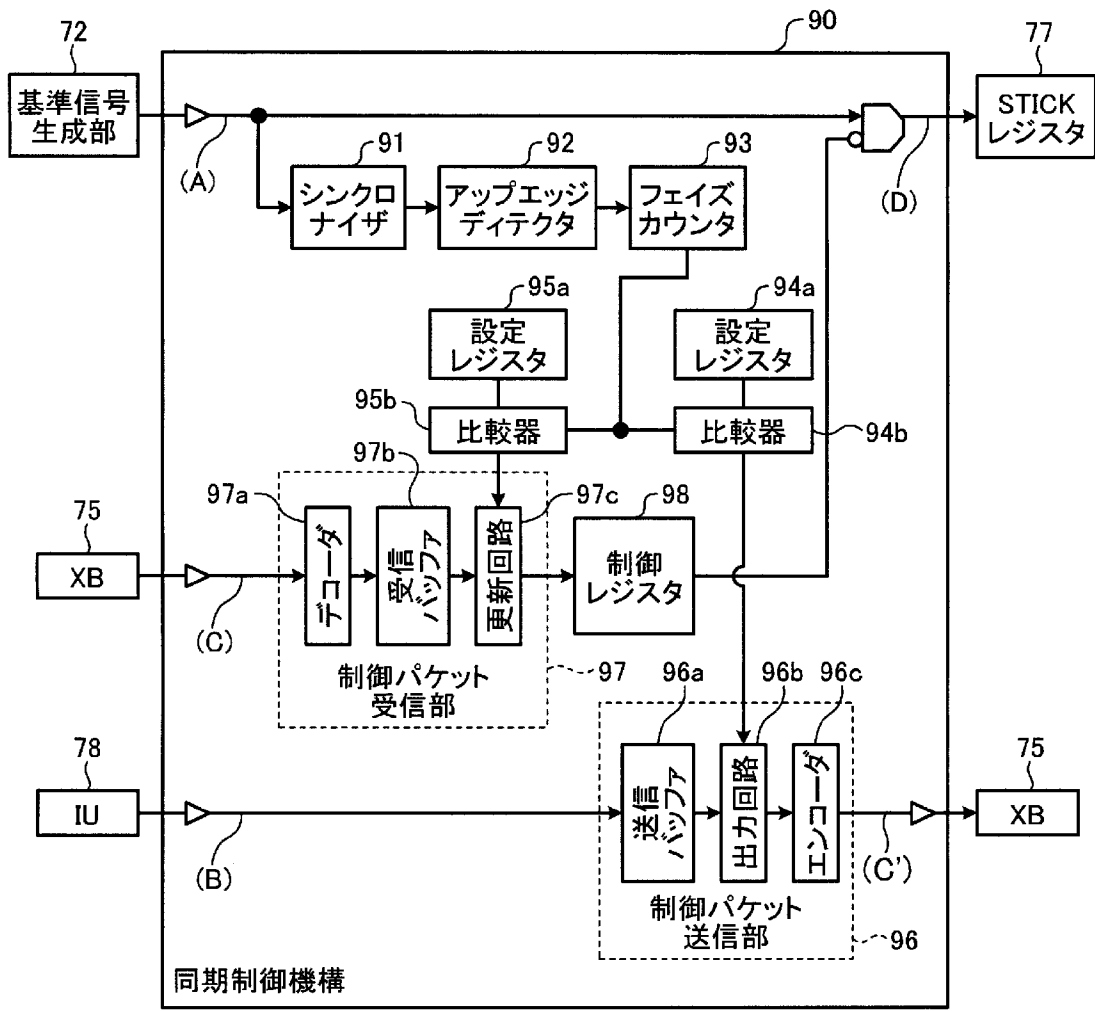
[図21]



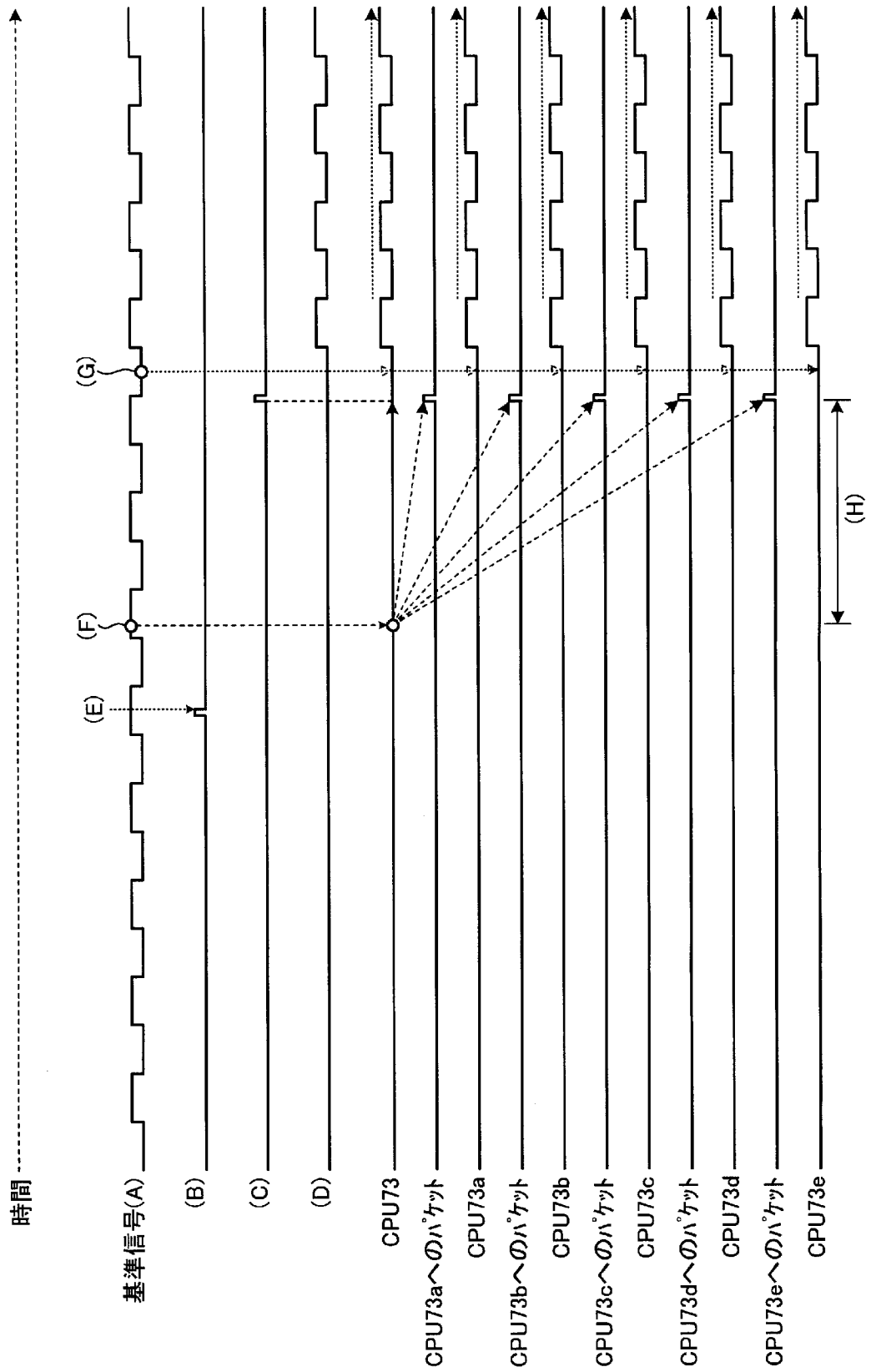
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/067803

A. CLASSIFICATION OF SUBJECT MATTER

G06F15/177(2006.01) i, G06F1/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F15/177, G06F1/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-50812 A (AutoNetworks Technologies, Ltd.), 01 March 2007 (01.03.2007), paragraphs [0025] to [0041]; fig. 1 to 3 (Family: none)	1-9
Y	JP 10-275038 A (Fujitsu Ltd.), 13 October 1998 (13.10.1998), paragraphs [0091] to [0106]; fig. 26 to 29 & US 6157688 A	1-9
Y	JP 6-131074 A (Hitachi, Ltd.), 13 May 1994 (13.05.1994), paragraphs [0006] to [0010]; fig. 7 to 9 (Family: none)	1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
31 October, 2011 (31.10.11)

Date of mailing of the international search report
08 November, 2011 (08.11.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/067803

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2011/087076 A1 (NEC Corp.), 21 July 2011 (21.07.2011), paragraphs [0040] to [0053]; fig. 9 to 12 (Family: none)	5, 6
A	JP 2004-536538 A (Motorola, Inc.), 02 December 2004 (02.12.2004), paragraphs [0048] to [0054]; fig. 9, 10 & EP 1280024 A1	1
A	JP 10-233766 A (Advantest Corp.), 02 September 1998 (02.09.1998), paragraphs [0016] to [0022]; fig. 1 (Family: none)	1

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F15/177(2006.01)i, G06F1/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F15/177, G06F1/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-50812 A (株式会社オートネットワーク技術研究所) 2007.03.01, 段落25~41、図1~3 (ファミリーなし)	1-9
Y	JP 10-275038 A (富士通株式会社) 1998.10.13, 段落91~106、図26~29 & US 6157688 A	1-9
Y	JP 6-131074 A (株式会社日立製作所) 1994.05.13, 段落6~10、図7~9 (ファミリーなし)	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

31.10.2011

国際調査報告の発送日

08.11.2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

三坂 敏夫

電話番号 03-3581-1101 内線 3545

5B

4178

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2011/087076 A1 (日本電気株式会社) 2011. 07. 21, 段落40～53、図9～12 (ファミリーなし)	5, 6
A	JP 2004-536538 A (モトローラ・インコーポレイテッド) 2004. 12. 02, 段落48～54、図9、10 & EP 1280024 A1	1
A	JP 10-233766 A (株式会社アドバンテスト) 1998. 09. 02, 段落16～22、図1 (ファミリーなし)	1