

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 15 日(15.11.2012)



(10) 国際公開番号

WO 2012/153843 A1

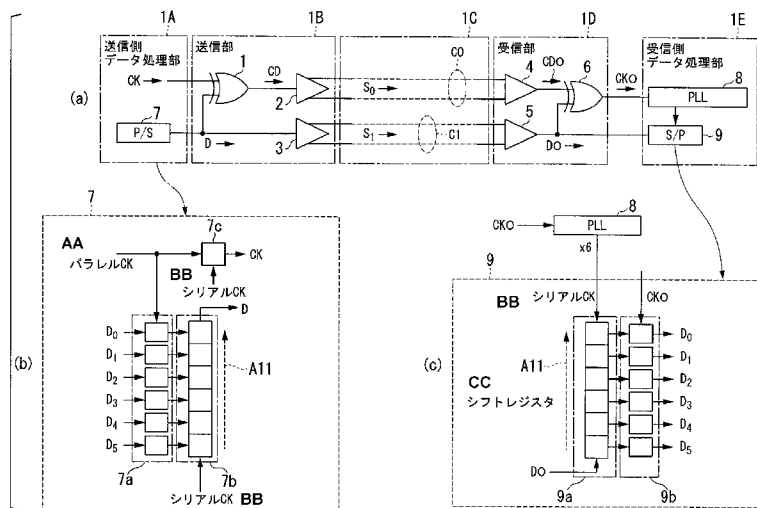
- (51) 国際特許分類:
H04L 25/02 (2006.01) H04L 7/02 (2006.01)
H04B 3/50 (2006.01) H04L 25/49 (2006.01)
- (21) 国際出願番号: PCT/JP2012/062158
- (22) 国際出願日: 2012 年 5 月 11 日(11.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-107496 2011 年 5 月 12 日(12.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(Sharp Kabushiki Kaisha) [JP/JP];
〒5458522 大阪府大阪市阿倍野区長池町 2 2 番
2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 米丸 政司
(YONEMARU Masashi) [JP/—].
- (74) 代理人: 船山 武, 外(FUNAYAMA Takeshi et al.);
〒1006620 東京都千代田区丸の内一丁目 9 番 2
号 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SIGNAL TRANSMISSION METHOD AND TRANSMISSION DEVICE

(54) 発明の名称: 信号伝送方式及び送信装置

【図1】



1A Transmission-side data processing unit
1B Transmission unit
1D Reception unit
1E Reception-side data processing unit
AA Parallel CK
BB Serial CK
CC Shift register

(57) Abstract: A signal transmission method transmits signals that have superimposed a clock signal and a plurality of data signals, using a positive and a negative differential signal. The clock signal is a reference clock signal that specifies a transfer rate for each of the plurality of data signals to be transferred and sends the plurality of data at the clock signal transfer rate.

(57) 要約: 信号伝送方式は、クロック信号と複数のデータ信号とを重畳した信号を、正負二つの差動信号によって伝送し、クロック信号は、伝送すべき複数のデータ信号各々の転送レートを規定する基準クロック信号であり、複数のデータをクロック信号の転送レートで送信する。

WO 2012/153843 A1

明 細 書

発明の名称： 信号伝送方式及び送信装置

技術分野

[0001] 本発明は、信号伝送方式及び送信装置に関する。

本願は、2011年5月12日に、日本に出願された特願2011-107496号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来、液晶表示パネル等の表示装置を駆動するドライバ部と、ドライバ部にデータを送信するタイミング制御部との間の伝送において、RSDS (Reduced Swing Differential Signaling) などの差動駆動方式が用いられている。また、主に映像信号等を、半導体集積回路間で伝送する際、或いは信号処理回路基板及び機器間で伝送する際、LVDS (Low Voltage Differential Signaling) などの差動駆動方式が用いられている。

[0003] このような差動駆動方式は、一つの信号を、極性が反対となる一对の差動信号として二つの信号線で伝送する方式である。そのため、かかる差動駆動方式においては、受信部是一对の差動信号のレベル差で送信部からの差動信号を認識し、個々の信号線の振幅の倍を有する振幅の信号として差動信号を認識できる。つまり、差動駆動方式では、個々の信号線の振幅を小さくすることができる。このように、差動駆動方式においては、信号線の振幅を小さくすることができるため、差動信号線から発生する電磁波エネルギーを小さくすることができる。また、差動駆動方式においては、差動信号が対になっているので、信号線から発生する電磁波が互いに打ち消しあう。そのため、差動駆動方式において、EMI (Electro Magnetic Interference: 電磁波干渉) が削減される。また、差動増幅方式は、受信部が一对の差動信号のレベル差で信号を認識するので、ある程度ノイズにも強い。

[0004] 図20は、上述した従来の差動信号伝送におけるクロック信号C Kとデータ信号D a t aの信号形態を示す図である。差動駆動方式において、図20に示すクロック信号C Kとデータ信号D a t aとを送信ため、少なくとも二対の差動伝送線が必要となる。また、差動駆動方式において、送信部と受信部のインターフェースレベルが異なる場合、あるいはG N Dレベルが異なる場合など、受信部における信号接続に関して、コンデンサを介してA C結合で接続される場合が多く存在する。A C結合で接続される場合、受信部と送信部はコンデンサを介して接続されるため、差動信号のD C成分は伝達されない。A C結合の場合に、正しく差動信号を伝達するためには、D C的にバランスした信号（0と1が等しい個数）にする必要がある、このため、一般には8 B 1 0 B等のエンコードを用いる必要が生じる。

[0005] なお、差動信号伝送方式における信号伝送を多重化する従来技術は、例えば、特許文献1において開示されている。この特許文献1が開示する差動駆動方式を採用すれば、信号の伝送レートは2倍になるが、A C結合で接続され場合に対応するには、データのエンコードが必要となる。なお、クロック信号の信号伝送方式については、特許文献1には開示されていない。

先行技術文献

特許文献

[0006] 特許文献1：特開2004-338763号公報

特許文献2：特開2009-186502号公報

発明の概要

発明が解決しようとする課題

[0007] 上述したように、図20に示すような従来の差動信号伝送方式においては、少なくともデータ信号D a t aとクロック信号C Kとを伝送する2対の信号線が必要であった。しかしながら、近年のシステムにおいてはより多量のデータを並列に伝送する必要があり、従来の差動信号伝送方式においては信号線の数が非常に多くなってしまいう問題があった。

[0008] また、EMIの発生源としては伝送配線でのコネクタやケーブルからの放射が考えられるが、これらの基となるノイズは伝送する信号に依存する。特に、クロック信号は信号が0に対応する値と1に対応する値との間でスイッチングする回数も多く、クロック信号の周波数及び高調波に大きなスペクトル成分を持つことになる。このようなクロック信号が有するエネルギーが、コネクタ、ケーブル、基板等から放射されて、EMIの発生源として問題となる。

しかし、特許文献1に示すような多重方式は、上述した通り、クロック信号の多重方式については記載されておらず、基本的にはクロック信号の伝送を必要とするシステムとなっている。さらに、AC結合接続をする場合、DCバランスを保つようなエンコード（8B10B等）が必要となり、回路構成が複雑化するという問題が生じてしまう。

[0009] このような問題を解決するために、本願発明者は、特許文献2に示すように、より簡単な構成でクロックとデータの重畳、データ多重化を実現する方式を提案している。

特許文献2において開示した方式は、上述した問題を解決するため、クロック信号とデータ信号を多重し、容易にクロック再生でき且つAC結合伝送においてもエンコードなしでDCバランスのよい信号伝送を実現し、特にノイズ源となりやすいクロック信号を容易にノイズピークの低い伝送信号として送信可能とする方式である。

[0010] しかし、この方式を用いて多量のデータを並列に伝送する場合、クロック信号とデータ信号とを重畳した差動信号の配線数も増え、重畳されるクロック信号によるEMI増大を抑制することができなくなるという問題がある。

[0011] 本発明は、上記差動駆動方式の効果を維持しつつ、さらに、複数のデータ信号の転送レートを下げずに、データ信号に重畳するクロック信号の周波数を低減することを主要な課題とする。

課題を解決するための手段

[0012] (1) 本発明の第1の態様は、クロック信号と複数のデータ信号とを重畳

した信号を、正負二つの差動信号によって伝送し、前記クロック信号は、伝送すべき前記複数のデータ信号各々の転送レートを規定する基準クロック信号であり、前記複数のデータを前記クロック信号の転送レートで送信する信号伝送方式である。

- [0013] (2) 本発明の第1の態様において、前記複数のデータ信号をパラレルシリアル変換して、変換後のシリアルデータを前記クロック信号の前記転送レートで送信しても良い。
- [0014] (3) 本発明の第1の態様において、前記クロック信号と前記複数のデータ信号との排他的論理和の信号と、前記複数のデータ信号を、別の信号線ペアを用いてそれぞれ差動信号で伝送しても良い。
- [0015] (4) 本発明の第1の態様において、前記クロック信号と前記複数のデータ信号との排他的論理和の信号と、前記複数のデータ信号とを多重化し、多重化した信号を1対の信号線ペアを用いて、多値の振幅をもつ差動信号で伝送しても良い。
- [0016] (5) 本発明の第1の態様において、前記多値の振幅を、予め設定されたテーブルに基づいて設定しても良い。
- [0017] (6) 本発明の第1の態様において、前記シリアルデータ毎に、0及び1の連続したデータを付加して伝送しても良い。
- [0018] (7) 本発明の第1の態様において、前記複数のデータ信号を複数のデータブロックに分割し、前記クロック信号と前記複数のデータブロックを転送する複数の送信データレーン毎に、前記クロック信号の位相を変えて前記データブロックを伝送しても良い。
- [0019] (8) 本発明の第1の態様において、受信側において、前記複数の送信データレーン毎に、送信側から送出される差動信号に基づいて前記クロック信号を再生し、前記複数の送信データレーン毎に再生されたクロック信号の論理の組合せに基づいてサンプリングクロックを生成し、生成したサンプリングクロックに基づいて、前記複数のデータ信号をサンプリングしても良い。
- [0020] (9) 本発明の第1の態様において、送信側において、前記クロック信号

を第1のスキュー制御回路により遅延させ、当該遅延させたクロック信号に応じて前記排他的論理和の信号を送信しても良い。

[0021] (10) 本発明の第1の態様において、受信側において、送信側から送出される差動信号に基づいて前記クロック信号を再生し、再生したクロック信号を第2のスキュー制御回路により遅延させ、当該遅延させたクロック信号に基づいて前記データ信号の論理の切り替わりの中央部において安定してサンプリングしても良い。

[0022] (11) 本発明の第1の態様において、前記複数の送信データレーン以外に設けられた送受信レーンを用いて、前記複数のデータ信号に関する情報を送受信しても良い。

[0023] (12) 本発明の第1の態様において、前記複数のデータ信号に関する情報は、前記複数のデータ信号を処理する際に用いる情報であっても良い。

[0024] (13) 本発明の第1の態様において、送信側が前記第1のスキュー調整回路の遅延時間を設定する、或いは受信側が前記第2のスキュー調整回路の遅延時間を設定しても良い。

[0025] (14) 本発明の第1の態様において、受信側に設けられた受信回路の判定しきい値を設定し、送信側に設けられた送信回路の前記差動信号の振幅を設定しても良い。

[0026] (15) 本発明の第1の態様において、前記差動信号を出力する送信回路は、差動信号を電流出力しても良い。

[0027] (16) 本発明の第2の態様は、クロック信号と複数のデータ信号とを重畳した信号を、正負二つの差動信号によって伝送する送信部を備え、前記クロック信号は、伝送すべき前記複数のデータ信号各々の転送レートを規定する基準クロック信号であり、前記送信部は、前記複数のデータを前記クロック信号の転送レートで送信する送信装置である。

発明の効果

[0028] 本発明によれば、信号伝送方式において、複数のデータ信号の転送レートを下げずに、データ信号に重畳するクロック信号の周波数、エネルギーを低

減することができ、差動駆動方式におけるEMI削減を図ることができる。

図面の簡単な説明

[0029] [図1]本発明の第1の実施形態における信号伝送方式の構成例を示す図である。

[図2]図1に示す信号伝送方式の信号タイミングと差動出力信号の波形とを示す図である。

[図3]本発明の第2の実施形態における信号伝送方式の構成例を示す図である。

[図4]図3及び図6A～図6Cに示す信号伝送方式の多値化信号変換の際に用いるテーブルを示す図である。

[図5]図3に示す信号伝送方式の信号タイミングと2値差動出力信号の波形とを示す図である。

[図6A]本発明の第3の実施形態における信号伝送方式の構成例を示す図である。

[図6B]シリアルパラレル変換ブロックの回路構成を示す図である。

[図6C]受信側の信号処理部におけるシリアルパラレル変換ブロックの回路構成を示す図である。

[図7]図6A～図6Cに示す信号伝送方式において、信号タイミングと2値差動出力信号の波形とを示す図である。

[図8A]図6A～図6Cに示す信号伝送方式において、再生したデータ信号とクロック信号のタイミングを示す第1の図である。

[図8B]図6A～図6Cに示す信号伝送方式において、再生したデータ信号とクロック信号のタイミングを示す第2の図である。

[図9]図6A～図6Cに示す信号伝送方式において、DCバランス改善手法を適用した場合（第4の実施形態）の信号タイミングと2値差動出力信号の波形とを示す図である。

[図10]図9に示す信号伝送方式の再生したデータ信号とクロック信号のタイミングを示す図である。

[図11]図3、図6A～図6C、及び図9に示す信号伝送方式において、差動信号の振幅を制御する場合の2値差動信号出力回路の回路構成図である。

[図12]図3、図6A～図6C、及び図9に示す信号伝送方式において、差動信号の振幅を制御する場合の受信回路の回路構成図である。

[図13]図6A～図6Cに示す信号伝送方式において、双方向にデータを送受できる2線の伝送路を追加した場合の信号伝送方式（第5の実施形態）の構成例を示す図である。

[図14]図13に示す信号伝送方式において、受信側でスキュー制御する場合の回路構成を示す図である。

[図15]図13に示す信号伝送方式において、送信側でスキュー制御する場合の回路構成を示す図である。

[図16]図13に示す信号伝送方式において、受信側でスキュー制御する場合の制御について説明するための図である。

[図17]図16に示す信号伝送方式において、スキュー制御動作を説明するためのタイミングチャートである。

[図18]図13に示す信号伝送方式において、送信側でスキュー制御する場合の制御について説明するための図である。

[図19]図13に示す信号伝送方式において、振幅、しきい値制御について説明するための図である。

[図20]従来の差動信号伝送におけるクロック信号とデータ信号との信号形態を示す図である。

発明を実施するための形態

[0030] 以下、図面を参照しながら本発明の第1～第5の実施形態を詳細に説明する。

[第1の実施形態]

図1(a)において、第1の実施形態の信号伝送方式は、送信側データ処理部1A、送信部1B、伝送部1C、受信部1D及び受信側データ処理部1Eを備える。さらに、送信側データ処理部1Aは、P/S変換部7を備える

。送信部 1 B は、排他的論理和回路 1、差動信号出力回路 2、3 を備える。伝送部 1 C は、伝送路 1 0、1 1 を備える。受信部 1 D は、差動信号受信回路 4、5、排他的論理和回路 6 を備える。また、受信側データ処理部 1 E は、位相同期部 (PLL) 8、S/P 変換部 9 を備える。

[0031] また、図 1 (a) において、CK 及び CKO はクロック信号を示し、D 及び DO はデータ信号を示し、CD 及び CDO は内部信号を示し、S₀、S₁ は差動信号を示す。

図 1 (b) は、図 1 (a) の P/S 変換部 (パラレルシリアル変換ブロック 7) の詳細なブロック図である。また、図 1 (c) は、図 1 (a) の S/P 変換部 (シリアルパラレル変換ブロック 9) の詳細なブロック図である。パラレルシリアル変換ブロック 7 は、データロード部 7 a、シフトレジスタ部 7 b、クロック信号 CK 生成部 7 c を備える。シリアルパラレル変換ブロック 9 は、シフトレジスタ部 9 a、データロード部 9 b を備える。なお、図 1 (b) 及び図 1 (c) において、矢印 A 1 1 は、データシフト方向を示している。

[0032] 送信側において、データ信号 D は、差動信号出力回路 3 により差動信号 S₁ として伝送路 C 1 へ出力される。また、クロック信号 CK は、排他的論理和回路 1 によりデータ信号 D と排他的論理和演算され、この排他的演算結果信号は内部信号 CD となって、差動信号出力回路 2 により差動信号 S₀ として伝送路 C 0 へ出力される。

一方、受信側において、伝送路 C 1 を介して伝送された差動信号 S₁ は、差動信号受信回路 5 によりシングルエンドの信号 (データ信号 DO) として再生される。また、伝送路 C 0 を介して伝送された差動信号 S₀ は、差動信号受信回路 4 によりシングルエンド信号 (内部信号 CDO) に変換され、差動信号受信回路 5 によりシングルエンド変換された信号 (データ信号 DO) と共に排他的論理和回路 6 に入力され、その排他的論理和回路 6 の演算結果 (クロック信号 CKO) が出力される。ここで、差動信号出力回路 2、3 と差動信号受信回路 4、5 は、周知のものであるから、従来既知の回路を採用する

ことができる。

[0033] 次に、図 1 (a) の送信側データ処理部 1 A 及び送信部 1 B (送信装置) の動作を、図 1 (b) のパラレルシリアル変換ブロック 7 の詳細図を用いて詳細に説明する。図 1 (b) において、P/S 変換ブロック (パラレルシリアル変換ブロック 7) は、送信側の信号処理部であり、データロード部 7 a、シフトレジスタ部 7 b、及びクロック信号 C K 生成部 7 c を含む。データロード部 7 a は、一例として 6 個のデータ信号 $D_0 \sim D_5$ (複数のデータ信号) の各々に対応して設けられる各データロード (データのメモリ) から構成される。データロード各々は、入力されるデータ信号 $D_0 \sim D_5$ 各々をパラレル C K (パラレルデータレートのクロック) によりロードし (メモリに格納し)、ロードしたデータを、後段のシフトレジスタ部 7 b を構成する各ラッチ回路、例えば周知の D 型フリップフロップに出力する。

[0034] シフトレジスタ部 7 b は、データロードから並列に入力される複数のデータ信号 $D_0 \sim D_5$ をシリアル C K (シリアルクロック) により、データ信号 $D_0 \sim D_5$ の順番にシリアルデータ (データ信号 D) として出力する。

ここで、パラレルデータレートのクロックは、複数のデータ信号 $D_0 \sim D_5$ 各々の転送レートを規定する基準クロック信号であり、送信側データ処理部 1 A の外から各データ信号とともに入力される。また、シリアルクロックは、パラレルデータレートのクロックを逡倍した (第 1 の実施形態においては 6 逡倍した) クロック信号であり、第 1 の実施形態においては、6 ビットのデータ (データ信号 $D_0 \sim D_5$) を、パラレルデータレートのクロックの 1 周期の間に含ませてシリアルデータとするため、シリアルクロックの周波数はパラレルデータレートのクロックの 6 倍の周波数となる。このシリアルクロックは、例えば、パラレルデータレートのクロックに同期してその逡倍にロックする周知の P L L 回路などを用いて、送信側データ処理部 1 A において生成される。

クロック信号 C K 生成部 7 c は、このシリアルクロックをシフト C K (シフトクロック) として用い、パラレルデータレートのクロックをシフトクロ

ックの1周期分シフトさせて、クロック信号C Kを生成し、排他的論理和回路1に出力する。

[0035] 排他的論理和回路1は、上述の通り、シリアルデータ（データ信号D）とクロック信号C Kとを排他的論理和演算し、演算結果として内部信号C Dを出力する。また、差動信号出力回路2は、内部信号C Dから差動信号S₀を生成し、生成した差動信号S₀を、伝送路C 0を介して受信側の受信部1 Dに送信する。また、差動信号出力回路3は、データ信号Dから差動信号S₁を生成し、生成した差動信号S₁を、伝送路C 1を介して受信側の受信部1 Dに送信する。

[0036] 次に、図1（a）の受信側データ処理部1 Eの動作を、図1（c）のシリアルパラレル変換ブロック9の詳細図を用いて詳細に説明する。

図1（c）において、S/P変換ブロック（シリアルパラレル変換ブロック9）は、シフトレジスタ部9 a、及びデータロード部9 bを含む。

位相同期部（PLL 8）は、排他的論理和回路6から入力されるクロック信号C K Oに同期してその通倍（第1の実施形態においては6通倍）にロックするシリアルC K（シリアルクロック）を生成し、シフトレジスタ部9 aに出力する。

シフトレジスタ部9 aは、このシリアルクロックをシフトC K（シフトクロック）として用い、データ信号D O（シリアルデータ）を内部で転送し、各ラッチ部から、対応するデータロード部9 bにおけるデータロード（データのメモリ）へ出力する。

データロード部9 bは、排他的論理和回路6から入力されるクロック信号C K Oにより、各データロードからデータ信号（データ信号D₀～D₅）を並列に、パラレルデータレートで信号処理部の外部へ、例えば受信側データ処理部1 Eの次段に設けられた表示装置におけるデータドライバ（不図示）へ出力する。

[0037] 図2は、図1に示す信号伝送方式の信号タイミングと差動出力信号の波形とを示す図であり、データ信号Dを送出するときの各々の信号のタイミング

チャートと差動出力信号の波形を示す。

パラレルシリアル変換ブロック 7 は、パラレル C K（パラレルデータレートのクロック、図 2 の送信側の 1 段目の波形参照）を通倍し、シリアル C K（シリアルクロック）を生成する（図 2 の送信側の 9 段目の波形参照）。また、パラレルシリアル変換ブロック 7 は、パラレルデータレートのクロックを、このシリアルクロックの立ち上がりでシフトさせ、クロック信号 C K を生成し（図 2 の送信側の 2 段目の波形参照）、排他的論理和回路 1 に出力する。また、パラレルシリアル変換ブロック 7 は、生成したシリアルクロックの立ち上がりで、複数のデータ信号 $D_0 \sim D_5$ （図 2 の送信側の 3 段目から 8 段目に波形を示す）を、シリアルデータ（図 2 の送信側の 10 段目に波形を示すデータ信号 D）に変換し、排他的論理和回路 1 及び差動信号出力回路 3 に出力する。

[0038] 排他的論理和回路 1 は、上述したようにデータ信号 D とクロック信号 C K との排他的論理和演算し、演算結果の内部信号 C D を出力する。内部信号 C D は、複数のデータ信号 $D_0 \sim D_5$ で示すデータ系列を送信する場合には、図 2 の送信側の 11 段目において C D で示す波形の信号となる。

差動信号出力回路 2 は、内部信号 C D から差動信号 S_0 （図 2 の送信側の 13 段目に波形を示す）を生成し、生成した差動信号 S_0 をパラレルデータレートで、伝送路 C O を介して受信側の受信部 1 D に送信する。また、差動信号出力回路 3 は、データ信号 D から差動信号 S_1 （図 2 の送信側の 12 段目に波形を示す）を生成し、生成した差動信号 S_1 を受信側に送信する。

[0039] 送信側の送信部 1 B が送出する差動信号のうち、差動信号 S_1 はデータ信号 D そのものの差動信号であり、受信部 1 D の差動信号受信回路 5 によりシングルエンド信号に変換され、データ信号 D O として再生される（図 2 の受信側の 1 段目の波形参照）。また、差動信号 S_0 は上述した内部信号 C D の差動信号であり、差動信号受信回路 4 によりシングルエンド変換され、内部信号 C D O として再生される。この再生された内部信号 C D O とデータ信号 D O とを排他的論理和回路 6 により排他的論理和演算し、クロック信号 C K O（

図2の受信側の2段目の波形参照)が再生される。受信側のPLL8は、このクロック信号CKOを通倍し、シリアルクロック(図2の受信側の3段目の波形参照)を生成する。

[0040] シリアルパラレル変換ブロック9は、このシリアルクロックの立ち上がりで、データ信号DOをシフトする。また、シリアルパラレル変換ブロック9は、クロック信号CKOをデータロードCK(データロードクロック)として、シフトされたデータ信号DO(シリアルデータ)を、複数のデータ信号D₀~D₅(パラレルデータ)に変換し、送信側に入力されたときと同じ転送レート、つまりパラレルデータレートで出力する(図2の受信側の4段目から9段目にD₀~D₅で波形を示す)。

[0041] このように、第1の実施形態の信号伝送方式は、送信側において、6ビットのデータ(6個のデータ信号D₀~D₅)をデータ信号D(シリアルデータ)に変換し、変換後のシリアルデータとクロック信号CKとを重畳し、その結果の差動信号S₀を伝送路COを介して受信側へ送信する。ここで、シリアルデータに重畳する送信クロックCKは、パラレルデータレートのクロック(複数のデータ信号の転送レートを規定する基準クロック信号)と同一周波数である。すなわち、第1の実施形態の信号伝送方式は、パラレルデータのクロックを送信するとともに、シリアルデータをパラレルデータレートで送信する。

また、第1の実施形態の信号伝送方式は、受信側においてシリアルデータ受信後、シリアルデータをパラレルデータ(複数のデータ信号D₀~D₅)に変換し、このパラレルデータを送信側へ入力されたときと同じレート、すなわちパラレルデータレートで出力する。

[0042] 第1の実施形態の信号伝送方式によれば、複数のデータ信号D₀~D₅を重ねるクロックの周波数は、これら複数のデータ信号各々の転送レートを規定する基準クロック(パラレルデータレートのクロック)の周波数と同じとなり、複数のデータ信号の転送レートを下げずに、差動信号に重畳するクロックの周波数、エネルギーを低減することができる。

つまり、第1の実施形態の信号伝送方式を採用することで、差動信号に重畳するクロック信号は、EMIノイズエネルギーが大きくなりやすいクロック信号（例えば、上述のシリアルクロック）ではなく、複数のデータ信号各々の転送レートを規定する基準クロックそのものとして送ることができる。また、第1の実施形態の信号伝送方式を採用することで、差動信号に重畳されるクロック信号は、データ信号と共に一様でない信号として送出され、特定のスペクトラム成分が大きくなりEMI発生源となるような信号を抑える働きをする。また、上述の通り、第1の実施形態の信号伝送方式を採用することで、複数のデータ信号をシリアル転送することにより、信号線を低減することが可能となる。

[0043] [第2の実施形態]

図3は、本発明の第2の実施形態に係る信号伝送方式の構成例を示す図である。図3に示す信号伝送方式は、送信側から受信側へ送信する差動信号を多値振幅差動信号に適用した信号伝送方式である。

図3において、符号10、13は排他的論理和回路、符号11は2値（振幅の絶対値）差動信号出力回路、符号12は2値差動信号受信回路であり、符号14はパラレルシリアル変換ブロック、符号15はPLL回路、符号16はシリアルパラレル変換ブロックである。このうち、排他的論理和回路10は、図1における排他的論理和回路1、排他的論理和回路13は、図1における排他的論理和回路6に、それぞれ対応する。また、パラレルシリアル変換ブロック14は、図1におけるパラレルシリアル変換ブロック7、シリアルパラレル変換ブロック16は、図1におけるシリアルパラレル変換ブロック9に、それぞれ対応する。これらの図1に対応する各回路の構成は、上述した第1の実施形態と同様であり、その説明を省略し、2値差動信号出力回路11、及び2値差動信号受信回路12を中心に説明する。

[0044] 本構成例において、データ信号Dは2値差動信号出力回路11の一方に入力される。また、クロック信号CK（パラレルデータレート）は、排他的論理和回路10によりデータ信号Dと排他的論理和演算される。演算結果信号

は内部信号C Dとなる。内部信号C Dは2値差動信号出力回路11の他方に入力される。2値差動信号出力回路11は入力されたデータ信号Dと内部信号C Dの信号の組み合わせにより出力振幅を一意に決定し出力する。

図4は、この出力振幅決定の際に用いるデータ信号Dと内部信号C Dの組み合わせに対応する差動信号Sの振幅値を示すテーブルの例である。なお、出力振幅決定の際に用いるデータ信号Dと内部信号C Dの組み合わせに対応する差動信号Sの振幅値割当ては、この図4に示すテーブルに限定されるものではない。

上述のテーブルに基づいて決定されるデータ信号Dと内部信号C Dとによる2値差動出力信号は差動信号Sとして2値差動信号出力回路11より出力される。

[0045] 図5は、図3に示す信号伝送方式の信号タイミングと2値差動出力信号の波形とを示す図である。図5に示す差動信号Sの波形から分かるように、差動信号Sが、クロック信号C Kのような振幅が固定される固定パターンとは相違し、4値の振幅を持つ（振幅の絶対値としては2値）差動信号となり、この差動信号SがEMI発生源としては有利な信号となる。また、第2の実施形態における信号伝送方式は、図1に示す第1の実施形態における信号伝送方式の構成との対比において、信号本数は半分に削減され、省面積、省ピン数、さらにはトータルなEMIエネルギーの削減にとって非常に有益な信号伝送方式である。

[0046] なお、第2の実施形態は、多値振幅変調の各々の振幅値について規定するものではない。第2の実施形態の特徴的部分は、上述したようなデータ信号D（シリアルデータ）、及びクロック信号C Kを多値化して伝送することであり、振幅値については、実現する伝送路、受信回路等の設計により適当な値を設定することが可能であり、第2の実施形態の実現に制約を加えるものではない。

[0047] 受信側について説明すると、送信された差動信号Sは2値差動信号受信回路12により、上記の図4のテーブルに従って、振幅値から内部信号C Dと

データ信号Dとの信号が逆変換される。逆変換されたデータ信号DOは送信されたデータ信号Dそのものである。また、逆変換されたデータ信号DO及び内部信号CDOは排他的論理和回路13により演算され、その結果、送信クロック信号CKOが再生される。クロック信号CKOをPLL15により逡倍し、データ信号DO（シリアルデータ）のサンプリングCK（サンプリングクロック）を生成する。

[0048] このようにして、第2の実施形態における信号伝送方式によれば、データ信号Dとクロック信号CKとの二つの信号を一对の差動信号Sで伝送する。第2の実施形態の信号伝送方式によれば、差動信号Sを、クロック信号CKのような振幅が規則的な信号に比べて、信号のスペクトラムピークを低減した信号とすることができる。そのため、第1の実施形態の効果を維持しつつ、差動信号SによるEMIをさらに抑制することができる。また、第2の実施形態の信号伝送方式によれば、差動増幅信号の信号本数の削減を実現することができる。

[0049] [第3の実施形態]

次に、本発明の第3の実施形態について、図6A～図8Bを参照して説明する。

図6A～図6Cは、本発明の第3の実施形態における信号伝送方式の構成例を示す図である。また、図7は、図6A～図6Cに示す信号伝送方式の信号タイミングと2値差動出力信号の波形とを示す図である。また、図8A及び図8Bは、受信側において再生したデータ信号DO₀～DO₂とクロック信号CKO₀～CKO₂の信号タイミング、及び受信側におけるデータ信号DO₀～DO₂（シリアルデータ）から複数のデータ（パラレルデータ）への再生処理の信号タイミングを示す図である。

[0050] 図6Aに示すように、第3の実施形態の信号伝送方式は、差動信号S₀～S₂各々に対応して設けられた3つの送信データレーンから構成される。なお、第3の実施形態においては、送信データレーンが3つの場合を示しているが、これは例示であって、送信データレーンの数に制限はない。また、送信デ

ータレーン各々においては、上述した第2の実施形態と同じく、6ビットのデータ信号をシリアルデータに変換し、変換したシリアルデータをクロック信号と重畳させ、重畳信号を多値化（本構成例では4値の振幅を持つ（振幅の絶対値としては2値））して差動信号を伝送する構成である。また、第3の実施形態において、特徴的な部分は、受信側において、第1の実施形態（図1参照）及び第2の実施形態（図3参照）と相違し、PLL回路を必要としないことである。これについては、動作説明で詳述する。

[0051] 図6Aにおいて、符号17, 20, 21, 24, 25及び28は排他的論理和回路、符号18, 22及び26は2値（振幅）差動信号出力回路、符号19, 23及び27は2値差動信号受信回路、符号 S_0 、 S_1 及び S_2 は差動信号をそれぞれ示している。また、符号51, 53及び55はパラレルシリアル変換ブロック、符号52, 54及び56はシリアルパラレル変換ブロックを示す。

[0052] これらの回路のうち、排他的論理和回路、2値（振幅）差動信号出力回路、2値差動信号受信回路、及びパラレルシリアル変換ブロックは、第2の実施形態の対応する回路と同一の回路構成で実現できる。また、受信側の信号処理部におけるシリアルパラレル変換ブロック52, 54及び56の回路構成を、図6Cに示す。図6Cは、シリアルパラレル変換ブロック52の回路構成を示しており、他のシリアルパラレル変換ブロック54及び56の回路構成は、シリアルパラレル変換ブロック52と同一の回路構成である。

また、図6Bは、受信側の信号処理部に共通に設けられる論理回路を示す。図6B及び図6Cに示す回路の動作については、図6Aに示す信号伝送方式の送信側の動作について説明した後、受信側の動作とともに詳述する。

[0053] 以下、差動信号 S_0 を送信する送信データレーンを第1送信データレーン、差動信号 S_1 を送信する送信データレーンを第2送信データレーン、差動信号 S_2 を送信する送信データレーンを第3送信データレーンとして説明する。

第1送信データレーンにおいて、パラレル／シリアル変換されたデータ信号 D_0 は、2値差動信号出力回路18の一方に入力される。また、クロック信

号 CK_0 は、排他的論理和回路17によりデータ信号 D_0 と排他的論理和演算される。演算結果信号は内部信号 CD_0 となる。この内部信号 CD_0 は2値差動信号出力回路18の他方に入力される。2値差動信号出力回路18は、入力されるデータ信号 D_0 と内部信号 CD_0 の信号の組み合わせにより出力振幅を一意に決定し、多値差動信号 S_0 を出力する。

[0054] また、第2送信データレーンにおいて、パラレル／シリアル変換されたデータ信号 D_1 は、排他的論理和回路21によりクロック信号 CK_1 と排他的論理和演算される。演算結果信号は内部信号 CD_1 となる。この内部信号 CD_1 は2値差動信号出力回路22の一方に入力される。2値差動信号出力回路22は、入力されるデータ信号 D_1 と内部信号 CD_1 の信号の組み合わせにより出力振幅を一意に決定し、多値差動信号 S_1 を出力する。

[0055] また、第3送信データレーンにおいて、パラレル／シリアル変換されたデータ信号 D_2 は、排他的論理和回路25によりクロック信号 CK_2 と排他的論理和演算される。演算結果信号は内部信号 CD_2 となる。この内部信号 CD_2 は2値差動信号出力回路26の他方に入力される。2値差動信号出力回路26は、入力されるデータ信号 D_2 と内部信号 CD_2 の信号の組み合わせにより出力振幅を一意に決定し、多値差動信号 S_2 を出力する。

[0056] なお、各送信データレーンにおいて出力振幅を決定するテーブルは、第2の実施形態に用いた図4に例示したテーブルを用いることができる。もちろん、第2の実施形態における信号伝送方式と同様に、第3の実施形態における信号伝送方式においても、2値振幅変換の割当ては、図4に示すテーブルに限定されるものではない。

[0057] このようにして決められた信号送出のタイムテーブルを図7に示す。図7は図6A～図6Cに示す信号伝送方式の信号タイミングと2値差動出力信号の波形とを示す図である。

図7に示す差動信号 $S_0 \sim S_2$ の波形からも分かるように、第3の実施形態における信号伝送方式によれば、送信する差動信号各々は、クロック信号 CK のような固定パターンでない4値の振幅を持つ（振幅の絶対値としては2

値) 差動信号となり、この差動信号がEMI発生源としては有利な信号となっている。また、第3の実施形態における信号伝送方式によれば、3系統のシリアルデータとクロック信号を3つの差動信号(多値差動信号 $S_0 \sim S_2$)により伝送できる。

[0058] 送信された差動信号 S_0 、 S_1 、 S_2 は、差動信号受信回路19、23、27により、上述した図4に示すテーブルに従って、振幅値より受信側の内部信号 CD_0 、 CD_1 、 CD_2 とデータ信号 D_0 、 D_1 、 D_2 が逆変換される。逆変換されたデータ信号 DO_0 、 DO_1 、 DO_2 は送信されたデータ信号 D_0 、 D_1 、 D_2 そのものである。また、データ信号 DO_0 、 DO_1 、 DO_2 及び逆変換された内部信号 CDO_0 、 CDO_1 、 CDO_2 は、それぞれ排他的論理和回路20、24、28により演算され、その結果、送信されたクロック信号 CK_0 、 CK_1 、 CK_2 がクロック信号 CKO_0 、 CKO_1 、 CKO_2 として再生される。

[0059] 図8A及び図8Bに再生したデータ信号(データ信号 DO_0 、 DO_1 、 DO_2)とクロック信号 CK (クロック信号(クロック信号 CKO_0 、 CKO_1 、 CKO_2))のタイミング図を示す。

送信するクロック信号 CK_0 、 CK_1 、 CK_2 は、パラレルデータレーンのクロックであり、それぞれ位相を $1/6$ (60度)ずつずらした信号になっている(図8Aにおける4～6段目の波形参照)。なお、位相のずらし方は、各送信データレーンの送信側信号処理部におけるクロック信号 CK 生成部7cにおいて、各送信データレーンの間で、シフトクロックの立ち上がりで1周期分相当ずらしてパラレルデータレーンのクロックをシフトさせて発生することにより、可能である。

[0060] 受信側では、再生したクロック信号(クロック信号 CKO_0 、 CKO_1 、 CKO_2)の各エッジより、図8Bの4段目に示すサンプリングクロック(CKO)を生成することが、以下に説明するように容易になり、第1の実施形態及び第2の実施形態において用いたPLL回路が不要となる。

サンプリングクロックを生成するため、第1～第3送信データレーンは、図6Bに示すロジック(論理回路)を共通に有している。

[0061] 図 6 B に示すように、このロジックは、排他的論理和回路 6 1 及び排他的論理和回路 6 2 を含む。排他的論理和回路 6 1 は、第 1 送信データレーンの排他的論理和回路 2 0 により再生されたクロック信号 CKO_0 、及び第 2 送信データレーンの排他的論理和回路 2 4 により再生されたクロック信号 CKO_1 が入力される。排他的論理和回路 6 2 は、排他的論理和回路 6 1 の出力、及び第 3 送信データレーンの排他的論理和回路 2 8 により再生されたクロック信号 CKO_2 が入力され、サンプリングクロック (CKO) を出力する (図 8 B の 4 段目の CKO 波形参照)。

[0062] 各送信データレーンにおけるシリアルパラレル変換ブロックは、このサンプリングクロック (CKO) 及び各送信データレーンにおいて再生したクロック信号 (クロック信号 CKO_0 , CKO_1 , CKO_2) により、データ信号 DO_0 , DO_1 , DO_2 (シリアルデータ) を、パラレルデータへ変換する。

図 6 C は、第 1 の送信データレーンの受信側におけるシリアルパラレル変換ブロック 5 2 の回路構成図である。シリアルパラレル変換ブロック 5 2 は、シフトレジスタ部 6 3 a、シフトレジスタ部 6 3 b、及びデータロード部 6 3 c を含む。なお、第 2 の送信データレーンの受信側におけるシリアルパラレル変換ブロック 5 4 及び第 3 の送信データレーンの受信側におけるシリアルパラレル変換ブロック 5 6 も、第 1 の送信データレーンの受信側におけるシリアルパラレル変換ブロック 5 2 と同一の回路構成であり、回路構成図による図示は省略する。

[0063] シフトレジスタ部 6 3 a を構成する各ラッチ回路は、サンプリングクロック (CKO) の立下りで前段からのデータ信号 DO_0 を取り込み、次の立ち上がりで次段のラッチ回路、及びデータロード部を構成する各データロードへデータ信号 DO_0 を出力する。

また、シフトレジスタ部 6 3 b を構成する各ラッチ回路は、サンプリングクロック (CKO) の立ち上がりで前段からのデータ信号 DO_0 を取り込み、次の立ち下がりで次段のラッチ回路、及びデータロード部を構成する各データロードへデータ信号 DO_0 を出力する。

- [0064] この構成により、シフトレジスタ部63aは、再生されたデータ信号DO₀。
(図8Bの5段目に波形を示す)の先頭のデータ信号DO_{0_0}を、サンプリングクロック(CKO)の最初の立下りで取り込み、そこから3番目のサンプリングクロック(CKO)の立ち上がりで、3段目のラッチ回路からデータ信号DO_{0_0}をデータロードへ出力する(図8Bの11段目にDO_{0_0}で示す波形参照)。同様に、シフトレジスタ部63bは、再生されたデータ信号DO₀の2番目のデータ信号DO_{0_1}を、サンプリングクロック(CKO)の2番目の立ち上がりで取り込み、そこから3番目のサンプリングクロック(CKO)の立ち下がりで、3段目のラッチ回路からデータ信号DO_{0_1}をデータロードへ出力する(図8Bの10段目にDO_{0_1}で示す波形参照)。
- [0065] 以下、同様に、シフトレジスタ部63aは、再生されたデータ信号DO₀の3番目のデータ信号DO_{0_2}を、先頭のデータ信号DO_{0_0}を取り込んだ次のサンプリングクロック(CKO)の立下りで取り込み、そこから2番目のサンプリングクロック(CKO)の立ち上がりで、2段目のラッチ回路からデータ信号DO_{0_2}をデータロードへ出力する(図8Bの9段目にDO_{0_2}で示す波形参照)。
- [0066] また、シフトレジスタ部63bは、再生されたデータ信号DO₀の4番目のデータ信号DO_{0_3}を、2番目のデータ信号DO_{0_1}を取り込んだサンプリングクロック(CKO)の次の立ち上がりで取り込み、そこから2番目のサンプリングクロック(CKO)の立ち下がりで、2段目のラッチ回路からデータ信号DO_{0_3}をデータロードへ出力する(図8Bの8段目にDO_{0_3}で示す波形参照)。
- [0067] また、シフトレジスタ部63aは、再生されたデータ信号DO₀の5番目のデータ信号DO_{0_4}を、3番目のデータ信号DO_{0_2}を取り込んだ次のサンプリングクロック(CKO)の立下りで取り込み、次のサンプリングクロック(CKO)の立ち上がりで、1段目のラッチ回路からデータ信号DO_{0_4}をデータロードへ出力する(図8Bの7段目にDO_{0_4}で示す波形参照)。
- また、シフトレジスタ部63bは、再生されたデータ信号DO₀の6番目の

データ信号 DO_{0_5} を、4 番目のデータ信号 DO_{0_3} を取り込んだサンプリングクロック (CKO) の次の立上がりで取り込み、次のサンプリングクロック (CKO) の立ち下がり、1 段目のラッチ回路からデータ信号 DO_{0_5} をデータロードへ出力する (図 8 B の 6 段目に DO_{0_5} で示す波形参照)。

[0068] 第 1 の送信データレーンの受信側におけるデータロード部 63c は、排他的論理和回路 20 から入力されるデータロードクロック (再生したクロック信号 CKO_1) の立ち上がりにより、各データロードからデータ信号 (データ信号 $DO_{0_0} \sim DO_{0_5}$) を、パラレルデータレートで信号処理部の外部へ出力する (図 8 B の第 1 2 段～最終段に示す信号を参照)。なお、第 2 の送信データレーン及び第 3 の送信データレーンの受信側におけるデータロード部も、それぞれ、送信側に入力される複数のデータ信号 (不図示) を、パラレルデータレートで信号処理部の外部へ出力する。

[0069] このようにして、第 3 の実施形態における信号伝送方式によれば、クロック信号 CK_0 、 CK_1 、 CK_2 とデータ信号 D_0 、 D_1 、 D_2 を 3 対の差動信号で伝送でき、クロック信号 CK のような規則的な信号ではなく、スペクトラムピークを低減且つ信号本数の削減を実現することができる。また、第 2 の実施形態と同じく、信号本数は送信する総信号数 (シリアルデータ及び重畳するクロック信号の総数) の半分の差動信号対にて実現できる。

[0070] 受信側において、シリアルデータ (データ信号 D_0 、 D_1 、 D_2) をサンプリングするために必要なサンプリングクロック信号のエッジが 3 本のクロック信号 CKO_0 、 CKO_1 、 CKO_2 のいずれかに存在する。そのため、シリアルデータのサンプリングクロックは、上述した通り、簡単なロジック (図 6 B に示す回路) により容易に生成可能である。このようにして、第 3 の実施形態における信号伝送方式によれば、第 1 の実施形態及び第 2 の実施形態において必要であったサンプリングクロックをクロック信号により逡倍生成する PLL 回路は不要となり、送信データレーンを構成する回路の回路規模の低減、及び送信データレーンが動作する際の低消費電力を実現することができる。

[0071] [第4の実施形態]

次に、本発明の第4の実施形態に係る信号伝送方式において、AC結合伝送に向けたDCバランス改善手法の例を示す。第4の実施形態においては、上述した第3の実施形態にDCバランス改善手法を適用した場合の例を、図9及び図10を参照して説明する。

図9は、図6A～図6Cに示す信号伝送方式において、AC結合伝送に向けたDCバランス改善手法を適用した場合の信号タイミングと4値の振幅を持つ（振幅の絶対値としては2値）差動出力信号の波形とを示す図である。また、図10は、図9に示す信号伝送方式の再生したデータとCKのタイミングを示す図を示す。

[0072] これまで説明してきたように、第1～第3の実施形態によれば、クロック信号そのものがデータ信号と重畳され、クロック信号そのものの伝送はなくなるので、EMI削減の効果が期待できる。ここで、重畳されたデータ信号及びクロック信号は、基本的にランダムな信号である。しかしながら、第1～第3の実施形態において、送信する信号として、クロック信号とデータ信号との排他的論理和演算により送信データを生成することを基本としている。そのため、クロック信号と同一の“0”または“1”のデータパターンが連続すると、その間送信信号はDC出力となる。送信と受信を直結している場合は問題ないが、AC結合へ適応する場合は問題となる。

[0073] そこで、第4の実施形態においては、このような場合においてもAC結合が可能なような信号伝送方式についても示している。第4の実施形態は、シリアルデータの6ビット毎に“1”、“0”、“1”からなる連続データを3ビット挿入している場合について説明する。

第4の実施形態においては、6ビット毎に3ビットの連続するデータ信号を送信するため、このデータ信号とパラレルデータのクロック信号との排他的論理和をとることにより、“1”“0”の変化点が必ず生成される（図9における差動信号 $S_0 \sim S_2$ 参照）。従って、必ず6ビット毎にデータ反転が存在することになり、DCパターンの発生を6ビット以下に抑えることがで

き、AC結合伝送に向けたDCバランス改善を実現できる。

[0074] なお、挿入データ（“1”、“0”、“1”からなる送信データ）は、送信部における信号処理部が、データ信号のパラレルシリアル変換動作後、予め設定されたデータを各送信データレーンに設けられた送信側の排他的論理和回路（図6A～図6Cに示す排他的論理和回路17、21、25）に、パラレルシリアル変換ブロック51、53、55に代って送信する構成としてよい。

また、受信側は、再生したクロック信号（クロック信号CKO₀、CKO₁、CKO₂）により、例えば、上記第3の実施形態における手段（図6B及び図6Cに示す回路）と同様に、サンプリングクロック（図10にCKで示す）を生成し、データ信号DO₀、DO₁、DO₂（シリアルデータ）を、パラレルデータへ変換すればよい。

[0075] ここで、第5の実施形態の説明をする前に、差動信号の振幅を制御する信号伝送方式（上述した第2～第4の実施形態）において、差動信号の振幅を制御する場合の回路構成例について、図11及び図12を参照して説明する。

図11は、差動信号の振幅を制御する場合の2値差動信号出力回路の回路構成図である。図12は、差動信号の振幅を制御する場合の差動信号受信回路の回路構成図である。

[0076] 図11において、QN1からQN8はMOSトランジスタ、RTは差動信号の終端抵抗を示す。図11の2値差動信号出力回路は、端子101と端子102から入力された信号によって、終端抵抗RTに流れる電流の方向を制御する。差動信号の振幅は、この終端抵抗RTの値とそこに流す電流値によって決まる。終端抵抗RTに流れる電流は、トランジスタQN7、QN8と端子104から入力されるBias電圧値によって決定される。また、差動信号の中心電圧（コモン電圧）は、QN5と端子105から入力されるBias電圧とによって決定される。通常、この電圧は差動出力電圧をモニタしてフィードバック制御することにより一定の決められたコモン電圧となるよ

うに制御されている。この制御については、第4の実施形態の特徴的な部分ではないので詳細な説明を省略する。

[0077] 図11に示す2値差動信号出力回路において、入力端子101にクロック信号CK、入力端子102に該クロックの反転信号CKBを入力する。クロック信号CKがH（ハイ）、かつ、反転信号CKBがL（ロウ）のとき、QN1からQN4を含むトランジスタによるスイッチは、次のように動作する。すなわち、QN2及びQN3がON（オン）となり、QN1とQN4がOFF（オフ）となる。このとき、終端抵抗RTに流れる電流は、端子106から端子107の方向へ流れる。また、逆に、クロック信号CKがL、かつ、反転信号CKBがHとなると、QN2、QN3がOFFとなり、QN1とQN4がONとなる。このとき、終端抵抗RTに流れる電流は、端子107から端子106の方向へ流れる。このようにして、クロック信号により差動信号の方向を制御している。

[0078] 差動信号の振幅に関しては、上述したようにQN7、QN8によって決定される。データ信号を、端子103からQN6のゲートに入力する。QN6は、スイッチとして動作し、終端抵抗RTに流れる電流値を制御している。基本的には、端子104から入力されるBias電圧とQN7から決まる電流値IDが、終端抵抗RTに流れる。データ信号が0のとき、QN6はOFFしており、終端抵抗RTに流れる電流は、上記の電流値IDとなる。

[0079] 一方、データ信号が1のときは、QN6がONとなり、終端抵抗RTに流れる電流は、上記電流値IDに加えて、端子104のBias電流とQN8から決まる電流値ID2とを加算した電流が流れる。終端抵抗RTの両端の電位差は、 $(ID + ID2) \times RT$ となるので、ID2の分だけ振幅が増えることになる。以上説明したような回路構成と原理によって、上述した第2～第4の実施形態における、差動信号の振幅を制御する場合の2値差動信号出力回路を実現することができる。この2値差動信号出力回路は、端子104に入力されるBias電圧と、端子105に入力されるBias電圧とをBias電圧制御することにより、電流値ID、ID2を制御し、振幅を制

御することが可能となる。

[0080] 差動信号受信回路は、図12に示すように、差動アンプ110、差動アンプ111、差動アンプ112、及びANDゲート133を含む。

図17において、差動受信信号 $S O +$ 、 $S O -$ は差動アンプ111に入力される。差動アンプ111からの出力は、差動信号の振幅には関係なく、信号方向による極性反転の信号が出力される。すなわち、上述した図4に示すテーブルに従うデータ信号 $D O$ が出力される。

また、差動受信信号 $S O +$ の信号は、比較器110に入力され、比較器110の他方の入力、大振幅の判定しきい値 $V_{ref U}$ が入力される。比較器110は、2つの入力信号を比較し、差動受信信号 $S O +$ が判定しきい値 $V_{ref U}$ より大きい時、 H を出力する。

[0081] 他方、差動受信信号 $S O -$ は比較器112に入力され、比較器112の他方の入力、大振幅の判定しきい値 $V_{ref D}$ が入力される。比較器112は、2つの入力信号を比較し、差動受信信号 $S O -$ が $V_{ref D}$ より小さい時 H を出力する。

[0082] 比較器110と112の出力はANDゲート113に入力される。ANDゲート113は差動信号の入力振幅が大きいとき、すなわち差動受信信号 $S O +$ が判定しきい値 $V_{ref U}$ より大きく、かつ、差動受信信号 $S O -$ が判定しきい値 $V_{ref D}$ より小さいとき、 H を出力する。また、ANDゲート113は差動信号の入力振幅が小さいとき、すなわち差動受信信号 $S O +$ が判定しきい値 $V_{ref U}$ より小さく、かつ、差動受信信号 $S O -$ が判定しきい値 $V_{ref D}$ より大きいとき、 L を出力する。

このようにして、差動信号受信回路から内部信号 $C D$ を再生した内部信号 $C D O$ が出力される。なお、差動信号の振幅に応じて、判定値 $V_{ref D}$ 、 $V_{ref U}$ の電圧レベルを制御することにより、差動信号受信回路の判定レベルを変えることもできる。

[0083] [第5の実施形態]

続いて、本発明の第5の実施形態について、図13を参照して説明する。

第5の実施形態に係る信号伝送方式においては、データ信号線の他に制御及び付加信号を送受信できるレーン（送受信レーン）を追加する。

図13に示す信号伝送方式は、上述した第3の実施形態（図6A～図6C参照）に、双方向にデータを送受できる2線の伝送路を追加した信号伝送方式である。

図13において、符号31、34、35、38、39、42は排他的論理和回路、符号32、36、40は2値振幅差動信号送信回路、符号33、37、41は2値振幅差動信号受信回路、符号29、30は双方向の2線信号（双方向制御線）の送受信回路である。双方向制御線は例えばI2C信号に代表されるような制御方法で実現できる。どのような制御方法で双方向性制御線を実現するかは、限定されるものではなく、双方向受信機能が実現できれば手段を問わない。

[0084] 上述してきた複数の送信データレーンにおけるデータ転送とは別に、双方向データ信号系統（送受信レーン）を追加することで、データ信号の他に付随する制御信号、データ信号等を送受信することが可能となる。

送信する制御信号の例として、差動データ信号にて送信するデータ信号の情報を送信することにより、受信側での受信データの処理を容易にすることが可能となる。

例えば、差動データで送信する信号が映像信号の場合、送信する映像信号フォーマットに関する情報（画素数等）を送信することで、受信側で適切に映像信号フォーマットに従った処理が可能となる。

[0085] また、受信側での受信データの処理を容易にする例として、受信側でデータ信号をサンプリングするタイミングを調整するスキュー制御、あるいは、送信側でデータ信号に重畳されるクロック信号（パラレルデータレーンのクロック）の出力タイミングを調整するスキュー制御がある。

これらのスキュー制御を行うための受信側の回路構成を図14に示し、送信側の回路構成を図15に示す。

[0086] 図14は、第5の実施形態において、受信側でスキュー制御する場合の回

路構成例を示す。

図 1 4 において、符号 4 3 は差動信号受信回路、符号 4 4 は排他的論理和回路、符号 4 5 はスキュー制御回路、符号 4 6 は受信レジスタである。

受信側において、再生されたクロック信号 C K O を、スキュー制御回路 4 5 により遅延時間を制御することにより、クロック信号 C K d とし、受信レジスタ 4 6 に入力する。これにより、データ信号 D O のサンプリングタイミングを、最適なサンプリングタイミング（例えばシリアルデータにおけるビットの切替りと切替りの間である各ビットの中央部）に調整することができる。

[0087] 図 1 5 は、第 5 の実施形態において、送信側でスキュー制御する場合の回路構成例を示す。

図 1 5 において、符号 4 9 は送信回路、符号 4 8 は排他的論理和回路、符号 4 7 はスキュー制御回路である。

送信側において、C K（パラレルデータレートクロック）を、スキュー制御回路 4 7 により遅延時間を制御することにより、クロック信号 C K d とし、排他的論理和回路 4 8 に入力する。これにより、データ信号 D O のサンプリングタイミングを、受信側で調整するのと同様に、最適なサンプリングタイミングに調整することができる。

[0088] 次に、図 1 3 に示す信号伝送方式において、受信側で受信側でのスキューを調整することができるようにした信号伝送方式、及びその動作（テスト動作）について、図 1 6 及び図 1 7 を参照して説明する。

図 1 6 は、上記スキュー制御を説明するための信号伝送方式を示す図である。図 1 7 は、スキュー制御動作を説明するためのタイミングチャートである。

[0089] 図 1 6 に示す伝送信号方式は、図 1 3 に示す伝送信号方式に、スキュー制御回路 7 1 ～ 7 6 を設けた構成となっている。差動信号 S₀を送信する第 1 の送信データレーンにおいて、再生の後データ信号 D O₀をスキュー制御するためのスキュー制御回路 7 1、及び再生後のクロック信号 C K O₀をスキュー制

御するためのスキュー制御回路 72 が設けられる。また、差動信号 S_1 を送信する第 2 の送信データレーンにおいて、再生の後データ信号 DO_1 をスキュー制御するためのスキュー制御回路 73、及び再生後のクロック信号 CKO_1 をスキュー制御するためのスキュー制御回路 74 が設けられる。また、差動信号 S_2 を送信する第 3 の送信データレーンにおいて、再生の後データ信号 DO_2 をスキュー制御するためのスキュー制御回路 75、及び再生後のクロック信号 CKO_2 をスキュー制御するためのスキュー制御回路 76 が設けられる。なお、各スキュー制御回路の下に記載された値は、下記に説明するテスト動作により、各スキュー制御回路に設定される遅延値（遅延時間）である。

[0090] 図 17 (a) に示すように、クロック信号と対になって重畳されているデータ信号についてスキューはそろっている（例えば 1 段目に示す再生後のシリアルデータは、2 段目に示すパラレルレートクロック信号の一周期に含まれる）。しかしながら、送信側でクロック信号を送信データレーン毎に位相差をもたせて送信した場合、送信データレーン毎に再生後のクロック信号の配線は別である。そのため、再生後のクロック信号に異なる遅延差が生じ、再生後のクロック信号の間で、送信側のクロック信号の間に付与した位相差とは異なる位相差が生じる場合がある。これでは、第 3 の実施形態の様に、再生後のクロック信号の論理を取って、サンプリング信号を生成する場合に好ましくない。そのため、テスト動作において、各スキュー制御回路において遅延時間を設定し、再生後のクロック信号、及び再生後のデータ信号（シリアルデータ）を、送信データレーン間で所定の（送信側で付与した）位相差に戻す制御を行う。

[0091] 図 17 (a) は、第 2 の送信データレーンにおける再生後のデータ信号 DO_1 及び再生後のクロック信号 CKO_1 が、第 1 の送信データレーンにおける再生後のデータ信号 DO_0 及び再生後のクロック信号 CKO_0 に対して時間 t_1 だけ遅延差を生じた場合を示している。また、図 17 (a) は、第 3 の送信データレーンにおける再生後のデータ信号 DO_2 及び再生後のクロック信号 CKO_2 が、第 1 の送信データレーンにおける再生後のデータ信号 DO_0 及び

再生後のクロック信号 CK_0 に対して時間 t_2 だけ遅延差を生じた場合を示している。

[0092] 第5の実施形態の信号伝送方式は、この遅延差をなくすため、テスト動作において、最適な遅延時間を決定する。具体的には、図17(b)に示すように、第1の送信データレーンにおける再生後のデータ信号 DO_0 及び再生後のクロック信号 CK_0 を、スキュー制御回路71、72に遅延時間 t_1 を設定することにより、時間 t_1 だけ遅延させる。また、第3の送信データレーンにおける再生後のデータ信号 DO_2 及び再生後のクロック信号 CK_2 を、スキュー制御回路75、76に遅延時間 $(t_1 + t_2)$ を設定することにより、時間 $(t_1 + t_2)$ だけ遅延させる。このようにして、サンプリングクロック、及びサンプリングデータとして用いる遅延後のクロック信号及び遅延後のデータ信号（各スキュー制御回路の出力）の各送信データレーン間での位相差は、送信側において設定した位相差となる。

[0093] 図16に戻って、送信側から双方向制御線 S_CK 、 S_D を用いて、TESTパターンを送信する情報（複数のデータ信号を送信データレーンにより送信する旨の送信側から受信側へのテスト開始信号）を受信側へ送信する（ステップ1）。

受信側ではその情報を受けて、テストパターンの受信準備を実施する。つまり、受信側は、各スキュー制御回路（第2のスキュー調整回路）の遅延時間を設定する（ステップ2）。

遅延時間設定後、受信側は、つまり、テストパターンの受信準備完了後、送受信レーンを用いて送信側へのテスト準備完了信号を送信する（ステップ3）。

送信側は、次に決められたTESTパターン（複数のデータ信号）を送信する（ステップ4）。

[0094] 受信側は、受信パターンを予め設定されているTESTパターン照合する（ステップ5）。

このとき、受信側のスキュー制御、例えば図16に示す遅延値を変化させ

て、パターン照合して一致する値の最適値を求める。つまり、上記ステップ 2 からステップ 5 を受信した T E S T パターンと予め設定された T E S T パターンが一致するまで実行する。

受信側は、遅延時間の最適値が決まった場合、双方向制御線によりその情報を送信側に返すことによりシーケンスを終了する（ステップ 6）。

[0095] 次に、送信側でスキュー制御する場合の例を説明する。

図 1 8 は、送信側でスキュー制御する場合の信号伝送方式を示す図である。図 1 8 において、送信側に設けられるスキュー制御回路は、省略して示しているが、スキュー制御回路として、例えば、図 1 5 に示す回路を用いることができる。

[0096] 第 5 の実施形態では、図 1 6 に示す信号伝送方式と同様にして、送信側の遅延（図 1 5 のスキュー制御回路 4 7 の遅延量）を制御する。つまり、まず、送信側は、送受信レーンを用いてテスト開始信号を送信する（ステップ 1）。引き続き、送信側が各送信データレーンにおけるスキュー制御回路 4 7（第 1 のスキュー調整回路）の遅延時間を設定する（ステップ 2）。受信側が、送受信レーンを用いて送信側へのテスト準備完了信号を送信する（ステップ 3）。次に、送信側が、テスト準備完了を受けて、複数の送信データレーンに受信側が予め記憶するテストパターンを送信する（ステップ 4）。次に、受信側が、複数の送信データレーンを介して受信した T E S T パターンと、予め記憶する T E S T パターンとを比較する（ステップ 5）。送信側は、上記ステップ 2 においてスキュー制御回路の遅延時間を変化させ、送信側または受信側は上記ステップ 2 からステップ 5 を順次実行し、ステップ 5 において、比較結果が一致した場合、受信側が、送受信レーンを用いてテスト終了信号を送信する（ステップ 6）。

[0097] これにより、スキュー制御回路の最適な遅延を設定することで、受信側におけるデータ信号のサンプリングが、シリアルデータの安定したポイントで行うことになる。そのため、送信するデータ信号の品質をあげることができる。

[0098] 次に、図 1 1 に示す 2 値差動信号出力回路における振幅の制御、図 1 2 に示す差動信号受信回路におけるしきい値制御の例を示す。上述した場合と同様に、基本の送信振幅においてテストパターン送信し、差動信号受信回路のしきい値を制御してパターンが一致する値を制御する。次に送信振幅を変えて、同様にテストし、差動信号受信回路のしきい値を決定する。これらの制御を繰り返し、最も振幅が小さく確実に受信できる振幅、しきい値を決定する。

[0099] すなわち、まず送信側が、送受信レーンを用いてテスト開始信号を送信する（ステップ 1）。受信側は、受信側に設けられた差動信号受信回路の判定しきい値を設定する（ステップ 2）。次に、送信側は、送信側に設けられた送信回路の差動信号の振幅を設定する（ステップ 3）。次に、受信側は、送受信レーンを用いて送信側へのテスト準備完了信号を送信する（ステップ 4）。送信側は、テスト準備完了を受けて、複数の送信データレーンに受信側が予め記憶するテストパターンを送信する（ステップ 5）。受信側は、複数の送信データレーンを介して受信した T E S T パターンと、予め記憶する T E S T パターンとを比較する（ステップ 6）。

[0100] 次に、受信側は、上記ステップ 2 において判定しきい値を変化させる。以降、受信側または送信側は、上記ステップ 2、及びステップ 4～6 を順次実行する。そして、上記ステップ 6 において、比較結果が一致した場合、送信側は、上記ステップ 3 において振幅を変化させる。以降、受信側または送信側は、上記ステップ 3～6 を順次実行する。そして、上記ステップ 6 の過程において、比較結果が一致した場合、受信側は、送受信レーンを用いてテスト終了信号を送信する（ステップ 7）。

[0101] これにより、必要最小限の振幅でデータ送信が実現でき、E M I 抑制、消費電力削減を実現することができる。

第 5 の実施形態の信号伝送方式によれば、上述したとおり制御線（送受信レーン）を追加することにより、第 3 の実施形態の信号伝送方式、第 4 の実施形態の信号伝送をより有効に実現することが可能となる。

[0102] 以上説明したように、本発明の各実施形態の要点は、次のような課題解決を意図し、そのための課題解決手段を提示し、作用効果を奏させることが特徴である。すなわち、デジタルTVの高画質化に伴い伝送する信号のバンド幅が増大していく傾向があり、現状の方式では信号本数、クロックスキュー等の限界が迫っており、LSIの消費電力、チップ面性が共に増加し、EMI等のノイズ発生要因となっている。そこで、第5の実施形態では、増大するデジタル映像信号の伝送をより少ない信号線数で、且つスキューマージンを確保しつつ、EMIノイズ発生の少ない差動信号の信号伝送方式を実現しようとするものである。

[0103] まず、上述した各実施形態に共通して、クロック信号と伝送するデータ信号とのEXORをとることでクロック信号をランダム化し、受信側においてEXORで逆変換することで容易にクロック信号を再生できる変換データの伝送によりEMIを低減する。特に、データ信号とクロック信号とを同じ伝送路で送信することにより、データ信号とクロック信号の遅延差を少なくすることが可能となる。更に、データ信号に重畳させるクロック信号として、パラレルデータレートのクロックを使用することで、複数のデータ信号の転送レートを下げずに、データ信号に重畳するクロックの周波数、エネルギーを低減することができ、差動駆動方式におけるEMI削減を図ることができる。さらには、データ信号を、例えばパラレル／シリアル変換し、送信することで、信号本数を削減することができる。

[0104] 第2の実施形態では、データ信号とクロック信号との二つの信号を一对の差動信号Sで伝送する。差動信号Sをクロック信号CKのような振幅が規則的な信号ではなく、信号のスペクトラムピークを低減することができるため、差動信号SによるEMIをさらに抑制することができる。また、第2の実施形態の信号伝送方式によれば、差動増幅信号の信号本数の削減を実現することができる。

[0105] また、第3の実施形態では、複数の送信データレーンにおいて、データ信号に送信レーン毎に位相をずらしたクロック信号を重畳させ、受信側で簡単

なロジックにより容易にシリアルデータをサンプリングするサンプリングクロックを生成する。これにより、PLLなしにシリアルデータのサンプリングを実現することが可能となり、送信データレーンを構成する回路の回路規模の低減、及び送信データレーンが動作する際の低消費電力を実現することができる。

[0106] また、第4の実施形態では、シリアルデータ毎に“1”及び“0”の連続するデータ信号を送信するため、このデータ信号とパラレルデータのクロック信号との排他的論理和をとることにより、“1”と“0”の変化点が必ず生成される。これにより、必ずシリアルデータ毎にデータ反転が存在することになり、DCパターンの発生をシリアルデータのビット数以下に抑えることができ、AC結合伝送に向けたDCバランス改善を実現できる。

[0107] また、第5の実施形態では、複数の送信データレーンとは別に双方向の送受信レーンを設け、データ信号に関する情報を送受信レーンにて送信側と受信側とで制御信号を送受信する構成とした。

これにより、例えば、送信側または受信側に設けたスキュー制御回路の最適な遅延を設定することで、受信側におけるデータ信号のサンプリングが、シリアルデータの安定したポイントで行うことになる。そのため、送信するデータ信号の品質をあげることができる。

また、送信側の出力回路の振幅、受信側の差動信号受信回路の判定しきい値電圧を設定することで、差動信号の振幅を最小限に低い値とできる。これにより、信号伝送方式において、必要最小限の振幅でデータ送信が実現できることとなり、さらにEMI抑制、消費電力削減を実現することができる。

[0108] 以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の変更等も含まれる。

産業上の利用可能性

[0109] 本発明は、データ信号に重畳するクロックの周波数、エネルギーを低減することにより、差動駆動方式におけるEMI削減を図る信号伝送方式などに

適用することができる。

符号の説明

[0110] 1, 6, 10, 13, 17, 20, 21, 24, 25, 28, 61, 62, 31, 33, 35, 38, 39, 42, 44, 48 . . . 排他的論理和回路、2, 3, 11, 18, 22, 26, 32, 36, 40, 49 . . . 差動信号出力回路、4, 5, 12, 19, 23, 27, 33, 37, 41, 43 . . . 差動信号受信回路、45, 47, 71, 72, 73, 74, 75, 76 . . . スキュー制御回路、46 . . . 受信レジスタ、7, 14, 51, 53, 55 . . . パラレルシリアル変換ブロック、9, 16, 52, 54, 56 . . . シリアルパラレル変換ブロック、7a, 9b, 63c . . . データロード部、7b, 9a, 63a, 63b . . . シフトレジスタ部、7c . . . クロック信号CK生成部、CK, CKO, CK₀, CKO₀, CK₁, CKO₁, CK₂, CKO₂, CKd . . . クロック信号、D, DO, DO₀, DO₁, DO₂, DO₂ . . . データ信号、S₀, S₁, S₂, S . . . 差動信号、CD, CD₀, CD₁, CD₂, CDO, CDO₀ . . . 内部信号、1A . . . 送信側データ処理部、1B . . . 送信部、1C . . . 伝送部、1D . . . 受信部、1E . . . 受信側データ処理部、C0, C1 . . . 伝送路、8, 15 . . . PLL

請求の範囲

- [請求項1] クロック信号と複数のデータ信号とを重畳した信号を、正負二つの差動信号によって伝送し、
- 前記クロック信号は、伝送すべき前記複数のデータ信号各々の転送レートを規定する基準クロック信号であり、前記複数のデータを前記クロック信号の転送レートで送信する信号伝送方式。
- [請求項2] 前記複数のデータ信号をパラレルシリアル変換して、変換後のシリアルデータを前記クロック信号の前記転送レートで送信する請求項1に記載の信号伝送方式。
- [請求項3] 前記クロック信号と前記複数のデータ信号との排他的論理和の信号と、前記複数のデータ信号を、別の信号線ペアを用いてそれぞれ差動信号で伝送する請求項1に記載の信号伝送方式。
- [請求項4] 前記クロック信号と前記複数のデータ信号との排他的論理和の信号と、前記複数のデータ信号とを多重化し、多重化した信号を1対の信号線ペアを用いて、多値の振幅をもつ差動信号で伝送する請求項1に記載の信号伝送方式。
- [請求項5] 前記多値の振幅を、予め設定されたテーブルに基づいて設定する請求項4に記載の信号伝送方式。
- [請求項6] 前記シリアルデータ毎に、0及び1の連続したデータを付加して伝送する請求項2に記載の信号伝送方式。
- [請求項7] 前記複数のデータ信号を複数のデータブロックに分割し、前記クロック信号と前記複数のデータブロックを転送する複数の送信データレーン毎に、前記クロック信号の位相を変えて前記データブロックを伝送する請求項1に記載の信号伝送方式。
- [請求項8] 受信側において、前記複数の送信データレーン毎に、送信側から送出される差動信号に基づいて前記クロック信号を再生し、前記複数の送信データレーン毎に再生されたクロック信号の論理の組合せに基づいてサンプリングクロックを生成し、生成したサンプリングクロック

に基づいて、前記複数のデータ信号をサンプリングする請求項 7 に記載の信号伝送方式。

[請求項9] 送信側において、前記クロック信号を第 1 のスキュー制御回路により遅延させ、当該遅延させたクロック信号に応じて前記排他的論理和の信号を送信する請求項 1 に記載の信号伝送方式。

[請求項10] 受信側において、送信側から送出される差動信号に基づいて前記クロック信号を再生し、再生したクロック信号を第 2 のスキュー制御回路により遅延させ、当該遅延させたクロック信号に基づいて前記データ信号の論理の切り替わりの中央部において安定してサンプリングする請求項 1 に記載の信号伝送方式。

[請求項11] 前記複数の送信データレーン以外に設けられた送受信レーンを用いて、前記複数のデータ信号に関する情報を送受信する請求項 10 に記載の信号伝送方式。

[請求項12] 前記複数のデータ信号に関する情報は、前記複数のデータ信号を処理する際に用いる情報である請求項 11 に記載の信号伝送方式。

[請求項13] 送信側が前記第 1 のスキュー調整回路の遅延時間を設定する、或いは受信側が前記第 2 のスキュー調整回路の遅延時間を設定する請求項 11 に記載の信号伝送方式。

[請求項14] 受信側に設けられた受信回路の判定しきい値を設定し、
送信側に設けられた送信回路の前記差動信号の振幅を設定する請求項 11 に記載の信号伝送方式。

[請求項15] 前記差動信号を出力する送信回路は、差動信号を電流出力する請求項 1 に記載の信号伝送方式。

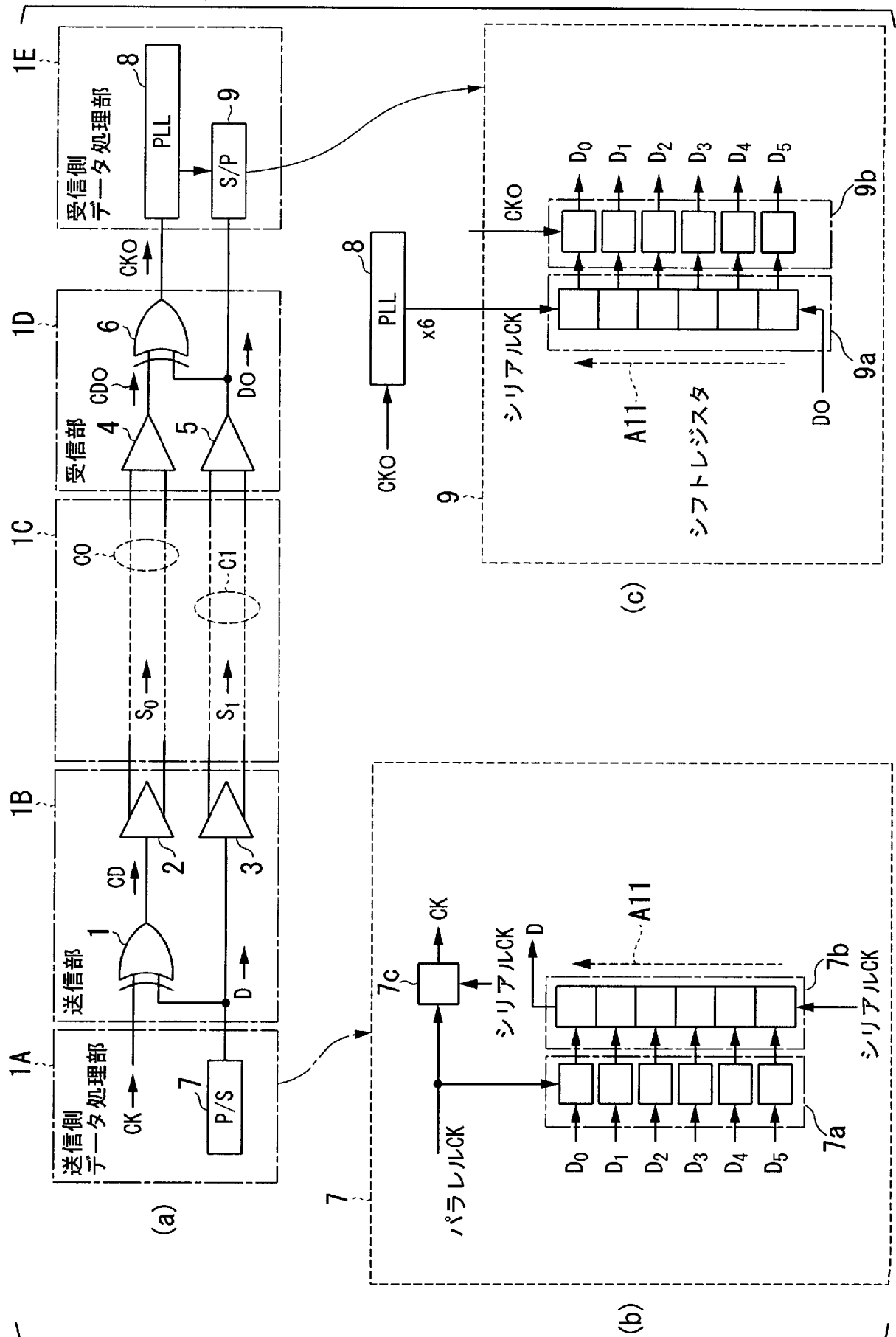
[請求項16] クロック信号と複数のデータ信号とを重畳した信号を、正負二つの差動信号によって伝送する送信部を備え、

前記クロック信号は、伝送すべき前記複数のデータ信号各々の転送レートを規定する基準クロック信号であり、

前記送信部は、前記複数のデータを前記クロック信号の転送レート

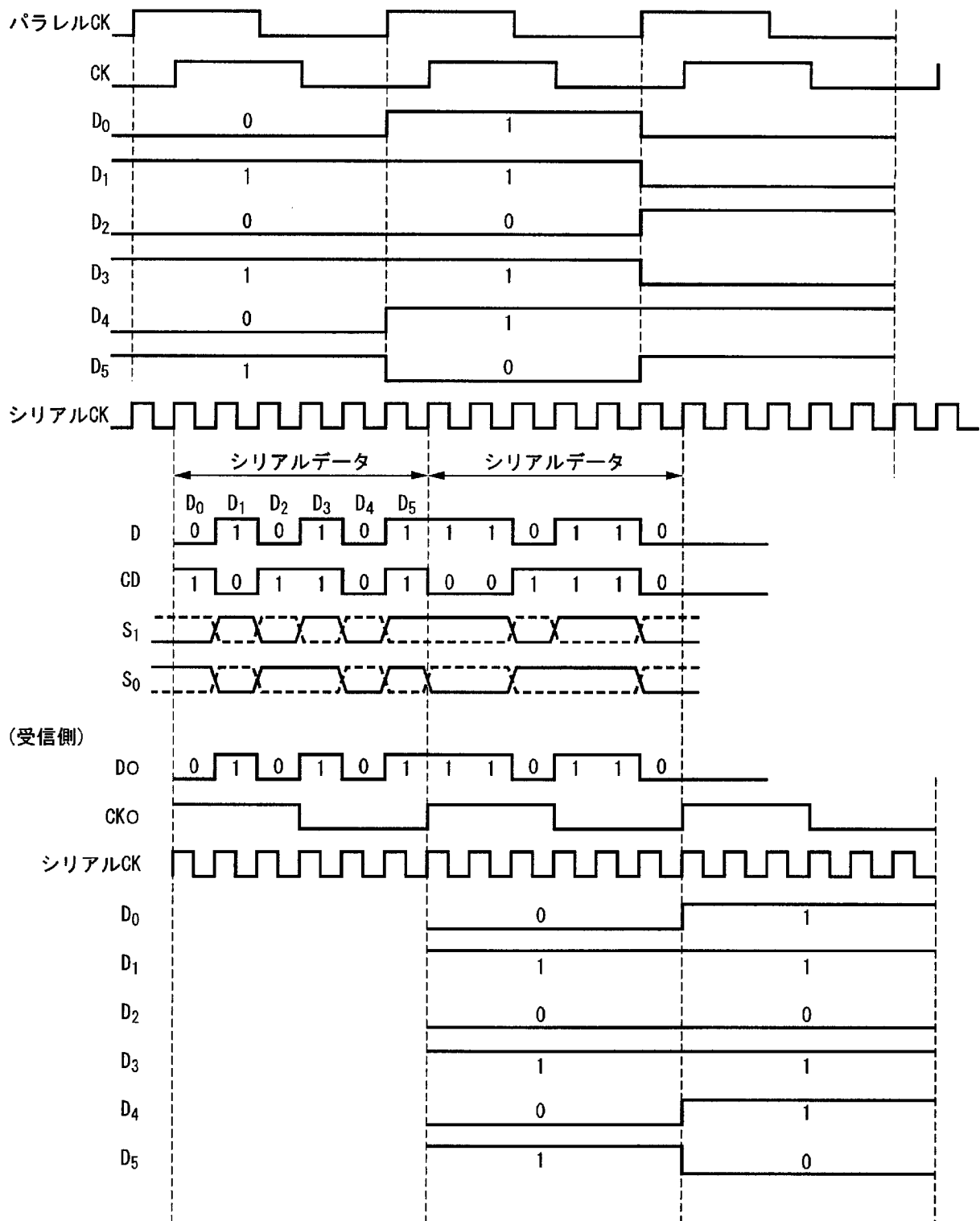
で送信する送信装置。

[図1]

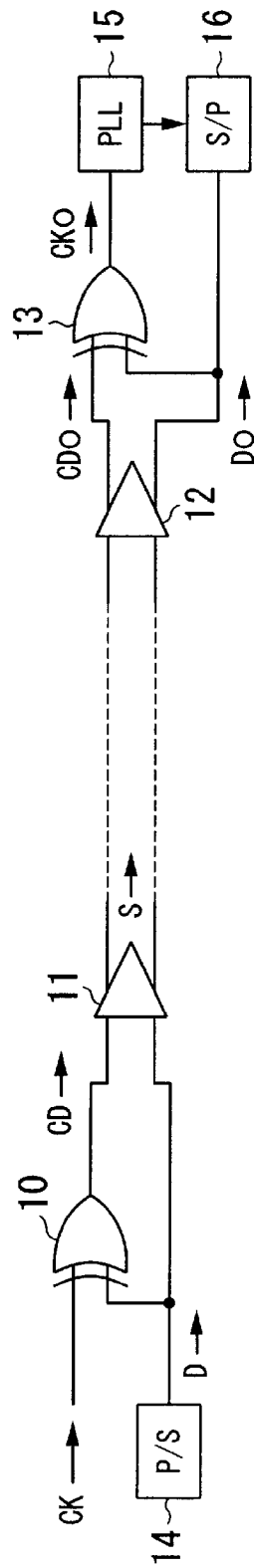


[図2]

(送信側)



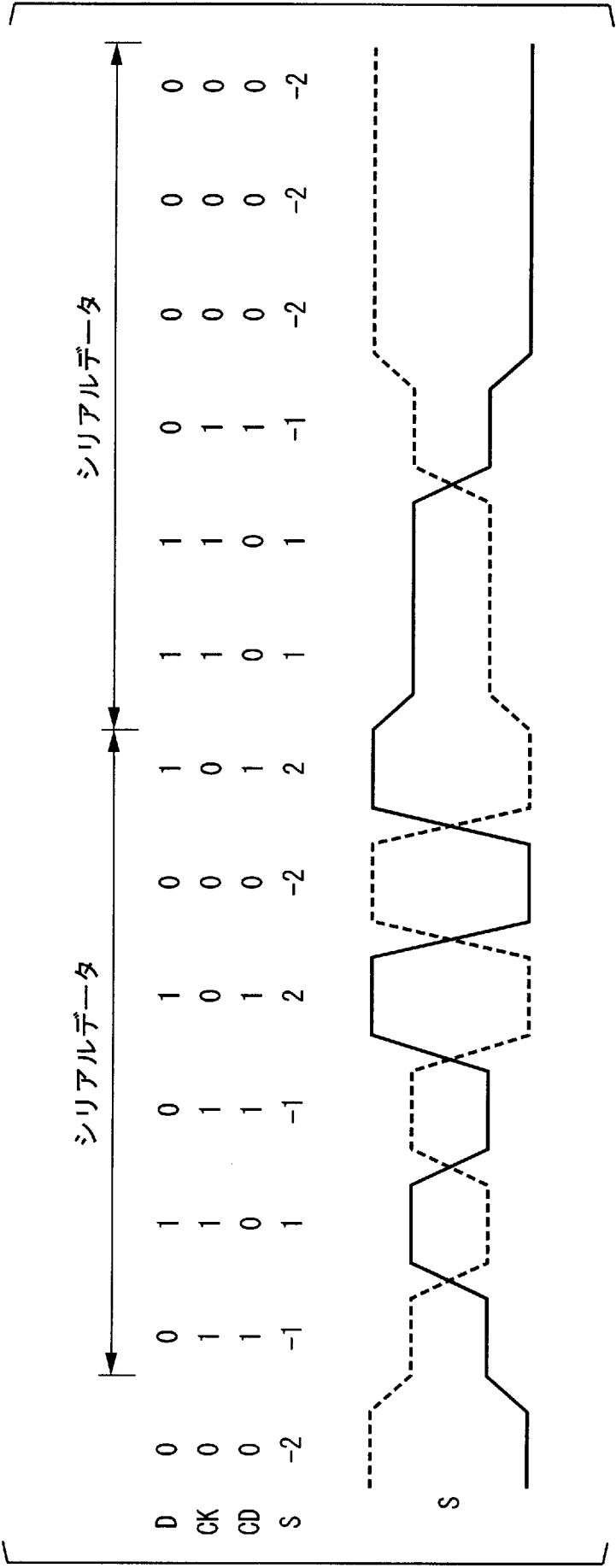
[図3]



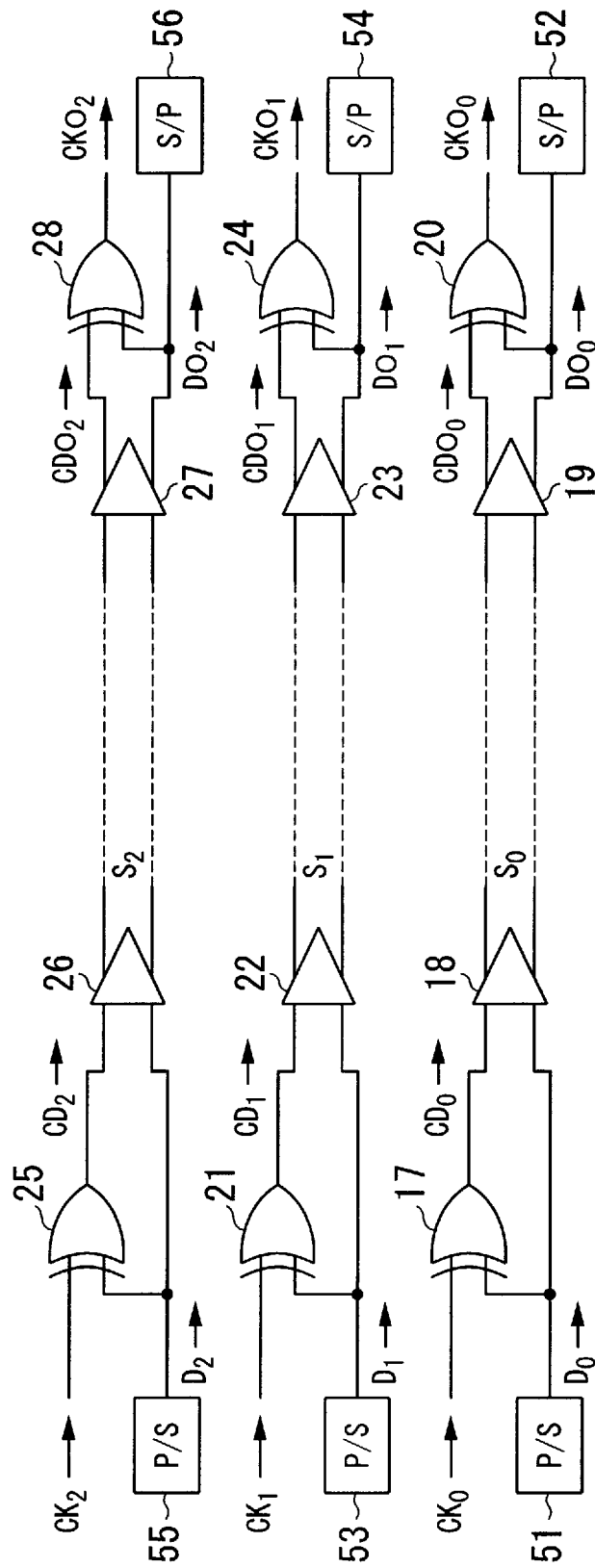
[図4]

D	CD	S
0	0	-2
0	1	-1
1	0	1
1	1	2

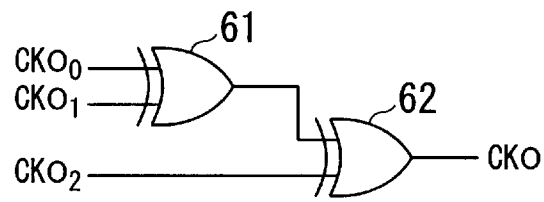
[図5]



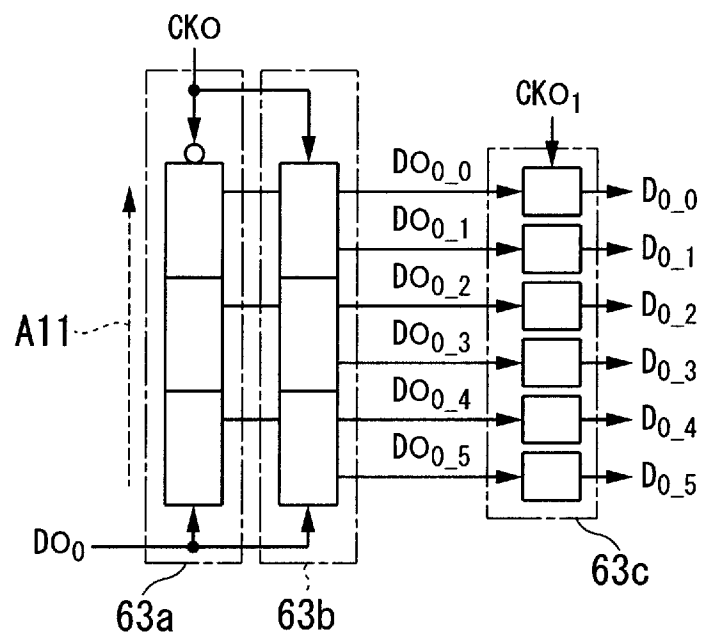
[図6A]

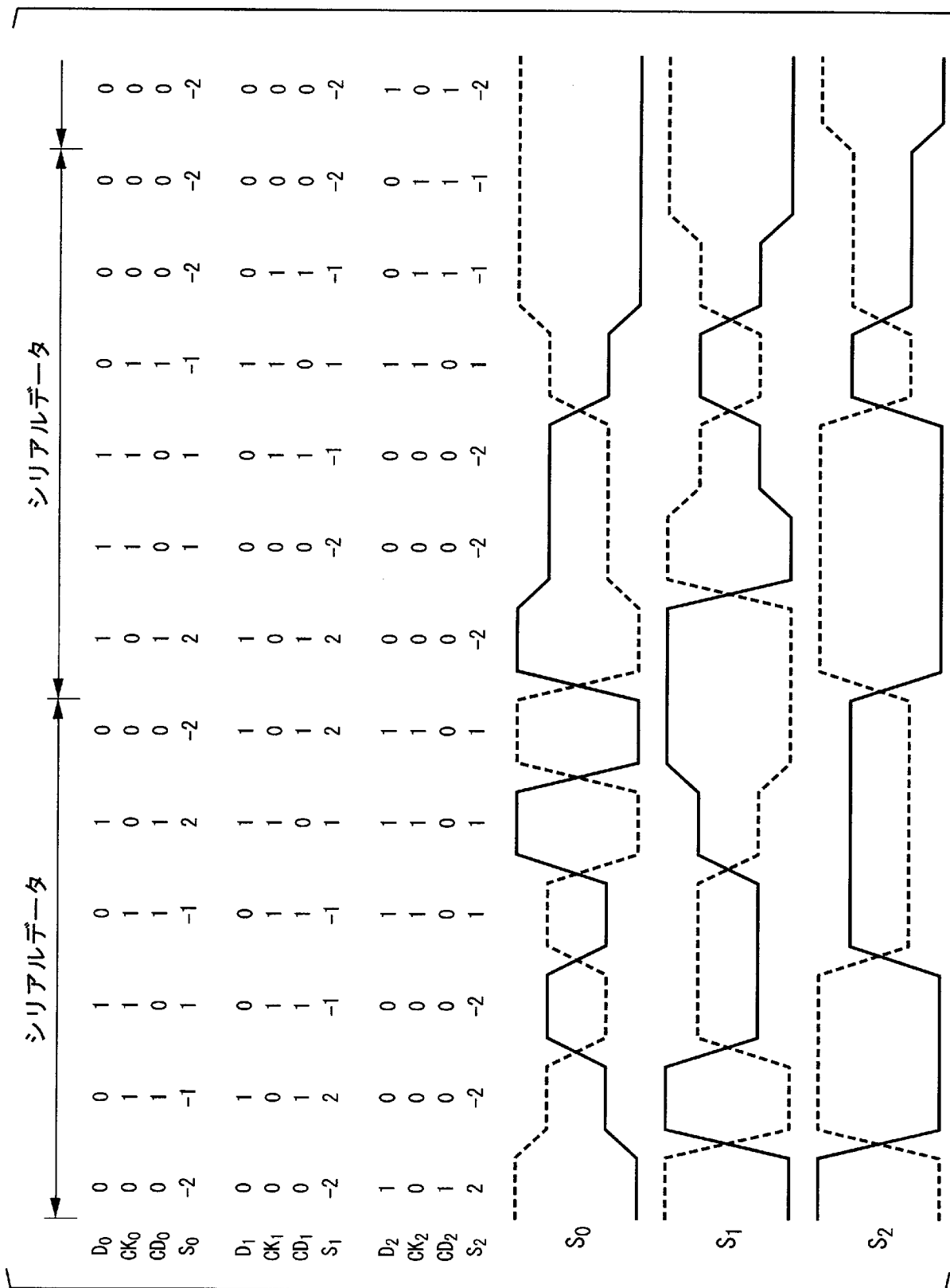


[図6B]

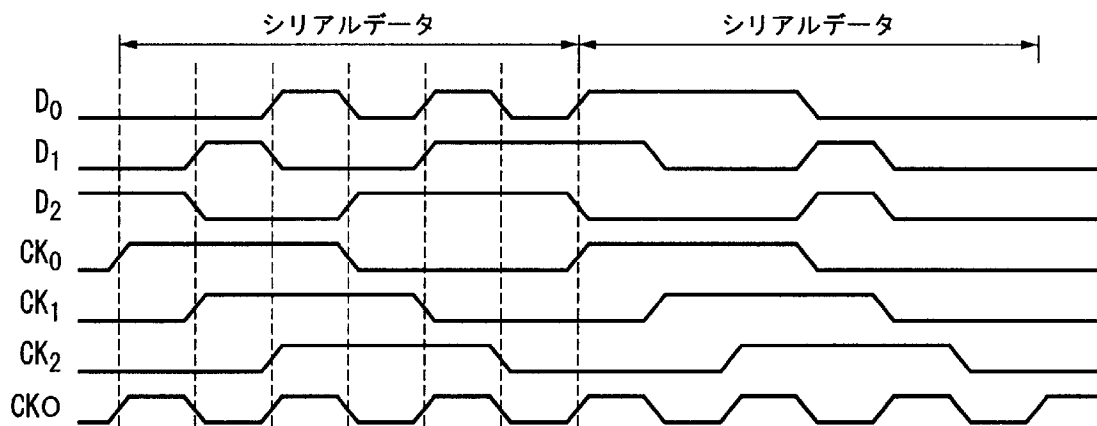


[図6C]

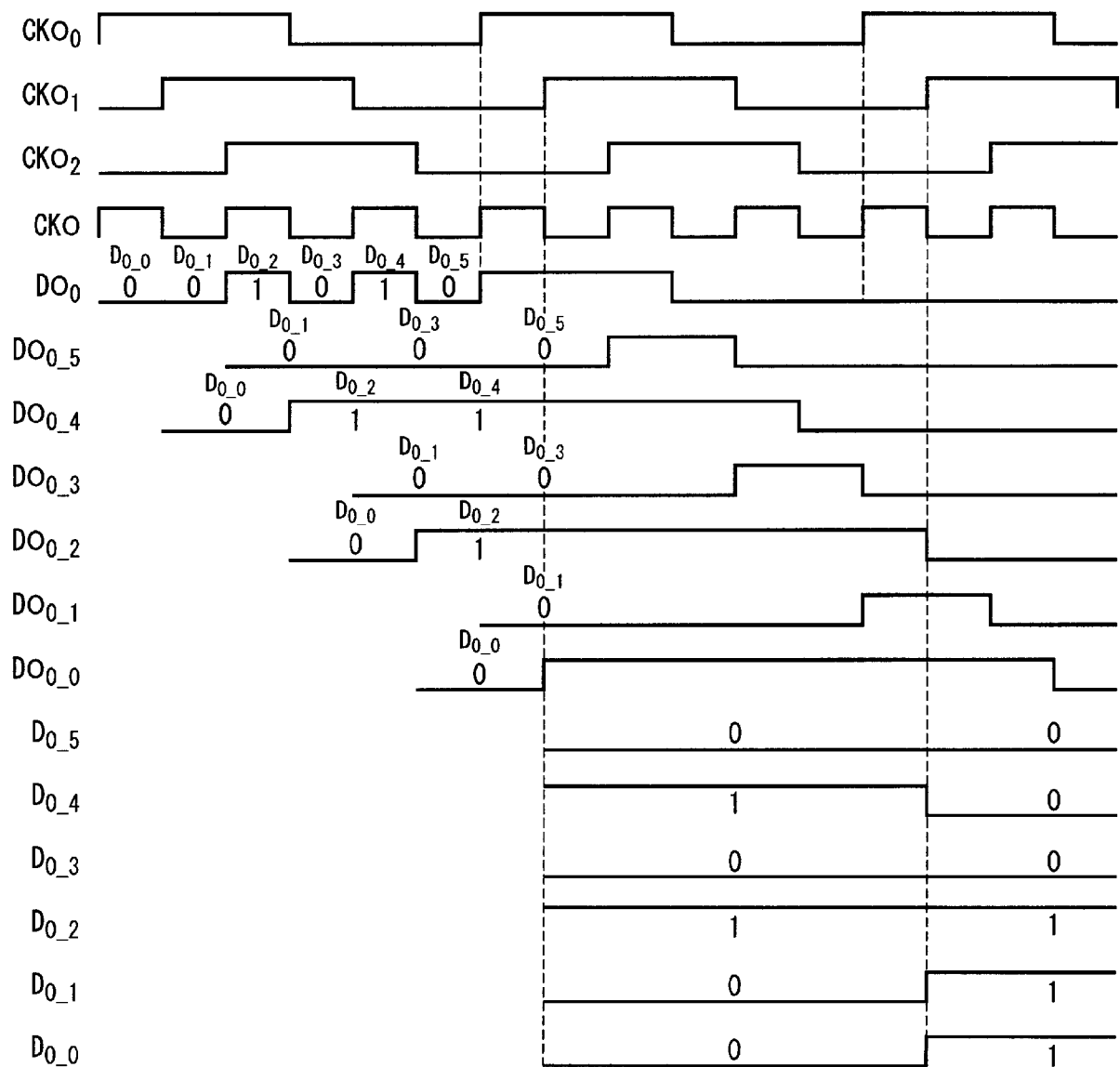




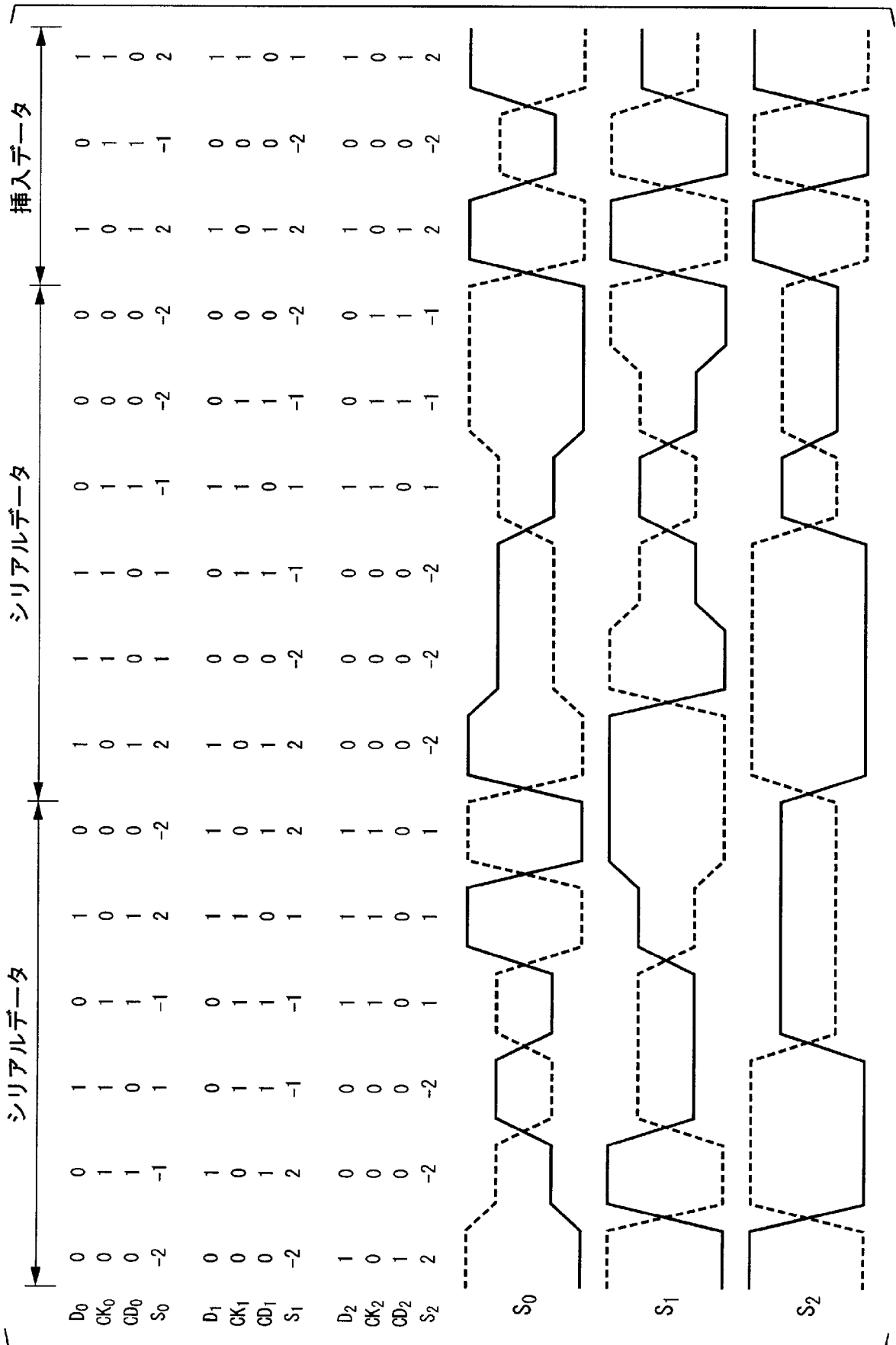
[図8A]



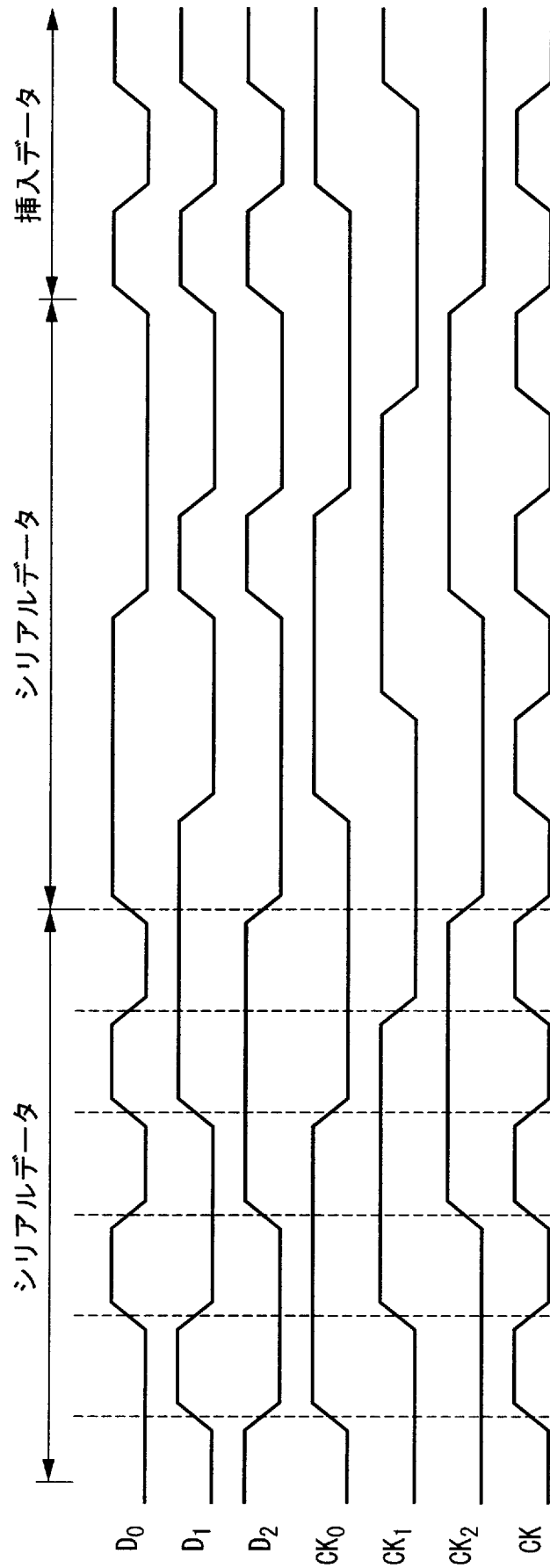
[図8B]



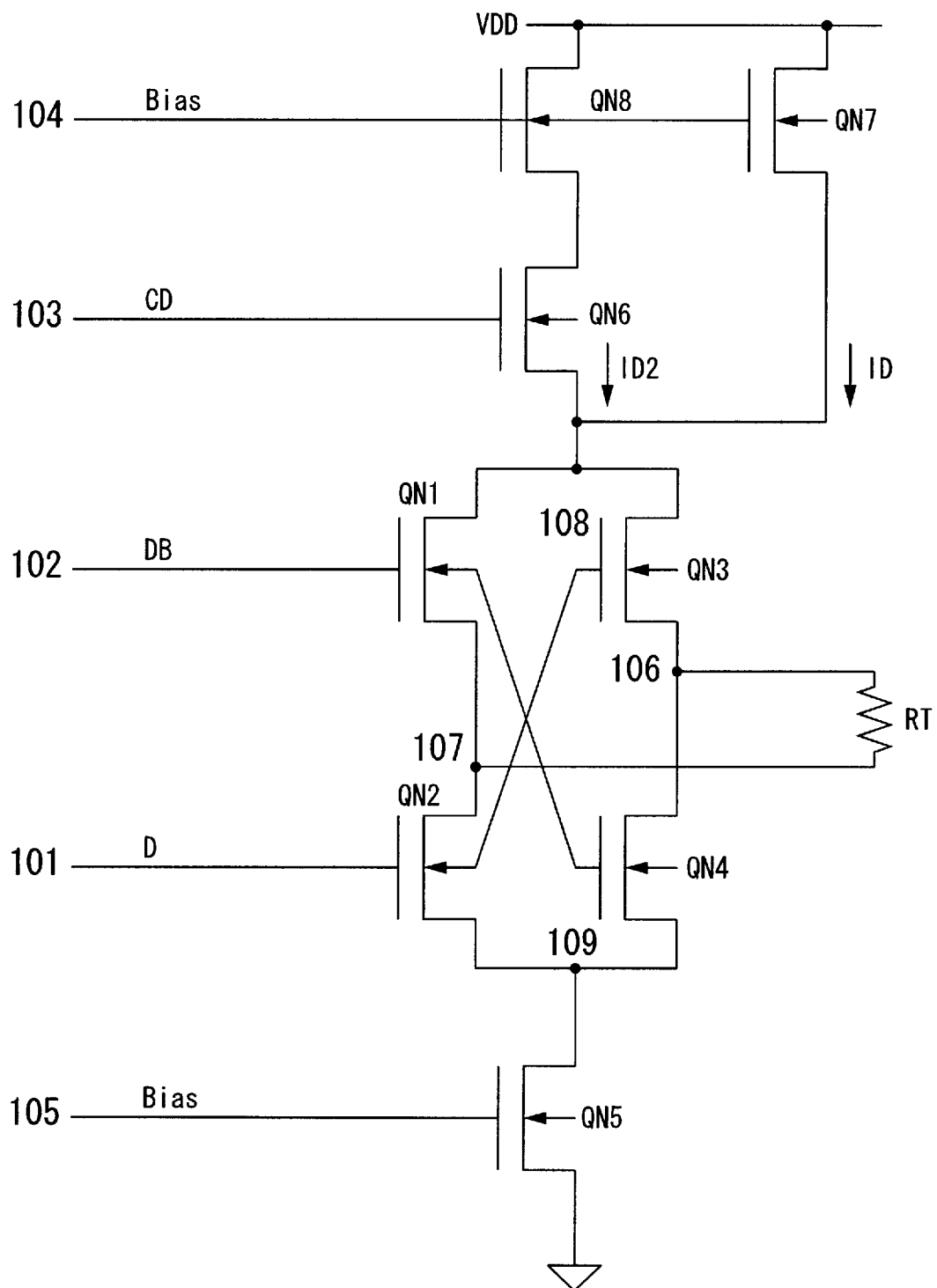
[図9]



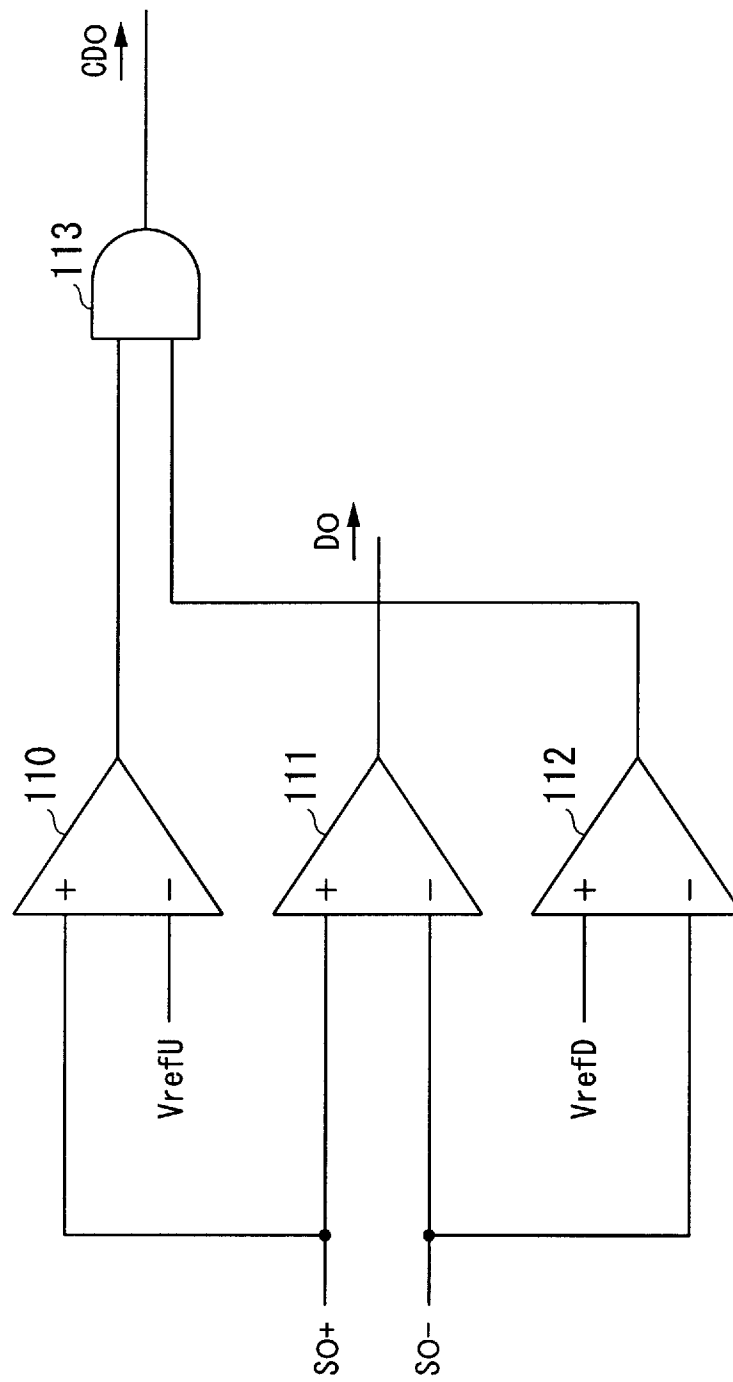
[図10]



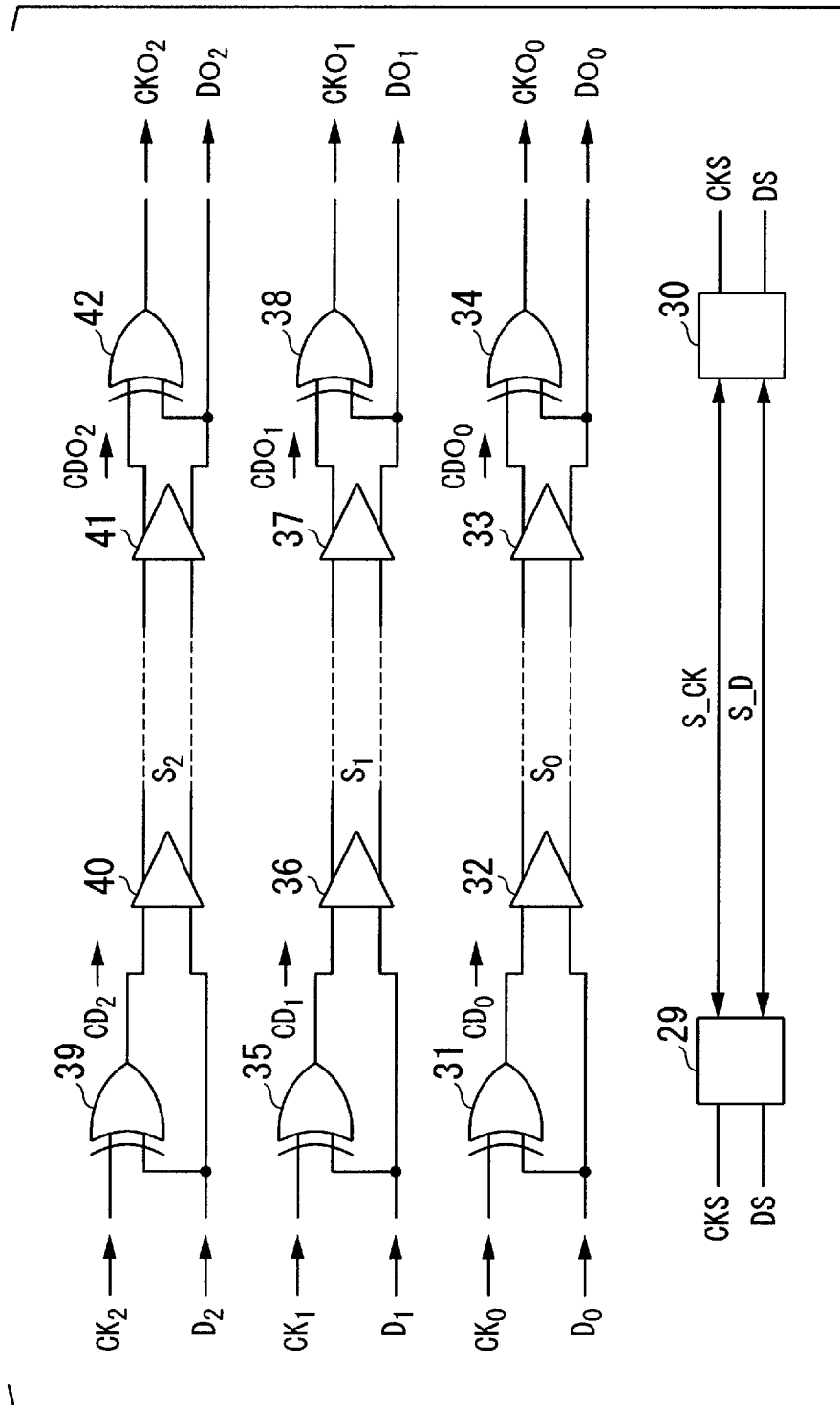
[図11]



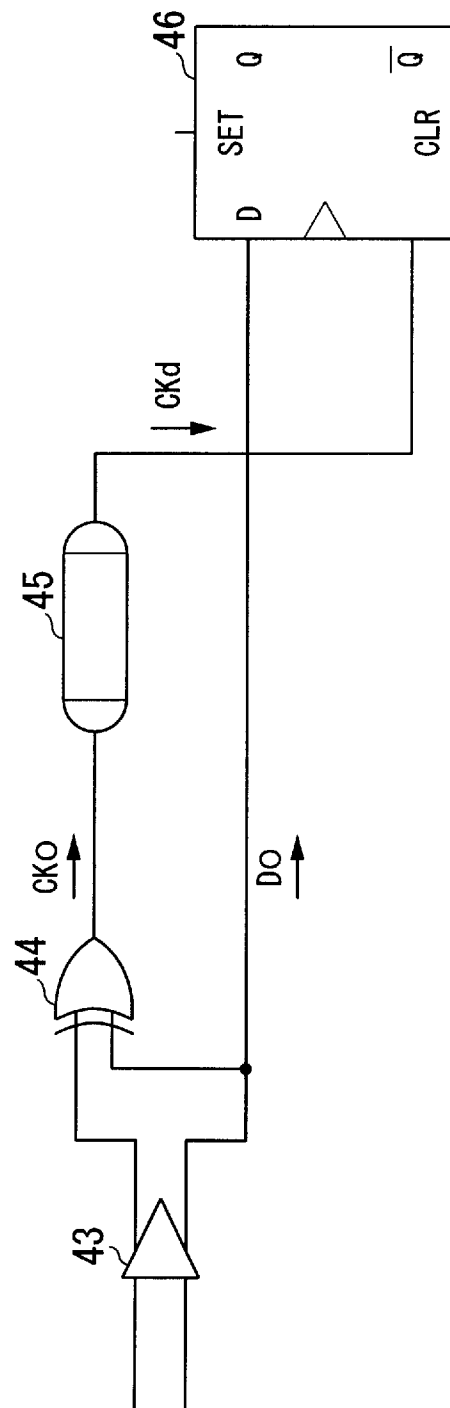
[図12]



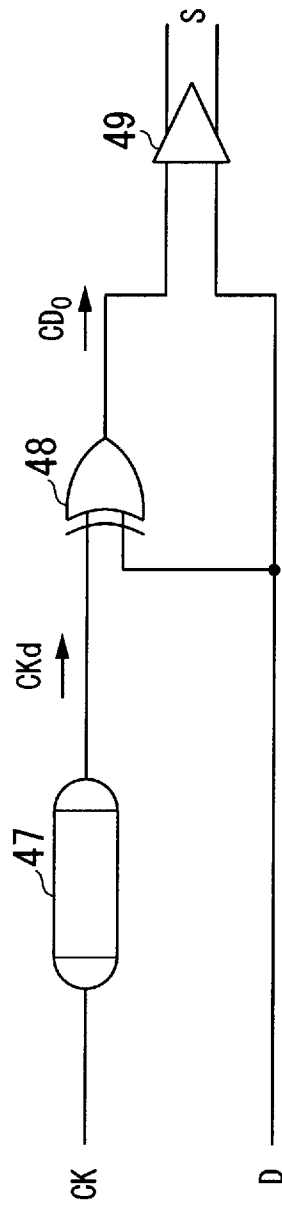
[図13]



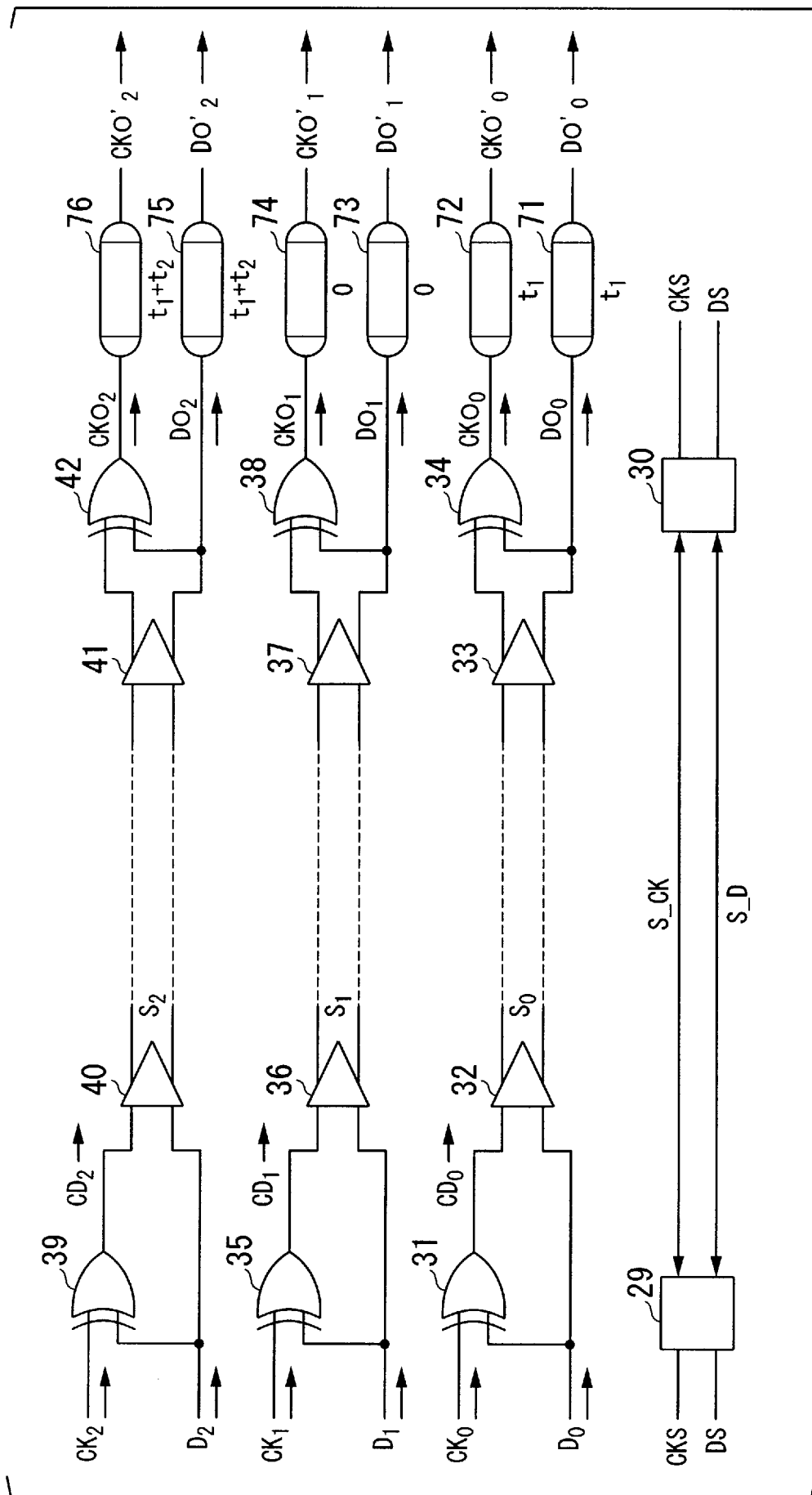
[図14]



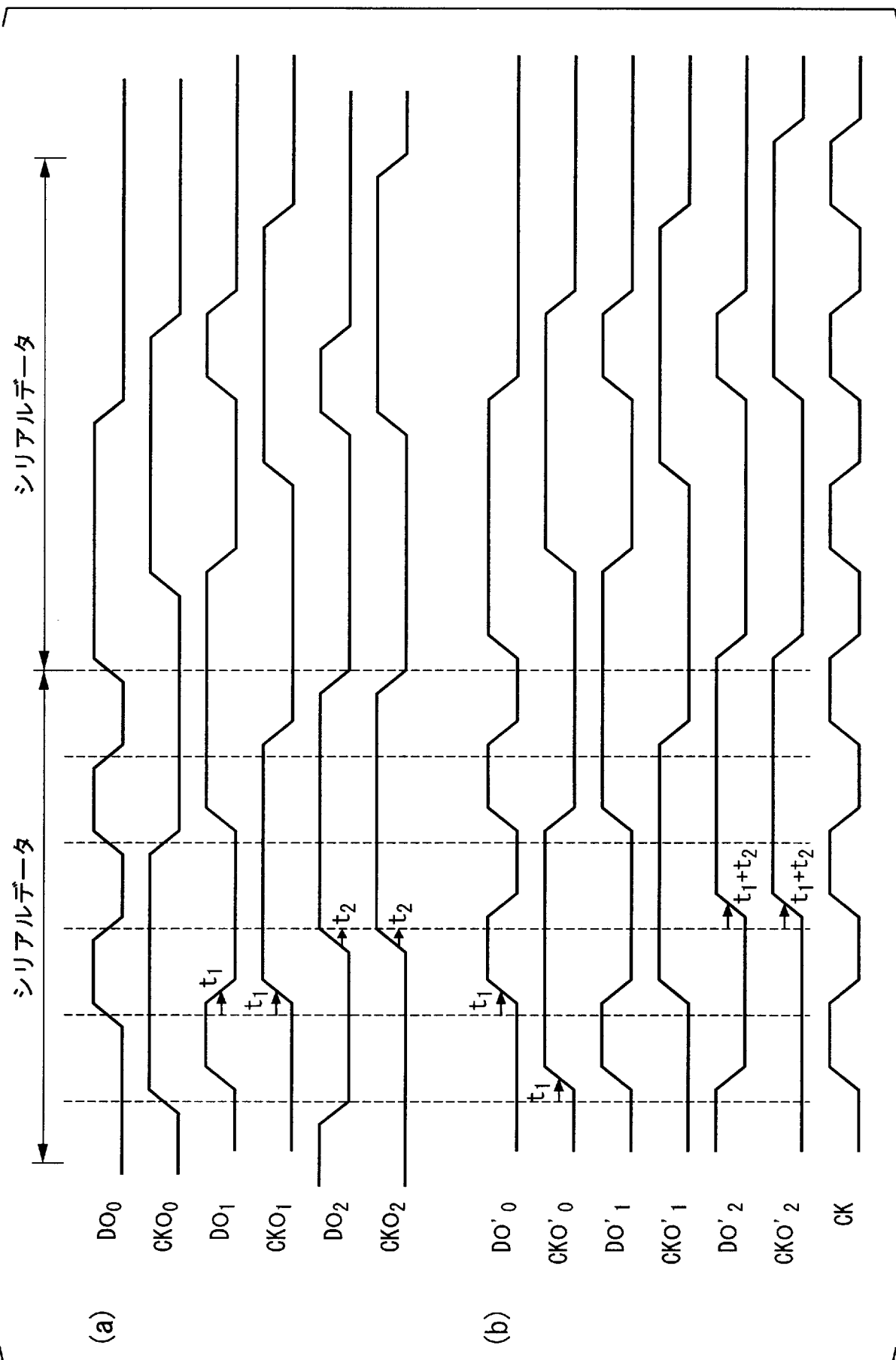
[図15]



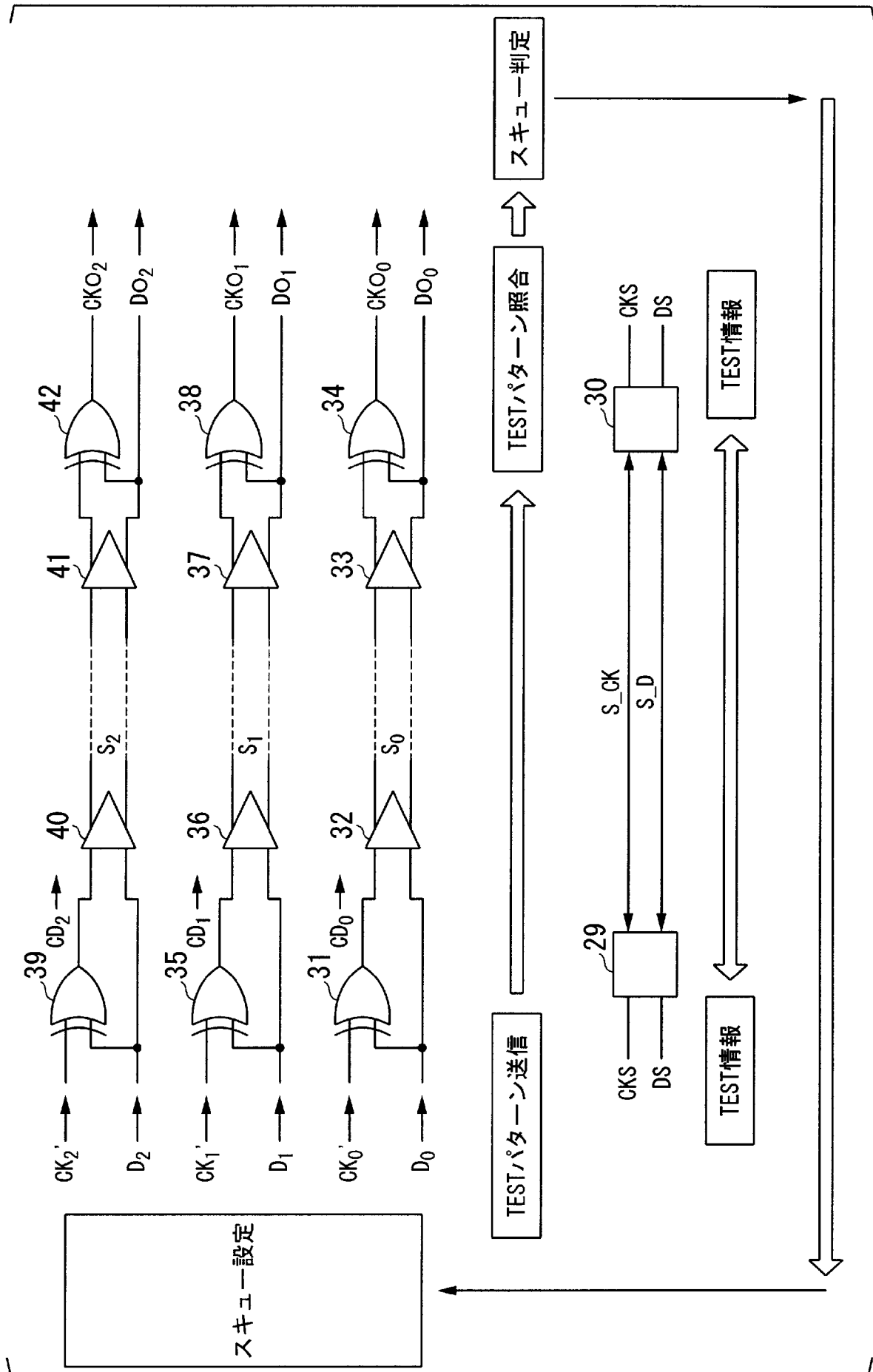
[図16]



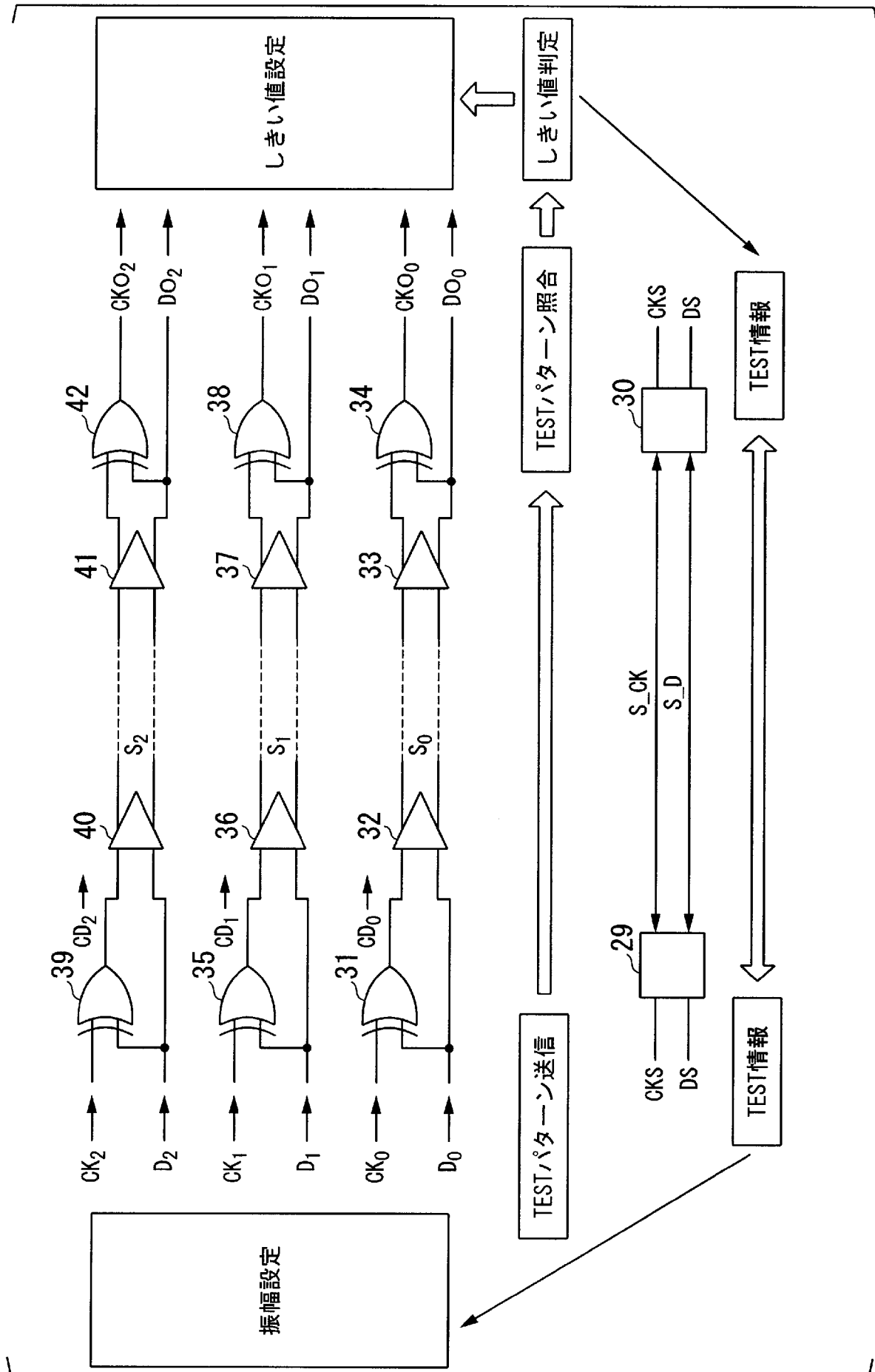
[図17]



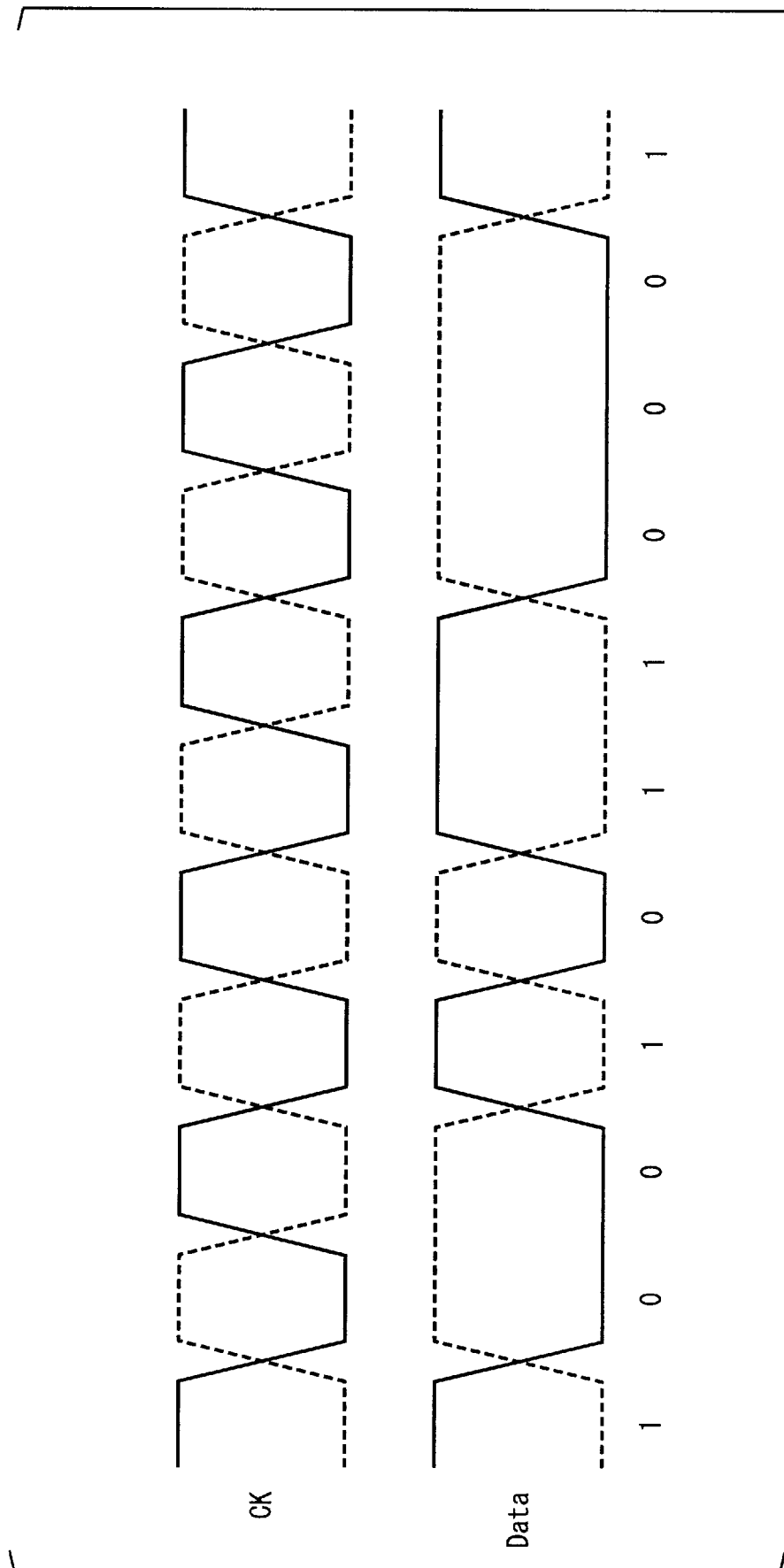
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062158

A. CLASSIFICATION OF SUBJECT MATTER

H04L25/02(2006.01)i, H04B3/50(2006.01)i, H04L7/02(2006.01)i, H04L25/49(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/02, H04B3/50, H04L7/02, H04L25/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-81807 A (Sony Corp.), 29 March 2007 (29.03.2007), entire text; all drawings (Family: none)	1-6, 15, 16
X	JP 2005-142872 A (Sony Corp.), 02 June 2005 (02.06.2005), entire text; all drawings & US 2005/0147178 A1 & KR 10-2005-0044297 A & KR 10-2009-0019000 A	1-6, 15, 16

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

25 July, 2012 (25.07.12)

Date of mailing of the international search report

07 August, 2012 (07.08.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062158

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1 (JP 2007-81807 A (Sony Corp.), 29 March 2007 (29.03.2007), entire text; all drawings) and document 2 (JP 2005-142872 A (Sony Corp.), 02 June 2005 (02.06.2005), entire text; all drawings) disclose a signal transmission method for transmitting a superimposed signal of a clock signal and a plurality of data signals by two differential signals of positive and negative, wherein the clock signal is a reference clock signal for defining a transfer rate of each of the plurality of data signals to be transmitted, and wherein the plurality of data are transmitted at a transfer rate of the clock signal.
(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-6, 15 and 16

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062158

Continuation of Box No.III of continuation of first sheet(2)

Consequently, the inventions of claims 1, 2, 4, 15 and 16 cannot be considered to be novel in the light of the inventions disclosed in the documents 1 and 2, and have no special technical feature.

Therefore, three inventions (invention groups) each having a special technical feature indicated below are involved in claims.

Meanwhile, the inventions of claims 1, 2, 4, 15 and 16 having no special technical feature are classified into invention 1.

(Invention 1) the inventions of claims 1-6, 15 and 16

A signal transmission method which performs transmission by adding sequential data of 0 and 1 with respect to each serial data.

(Invention 2) the inventions of claims 7 and 8

A signal transmission method by which a plurality of data signals are divided into a plurality of data blocks, and the data block is transmitted by changing a phase of a clock signal with respect to each of plurality of transmission data lanes in which the clock signal and the plurality of data blocks are transferred.

(Invention 3) the inventions of claims 9-14

A signal transmission method which performs a skew control for delaying a clock signal in a transmitting side or a receiving side.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04L25/02 (2006.01)i, H04B3/50 (2006.01)i, H04L7/02 (2006.01)i, H04L25/49 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L25/02, H04B3/50, H04L7/02, H04L25/49

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-81807 A（ソニー株式会社）2007.03.29, 全文, 全図 （ファミリーなし）	1-6, 15, 16
X	JP 2005-142872 A（ソニー株式会社）2005.06.02, 全文, 全図 & US 2005/0147178 A1 & KR 10-2005-0044297 A & KR 10-2009-0019000 A	1-6, 15, 16

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 7 . 2 0 1 2

国際調査報告の発送日

0 7 . 0 8 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 亮

5 K

3 3 6 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1（JP 2007-81807 A（ソニー株式会社）2007.03.29, 全文, 全図）、文献2（JP 2005-142872 A（ソニー株式会社）2005.06.02, 全文, 全図）には、クロック信号と複数のデータ信号とを重畳した信号を、正負二つの差動信号によって伝送し、クロック信号は、伝送すべき複数のデータ信号各々の転送レートを規定する基準クロック信号であり、複数のデータをクロック信号の転送レートで送信する信号伝送方式が記載されている。

よって、請求項1、2、4、15、16に係る発明は、文献1、2に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

したがって、請求の範囲には、以下の特別な技術的特徴を有する3の発明（群）が含まれる。

なお、特別な技術的特徴を有しない請求項1、2、4、15、16に係る発明は、発明1に区分する。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項 1-6, 15, 16

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

第Ⅲ欄の続き

(発明1) 請求項1-6、15、16に係る発明

シリアルデータ毎に、0及び1の連続したデータを付加して伝送する信号伝送方式

(発明2) 請求項7、8に係る発明

複数のデータ信号を複数のデータブロックに分割し、クロック信号と複数のデータブロックを転送する複数の送信データレーン毎に、クロック信号の位相を変えてデータブロックを伝送する信号伝送方式

(発明3) 請求項9-14に係る発明

送信側又は受信側において、クロック信号を遅延させるスキュー制御をする信号伝送方式