

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2005年12月22日 (22.12.2005)

PCT

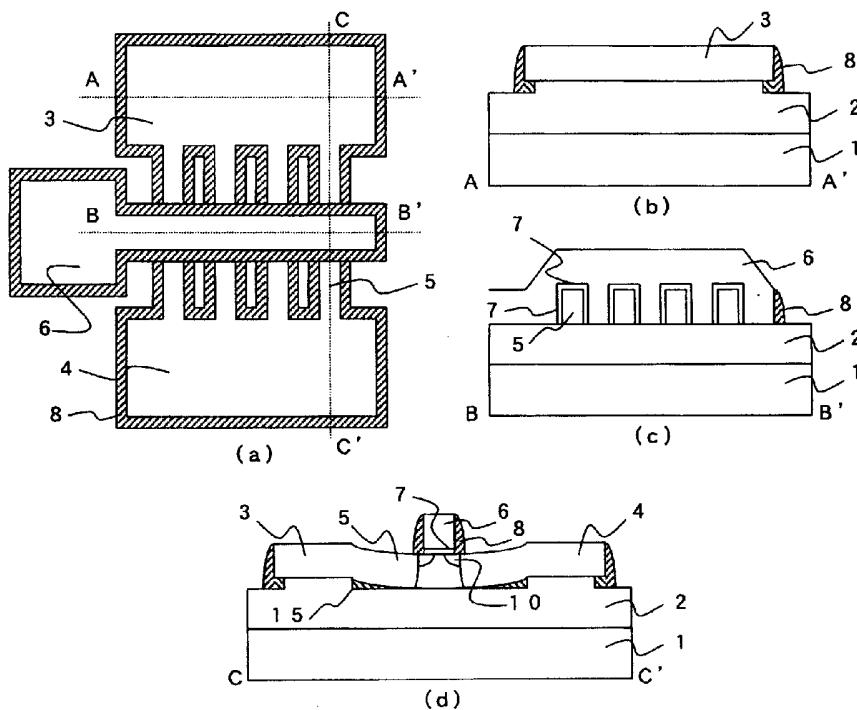
(10)国際公開番号
WO 2005/122276 A1

- (51)国際特許分類⁷: H01L 29/786, 21/336, 29/78
(21)国際出願番号: PCT/JP2005/010237
(22)国際出願日: 2005年6月3日 (03.06.2005)
(25)国際出願の言語: 日本語
(26)国際公開の言語: 日本語
(30)優先権データ:
特願2004-172846 2004年6月10日 (10.06.2004) JP
(71)出願人(米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
(72)発明者; および
(75)発明者/出願人(米国についてのみ): 成廣充 (NARIHIRO, Mitsuru) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74)代理人: 宮崎昭夫, 外(MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).
(81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
(84)指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54)発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device is provided with a beam formed of a semiconductor to which strain is introduced by sagging, and a current is permitted to flow in the beam.

WO 2005/122276 A1

(57)要約: 本発明は、撓みにより歪みが導入された半導体からなる梁を有し、この梁の中を電流が流れる半導体装置に関する。



IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

- 国際調査報告書

明細書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、特に歪みによって移動度が向上する半導体装置及びその製造方法に関する。

背景技術

[0002] 近年、比例縮小則(スケーリング則)にそって集積回路の微細化を進めていくことの困難さが顕在化するようになってきた。その1つの原因是、集積回路の基本素子であるMOS(Metal—Oxide—Semiconductor)型FET(Field Effect Transistor)の短チャネル効果の抑制が難しくなってきたことにある。この問題の解決方法として、ダブルゲート構造のFETが提案されている(非特許文献1:応用物理、応用物理学、2003年、第72巻、第9号、第1136—1142頁)。ダブルゲート構造のFETには、非特許文献1に記載されているように、ソース電極、ドレイン電極、2つのゲート電極の配置方法により、3つの構造を考えられるが、なかでも、FinFET(Fin型チャネルFET)は、既存の集積回路プロセスを適用することが容易であることから実現の可能性が高いと考えられている。

[0003] 図29に、非特許文献1に記載されているような一般的なFinFETの模式図を示す。FinFETは、Si基板1、埋め込み酸化膜2上のSOI(Silicon on Insulator)層に作製される。SOI層には、ソース電極3のパッドとドレイン電極4のパッドが設けられ、それらはフィン5で接続されている。フィン5の上面で、ゲート電極6の下には、ハードマスク9が設けられ、フィン5の側面とゲート電極6の間には、ゲート絶縁膜7が形成される。このような構造を形成することにより、チャネルはフィン5の両側の側面に形成され、ダブルゲート構造が実現される。なお、このようなFinFETは、ダブルゲート型のFinFETと呼ばれる。

[0004] なお、FinFETには、ダブルゲート型のFinFETだけではなく、図30に示すように、フィン5の上側もチャネルとしたトリプルゲート型のFinFETも知られている(非特許文献2:2003シンポジウム・オン・VLSIテクノロジー・ダイジェスト・オブ・テクニカル・ペ

一ペーズ, 2003年, 第133—134頁)。トリプルゲート型のFinFETでは、フィン5の上側でゲート電極6の下側に、ハードマスク9でなく、ゲート絶縁膜7が形成されている点がダブルゲート型のFinFETと異なる。

- [0005] 一方、既存のバルクMOSデバイスでは、電源電圧を低下させていく中でオン電流を向上させることを目的に、チャネル移動度を向上させチャネル速度を高めるために、歪みSi技術が研究されている。この技術では、チャネル部分のSiにストレスを加え、Siの格子間隔を変化させることで、Siのバンド構造を変調する。この結果、Siの伝導帶では、縮退が解け、有効質量の軽い2重縮退バレーの電子占有率が増すことや2重縮退バレーと4重縮退バレーの間のバンド間散乱が抑制されることで移動度が向上する。価電子帯では、縮退が解け、軽い正孔バンドと重い正孔バンドの間のバンド間散乱の抑制や有効質量の減少によって、移動度が向上すると考えられている。
- [0006] 歪みSi技術には、チャネルSiへの歪みの与え方で大別し、2つの方法がある。
- [0007] 第1の方法は、Si層を緩和SiGe層上にエピタキシャル成長させるものである(非特許文献3;応用物理, 応用物理学会, 第72巻第3号, 2003年, 第220—290頁の図1)。図31に示すように、まずSi基板1の上に、傾斜型SiGeバッファ17、格子緩和SiGe18が順に形成される。傾斜型SiGeバッファ17では、SiGe中のGeの組成比xが、基板上面にむかいで、0%からx%まで(xは通常10から30、40程度)高められる。格子緩和SiGe18では、SiGe中のGeの組成比xは高いままで、SiGeを成長させ、格子緩和させる。Geの格子定数は、Siの格子定数よりも大きいため、格子緩和したSiGeは、Siの格子定数よりも大きな格子定数をもつ。したがって、格子緩和SiGe18の上に、格子整合するように成長させたSi層は、バルクSiより大きな格子定数を持ち、歪みSi19となる。このような歪みSi層を用いて図31のようにMOS型FETを作製すると、チャネルに導入された歪みにより移動度が向上する。
- [0008] また、図32に示すように、埋め込み酸化膜2上に、格子緩和SiGe18を設け、SGOI(SiGe on Insulator)構造とし、その上にSi層を成長させ、歪みSi19とする方法もある(非特許文献3の図3)。
- [0009] これまで報告されている(100)面の実験結果では、基板のGe濃度x=25%(およそ歪み1%に相当)で、電子の場合60—80%程度、ホールの場合20—50%程度、

移動度が向上している(非特許文献3の図2)。

- [0010] しかし、チャネルSi層に歪みを与える緩和SiGe層には転移や欠陥が多く、チャネルSi層に転移や欠陥も伝播させてしまうため、チャネルSi層に転移や欠陥が発生しやすい問題がある。このため、第1の方法を用いると単体のMOSトランジスタは動作するが、集積回路を動作させるのは難しい。また仮に動作しても、歩留まりを確保するのが困難である。
- [0011] 第2の方法は、プロセス歪みを利用するものである。プロセス歪みとしては、キャップ層やSTI(Shallow Trench Isolation)などによってもたらされる歪みが利用される(非特許文献4:インターナショナル・エレクトロン・デバイス・ミーティング・テクニカル・ダイジェスト, 2001年, 第433–436頁)。例えば図33に示すように、窒化膜をキャップ層20として用い、窒化膜の張力をを利用して、チャネルのSiに歪みを加えるものである。
- [0012] しかし、第2の方法では、チャネルに直接歪みを与えにくく、歪み量の制御が難しい問題がある。この原因是、歪みをもたらすキャップ層やSTIが、チャネル領域から距離的に遠く、他の物質を介してチャネル領域に歪みを与える構造となっているためである。

発明の開示

- [0013] 本発明は、新規な構造により歪みを導入してキャリアの移動度を高めた半導体装置を提供することを目的とする。さらに、転移や欠陥の発生が少なくかつ歪み量が制御された半導体装置を提供することを目的とする。またそのような半導体装置の製造方法を提供することを目的とする。
- [0014] 本発明は以下の事項に関する。
- [0015] 1. 半導体で形成された撓んだ梁の中を電流が流れることを特徴とする半導体装置。
- [0016] 2. 前記梁は両端が固定された両持ち梁構造であって、梁方向に引っ張り歪みが与えられていることを特徴とする上記1記載の半導体装置。
- [0017] 3. 前記梁をFETのチャネル領域として使用することを特徴とする上記1または2記載の半導体装置。

- [0018] 4. 前記FETはFinFETであって、前記梁の少なくとも側面部をチャネル領域として使用することを特徴とする上記3記載の半導体装置。
- [0019] 5. 前記FETはプレーナー型FETであって、前記梁の上面部をチャネル領域として使用することを特徴とする上記3記載の半導体装置。
- [0020] 6. 前記梁は、梁の下部に設けられた空隙の底に梁中央部が付着していることを特徴とする上記2～5のいずれかに記載の半導体装置。
- [0021] 7. 前記梁の歪みが、撓む前の梁の長さと、梁の下部に設けられた前記空隙の深さとによって制御されている上記6記載の半導体装置。
- [0022] 8. 複数のFinFETを有する半導体装置であって、
撓む前の梁の長さおよび梁の下部に設けられた前記空隙の深さの少なくとも一方
が異なっていることで異なる歪みが導入されている少なくとも2種のFinFETを有する
上記7記載の半導体装置。
- [0023] 9. 半導体で形成された撓んだ梁の中を電流が流れる半導体装置の製造方法であって、半導体で形成された両持ち梁構造の真っ直ぐな梁を、その下部に空隙を作ることで形成する工程と、この空隙に液体を満たす工程と、この液体を乾燥して梁の中央を前記空隙の底部に付着させて撓んだ梁を形成する工程とを有することを特徴とする半導体装置の製造方法。
- [0024] 10. 前記液体が水または水銀であることを特徴とする上記9記載の半導体装置の製造方法。
- [0025] 11. 前記の両持ち梁構造の真っ直ぐな梁を形成する工程に先立ち、前記梁を構成する半導体からなる第1の層と、第1の層の下にあって第1の層とはエッチング速度の異なる材料からなる第2の層を有する基板を用意する工程を有し、前記の両持ち梁構造の真っ直ぐな梁を形成する工程が、第2の層の少なくとも一部をエッチングして除去して、第1の層の下部の一部に空隙を形成する工程であることを特徴とする上記9または10記載の半導体装置の製造方法。
- [0026] 12. 基板上に埋め込み絶縁膜と半導体層が積層されたSOI基板を用意する工程と、前記半導体層をパターニングして、所定幅を有するFinを形成する工程と、このFin下の前記埋め込み絶縁膜をエッチングして、このFinの下部に空隙を形成して真っ

直ぐな梁とする工程と、この空隙に液体を満たす工程と、この液体を乾燥しFinを空隙の底部に付着させて撓ませる工程とを有することを特徴とするFinFETの製造方法。

- [0027] 本発明では、半導体層に歪みを与えるのに、撓みを利用するものである。特に両持ち梁構造から梁を撓ませると、撓み量に従って梁に歪みが導入される。このような構造では、従来のような格子定数の異なる半導体層の積層に基づいて歪みを導入する方法とは異なるため、下層の半導体層に基づく転移や欠陥の発生がない。そのため信頼性が向上し、生産時の歩留まりがよく、高速動作が可能な半導体装置を提供することができる。また、キャップ層などで歪みを与える場合とは異なり、歪みを撓みにより直接的に制御できる構造であるために、半導体装置の設計が容易になる利点がある。
- [0028] また本発明の製造方法の1態様では、梁に撓みを与える際に、液体の表面張力によるステッキング現象(付着現象)を利用して転移や欠陥が発生しにくく、信頼性および歩留まりがよい。また、撓みにより歪みの制御を容易に行うことができるため半導体装置の設計が容易になる利点がある。

図面の簡単な説明

- [0029] [図1]第1の実施形態を示す図である(ダブルゲート型のFinFET)。
[図2]第1の実施形態を示す図である(トリプルゲート型のFinFET)。
[図3]第1の実施形態の、製造途中の構造を示す工程図である(フィンと電極パッド形成後)。
[図4]第1の実施形態の、製造途中の構造を示す工程図である(埋め込み酸化膜エッチング後)。
[図5]第1の実施形態の、製造途中の構造を示す工程図である(液体に浸している状態)。
[図6]第1の実施形態の、製造途中の構造を示す工程図である(液体を乾燥させた後)。
[図7]第1の実施形態の、製造途中の構造を示す工程図である(フィン下の空間を絶縁膜で埋めた後)。

[図8]第1の実施形態の、製造途中の構造を示す工程図である(ゲート電極下以外のゲート絶縁膜除去後)。

[図9]第1の実施形態の、製造途中の構造を示す工程図である(エクステンションのイオン注入後)。

[図10]第1の実施形態の、製造途中の構造を示す工程図である(サイドウォール形成後)。

[図11]第2の実施形態を示す図である(ダブルゲート型のFinFET)。

[図12]第2の実施形態を示す図である(トリプルゲート型のFinFET)。

[図13]第2の実施形態の、製造途中の構造を示す工程図である(ゲート電極下以外のゲート絶縁膜除去後)。

[図14]第2の実施形態の、製造途中の構造を示す工程図である(エクステンションのイオン注入後)。

[図15]第2の実施形態の、製造途中の構造を示す工程図である(サイドウォール形成後)。

[図16]第3の実施形態を示す図である(ダブルゲート型のFinFET)。

[図17]第3の実施形態を示す図である(トリプルゲート型のFinFET)。

[図18]第3の実施形態の、製造途中の構造を示す工程図である(フィン形成後)。

[図19]第3の実施形態の、製造途中の構造を示す工程図である(CMP後)。

[図20]第3の実施形態の、製造途中の構造を示す工程図である(電極パッド形成後)

◦

[図21]第4の実施形態を示す上面図である。

[図22]第4の実施形態を示す上面図である。

[図23]第5の実施形態を示す図である(トリプルゲート型のFinFET、スリットコンタクト採用)。

[図24]第5の実施形態を示す図である。(トリプルゲート型のFinFET)。

[図25]第6の実施形態を示す図である(プレーナー型MOSFET)。

[図26]第6の実施形態の製造プロセスの前半を表す図である。

[図27]第6の実施形態の製造プロセスの中盤を表す図である。

[図28]第6の実施形態の製造プロセスの後半を表す図である。

[図29]従来型のダブルゲート型のFinFETの素子構造を示す図である。

[図30]従来型のトリプルゲート型のFinFETの素子構造を示す図である。

[図31]従来型の歪みSi MOSFETの素子構造を示す断面図である。

[図32]従来型の歪みSOI MOSFETの素子構造を示す図である。

[図33]キャップ層によって歪みを与える、従来型のMOSFETの素子構造を示す断面図である。

[図34]本発明の梁構造を説明するための図である。

発明を実施するための最良の形態

- [0030] 本発明の半導体装置は、撓んだ梁の中をキャリア(電子および／またはホール)が移動するように、即ち電流が流れるように構成される。撓んだ梁には歪みが導入されており、その中を移動するキャリアの移動度が向上するために高速動作が可能な半導体装置となる。従って、撓んだ梁の中を電子および／またはホールが移動し、その移動速度がデバイス性能に関わるようなものであれば、種々のデバイスに応用することができる。代表的には、FET(電界効果型トランジスタ)において、撓んだ梁をチャネル領域として用いる様が挙げられる。
- [0031] また、特に撓んだ梁が両持ち梁を撓ませた構造であると、梁を構成する半導体層に引張り歪みを確実に導入することができる。両持ち梁とは両端が固定された梁であり、両持ち梁を撓ませると、梁方向に引張り歪みが導入される。
- [0032] 本発明の梁構造を図34を用いて説明する。図34(a)に、撓みが生じる前の梁を示す。梁31aは梁の長さがLで、固定部材34によって固定端32、33において固定され、梁が浮いた状態にある。ここで梁31aの形状は、幅方向(図では紙面奥行き方向)は、後述するように、デバイスの構造に合わせて適宜変更され、梁の高さに比べて梁の幅が短いものから、高さに比べて梁の幅が非常に大きい平板状のものまで含まれる。材料は、半導体、特に単結晶半導体である。後述する具体例では、Siを例にとって説明するが、特にSiに限られず、歪みを導入することでキャリア移動度が向上するような半導体(例えばSiGe、SiC、SiGeC、GaAs等)であればどのようなものでも適用可能である。梁31aの両端を固定する固定部材は、半導体または絶縁体等の半導

体装置で使用可能な材料で適宜形成することができる。

[0033] 本発明の撓んだ梁は、図34(a)の真っ直ぐな梁31aが、図34(b)に示すように撓みが生じた状態の構造である。撓んだ梁31は、真っ直ぐな梁31aと比較すると、梁全体が伸長しているために梁方向の結晶格子間隔が広がって半導体層に引張歪みが導入される。半導体層に導入される歪み量は、伸長の割合により決定される。

[0034] 図34(b)に示すように、梁中央部での撓み量をdとして、簡単のために撓んだ梁の部分が半径R($>>$ 梁の高さh)の円弧形状となっていると仮定して、当初の梁の長さLと撓み量dから撓んで伸長した梁の長さ、および導入される歪みを見積もると次のようになる。

$$R = d / 2 + L^2 / 8 / d$$

$$\text{撓んだ梁の長さ} = 2R \tan^{-1}(L/2/(R-d))$$

このモデルに基づくと、例えば歪み1%を実現するには、L=320nm、d=20nmとすればよく、歪み0.5%を実現するには、L=460nm、d=20nmとすればよい。

[0036] 本発明の半導体装置においては、撓んだ梁は、少しでも撓んでいればそれだけ歪み導入に効果があるが、例えば歪みが0.1%以上、好ましくは0.2%以上、さらに好ましくは0.5%以上となるように撓みを生じさせることが好ましい。また、与えられる歪みの上限は、半導体層が弾性破壊をおこすまでの歪みであり、そのような範囲で撓みを生じさせればよい。歪み量として、梁の断面形状にも依存するが、例えば5%以下、特に3%以下、さらに2%以下の範囲であれば弾性破壊が生じにくいので好ましい。

[0037] このような歪み量は、正確には撓んだ梁の長さと、真っ直ぐな状態の梁の長さLとの差から求められるが、上記モデルに従って、所定のひずみが得られるようにLとdの比を定めることができる。

[0038] 撓んだ梁をFETのチャネル領域をして使用する場合には、FETは、FinFET、プローナー型FETのいずれでも良い。FinFETである場合は、特に限定されるものではないが、梁の幅(即ちフィン幅)は5~100nm程度であり、梁の高さh(即ちフィンの高さ)は10~200nmである。真っ直ぐな状態の梁長さLおよび中央の撓みdの絶対値は、梁の高さhも考慮して決められるが、Lとしては10nm以上であり、好ましくは50

nm以上、さらに好ましくは100nm以上であり、Lがあまりに大きくても必要な歪みを与えるためのdが大きくなるので通常100,000nm以下、好ましくは10,000nm以下である。dは0より大きく、好ましくは1nm以上、さらに好ましくは5nm以上であり、プロセス上の問題から通常は10,000nm以下、好ましくは1,000nm以下、さらに好ましくは100nm以下である。このような範囲内で、所定の歪み量が得られるように、Lとdが決められる。

[0039] また、FETがプレーナー型のFETである場合は、梁は上面に素子を形成できるだけの大きさが必要であり、梁の幅は50nm以上、好ましくは100nm以上である。梁の幅があまり大き過ぎると梁下に空隙を設けることが難しくなりがちであるので、通常は10,000nm以下、好ましくは1,000nm以下である。梁の高さh(厚さ)は例えば10～200nmである。また、LとdはFinFETの場合とほぼ同様に決めることができる。

[0040] 次に、本発明の製造方法を説明する。

[0041] 梁を撓ませる方法としては、真っ直ぐな梁を形成した後、梁と梁下部の空隙を液体で満たし、その液体を乾燥させる方法が好ましい。図34(a)に示すように、真っ直ぐな梁31aを形成した後、梁下部の空隙35を液体で満たし、その液体を乾燥させていく際に、液体の表面張力により、梁構造の梁の部分が空隙35の底部(基板側)に引っ張られてたわむ。さらに、この力が、梁構造の復元力を上回る場合には、梁は撓んだ状態のまま、空隙の底部に付着し離れられなくなる。

[0042] ここで使用する液体としては、有機溶媒、水、水銀等が挙げられるが、表面張力が大きく撓みを生じさせやすい点で、水、水銀が好ましい。

[0043] なお、本発明での乾燥は、液体として表面張力を保った状態で乾燥していく乾燥が好ましく、物質の状態図において気液平衡曲線を通過するような乾燥工程が挙げられる。このような乾燥方法であればどのような方法でもよく、スピンドル乾燥させてもよいし、ドライ窒素を吹き付けてもよいし、ウェハを加熱してもよいし、減圧乾燥してもよい。超臨界状態を経由する超臨界乾燥、および凍結乾燥のような、物質の状態図において気液平衡曲線を通過しない乾燥工程は好ましくない。物質の状態図において気液平衡曲線を通過しない液体の乾燥方法では、液体の表面張力が働くが、梁構造の梁がたわまないからである。

[0044] 次に、本発明の具体的な態様を説明する。

[0045] <第1の実施形態>

[構造]

図1、図2に、本発明の第1の実施形態としての半導体装置の構造模式図を示す。

図1(a)は上面図、図1(b)、(c)および(d)は、図1(a)のA—A'線、B—B'線、C—C'線にそれぞれ沿った断面図である。また、図2(a)は上面図、図2(b)、(c)および(d)は、図2(a)のA—A'線、B—B'線、C—C'線にそれぞれ沿った断面図である。

図1は、ダブルゲート型のFinFETであり、シリサイド形成前の状態を示している。また図2は、トリプルゲート型のFinFETであり、シリサイド形成前の状態を示している。

[0046] 第1の実施形態の半導体装置は、図1(d)、図2(d)に示されているように、フィン5が撓んだ梁構造であり、中央部が基板に(埋め込み酸化膜2に)付着したFinFETである。

[0047] 両端のソース電極3のパッドとドレイン電極4のパッドは、従来型のFinFETと同様に基板に(埋め込み酸化膜2に)固定されている。また、フィン5が撓んで基板(埋め込み酸化膜2)に付着する状態をつくるために、フィン5の下の埋め込み酸化膜2が掘り下げられている。ソース電極3のパッド近傍でフィン5の下とドレイン電極4のパッド近傍でフィン5の下に、従来型FinFETでは生じない空間ができるが、この部分はフィン下の絶縁膜15で埋められている。

[0048] 後述するように、フィン5は、もともと従来型のFinFETと同様な形状に作製された後に、基板に(埋め込み酸化膜2に)付着させてそのまま固定されることで撓んだ形状となる。微視的に見ると、フィン5を構成するSiの格子間隔は、フィン5がたわむことでC—C'方向にのばされ、フィン5の部分が歪みSiとなっている。これによりキャリアの移動度が向上するので、フィン5をFinFETのチャネルとして利用している。

[0049] FinFETであるため、その基本的な構成は従来型のFinFET(ダブルゲート型は図29、トリプルゲート型は図30)と同じである。図1の場合も図2の場合も、FinFETは、Si基板1、埋め込み酸化膜2、SOI層(ソース電極3、ドレイン電極4およびフィン5が形成されている層)を有するSOI基板に作製される。図1に示すダブルゲート型のFinFETでは、フィン5の上面にハードマスク9、両側の側面にゲート絶縁膜7が形成さ

れ、それらを囲むようにゲート電極6が設けられている。フィン上面には、厚いハードマスク9が形成されているために、フィンの上面はチャネルとして機能しない。一方、図2に示すトリプルゲート型のFinFETでは、フィン5の上面と両側面にゲート絶縁膜7が形成され、それらを囲むように、ゲート電極6が設けられている。このトリプルゲート型ではフィン上面にもチャネルが形成される。

[0050] ゲート電極6の脇には、サイドウォールが形成される。ソース電極3とドレイン電極4は、パッド部分も含めて、n型のFinFETであればn型に、p型のFinFETであればp型に、表面から埋め込み酸化膜2の界面もしくはフィンの下部までドーピングされ、深い電極となっている。ソース電極3とドレイン電極4は、同じドーピング型で接合深さの浅いエクステンションに接続されている。またエクステンションの近傍に、エクステンションとは導電型の異なるハローが形成される場合もある(不図示)。チャネル部分は、n型のFinFETであればp型に、p型のFinFETであればn型にドーピングするのが一般的であるが、ドーピングせずにi型で用いる場合もある。

[0051] [製法]

次に、図1～図10を参照して、第1の実施形態の製造方法を説明する。図3～図10では、トリプルゲート型のFinFET(図2)の製造方法を説明するが、ダブルゲート型のFinFET(図1)でも、一部を除き同じである。その違いについては後述する。

[0052] 本実施形態の半導体装置を製造するには、従来と同様に、Si基板1、埋め込み酸化膜2、SOI層(ソース電極3、ドレイン電極4およびフィン5が形成される層)を有するSOI基板をベースにする。基板のSOI層の厚さは、後述のプロセスで行われる剥離工程や犠牲酸化で目減りする分を考慮して決定する。例えば、できあがりのフィン高さが40nmの場合、SOI層の厚さが50nmのSOI基板を用いる。

[0053] 最初にチャネル注入を次のように行う。まず、例えばウエット酸化で16nmのチャネル注入用の犠牲酸化膜をSOI層に形成する。その後リソグラフィーを行って、n型Fin FETとなる領域に、p型のドーパントをイオン注入する。例えば1価のボロンを加速エネルギー12keV、ドーズ量 $8 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。p型のドーパントのイオン注入後、レジストを剥離する。この後リソグラフィーを行って、p型FinFETとなる領域には、n型のドーパントをイオン注入する。例えば1価のリンを加速エネルギー33k

eV、ドーズ量 $3 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。n型のドーパントのイオン注入後、レジストを剥離する。チャネル注入後、犠牲酸化膜を除去する。

- [0054] 次に、図3に示すように、リソグラフィーとドライエッチングを行って、SOI層にソース電極3のパッド、ドレイン電極4のパッド、フイン5のパターンを形成する。エッチング後、レジストを剥離する。
- [0055] 次に、図4に示すように、Siとエッチングの選択比が大きい条件で、埋め込み酸化膜2を等方的にエッチングする。例えば、フッ酸を用いたエッチング法が挙げられる。この際、パターンの下のアンダーカットが進むが、フイン5は、その幅が細いため、フイン下に空隙ができるて空中に浮いた状態(図4(c)、(d))となり、梁構造が形成される。一方、ソース電極3のパッドとドレイン電極4のパッド部分は、そのサイズが大きいため、下部にアンダーカットがはいるものの、基板(埋め込み酸化膜2)に固定されたままである。言い換えれば、アンダーカットによるエッチング量を、フイン5の幅の半分以上とすることで、フイン5を空中に浮かせ、梁構造を作製することができる。このとき、梁の長さがLであり、梁下部の空隙の深さはdである。
- [0056] その後、図5に示すように、梁構造となったフイン5を、液体13に浸す。液体13として例えば水を使用するのであれば、図4でフッ酸によるエッチングを行った後、フッ酸がウェハ上にのった状態でそのまま水につけ、ウェハ上の液体が十分水になるように置換する。
- [0057] そして、液体13を乾燥させる(図6)。このとき、フイン5は、液体の表面張力により基板下部方向に引っ張られ、この力が、フイン5の復元力を上回る場合には、フイン5は撓んだ状態のまま基板(埋め込み酸化膜2)に付着する。液体が完全になくなってしまっても、基板表面の付着力により、撓んだフイン5は、との状態にもどることはない。
- [0058] このような現象は、ステイッキング現象(付着現象)と呼ばれ、マイクロマシンの分野では、広く知られた現象である(例えば、江刺 正喜 監修、「マイクロマシン—異種要素を集積化した小型で高度な働きをするシステム」、産業技術サービスセンター、2002年2月18日、第221-230頁、坂田 二郎「第3節 ステイッキング対策」)。ただし、マイクロマシンの分野では、本来可動すべき部分が一度基板に付着し固定されてしまうと、機械としての意味をなさないので、ステイッキング現象(付着現象)は、通

常問題となる現象であり、これを回避するための処理がなされる。

- [0059] 本発明の製造方法では、このステイキング現象(付着現象)を積極的に用いて、フインを撓ませる。微視的に見ると、C—C'方向のSiの格子間隔は広がり、歪みSiとなる。このようにして作製された歪みSiをFETのチャネル等に用いる点が本発明の最大の特徴である。
- [0060] 乾燥方法としては、前述のとおり、スピンドル乾燥、ドライ窒素の吹き付け、ウェハ加熱、減圧乾燥等の、物質の状態図において、気液平衡曲線を通過するような乾燥方法であればどのような方法でもよい。
- [0061] 液体13として水の例をあげたが、より簡単に撓ませるために、水より表面張力が大きい液体を用いることも考えられる。しかし、そのような液体は水銀しかなく、安全面を考えると、使用する場合には細心の注意が払われるべきである。
- [0062] フイン5に歪みを加えた後は、フイン5下の空間を絶縁膜15で埋める(図7)。例えば、薄い酸化膜2nmを形成し(不図示)、 Si_3N_4 を60nm堆積させる。このとき Si_3N_4 の堆積には、CVD(Chemical Vapor Deposition)法を用い、フイン下まで絶縁膜が充填されるようにする。この後、 Si_3N_4 をエッチバックする。エッチバックして、フイン5下以外の Si_3N_4 が除去された段階でエッチバックを止め、フイン5の上面、両側面の酸化膜を除去する。フイン5下の絶縁膜としては、単層の SiO_2 や単層の Si_3N_4 を用いることも可能である。
- [0063] その後、ゲート絶縁膜7として、例えば1.8nmの酸化膜を形成する。ゲート絶縁膜7としては、酸化膜や酸窒化膜の他に、 Ta_2O_5 、 Al_2O_3 、 HfO_2 、 ZrO_2 、 ZrON 、 HfO N 、 HfAlON 、 HfSiON などのいわゆるHigh-k膜などを使用してもよい。ゲート絶縁膜7を形成後は、ゲート電極材料を(例えばポリSiを100nm)堆積させ、リソグラフィーとエッチングを行って、ゲート電極6を形成する。ゲート電極材料としては、ポリSiやポリSiGeの他に、TaN、TiN、W、WNなどの金属、ポリSiを完全にシリサイド化したNiSiなどを使用することも可能である。また金属の積層ゲートやポリSiと金属を積層したゲートのように、このような材料を複数組み合わせて積層化したゲート構造も可能である。ゲート電極6の形成後は、レジストを剥離し、次いでゲート電極6の下以外のゲート絶縁膜7を除去する(図8)。

- [0064] この後、図9に示すように、エクステンション注入を行ってFinの側面および上面にエクステンション領域10を形成する。エクステンション注入を行うには、リソグラフィーを行って、n型FinFETとなる領域に、n型のドーパントをイオン注入する。例えば1価のヒ素を加速エネルギー2.5keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ でイオン注入する。このとき、Fin5の両側の側面にそれぞれ注入されるように、イオン注入は45°の角度で2回行う。n型のドーパントのイオン注入後は、レジストを剥離する。この後、リソグラフィーを行って、p型FinFETとなる領域に、p型のドーパントをイオン注入する。例えば1価のBF2を加速エネルギー3.5keV、ドーズ量 $6 \times 10^{14} \text{ cm}^{-2}$ でイオン注入する。同様に、Fin5の両側の側面にそれぞれ注入されるように、イオン注入は45°の角度で2回行う。p型のドーパントのイオン注入後は、レジストを剥離する。
- [0065] この後、まずサイドウォール絶縁膜となる材料、例えばSi₃N₄を50nm堆積させた後、エッチバックしてサイドウォール絶縁膜8を形成する(図10)。サイドウォール絶縁膜としては、SiO₂なども可能であり、下層10nmのSiO₂、上層50nmのSi₃N₄のように複数の層を堆積させエッチバックすることにより、多層構造のサイドウォールを形成することも可能である。
- [0066] 次にイオン注入を行って深い電極(ソース電極、ドレイン電極)を形成する。このためにはまず、リソグラフィーを行ってn型FinFETとなる領域に、n型のドーパントをイオン注入する。例えば1価のヒ素を加速エネルギー8keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ でイオン注入し、さらに1価のリンを加速エネルギー5keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。n型のドーパントのイオン注入後は、レジストを剥離する。この後、リソグラフィーを行って、p型FinFETとなる領域に、p型のドーパントをイオン注入する。例えば1価のボロンを加速エネルギー2keV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。p型のドーパントのイオン注入後は、レジストを剥離する。その後、活性化アニール(例えば1055°Cで0秒のスパイクアニール)を行う。こうして図2の構造ができるがる。
- [0067] さらにこの後、シリサイド工程を行う。例えばシリサイドとして、CoSi₂を形成する。シリサイドとしては、この他にNiSi、TiSi₂、CoSi₂、NiSi、PtSi、Pd₂Siなどを用いることも可能である。最後に、層間絶縁膜を堆積させて、リソグラフィーとエッチングを行い、

コンタクトホールを形成し、金属を埋め込んでコンタクトを形成する(不図示)。コンタクトに用いる金属としては、W、Al、TiN、Ti等およびこれらの金属の積層膜が挙げられる。

- [0068] なお、上記の説明では用いていないが、サイドウォール形成後(図10の後)、Siの選択成長を行って、ソース電極3とドレイン電極4をせりあげ構造にしてもよい。例えば基板温度640°Cで、 Si_2H_6 を流量24sccmで10秒間、 Cl_2 を流量1sccmで60秒間流すサイクルを繰り返しながら、30nm程度Siを選択成長させる。Siの選択成長後には、イオン注入を行って深い電極を形成する。
- [0069] ダブルゲート型のFinFET(図1)の場合は、チャネル注入を行い、犠牲酸化膜を除去したのち、基板上にハードマスク9を形成する。この後、リソグラフィーとドライエッチングを行って、リソグラフィーで形成されたソース電極3のパッド、ドレイン電極4のパッド、フィン5のパターンをハードマスク9に転写する。レジストを除去した後、ハードマスク9をマスクにして、SOI層のエッチングを行う。その後のプロセスは、トリプルゲート型のFinFETの場合と同じである。ただし、ダブルゲート型のFinFETの場合、エクステンション注入を行っても、フィン5上面にハードマスク9が存在するため、フィン5の上面には、側面に接している部分を除いて、エクステンションが形成されない。
- [0070] この実施形態において、歪み量は次のようにして制御される。図6に示すように、埋め込み酸化膜のエッチング深さをdとし、撓みが生ずる前のフィンの長さLとする。Lは、図3でのフィンの長さL'に、ソース電極のパッド下のアンダーカットの長さとドレイン電極のパッド下のアンダーカットの長さをたしたものとなっており(図4)、図4でのエッチングが等方的ならば、アンダーカットの長さは埋め込み酸化膜のエッチング深さdに等しい。すなわち $L=L'+2d$ である。フィン5の中央部分のみが埋め込み酸化膜2に付着していて、撓んだフィンの部分が半径R($>>$ フィンの高さh)の円周形状となっていると仮定すると、前述のように、 $R=d/2+L^2/8/d$ 、フィンの円周部分の長さは、 $2R\tan^{-1}(L/2/(R-d))$ で表され、歪み1%を実現するには、 $L=320\text{nm}$ 、 $d=20\text{nm}$ とすればよく、歪み0.5%を実現するには、 $L=460\text{nm}$ 、 $d=20\text{nm}$ とすればよい。このように、本発明では、梁の長さL(またはエッチング前のL')とエッチング深さdを制御することで、歪み量を容易に制御することができる。

[0071] <第1の実施形態の変形例>

本発明による方法では、集積回路を構成するFinFET1つについて、異なる歪みを与えることが可能である。例えば、あるFinFETに歪みを与えず、従来型のFinFETとして用いようすれば、図3の工程後、図4の埋め込み酸化膜エッチングでエッチングされないように、このFinFETをマスクしておけばよい。また、歪み量は、上記の通り、Lとdで制御できるので、d一定の条件では、Lを各FinFETで変えることで歪みを制御できる。またL一定の条件では、埋め込み酸化膜エッチングdの量を各FinFETで変える、すなわち埋め込み酸化膜エッチングを複数回行い、適宜FinFETをマスクしてやることで、各FinFETに異なる歪みを与える。また、これらの方法を組み合わせることも可能である。

[0072] 例えば、(100)SOIウェハを用い、<110>ノッチを下にして、Finが、X軸に平行になるように、トリプルゲート型FinFETをレイアウトする。この場合、Fin上面は(100)面、Fin側面は(110)面となる。一般に(110)面では、電子の移動度が低下しホールの移動度が上昇するため、Fin側面も(100)面であるトリプルゲート型FinFETに比べて、n型FinFETで得られるオン電流は低下し、p型FinFETで得られるオン電流は向上する。ここで、n型FinFETのみに本発明を適用し、p型FinFETは従来型のものとすると、歪みの効果により、電子の移動度が上昇するため、n型FinFETの電流低下分を十分に補償でき、結果的に、n型FinFETでも、p型FinFETでも、高性能な素子が実現できる。

[0073] また、本発明では、フィンの材料としてSiに制限されず、他の半導体材料を用いてもよい。例えば、欠陥のない薄膜のSGOI基板を用いて、本発明の上記プロセスを行えば、チャネル材料がSiGeの歪みFinFETを実現することができる。

[0074] <第2の実施形態>

次に、本発明の第2の実施形態について図面を参照して説明する。

[0075] 図11、図12は、本発明の半導体装置の第2の実施形態を模式的に示す図である。図11(a)は上面図、図11(b)、(c)および(d)は、図11(a)のA-A'線、B-B'線、C-C'線にそれぞれ沿った断面図である。また、図12(a)は上面図、図12(b)、(c)および(d)は、図12(a)のA-A'線、B-B'線、C-C'線にそれぞれ沿った断面

図である。図11は、ダブルゲート型のFinFETであり、シリサイド形成前の状態を示している。また図12は、トリプルゲート型のFinFETであり、シリサイド形成前の状態を示している。

- [0076] 第2の実施形態は、第1の実施形態と製造方法が異なり、工程が短縮されている。この違いを反映して、その構造も一部が異なる。異なる点は、ゲート電極6の形状と、フィン5下の絶縁膜である。第2の実施形態のゲート電極6の形状は、ゲート絶縁膜7に接している部分の長さが、ゲートの上部の長さよりも小さい、いわゆるノッチ型のゲート形状をしている。このノッチ型のゲート形状を作製するエッチャングを用いるため、フィン幅wは、ノッチ幅の2倍以下でなければならないという制約がある（理由については後述する）。またゲート電極材料も、ノッチ型ゲートが形成しやすい材料が好ましい（例えばポリSiがあげられる）。また、第2の実施形態では、フィン下の絶縁膜をサイドウォール絶縁膜8と一緒に形成するので、フィン下の絶縁膜材料は、必然的にサイドウォール絶縁膜8と同じ材料になる。その他の部分の構造は、第1の実施形態と同じである。
- [0077] 次に、図3～図6、図12～図15を参照して、第2の実施の形態の製造方法を説明する。まず、トリプルゲート型のFinFET（図12）の製造方法を説明するが、ダブルゲート型のFinFET（図11）でも、一部を除き同じである。その違いについては後述する。
- [0078] 第2の実施形態においても、第1の実施形態と同じように、まずチャネル注入の一連の工程を行い、その後、第1の実施形態について図3から図6を用いて説明したように、ソース電極3のパッド、ドレイン電極4のパッドおよびフィン5のパターンを形成し（図3）、フィン5を梁構造に形成し（図4）、フィン下部の空隙を液体で満たし（図5）、液体を乾燥してフィン5を撓ませる（図6）。その後、第1の実施形態では、フィン5下の空間を絶縁膜で埋める工程（図7）を行ったが、第2の実施形態では、フィン5を撓ませた後、ゲート絶縁膜7を形成し、ゲート電極となる材料を堆積させる。このため、フィン下の空間にも、ゲート電極となる材料が入り込む。この後、リソグラフィーとゲートエッチャングを行ってゲート電極を形成するが、この際、ノッチ型のゲート形状を作るようなエッチャングを行う。

- [0079] ノッチ型のゲート形状を作るようなエッチングは、例えば2002年9月、ジャーナル・オブ・バキュームサイエンス・アンド・テクノロジーズ、第B20巻、第5号、第2024–2031頁(Journal of Vacuum Science and Technology, P. 2024–2031, VOL.B20, NO.5, September/October, 2002)に示されている。まず、自然酸化膜をエッチングした後、まず側壁保護層を形成するような条件で異方的にエッチングを行い、ゲート電極層の1/3から半分程度までをエッチングする。次にエッチング条件を側壁保護層を形成せず異方的にエッチングが進むような条件に変更し、エッチングを続ける。ゲート絶縁膜に達する直前にエッチング条件を変更して、ゲート絶縁膜できちんとエッチングを止める。さらにその後、エッチング条件を変更して、側壁保護層が形成されていないゲート電極の下部を横方向にエッチングする。このような一連のエッチングを連続して行うことによりノッチ型のゲート形状を形成することができる。
- [0080] 基本的には、ガスやパワー、圧力を変更して順次エッチングを進めていくので、1つのチャンバーで連続的に行われる。例えば、ポリSiゲート電極層をエッチングする際には、自然酸化膜をエッチングするCF₄ / Ar系でエッチングした後、HBr / Cl₂系でO₂を添加した条件で側壁保護層を形成しながら異方的にエッチングする。この後、ガス系をCl₂にSF₆を添加した条件に切り替え、側壁保護層を形成しない条件でゲート電極層のエッチングを続け、再びHBr / Cl₂系でO₂を添加した条件に切り替え、エッチングをゲート絶縁膜まで進行させる。その後、HBrにO₂を添加した条件に切り替えて、側壁保護層が形成されていない、ゲート電極の下部を横方向にオーバーエッチングしていく。このように、エッチング条件を変更しながらエッチングを連続的に行うことで、ゲート下部が上部より小さいノッチ型のゲート形状が得られる。
- [0081] ノッチ型のゲート形状を得るエッチングプロセスでは、ゲート電極材料のエッチングが埋め込み酸化膜2まで達した後、横方向にエッチングが進行する。このとき、ゲート絶縁膜7に接したゲート電極6の部分が小さくなるばかりではなく、横方向へのエッチングによって、フィン5下のゲート電極材料も同時にエッチングされ、除去される。
- [0082] つまり、第2の実施形態では、ゲート電極形成前にフィン5下の空間を絶縁膜で埋めていないので、フィン下の空間に埋まったゲート電極材料を除去する必要がある。そのため、いったん通常形状のゲート電極を形成した後に、横方向にエッチングが進

むようなエッチングを行わなければならない。このために、ノッチ型のゲート形状を得るエッチングプロセスを使用している。

- [0083] 第2の実施形態において、ノッチ幅(横方向にエッチングされる量)は、いくらでも大きくできるわけではなく、通常、片側10nm～30nm程度なので、フィン幅wは、片側ノッチ幅の2倍以下に制限される(例えば、ノッチ幅20nmとすると、フィン幅を25nm($<20\text{nm} \times 2$)とする)。この条件が満たされない場合、フィン5下のゲート電極材料が除去されない。
- [0084] ゲートエッチング後は、ゲート電極6下以外のゲート絶縁膜7を除去する(図13)。この後、エクステンション注入を行い(図14)、サイドウォールとなる絶縁膜を堆積させる。その後、エッチバックしてサイドウォールを形成する。このとき、本実施形態では、同時にフィン下の空間もサイドウォール絶縁膜で埋め込むことができる(図15)。
- [0085] この後のプロセスは第1の実施形態と同じである。すなわち、必要ならばSiの選択成長を行い、深い電極をつくるためにリソグラフィーを行ってイオン注入を行い、注入後、レジストを除去する。その後、活性化アニールを行う。こうして図12の状態となる。さらにシリサイドを形成し、層間絶縁膜を堆積させ、リソグラフィーを行って、コンタクトホールを形成し、レジストを除去する。それから、コンタクトを形成する。
- [0086] なお、ダブルゲート型のFinFETとトリプルゲート型のFinFETのプロセス上の違いは、第1の実施形態の場合と同じである。本実施形態に特有の違いはない。
- [0087] 以上述べてきてよう、本実施形態では、第1の実施の形態に比べて、フィン下に絶縁膜を形成する工程(図7)の分だけ、工程が短縮される利点がある。
- [0088] <第3の実施形態>
- 次に、本発明の第3の実施形態について図面を参照して説明する。
- [0089] 図16、図17は、本発明の半導体装置の第3の実施形態を模式的に示す図である。図16(a)は上面図、図16(b)、(c)および(d)は、図16(a)のA-A'線、B-B'線、C-C'線にそれぞれ沿った断面図である。また、図17(a)は上面図、図17(b)、(c)および(d)は、図17(a)のA-A'線、B-B'線、C-C'線にそれぞれ沿った断面図である。図16は、ダブルゲート型のFinFETであり、シリサイド形成前の状態を示している。また図17は、トリプルゲート型のFinFETであり、シリサイド形成前の状態を

示している。

- [0090] 本発明の第3の実施形態は、第1の実施形態に比べて、ソース電極3のパッド、ドレイン電極4のパッドの形成方法が異なる。この違いを反映して、その構造も一部が異なる。構造上異なる点は、ソース電極3のパッド、ドレイン電極4のパッドがせりあげられている点である。その他の部分の構造は、第1の実施形態と同じである。
- [0091] 次に、図18～図20を参照して、第3の実施の形態の製造方法を説明する。まず、トリプルゲート型のFinFET(図17)の製造方法を説明するが、ダブルゲート型のFinFET(図16)でも、一部を除き同じである。その違いについては後述する。
- [0092] 本実施形態でも、第1の実施形態と同様にまずチャネル注入の工程を行う。その後、図18に示すように、リソグラフィーとドライエッチングを行って、SOI層にフィン5のパターンのみを形成する。エッチング後、レジストを剥離する。ここで第1の実施形態、第2の実施形態と異なり、フィン5のパターンのみを形成するのは、そのパターンが単純なライン&スペースであるので、そのピッチをリソグラフィーの極限まで小さくすることが可能だからである(例えば、電子線リソグラフィーの場合、ソース電極3のパッド、ドレイン電極4のパッドがフィン5の近傍に存在すると、このパッド部分を描画した際の後方散乱電子のため、フィン5の解像度が劣化してしまう)。ピッチを小さくできれば、単位幅あたりの電流が多く得られる。ピッチをリソグラフィーの極限まで小さくすることを考えると、フィン5の方向は、チップ内ですべて同じ方向にすることが好ましい。
- [0093] この後、後工程で行うCMP(Chemical Mechanical Polishing)用の絶縁膜16(例えば SiO_2 と Si_3N_4 の積層膜)を堆積させ、リソグラフィーとドライエッチングを行つて、ソース電極3のパッド用の穴、ドレイン電極4のパッド用の穴をあけ、レジストを除去する。その後、ソース電極3のパッド、ドレイン電極4のパッド用の材料(例えばポリSi)を堆積させ、CMPを行う。こうして図19の状態となる。それから、CMP用の絶縁膜16を除去する(図20)。このようにして、第1の実施形態の図3に相当する状態ができあがった後は、第1の実施形態の図4からのプロセスを行うことで、図17の状態となる。
- [0094] ダブルゲート型のFinFET(図16)の場合は、チャネル注入を行い、犠牲酸化膜を除去したのち、基板上にハードマスク9を形成する。この後、リソグラフィーとドライエッ

チングを行って、リソグラフィーで形成されたフィン5のパターンのみをハードマスク9に転写する。レジストを除去した後、ハードマスク9をマスクにして、SOI層のエッチングを行う。その後、CMP用の絶縁膜16を堆積させ、リソグラフィーとドライエッチングを行って、ソース電極3のパッド用の穴、ドレイン電極4のパッド用の穴をあけ、レジストを除去する。ダブルゲート型のFinFETの場合は、このとき、CMP用の絶縁膜16だけでなく、フィン5上のハードマスク9も除去する必要がある。その後のプロセスは、トリプルゲート型のFinFETの場合と同じである。ただし、ダブルゲート型のFinFETの場合、エクステンション注入を行っても、フィン5上面にハードマスク9が存在するため、フィン5の上面には、側面に接している部分を除いて、エクステンションが形成されない点は第1の実施形態と同じである。このようにプロセスを行うことで、図16の状態となる。

- [0095] なお、上には、図20の後、第1の実施形態と同様なプロセスを行うとしたが、図20の後、第2の実施形態と同様なプロセスを行うことも可能である。
- [0096] 本実施形態では、第1の実施の形態や第2の実施の形態に比べて、フィン5を先に作製することで、フィン5のピッチをリソグラフィー性能の極限まで小さくすることができ、単位幅あたりの電流を多く得られる利点がある。また、他の利点としては、ソース電極3のパッドとドレイン電極4のパッドがせりあげられているので、シリサイド工程を含めたコンタクト形成が容易になる点があげられる。
- [0097] <第4の実施形態>
- 次に、第4の実施形態について図面を参照して説明する。
- [0098] 第4の実施形態では、第1、第2、第3の実施形態と比較して、フィン5とソース電極3のパッド、ドレイン電極4のパッドの配置方法が異なる。第1～3の実施形態では、1対のソース電極3のパッドとドレイン電極4のパッドが複数のフィン5で接続されていた。本実施形態では、本発明で可能な配置方法について示す。なお、配置方法を説明する図21、図22では、第1の実施形態の製造方法で作製されたFinFETの上面図を示すが、第2の実施形態の製造方法で作製されたFinFETでも、第3の実施形態の製造方法で作製されたFinFETでも、同様な配置方法が可能である。
- [0099] まず、1対のソース電極3のパッドとドレイン電極4のパッドに1個のフィン5が接続さ

れる場合(図21(a))、複数(2本以上)のフィン5が接続される場合(これまで説明に用いてきた例、例えば図2(a))がある。次に、これらが、1つのゲート電極に対して、複数(2個以上)並ぶ場合がある。図21(b)は、1対のソース電極3のパッドとドレイン電極4のパッドに1個のフィン5が接続されたものが、1つのゲート電極に対して複数(2個以上)並んだ例、図21(c)は、1対のソース電極3のパッドとドレイン電極4のパッドに複数のフィン5が接続されたものが、1つのゲート電極に対して複数(2個以上)並んだ例である。また、1つのゲート電極に対して、1対のソース電極のパッドとドレイン電極のパッドに1個のフィンが接続されたものと1対のソース電極のパッドとドレイン電極のパッドに複数のフィンが接続されたものを並べることもできる(図21(d))。この場合、並べる順番や、それぞれの並べる個数は任意である。

- [0100] さらに、上記のようにして得られた配置の中で、隣り合う電極パッドをまとめることも可能である。例えば、図22(e)は、図21(b)のソース電極3のパッドを1つにまとめた例である。また電極パッドをまとめの場合には、異なるゲート電極に対して、1対のソース電極3のパッド、ドレイン電極4のパッドを構成する電極をまとめることも可能である。例えば、22(f)では、上側のFinFETのドレイン電極のパッドと下側のFinFETのソース電極のパッドをまとめている。
- [0101] 本発明では、以上のような配置操作を任意の回数繰り返して得られるFinFETのパターンに対して、第1～3の実施形態に記述されたいずれの製造方法でも作製可能であり、プロセスは変わらない。これにより、本発明は、集積回路の内のあるFinFETのレイアウトに対して適用可能である。
- [0102] <第5の実施形態>
次に、第5の実施形態について図面を参照して詳細に説明する。
- [0103] 図23、図24は、本発明の半導体装置の第5の実施形態を模式的に示す図である。図23(a)は上面図、図23(b)、(c)および(d)は、図23(a)のA-A'線、B-B'線、C-C'線にそれぞれ沿った断面図である。また、図24(a)は上面図、図24(b)、(c)および(d)は、図24(a)のA-A'線、B-B'線、C-C'線にそれぞれ沿った断面図である。図23、図24は、トリプルゲート型のFinFETであり、シリサイド形成前の状態を示している。

- [0104] 第5の実施形態は、第1から第4の実施形態に対して、FinFETのゲート電極6を作製する位置と作製するゲート電極の個数のどちらか、あるいは両方が異なる。第1から第4の実施形態では、ゲート電極は、撓んで基板に付着したフィンの中央部に作られていた。また撓んで基板に付着したフィンの一方の固定端から他方の固定端までに、ゲート電極は1個存在するだけであった。図23、図24では、FinFETのゲート電極6は、撓んで基板に付着したフィン5の中央部につくられてはおらず、おおよそフィン5を4分割した点の中央部以外の位置に作られている。またフィン5の一方の固定端から他方の固定端までに、ゲート電極は複数(2個)作られている。このことに対応して、フィン5の一方の固定端から他方の固定端までの長さは、ゲート電極を1個設ける場合に比べて長くなっている。図23と図24では、フィン5の中央部にコンタクトを設けるので、フィン5の長さは、コンタクト形成に必要な長さともう1個のゲート電極を作るのに必要な長さの分だけ、長くなっている。図23と図24の違いは、フィン5中央部の電極の取り方の違いである。図23は、その上面にシリサイドが形成されたフィン5を金属で囲むようにしてコンタクトをとる、いわゆるスリットコンタクトを用いる。図24は、第3の実施形態と同様に、フィンの上に電極材料(例えばポリSi)を堆積して電極を形成しコンタクトをとる。
- [0105] 次に、第5の実施形態の製造方法を説明する。まず図23の製造方法を説明する。図23の場合、その製造方法は、シリサイド形成前までは、第1の実施形態の製造方法と同じである。シリサイド形成前の状態は図23のようになっているが、その後、シリサイドを形成し、層間絶縁膜を堆積させ、リソグラフィーとエッチングを行い、コンタクトホールを形成し、金属を埋め込んでコンタクトを形成する。この際、フィン5の中央部に設けるコンタクトは、スリットコンタクトとし、金属でフィンを覆うようにしてコンタクトを形成する。
- [0106] 次に図24の製造方法を説明する。図24の場合、フィン5を基板に付着させるまでは、第1の製造方法と同じである。その後、第3の実施形態の図19、図20に相当する工程を行って、中央部の電極14を形成する。すなわち、CMP用の絶縁膜を堆積させ、リソグラフィーとドライエッチングを行って、中央の電極14のパッド用の穴をあけ、レジストを除去する。その後、中央の電極14用の材料(例えばポリSi)を堆積させ、C

MPを行う。それから、CMP用の絶縁膜16を除去する。

- [0107] このようにして、第1の実施形態の図3に相当する状態ができあがった後は、第1の実施形態の図4からのプロセスを行うことで、図24の状態となる。その後、シリサイドを形成し、層間絶縁膜を堆積させ、リソグラフィーとエッチングを行い、コンタクトホールを形成し、金属を埋め込んでコンタクトを形成する。
- [0108] 以上、本実施形態の例(図23、図24)で説明したように、本発明では、必ずしもゲート電極を、撓んで基板に付着したフィンの中央部につくる必要はなく、任意の位置に形成できる。また、撓んで基板に付着した1本のフィンの一方の固定端から他方の固定端までに設けられるのは1つのゲート電極だけでなく、複数(2個以上)のゲート電極を設けられる。
- [0109] なお、本実施形態では、トリプルゲート型のFinFETを例に説明したが、ダブルゲート型のFinFETの場合でも、ゲート電極を、撓んで基板に付着したフィンの中央部につくる必要はなく、任意の位置に形成できること、また、撓んで基板に付着した1本のフィンの一方の固定端から他方の固定端までに設けられるのは1つのゲート電極だけでなく、複数(2個以上)のゲート電極を設けられることに変わりはない。
- [0110] <第6の実施形態>
- 次に、本発明の第6の実施形態について図面を参照して説明する。これまでの実施形態では、撓んだ梁を利用したFinFETについて説明したが、本実施形態では、撓んだ梁構造をプレーナー型のFETのチャネルに利用する例を示す。
- [0111] 図25に、第6の実施形態の半導体装置の構造を示す。図25(a)は上面図、図25(b)、(c)および(d)は、図25(a)のA-A'線、B-B'線、C-C'線にそれぞれ沿った断面図である。図25は、プレーナー型のMOSFETであり、シリサイド形成前の状態を示している。
- [0112] 第6の実施形態は、図25(b)、(d)に示されてるように、チャネル部分のSiがたわみ、歪みSiとなったプレーナー型のMOSFETである。表面のSi層の両端がSTI11で固定され、撓んで基板に(実際にはウェル12に)付着している点が、従来型のMOSFET(例えば図33)と構造上大きく異なり、本発明の特徴となる点である。表面のSi層がSTI11で両端を固定され、撓んでいるため、微視的に見ると、表面のSi層を構

成するSiの格子間隔はA-A'方向(ないしはC-C'方向)にのばされ、歪みSiとなっている。歪みSiとなると、前述した原理により移動度が向上するので、本実施形態では、これをプレーナー型のMOSFETのチャネルとして利用する。

- [0113] 表面のSi層が撓んで基板に付着する構造を実現するために、本実施形態のMOSFETには、従来のものと構造上異なる点が他にもある。まず、図25(a)、(c)に示されているように、MOSFETの周囲に位置するSTIの一部が、エッチバックされて掘り下げられたSTI21となっていることである。これは、本実施形態では、梁構造として、SON(Silicon on Nothing)構造を作り、利用するためである。梁構造作製後、梁をたわませて付着させた後は、第1の実施形態と同様に、梁の下を絶縁膜で埋め込む。しかし、プレーナー型のMOSFETの場合、通常、奥の方まで絶縁膜で埋め込むことは難しく、開口部近傍のみが絶縁膜22で埋め込まれる。このため、A-A'線の位置の断面(図25(b))では、ソース電極3の下でSTI11の近傍、ドレイン電極4の下でSTI11の近傍に空間23が生ずるが、C-C'線の位置の断面(図25(d))では、同じ場所が絶縁膜22で埋め込まれている。
- [0114] 本実施形態は、基本的にプレーナー型のMOSFETであるため、その基本的な構成は従来型のMOSFET(例えば図33)と同じである。本実施形態のMOSFETはバルクSi基板1に作製される。チャネルとなる歪みSi19の上面にゲート絶縁膜7が形成され、さらにその上にゲート電極6が設けられている。ソース電極3とドレイン電極4は、せりあげ構造となっており、n型のMOSFETであればn型に、p型のMOSFETであればp型に、ドーピングされ、深い電極となっている。ソース電極3とドレイン電極4は、同じドーピング型で接合深さの浅いエクステンション10に接続されている。またエクステンション10の近傍に、エクステンション10とは導電型の異なるハローが形成される場合もある(未図示)。チャネル部分は、n型のMOSFETであればp型に、p型のMOSFETであればn型にドーピングされている。なお、図示していないが、本実施形態に述べるプレーナー型MOSFETの場合でも、第5の実施形態で述べたFIN FETと同様に、必ずしもゲート電極を撓んだ梁の中央に作る必要はなく、撓んだ梁の任意の位置に作製してよい。また撓んだ梁に複数のゲート電極を作製できる。
- [0115] 次に、図26から図28を参照して、第6の実施形態の製造方法を述べる。ここで、図

26～図28中、(a1)、(b1)…(k1)は、図25のA-A'断面であり{但し、(g1)のみC-C'断面}、(a2)、(b2)…(k2)は、図25のB-B'断面である。

- [0116] まず最初に、図26(a1)、(a2)のように、Si基板1上に、臨界膜厚以下のSiGe層24、その上にSi層25をエピタキシャル成長させる。ここで重要なことは、SiGe層の膜厚を臨界膜厚より十分薄い膜厚とすることである。この場合、SiGe層は緩和しないので、その格子定数はSiの格子定数となる。また、図31や図32の格子緩和SiGe18とは異なり、欠陥や転移もほとんど生じない。例えば、(100)バールクSi基板上に、SiGe(Geの組成比x=0.18)を15nm、Siを20nmエピタキシャル成長させる。
- [0117] 次に、図26(b1)、(b2)のように、STI11を形成し、イオン注入を行ってウェル12を形成する。また、チャネルのイオン注入を行う。この工程では、例えば、深さ250nmのSTI11を形成する。その後、リソグラフィーを行って、n型MOSFETとなる領域には、p型のドーパントをイオン注入(例えば、1価のボロンを加速エネルギー150keVで $1.5 \times 10^{13} \text{ cm}^{-2}$)してウェル12を形成する。さらにp型のドーパントをイオン注入(例えば、1価のボロンを加速エネルギー30keVで $7 \times 10^{12} \text{ cm}^{-2}$)して、チャネル領域のイオン注入を行う。イオン注入後はレジストを剥離する。次に、再びリソグラフィーを行って、p型MOSFETとなる領域には、n型のドーパントを(例えば、1価のリンを加速エネルギー350keVで $1.5 \times 10^{13} \text{ cm}^{-2}$)イオン注入し、ウェル12を形成する。その後、n型のドーパントを(例えば、1価のヒ素を加速エネルギー100keVで $2.8 \times 10^{12} \text{ cm}^{-2}$)イオン注入して、チャネル領域のイオン注入を行う。イオン注入後は、レジストを剥離する。
- [0118] 次に、本発明のMOSFETに特徴的な工程であるが、リソグラフィーとドライエッチングを行って、図26(c2)のように、MOSFETの周囲のSTIの一部をエッチバックしてSTI21とする。エッチバックする深さは、SiGe層24の側面が露出するだけの深さであればよく、SiGe層24より若干深めにエッチバックしてもよい。この形態では、STIにより、Si層25が方形に区画されているので、図25(a)の配置では、区画されたSi層25の上辺および下辺に位置するSTI11がエッチバックされてSTI21となっている。
- [0119] 次に、図26(d1)、(d2)のように、等方的なプラズマエッチングで、SiGe層24のみを選択的にエッチングする。その結果、表面のSi層25の下に空間23が形成され、S

ON構造が実現される。本実施形態では、このSON構造を梁構造として用いる。

- [0120] SON構造形成後、図27(e1)、(e2)に示すように、第1から第5の実施形態と同様に、SON構造を液体13につける。液体13としては、水でよい。
- [0121] その後、図27(f1)、(f2)のように、液体13を乾燥させる。液体13を乾燥させる際には、液体の表面張力によって、Si層25が基板方向に引っ張られ、たわみ、この状態のまま基板に付着する。液体が乾燥しても、基板の付着力により、撓んだSi層25は、元に戻らず、このままの状態となる。こうして、MOSFETのチャネルとなる、歪みSi19が作られる。なお、乾燥方法に関しても、気液平衡曲線を通過するような乾燥方法であれば、その方法は問わない。この点もFinFETの場合と同様である。
- [0122] 歪みSi19を形成した後は、図27(g1)、(g2)に示すように、歪みSi19下の、側面開口部を絶縁膜22で埋めて、ふたをする。この工程は次のように行う。まず例えば、薄い酸化膜2nmを形成し(不図示)、 $\text{Si}_{\frac{3}{4}}\text{N}$ を50nm堆積させる。このとき $\text{Si}_{\frac{3}{4}}\text{N}$ の堆積には、CVD法を用いる。この後、 $\text{Si}_{\frac{3}{4}}\text{N}$ をエッチバックする。エッチバックして、歪みSi19の下と側面以外の $\text{Si}_{\frac{3}{4}}\text{N}$ が除去された段階でエッチバックを止め、歪みSi19の上面の酸化膜を除去する。なお、絶縁膜としては、単層のSiO₂や単層の $\text{Si}_{\frac{3}{4}}\text{N}$ を用いることも可能である。このとき、第1の実施形態のFinFETと異なるのは、プレーナー型MOSFETでは、チャネル幅がFinFETのFin幅のように小さくないので、歪みSi19の中央下、すなわちA—A'線の位置では、歪みSi19の下に絶縁膜が形成されず、空間のままとなっている(図27(f1)のままである)ことである。C—C'線の位置のような、側面開口部近くのみが、図27(g1)のように、絶縁膜22で埋められる。
- [0123] この後、ゲート絶縁膜7を形成し、ゲート電極材料を堆積させ、リソグラフィーとドライエッチングを行って、ゲート電極6を形成する。またゲート電極6の下をのぞいて、ゲート絶縁膜7を除去する(図27(h1)、(h2))。例えば、1. 2nmの酸窒化膜を形成し、その後、ポリSiを75nm堆積させる。ゲート絶縁膜7の材料、ゲート電極材料については、これ以外にも、第1の実施形態で述べたものが本実施形態に適用可能である。
- [0124] さらに、リソグラフィーを行って、イオン注入を行い、エクステンション10を形成する(図28(i1)、(i2))。すなわち、n型のMOSFETとなる領域には、n型のドーパントをイオン注入する。例えば1価のヒ素を加速エネルギー2keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ で

イオン注入する。n型のドーパントのイオン注入後は、レジストを剥離する。この後、リソグラフィーを行って、p型のMOSFETとなる領域に、p型のドーパントをイオン注入する。例えば1価のBF₂を加速エネルギー2keV、ドーザ量 $5 \times 10^{14} \text{ cm}^{-2}$ でイオン注入する。p型のドーパントのイオン注入後は、レジストを剥離する。

- [0125] この後、サイドウォール絶縁膜8を形成する(図28(j1)、(j2))。例えば、サイドウォール絶縁膜となる材料としてSi₃N₄を50nm堆積させた後、エッチバックし、サイドウォールを形成する。なお、サイドウォール絶縁膜としては、第1の実施形態で述べた他の材料、複数の材料の組み合わせを用いてもよい。
- [0126] その後、図28(k1)、(k2)のように、Siの選択エピタキシャル成長を行って、ソース電極3とドレイン電極4をせりあげ構造とする。これは、表面の歪みSi19が薄膜であるので、コンタクト形成時、その抵抗を下げるためである。Siの選択エピタキシャル成長については、第1の実施形態で述べたように行う。
- [0127] 次にイオン注入を行って深い電極を形成する。リソグラフィーを行って、n型FinFETとなる領域に、n型のドーパントをイオン注入する。例えば1価のヒ素を加速エネルギー8keV、ドーザ量 $5 \times 10^{14} \text{ cm}^{-2}$ でイオン注入し、さらに1価のリンを加速エネルギー5keV、ドーザ量 $4 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。n型のドーパントのイオン注入後は、レジストを剥離する。この後、リソグラフィーを行って、p型FinFETとなる領域に、p型のドーパントをイオン注入する。例えば1価のボロンを加速エネルギー2keV、ドーザ量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。p型のドーパントのイオン注入後は、レジストを剥離する。その後、活性化アニール(例えば1055°Cで0秒のスパイクアニール)を行う。こうして図25のプレーナー型MOSFETが完成する。
- [0128] この後は、第1の実施形態と同様に、シリサイド工程を行った後、コンタクトを形成すればよい(不図示)。本実施形態に適用できるシリサイドの種類、及びコンタクトの金属については、第1の実施形態と同様である。
- [0129] 以上述べたように、撓んだ梁構造をチャネルに用いて、プレーナー型のMOSFETを作製することができる。
- [0130] なお、上記の説明では、梁構造がA-A'方向に撓んでいたが、B-B'方向にたわますこともプロセス的には可能である。そのためには、エッチバックしたSTI21の位置

を90度回転させた位置にもってくればよい。こうして同じようなプロセスを行えば、B-B'方向にたわませた梁構造をチャネルとした、プレーナー型MOSFETが作製できる。

[0131] 例えば、バルクSi(100)基板上に作製された、<110>方向のチャネルをもつ通常のプレーナー型のp型MOSFETでは、これまで実験的には、ゲート電極に垂直な方向よりも、平行な方向に引っ張り歪みを加える方が移動度が向上すると報告されているので、本実施形態を利用する際に、A-A'方向にたわませるよりも、B-B'方向にたわませるほうがよい。

請求の範囲

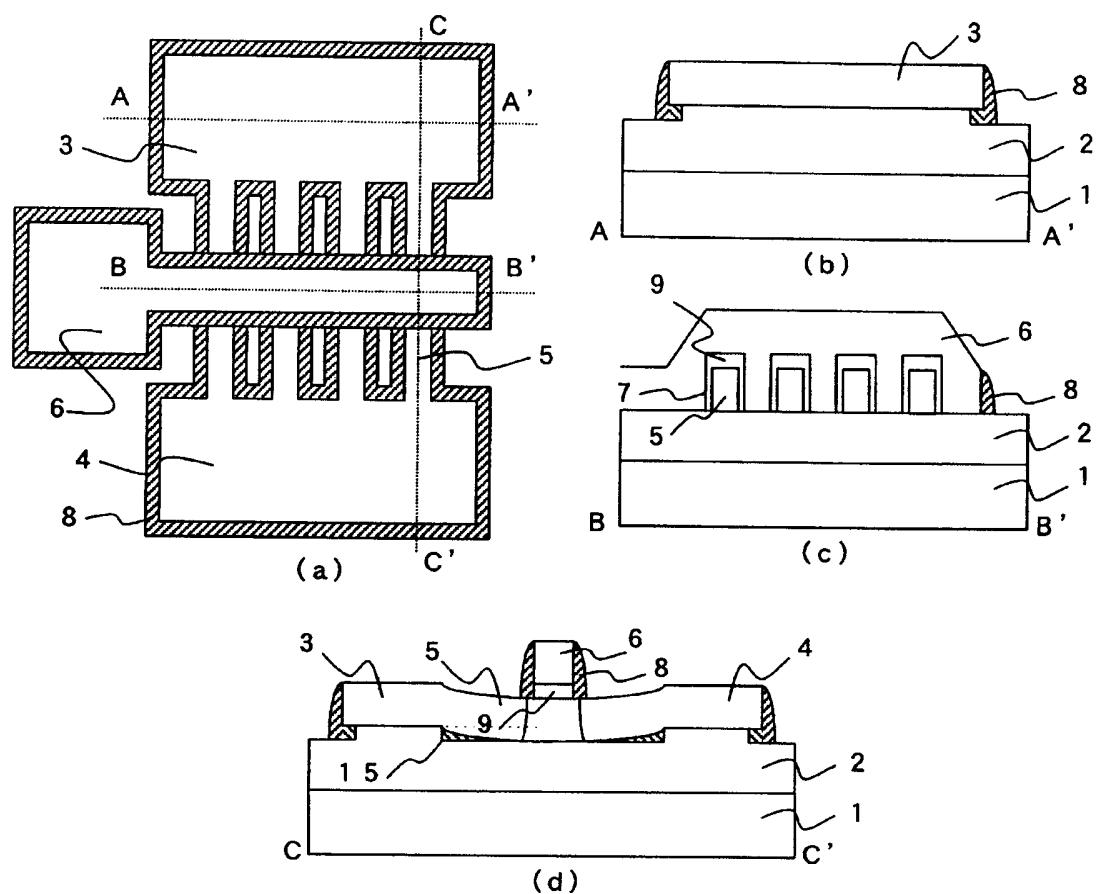
- [1] 半導体で形成された撓んだ梁の中を電流が流れることを特徴とする半導体装置。
- [2] 前記梁は両端が固定された両持ち梁構造であって、梁方向に引っ張り歪みが与えられていることを特徴とする請求項1記載の半導体装置。
- [3] 前記梁をFETのチャネル領域として使用することを特徴とする請求項1または2記載の半導体装置。
- [4] 前記FETはFinFETであって、前記梁の少なくとも側面部をチャネル領域として使用することを特徴とする請求項3記載の半導体装置。
- [5] 前記FETはプレーナー型FETであって、前記梁の上面部をチャネル領域として使用することを特徴とする請求項3記載の半導体装置。
- [6] 前記梁は、梁の下部に設けられた空隙の底に梁中央部が付着していることを特徴とする請求項2～5のいずれかに記載の半導体装置。
- [7] 前記梁の歪みが、撓む前の梁の長さと、梁の下部に設けられた前記空隙の深さによって制御されている請求項6記載の半導体装置。
- [8] 複数のFinFETを有する半導体装置であって、
撓む前の梁の長さおよび梁の下部に設けられた前記空隙の深さの少なくとも一方
が異なっていることで異なる歪みが導入されている少なくとも2種のFinFETを有する
請求項7記載の半導体装置。
- [9] 半導体で形成された撓んだ梁の中を電流が流れる半導体装置の製造方法であつ
て、
半導体で形成された両持ち梁構造の真っ直ぐな梁を、その下部に空隙を作ること
で形成する工程と、
この空隙に液体を満たす工程と、
この液体を乾燥して梁の中央を前記空隙の底部に付着させて撓んだ梁を形成する
工程とを有することを特徴とする半導体装置の製造方法。
- [10] 前記液体が水または水銀であることを特徴とする請求項9記載の半導体装置の製
造方法。
- [11] 前記の両持ち梁構造の真っ直ぐな梁を形成する工程に先立ち、前記梁を構成する

半導体からなる第1の層と、第1の層の下にあって第1の層とはエッチング速度の異なる材料からなる第2の層を有する基板を用意する工程を有し、

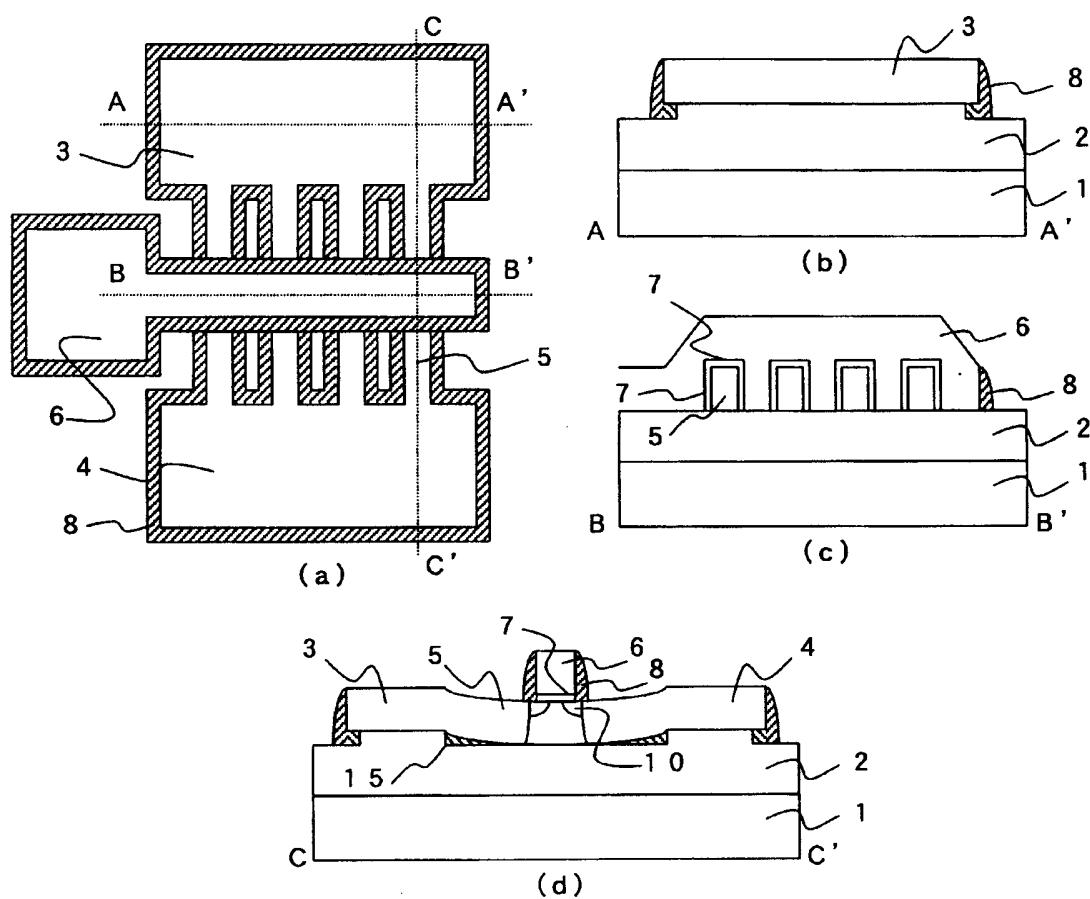
前記の両持ち梁構造の真っ直ぐな梁を形成する工程が、第2の層の少なくとも一部をエッチングして除去して、第1の層の下部の一部に空隙を形成する工程であることと特徴とする請求項9または10記載の半導体装置の製造方法。

- [12] 基板上に埋め込み絶縁膜と半導体層が積層されたSOI基板を用意する工程と、
前記半導体層をパターニングして、所定幅を有するFinを形成する工程と、
このFin下の前記埋め込み絶縁膜をエッチングして、このFinの下部に空隙を形成
して真っ直ぐな梁とする工程と、
この空隙に液体を満たす工程と、
この液体を乾燥しFinを空隙の底部に付着させて撓ませる工程と
を有することを特徴とするFinFETの製造方法。

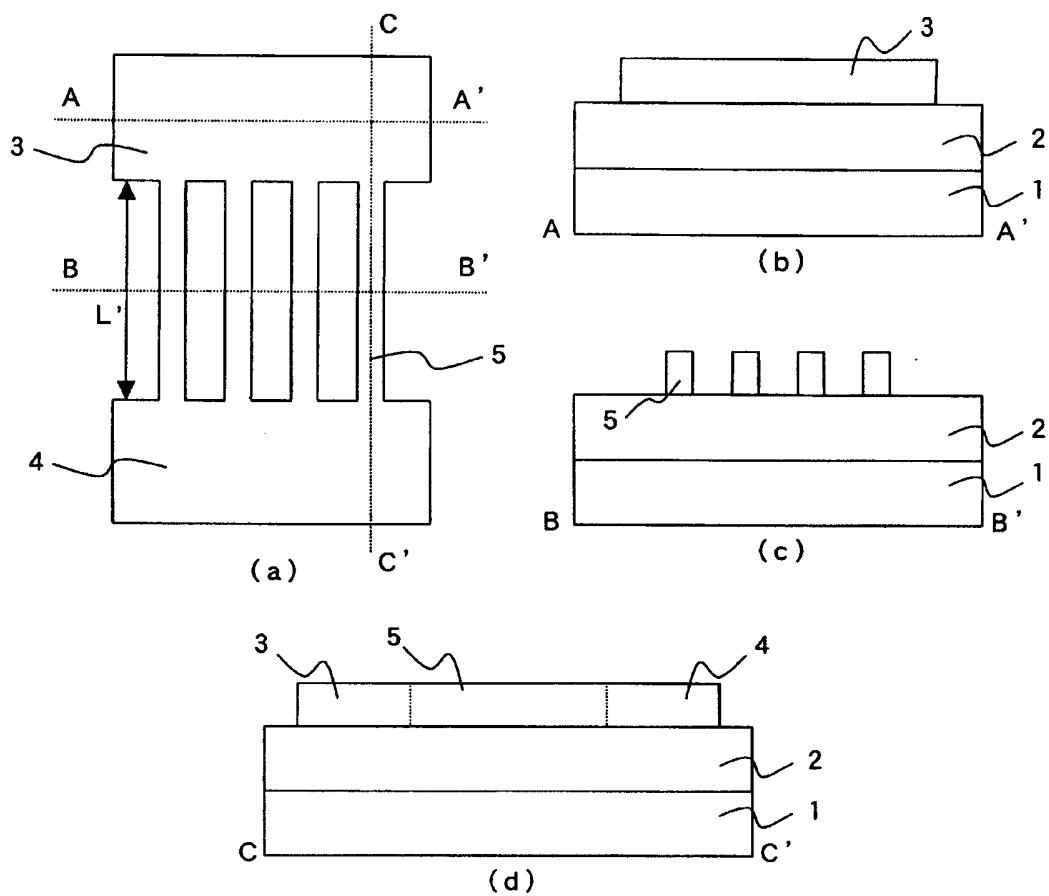
[図1]



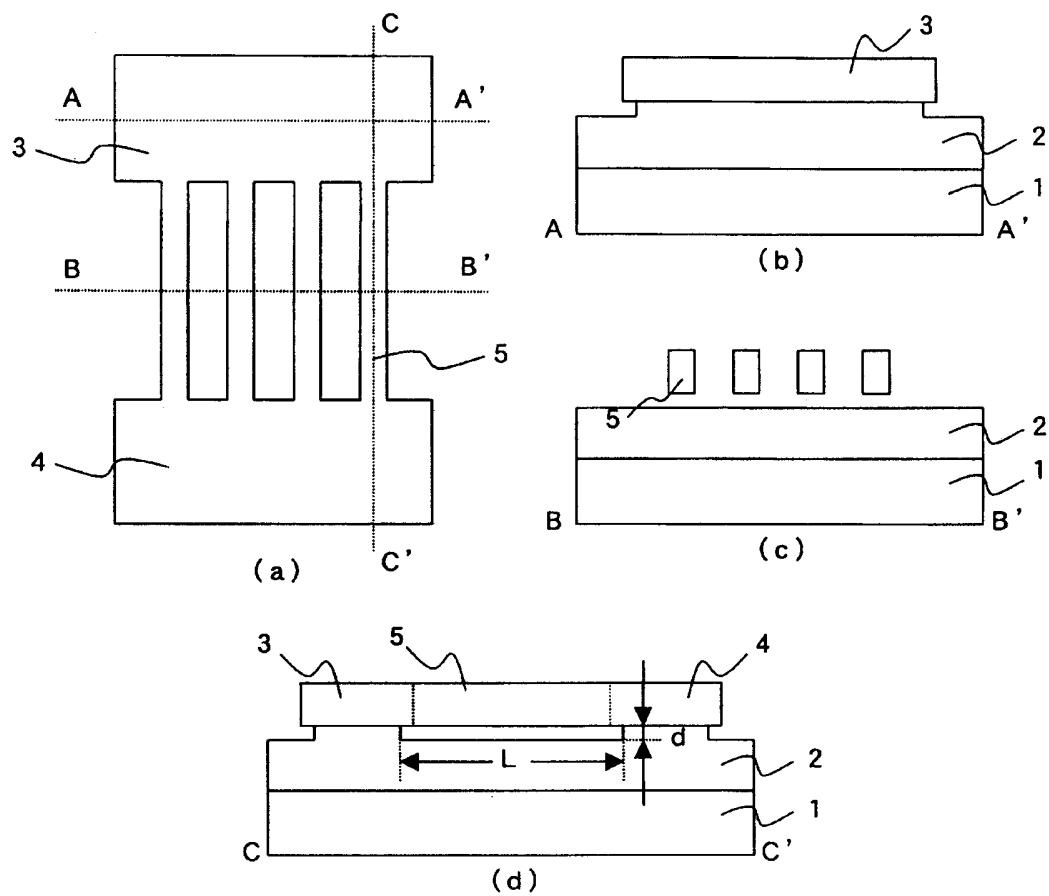
[図2]



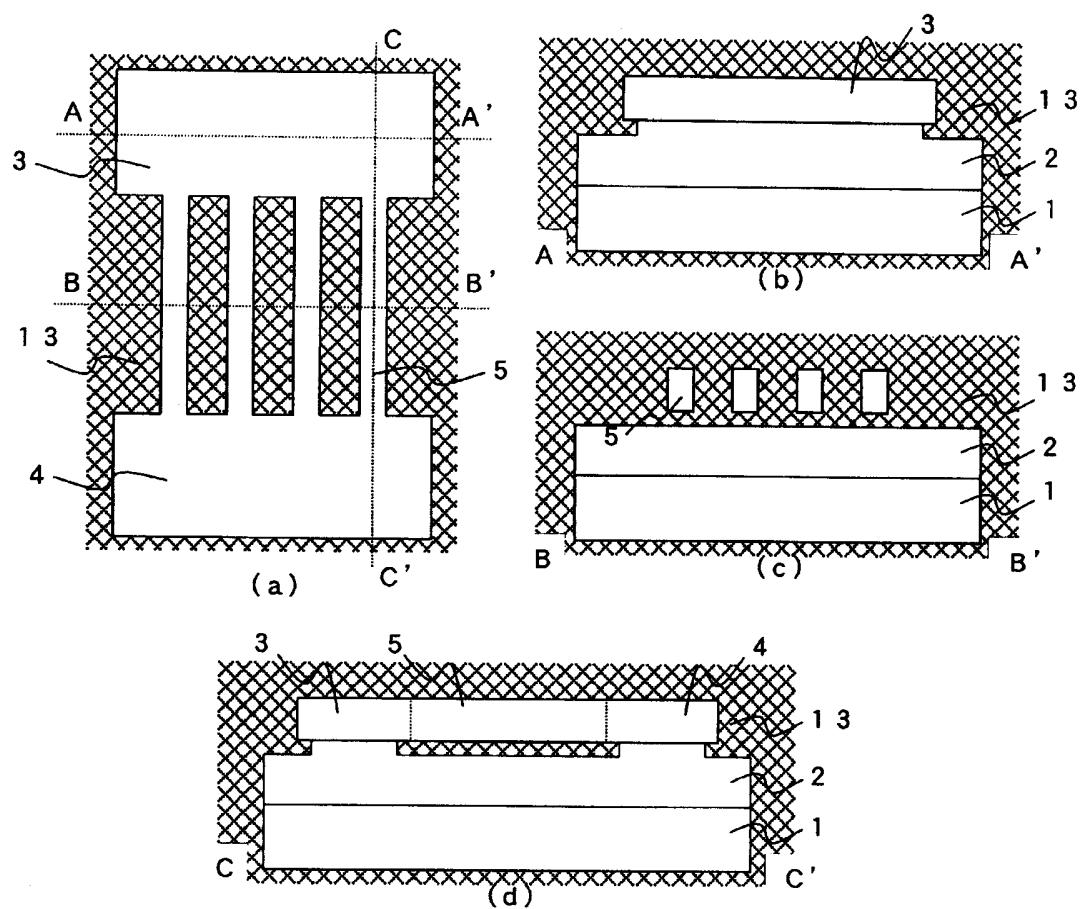
[図3]



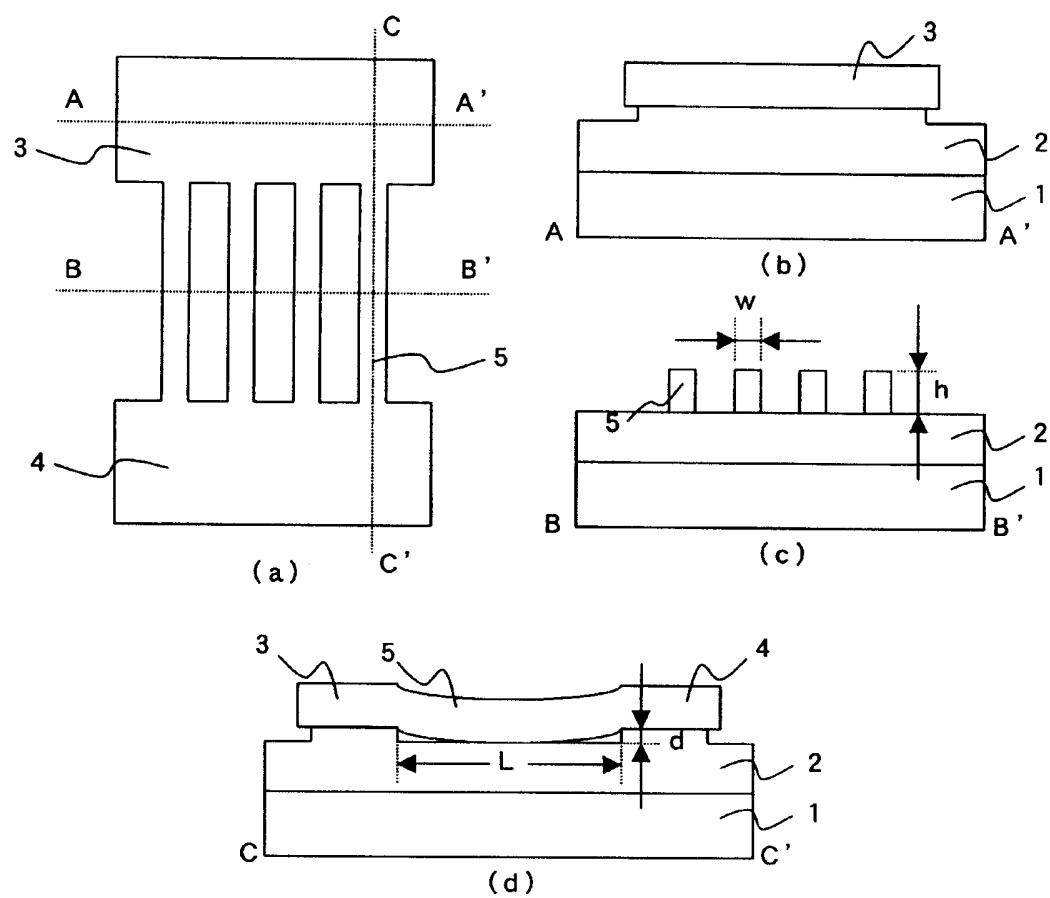
[図4]



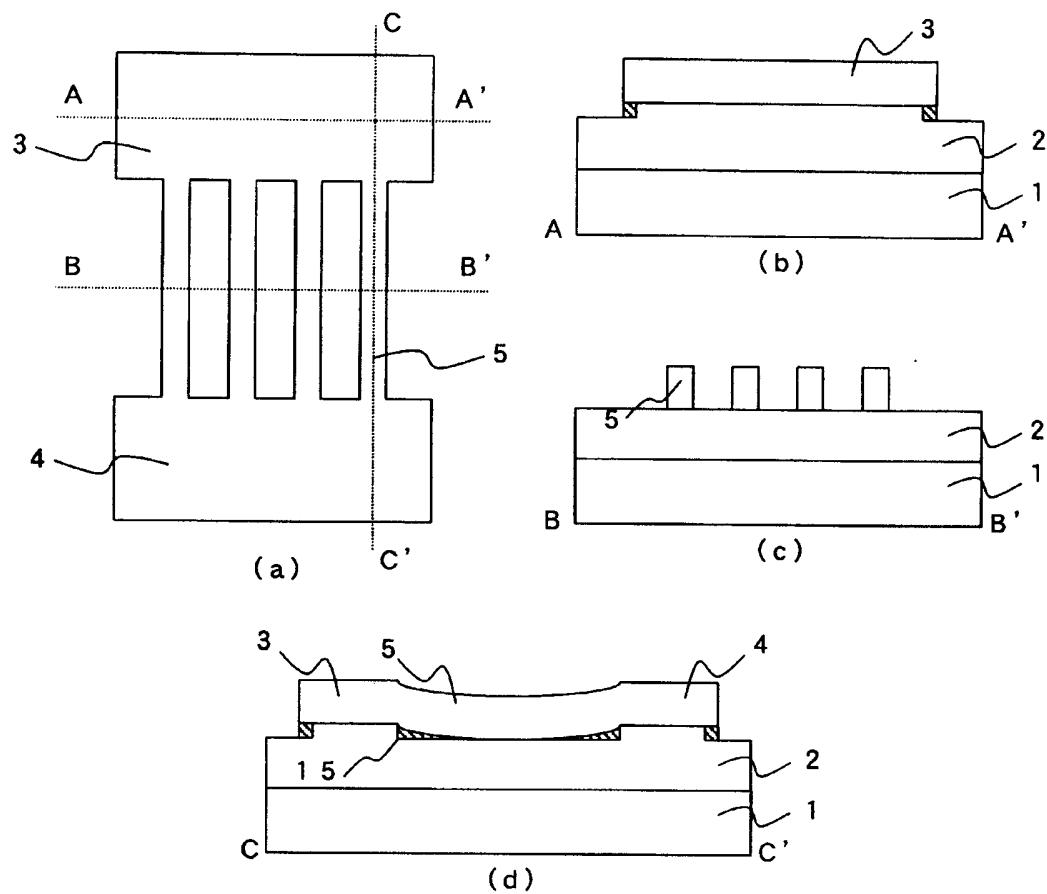
[図5]



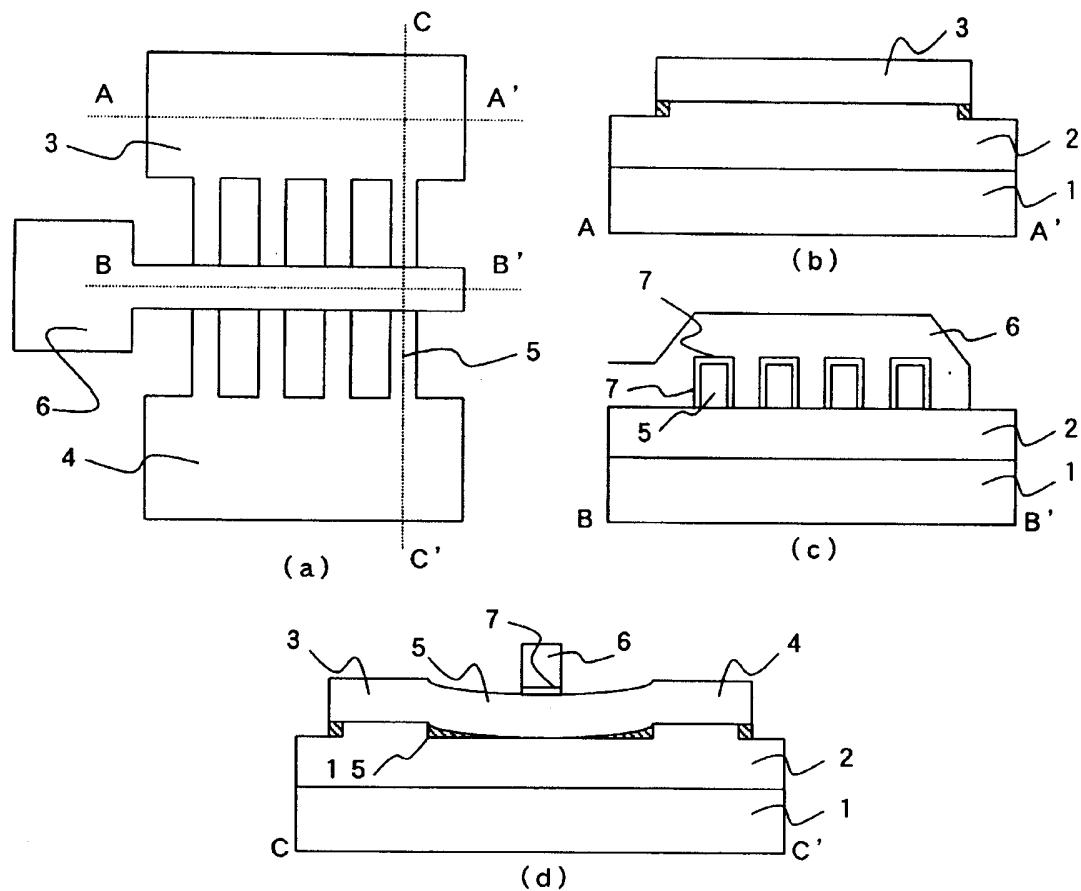
[図6]



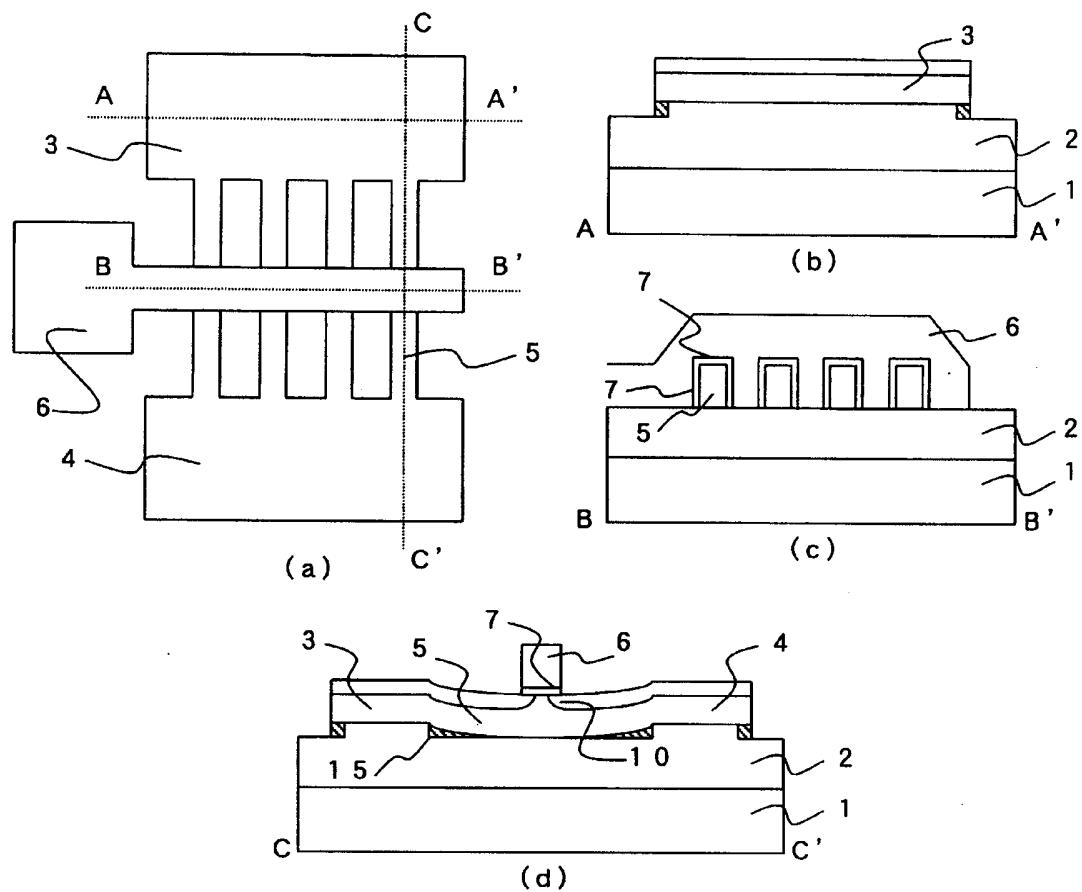
[図7]



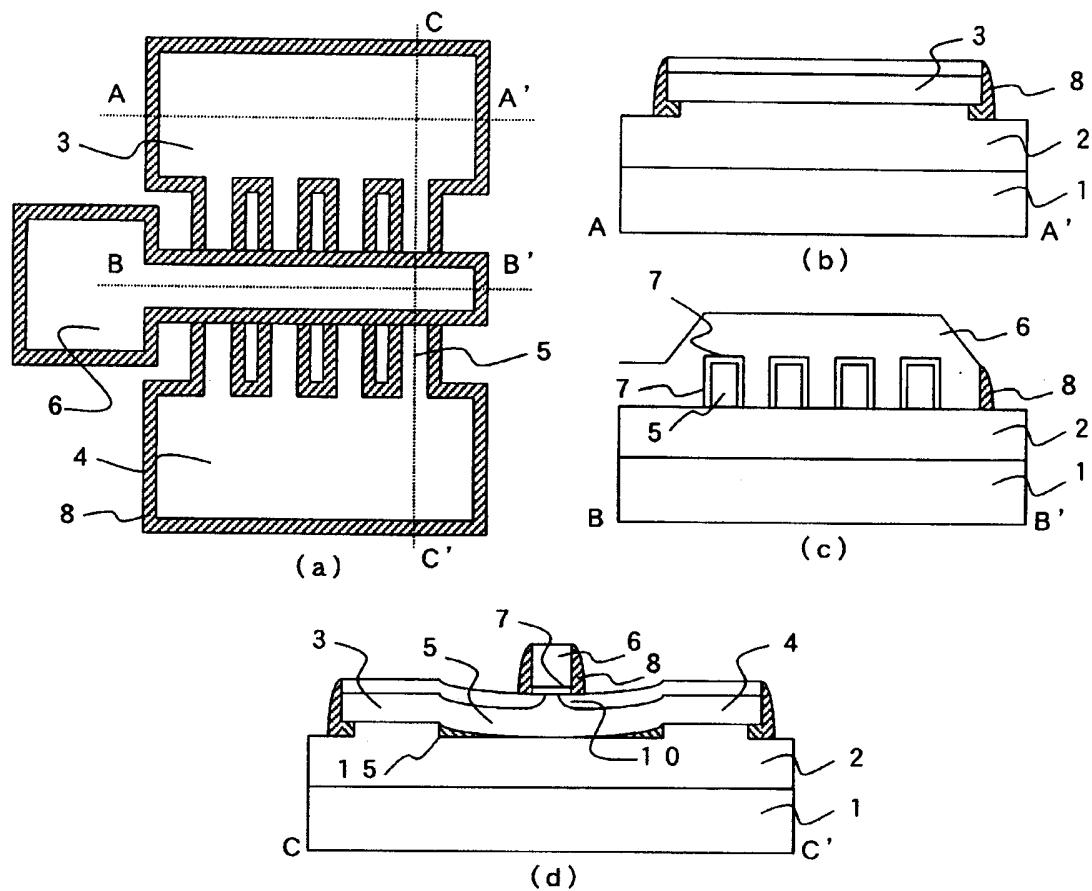
[図8]



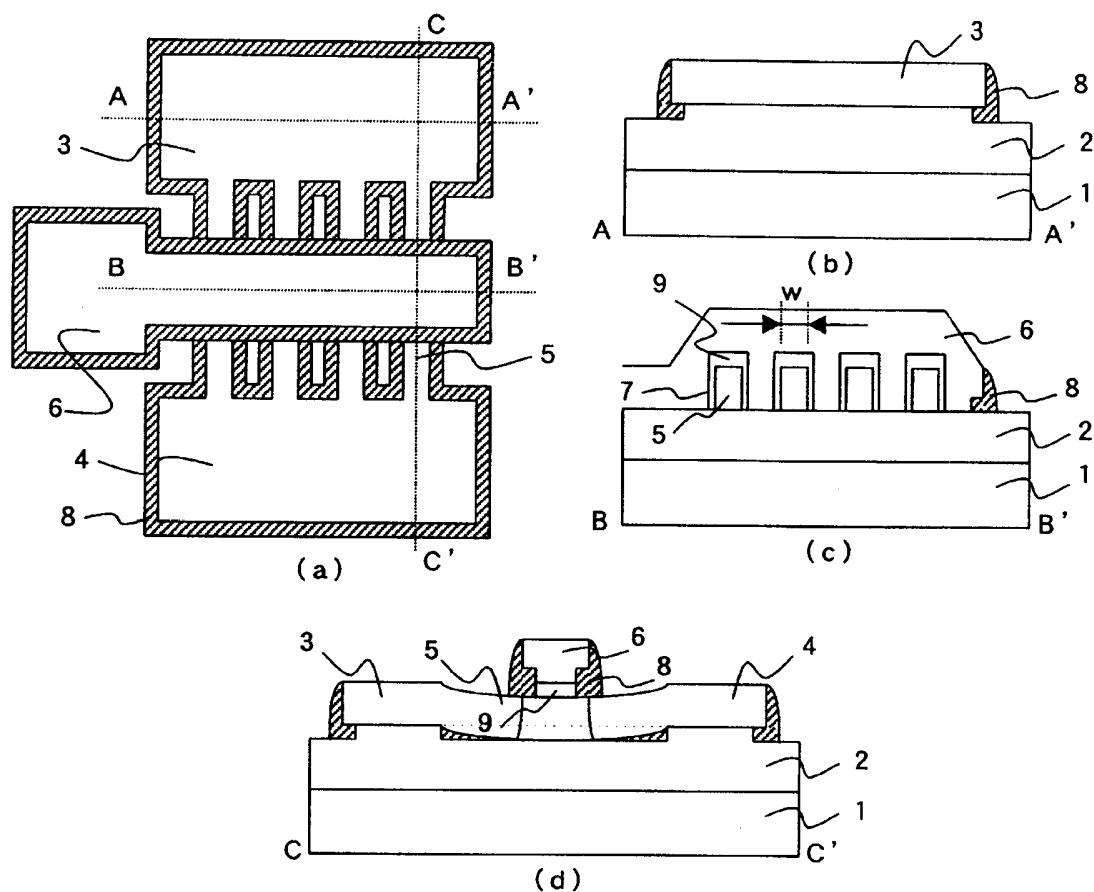
[図9]



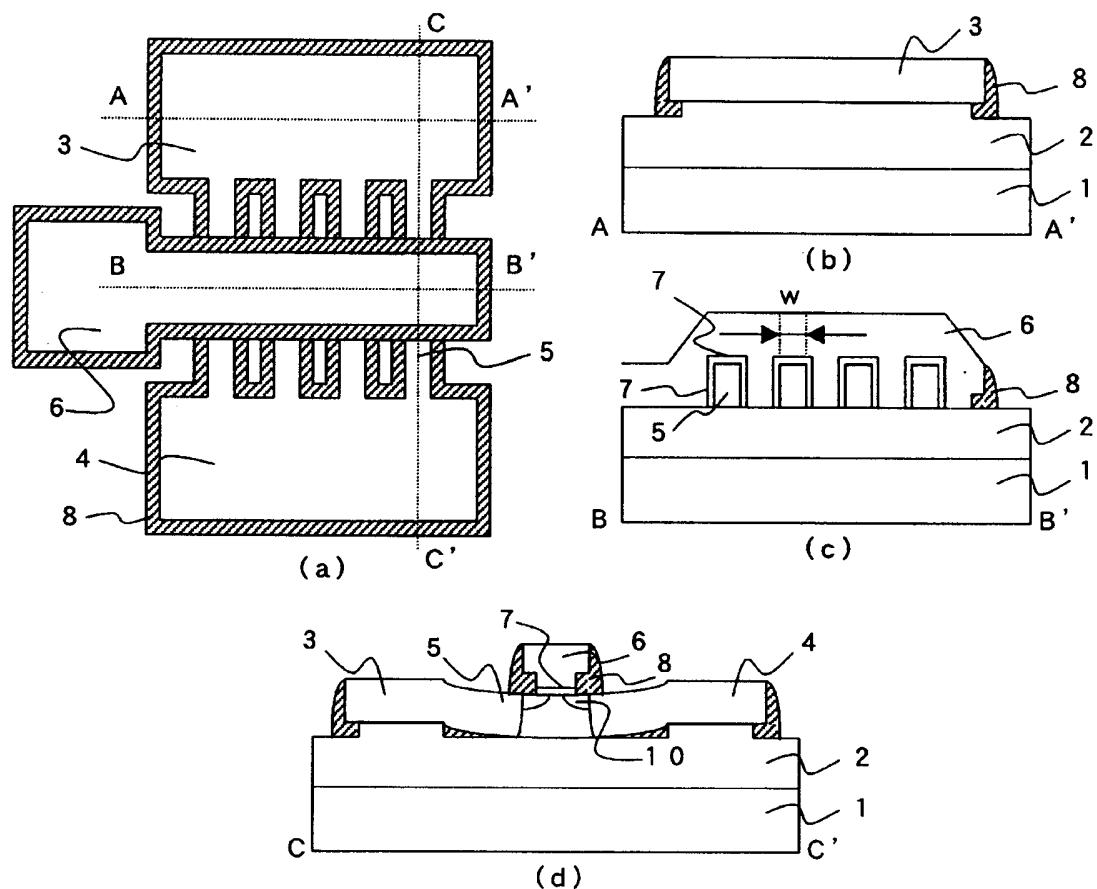
[図10]



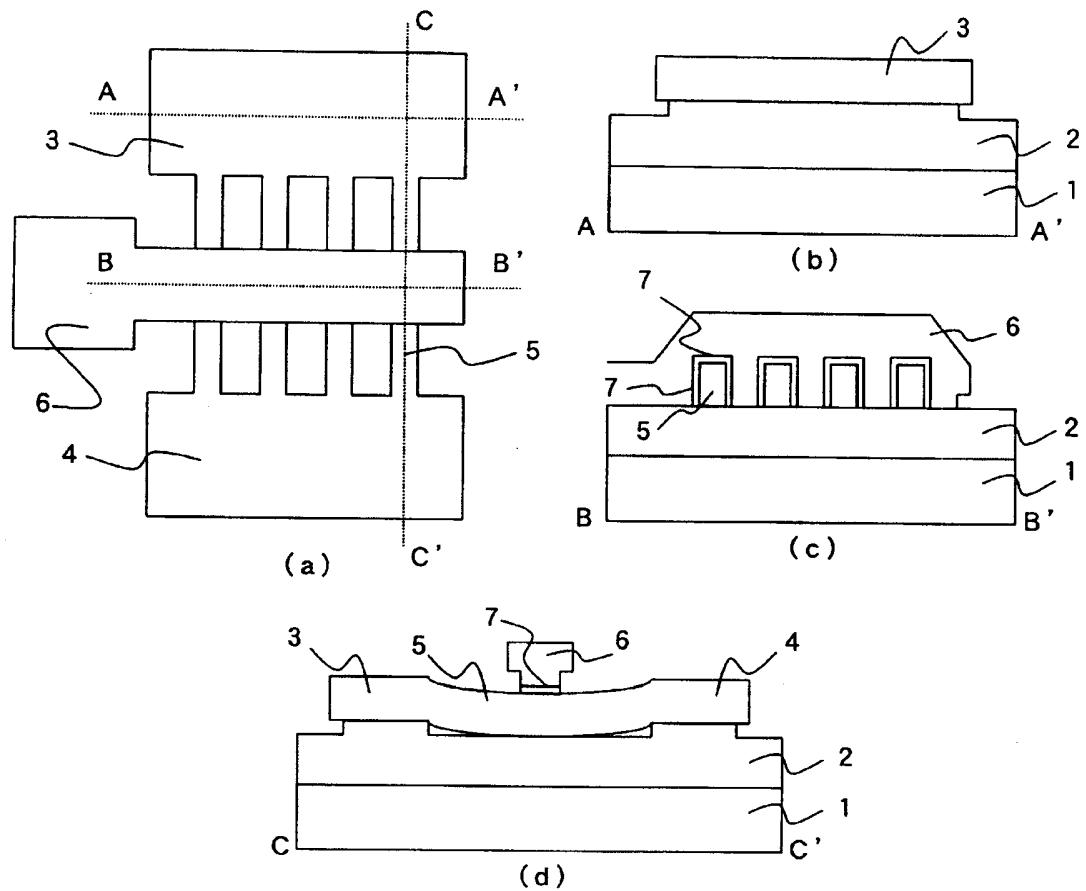
[図11]



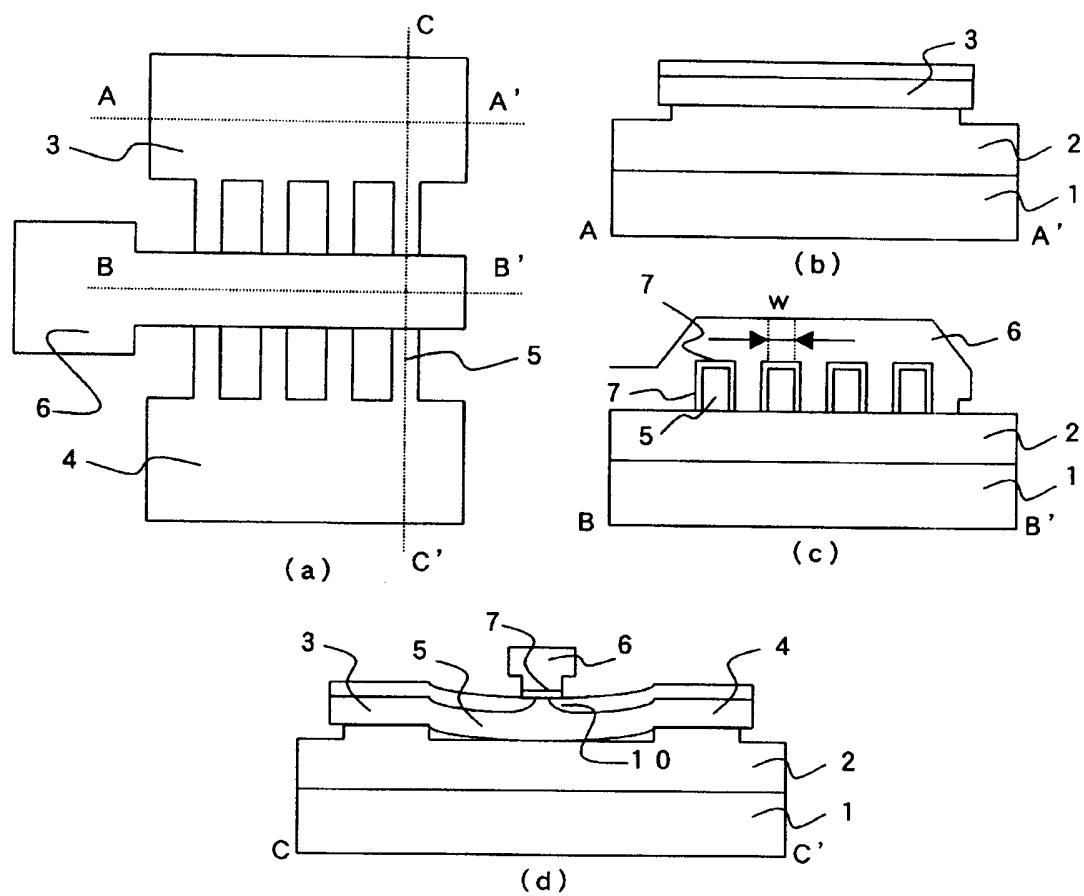
[図12]



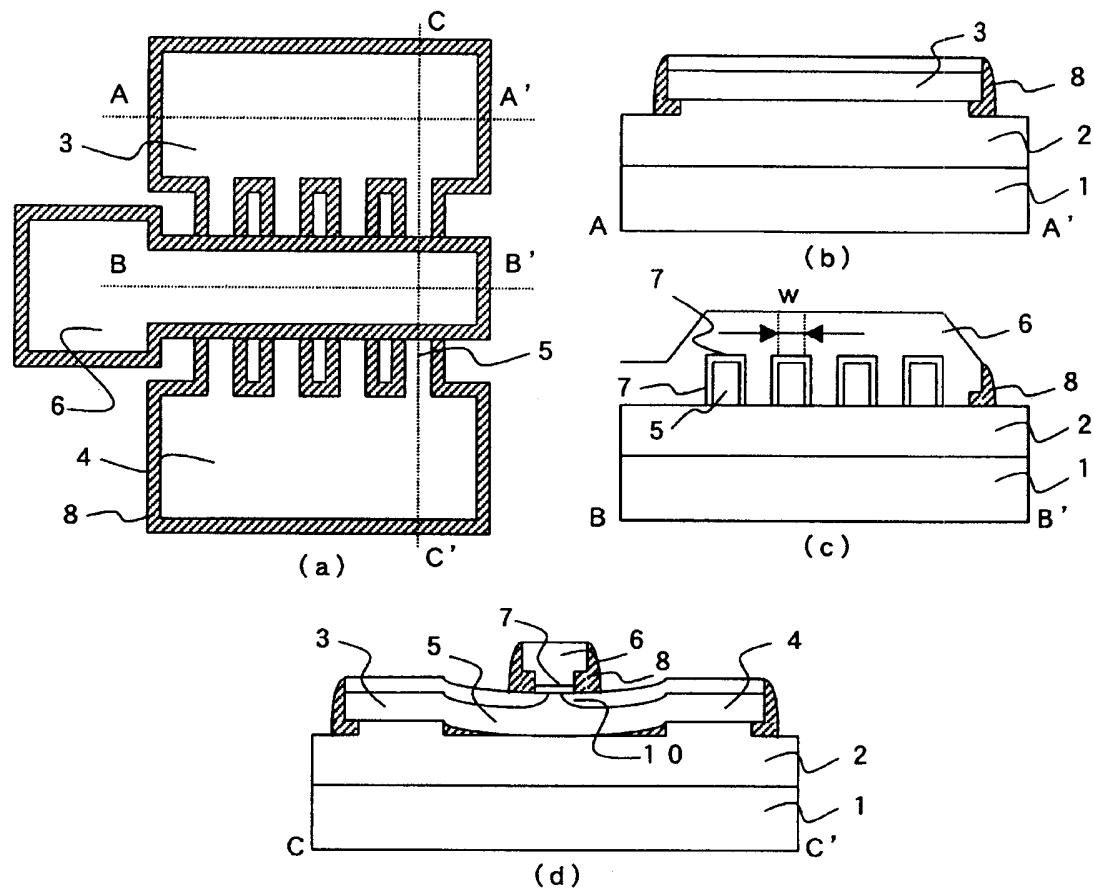
[図13]



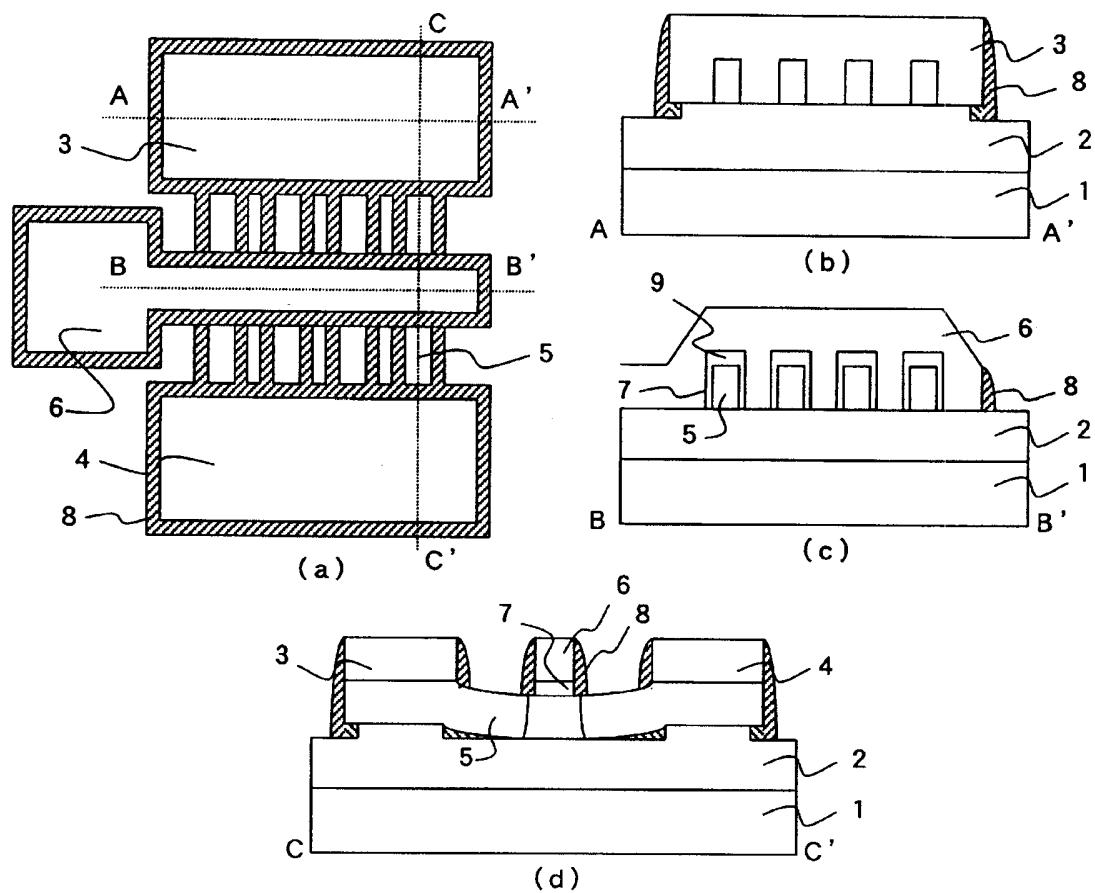
[図14]



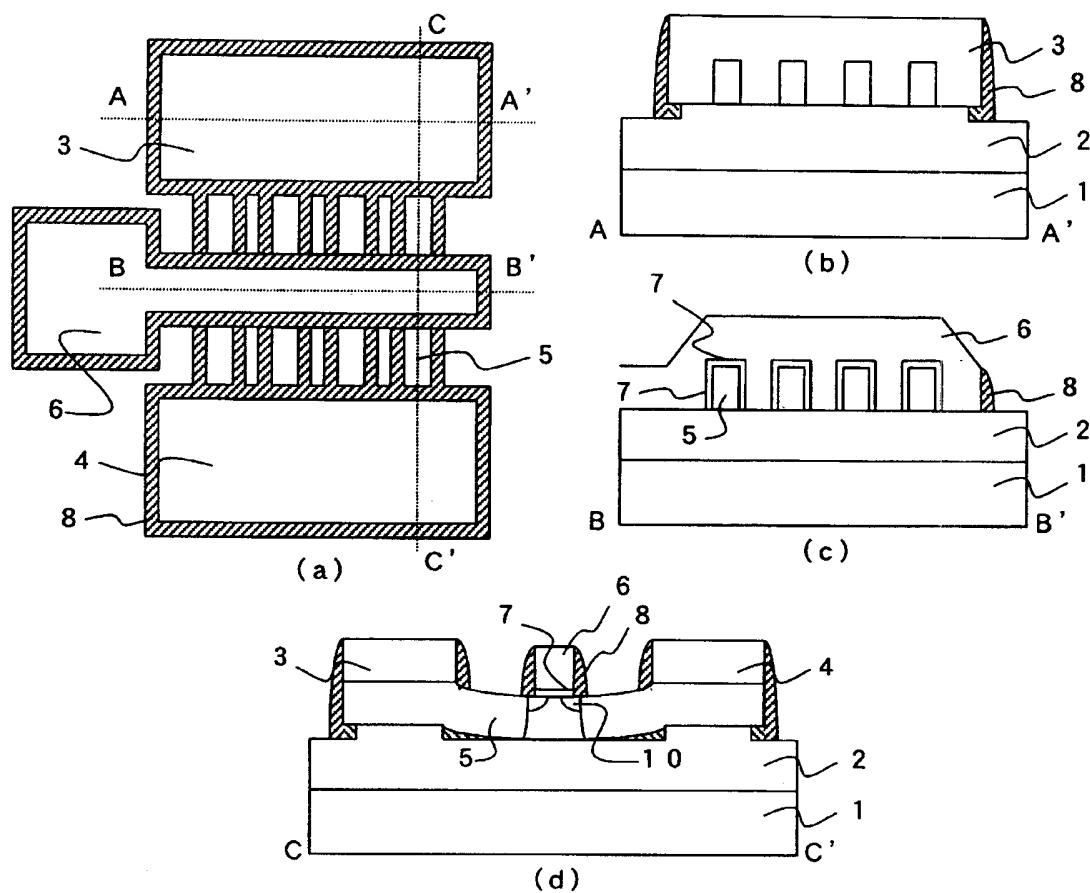
[図15]



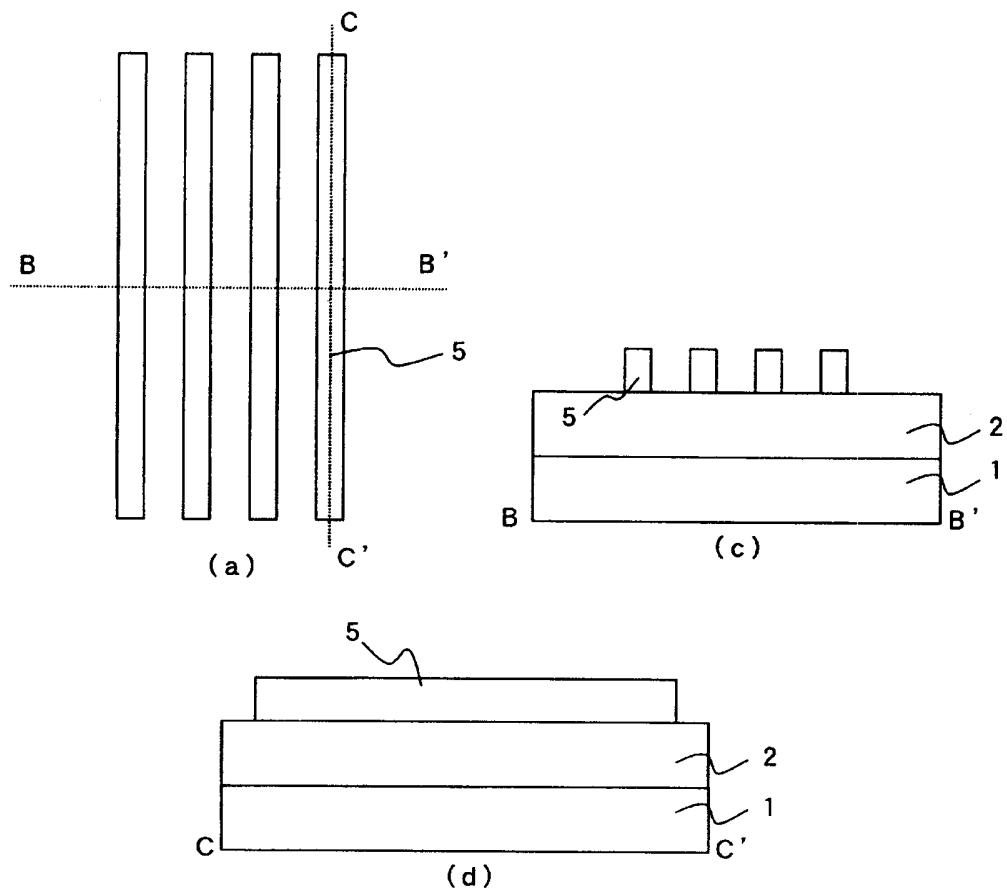
[図16]



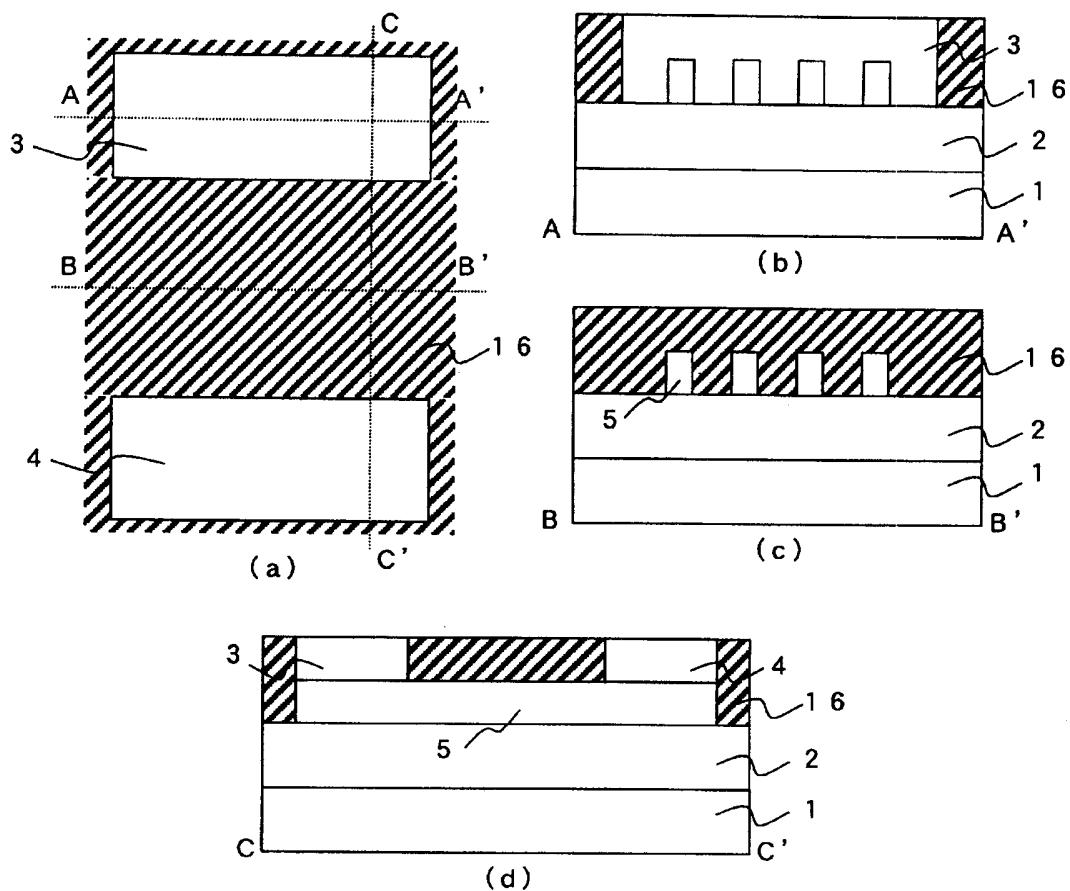
[図17]



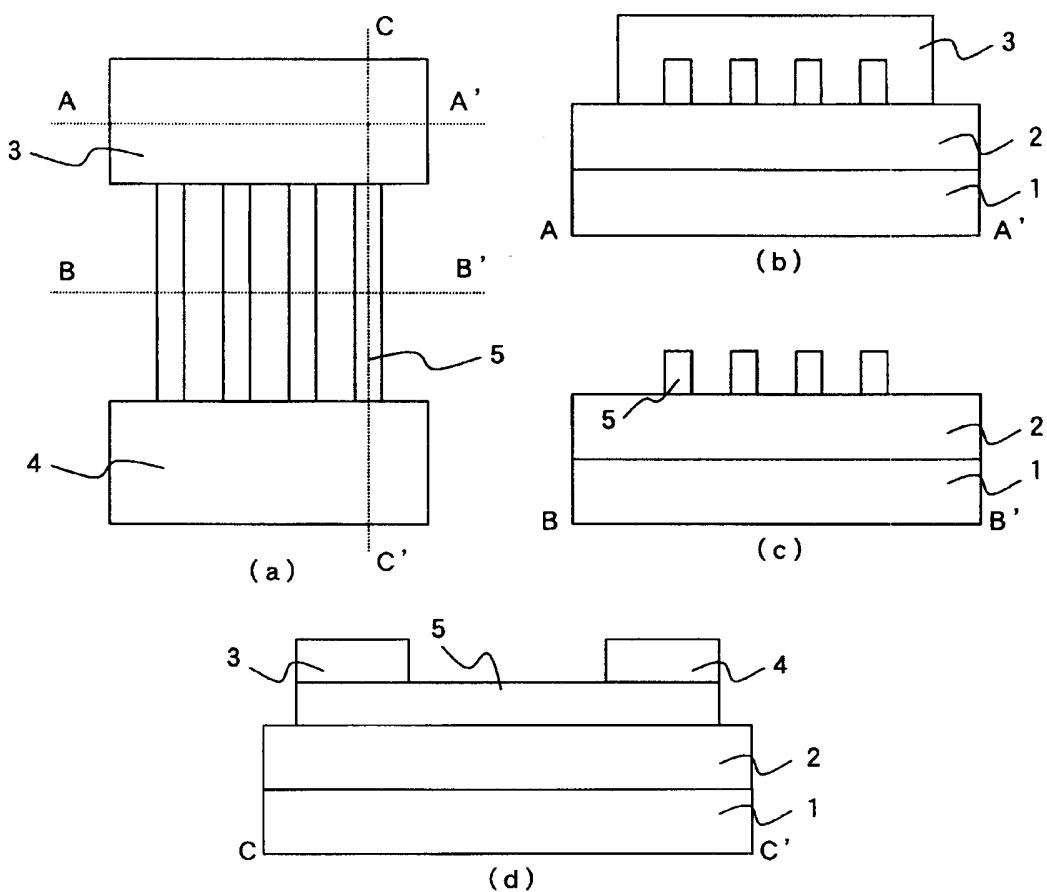
[図18]



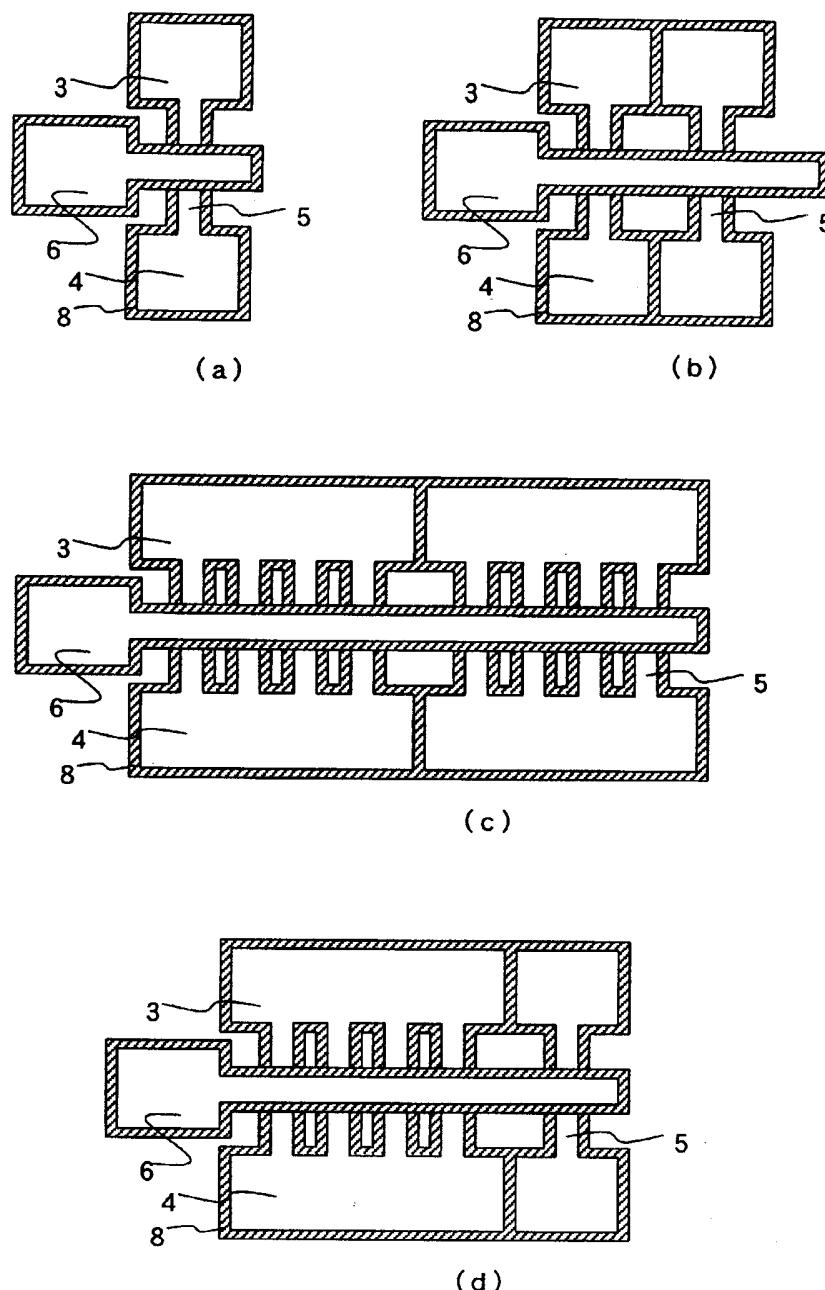
[図19]



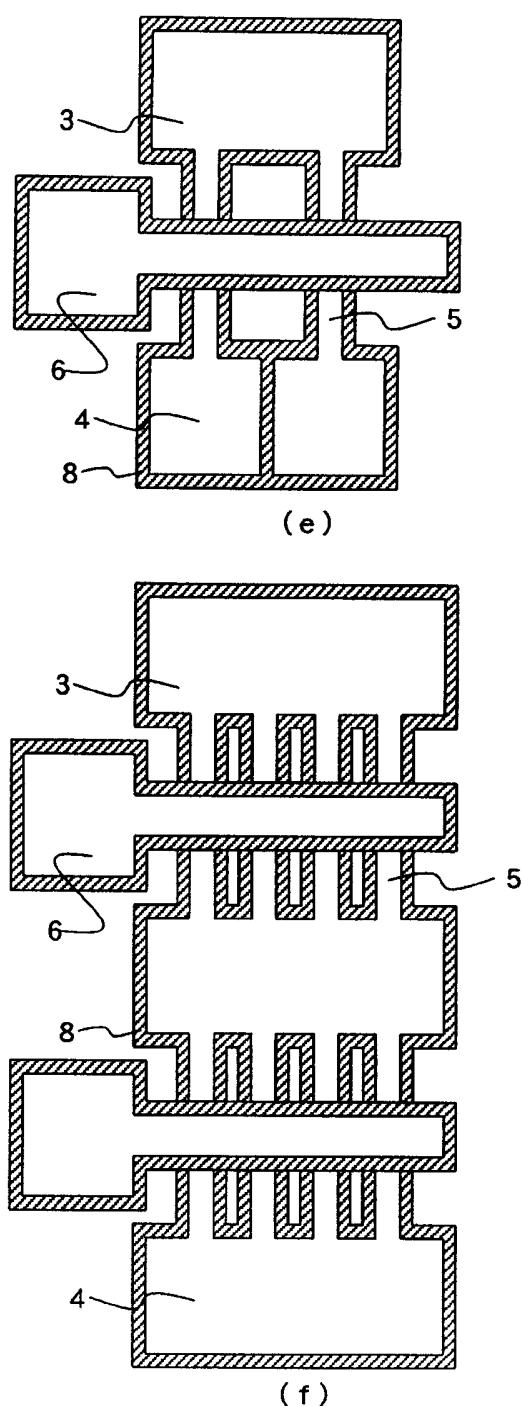
[図20]



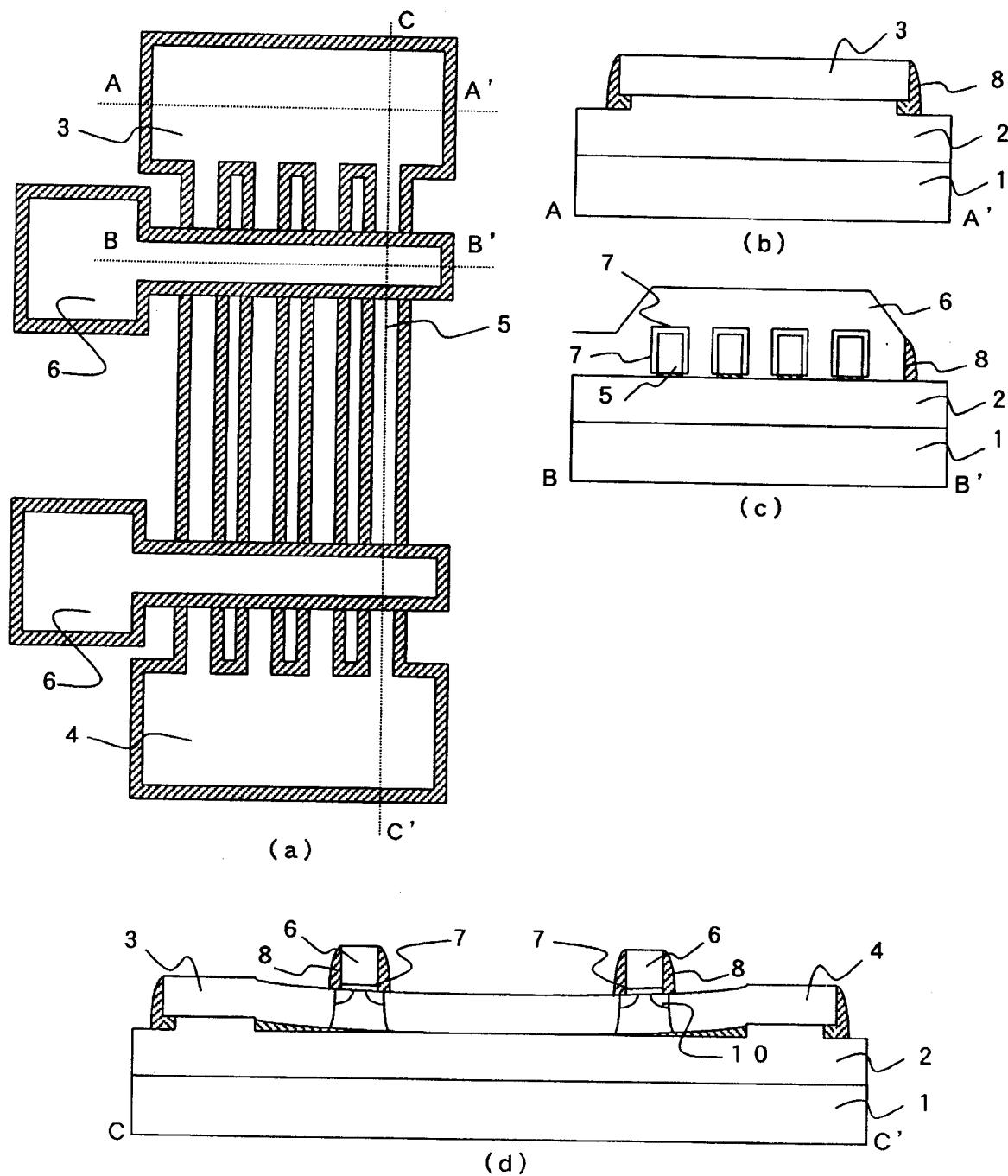
[図21]



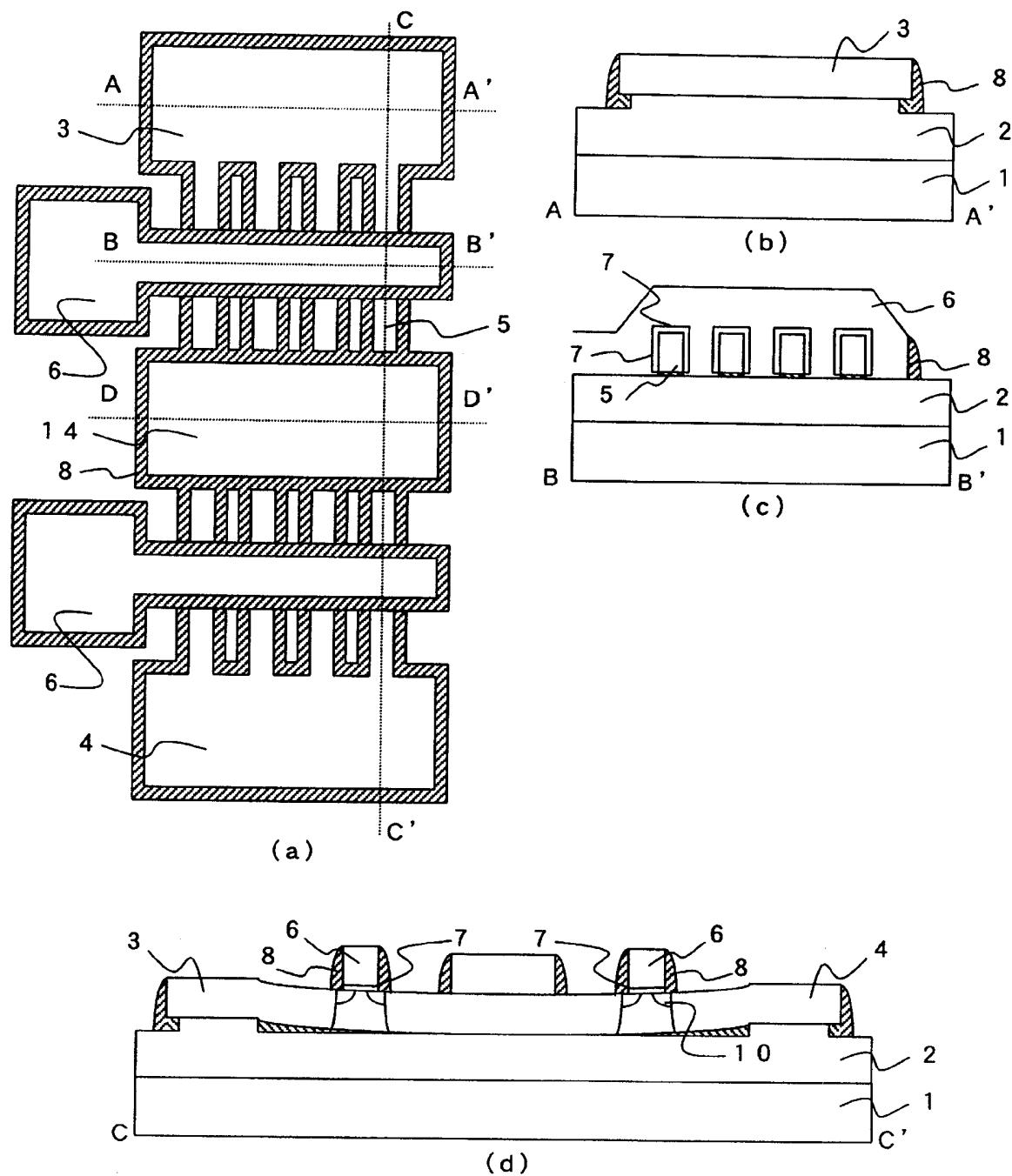
[図22]



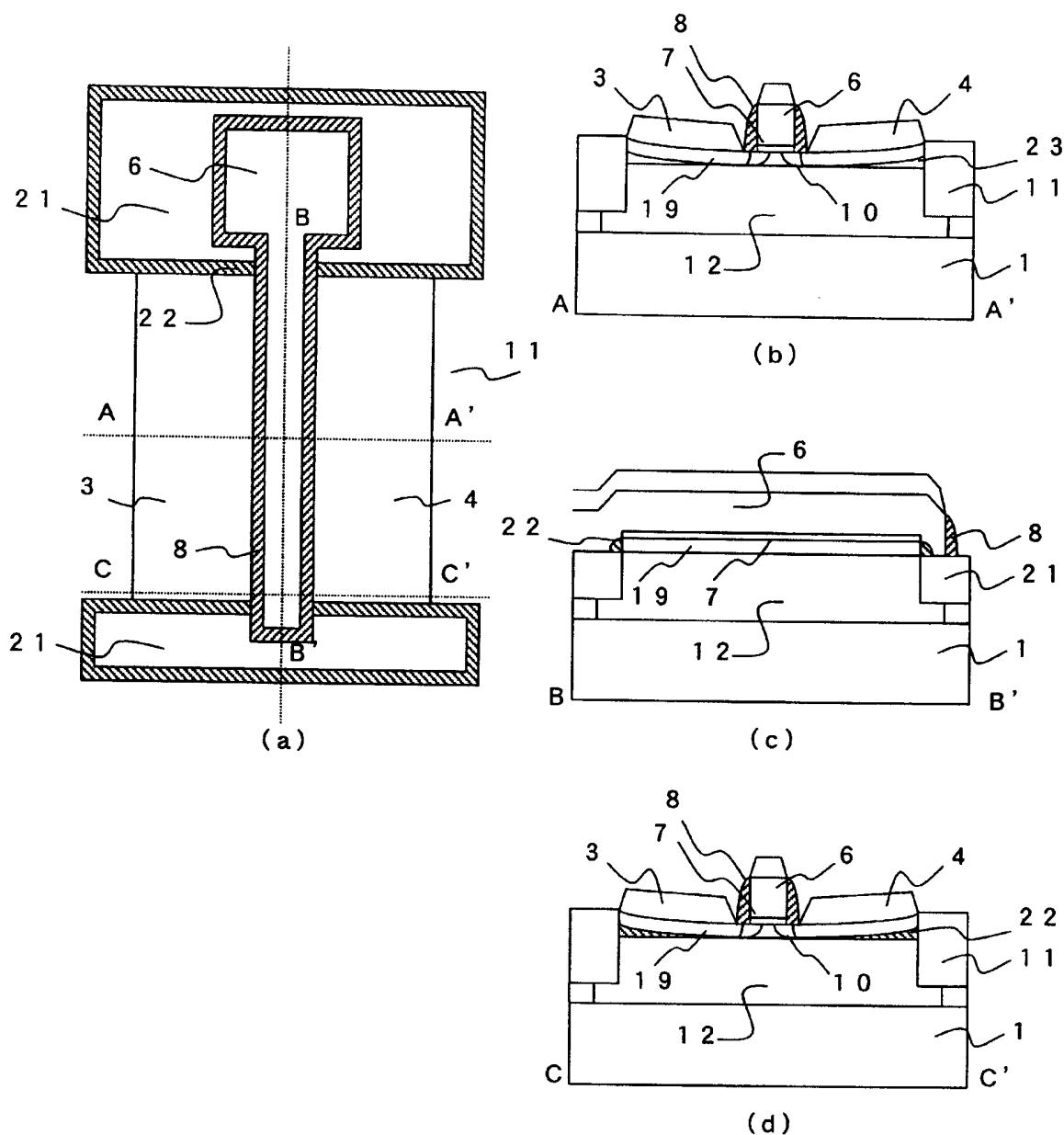
[図23]



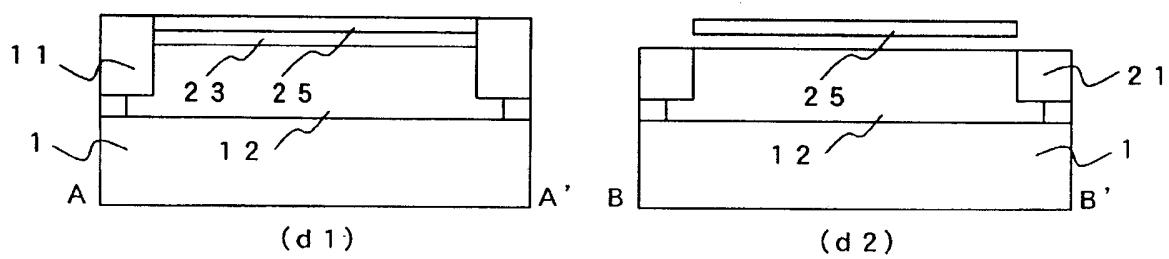
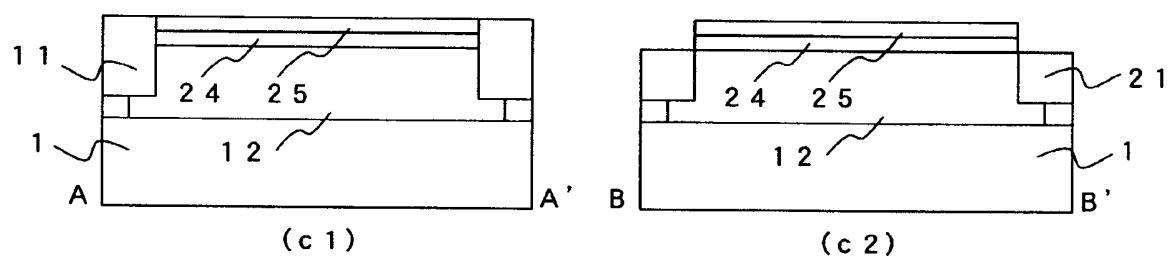
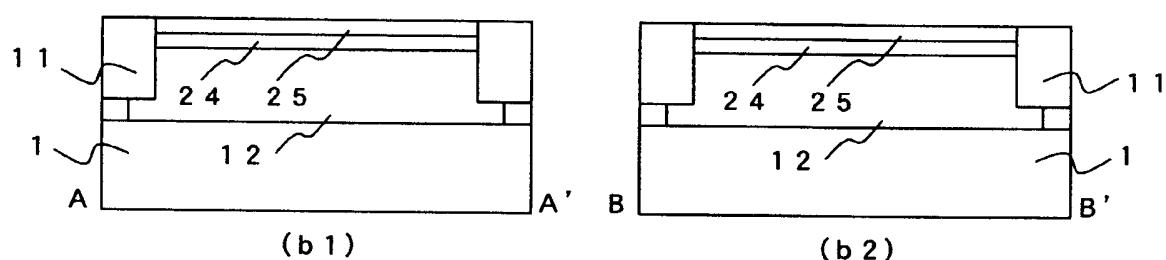
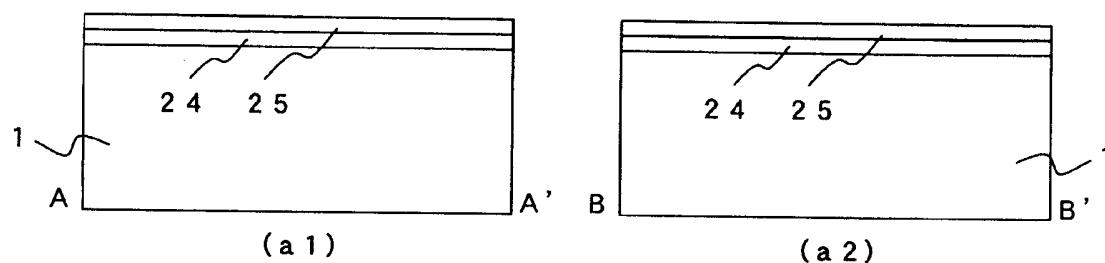
[図24]



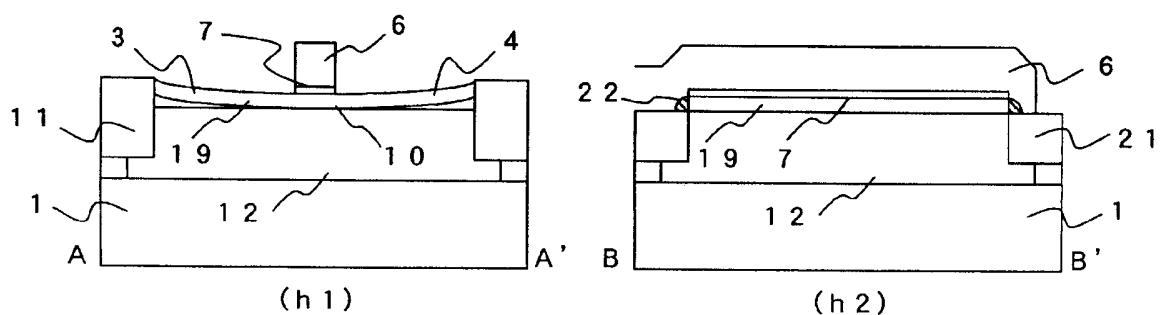
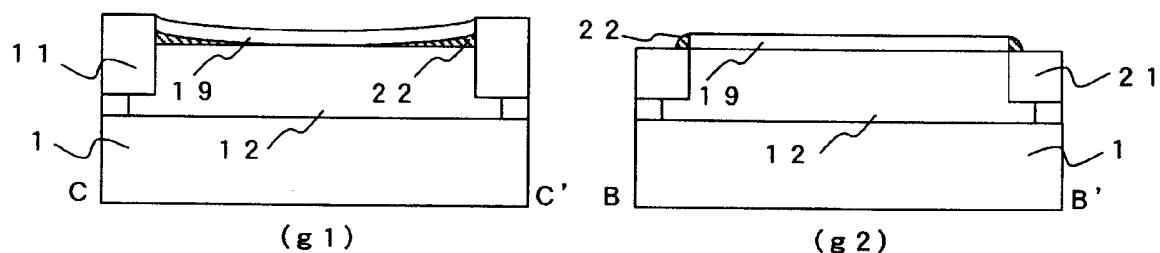
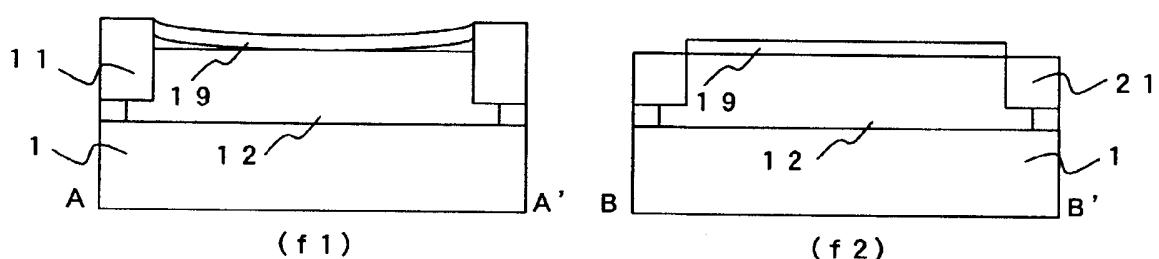
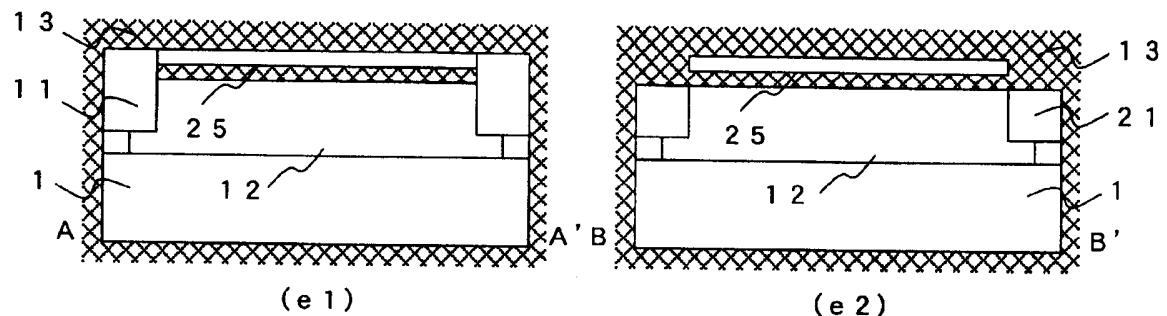
[図25]



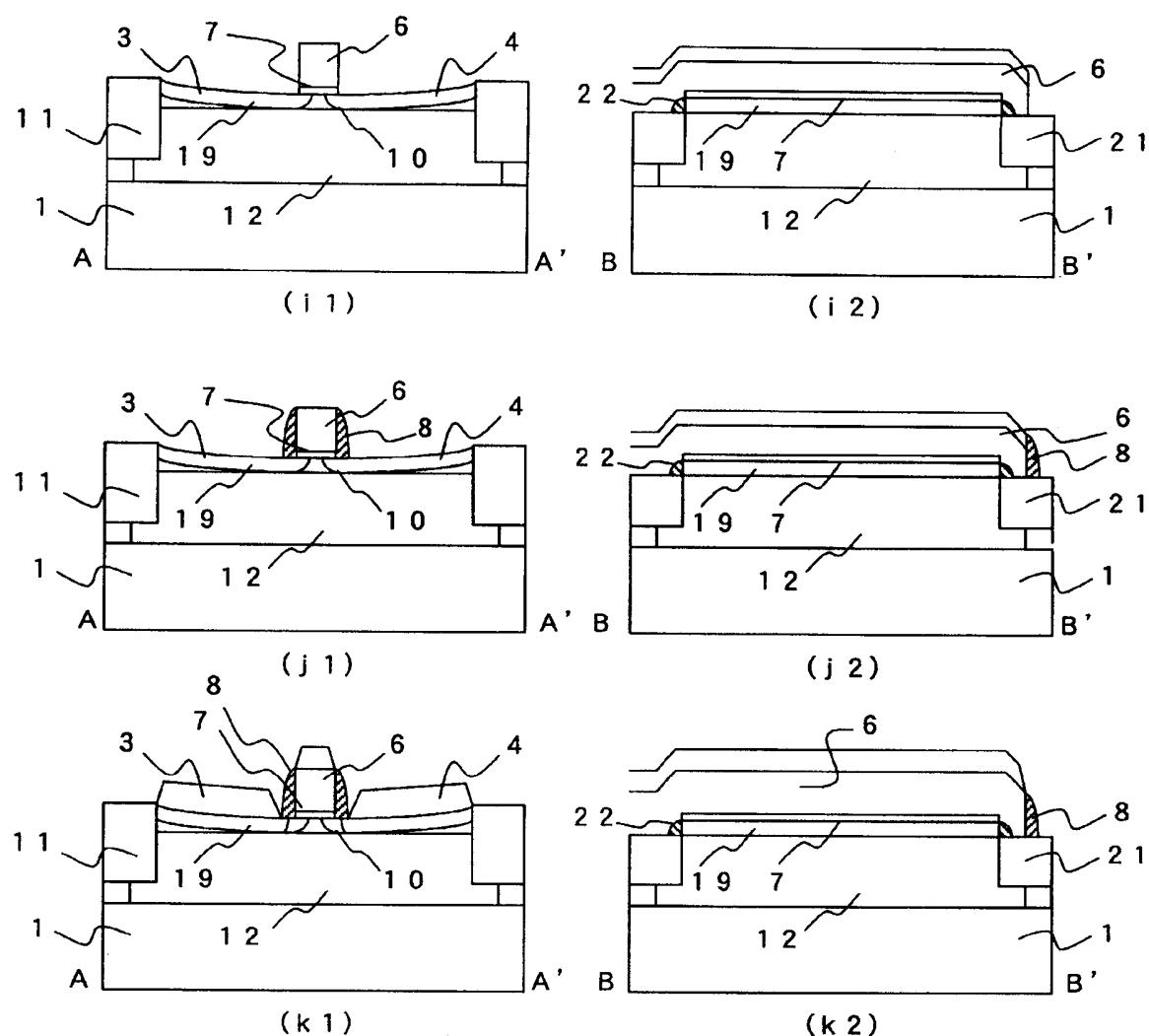
[図26]



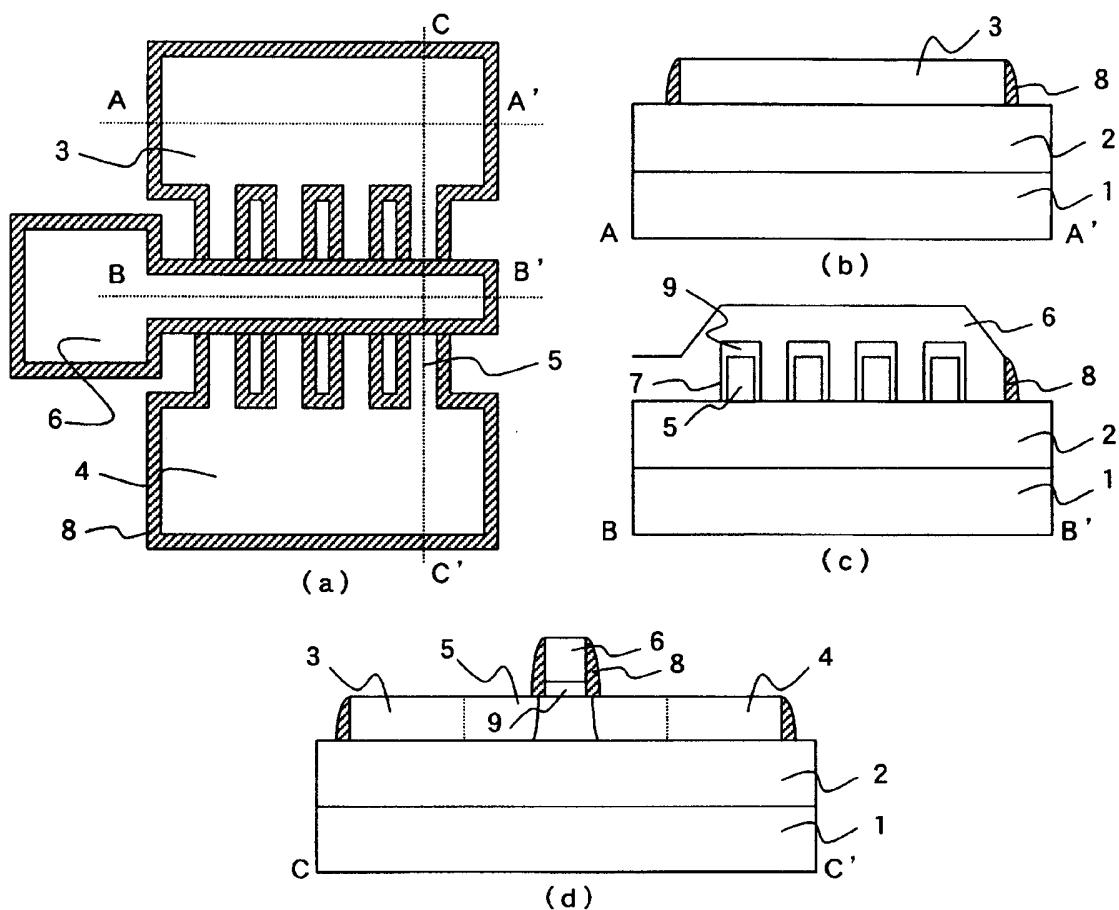
[図27]



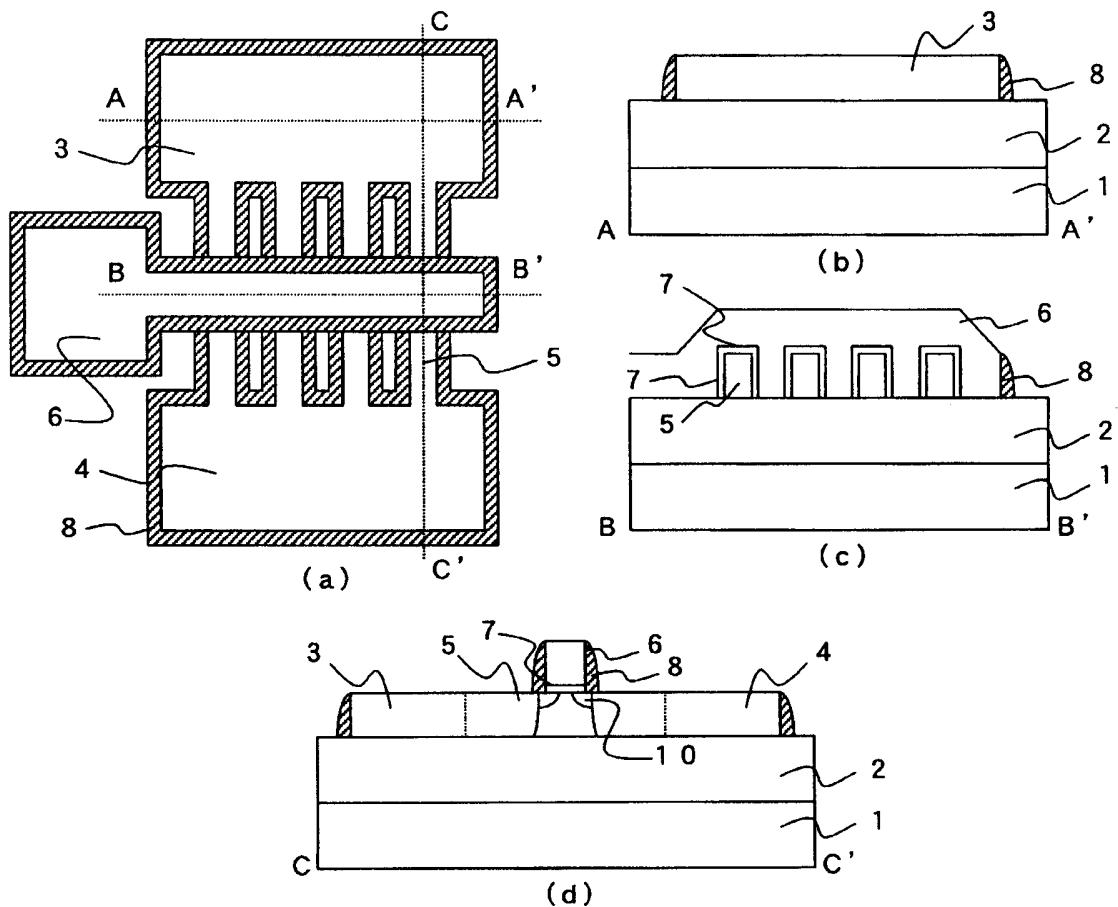
[図28]



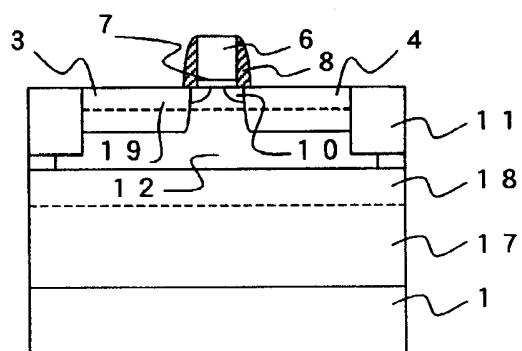
[図29]



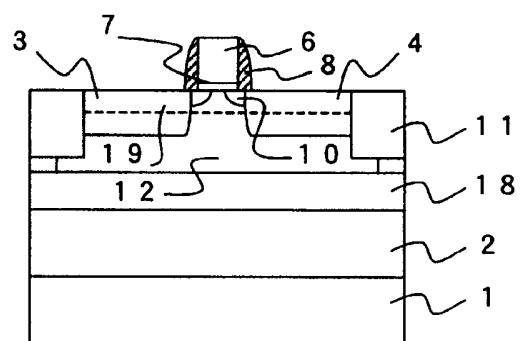
[図30]



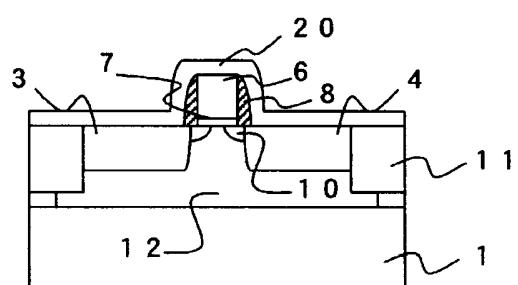
[図31]



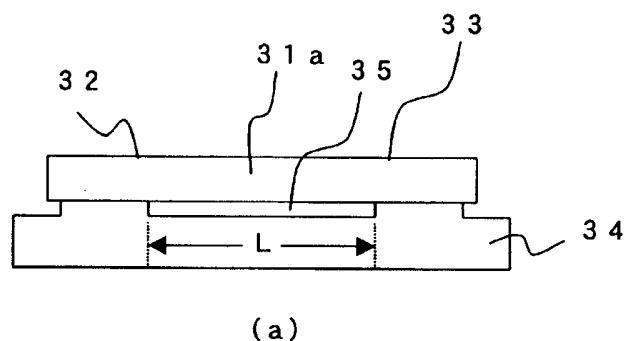
[図32]



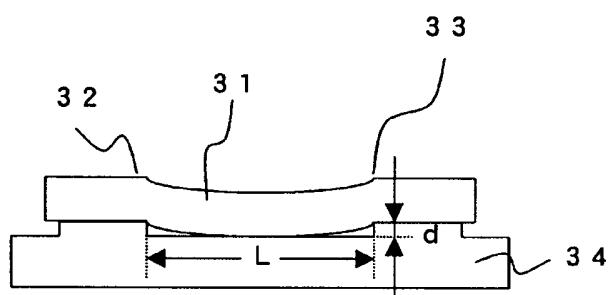
[図33]



[図34]



(a)



(b)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/010237

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/786, 21/336, 29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/786, 21/336, 29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-144276 A (Toshiba Corp.), 25 May, 2001 (25.05.01), Par. Nos. [0141] to [0256] (Family: none)	1-5
A	JP 2004-128185 A (Kabushiki Kaisha Runesasu Technology), 22 April, 2004 (22.04.04), Par. Nos. [0055] to [0085] & US 2004/0108559 A1	6-12
X	JP 2004-128185 A (Kabushiki Kaisha Runesasu Technology), 22 April, 2004 (22.04.04), Par. Nos. [0055] to [0085] & US 2004/0108559 A1	1-5
A	JP 2004-128185 A (Kabushiki Kaisha Runesasu Technology), 22 April, 2004 (22.04.04), Par. Nos. [0055] to [0085] & US 2004/0108559 A1	6-12

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 August, 2005 (11.08.05)Date of mailing of the international search report
30 August, 2005 (30.08.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.⁷ H01L29/786, 21/336, 29/78

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.⁷ H01L29/786, 21/336, 29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-144276 A (株式会社東芝), 2001.05.25, 【0141】-【0256】段落 (ファミリーなし)	1-5
A		6-12
X	JP 2004-128185 A (株式会社ルネサステクノロジ), 2004.04.22, 【0055】-【0085】段落	1-5
A	& US 2004/0108559 A1	6-12

〔 C 欄の続きにも文献が列挙されている。

〔 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願
- の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 11.08.2005	国際調査報告の発送日 30.8.2005
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 棚田 一也 電話番号 03-3581-1101 内線 3498 4 L 9361