

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-507683

(P2006-507683A)

(43) 公表日 平成18年3月2日(2006.3.2)

(51) Int.C1.

HO 1 L 29/812 (2006.01)
HO 1 L 21/338 (2006.01)

F |

HO 1 L 29/80

B

テーマコード（参考）

5 F 102

審查請求・未請求・予備審査請求・未請求 (合 22 頁)

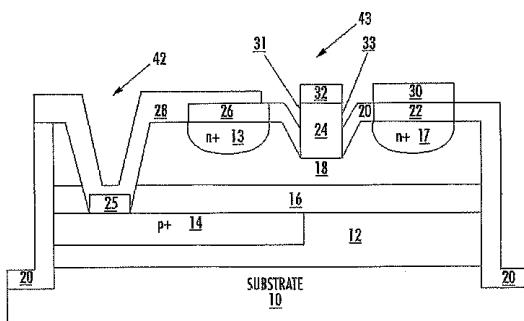
(21) 出願番号	特願2004-555310 (P2004-555310)	(71) 出願人	592054856 クリー インコーポレイテッド C R E E I N C. アメリカ合衆国 ノースカロライナ州 2 7 7 0 3 ダラム シリコン ドライブ 4 6 0 0
(86) (22) 出願日	平成15年10月2日 (2003.10.2)		
(85) 翻訳文提出日	平成17年5月26日 (2005.5.26)		
(86) 國際出願番号	PCT/US2003/031334		
(87) 國際公開番号	W02004/049454		
(87) 國際公開日	平成16年6月10日 (2004.6.10)		
(31) 優先権主張番号	10/304,272	(74) 代理人	100077481 弁理士 谷 義一
(32) 優先日	平成14年11月26日 (2002.11.26)	(74) 代理人	100088915 弁理士 阿部 和夫
(33) 優先権主張国	米国(US)	(72) 発明者	サブタリッシュ スリラム アメリカ合衆国 27513 ノースカロ ライナ州 キャリー ティンバー ヒッチ ロード 107

最終頁に続く

(54) 【発明の名称】ソース領域の下にD型埋込み層を備えたトランジスタ及びその作製方法。

(57) 【要約】

本発明は、金属半導体電界効果トランジスタ（M E S F E T）を提供する。このM E S F E Tは、ソース（1 3）とドレイン（1 7）とゲート（2 4）とを備えている。このゲート（2 4）を、ソース（1 3）とドレイン（1 7）の間及びn導電型チャネル層（1 8）上に設ける。ドレイン（1 7）に向かって延びている端部を備えるp導電型領域（1 4）をソースの下に設ける。このp導電型領域（1 4）をn導電型チャネル領域（1 8）から隔ててソース（1 3）に電気的に結合させる。



【特許請求の範囲】**【請求項 1】**

ソースとドレインとゲートとを備え、前記ゲートが、前記ソースと前記ドレインの間及び n 導電型チャネル層上に設けられ、

前記ソースの下にあり、前記ドレインに向かって延びる端部を備え、前記 n 導電型チャネル層から隔てられて前記ソースに電気的に結合されている p 導電型領域を備えたことを特徴とする金属半導体電界効果トランジスタ。

【請求項 2】

前記ゲートが、前記 n 導電型チャネル層内に延びていることを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。 10

【請求項 3】

前記ゲートは、第 1 側壁及び第 2 側壁を備え、前記第 1 側壁が前記ゲートの前記ソース側にあり、前記第 2 側壁が前記ゲートの前記ドレイン側にあり、前記 p 導電型領域は、前記ソースの下から前記ゲートの前記第 1 側壁まで延びていて前記ゲートの前記第 1 側壁を越えては延びていないことを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 4】

前記ゲートは、第 1 側壁及び第 2 側壁を備え、前記第 1 側壁が前記ゲートの前記ソース側にあり、前記第 2 側壁が前記ゲートの前記ドレイン側にあり、前記 p 導電型領域は、前記ソースの下から前記第 1 側壁のソース側で前記第 1 側壁の内側に約 0.1 ~ 0.3 μm まで延びていることを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。 20

【請求項 5】

前記ゲートは、第 1 側壁及び第 2 側壁を備え、前記第 1 側壁が前記ゲートの前記ソース側にあり、前記第 2 側壁が前記ゲートの前記ドレイン側にあり、前記 p 導電型領域は、前記ソースの下から前記ゲートの前記第 2 側壁まで延びていて前記ゲートの前記第 2 側壁を越えては延びていないことを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 6】

前記ゲートは、第 1 側壁及び第 2 側壁を備え、前記第 1 側壁が前記ゲートの前記ソース側にあり、前記第 2 側壁が前記ゲートの前記ドレイン側にあり、前記 p 導電型領域は、前記ソースの下から前記ゲートの前記第 1 側壁と前記第 2 側壁の間まで延びていることを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。 30

【請求項 7】

前記 p 導電型領域は、ソースコンタクト及び / 又はソース注入領域の下から延びていてドレインコンタクトの下までは延びていないことを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 8】

前記 p 導電型領域は、ソースコンタクト及び / 又はソース注入領域の下から延びていてドレイン注入領域の下までは延びていないことを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。 40

【請求項 9】

前記 p 導電型領域がその上に設けられる炭化ケイ素 (SiC) 基板をさらに備え、前記 n 導電型チャネル層は、n 導電型炭化ケイ素 (SiC) を含み、前記 p 導電型領域は、p 導電型 SiC を含んでいることを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 10】

炭化ケイ素 (SiC) 基板をさらに備え、前記 p 導電型領域の少なくとも一部分が前記 SiC 基板中に設けられていることを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 11】

10

20

30

40

50

前記 p 導電型領域が前記 SiC 基板中に設けられ、該 SiC 基板の内側に約 0.4 μm 延びていることを特徴とする請求項 9 に記載の金属半導体電界効果トランジスタ。

【請求項 12】

前記 p 導電型領域のキャリア濃度が、約 $1.0 \times 10^{18} \text{ cm}^{-3}$ ~ 約 $1.0 \times 10^{20} \text{ cm}^{-3}$ であることを特徴とする請求項 9 に記載の金属半導体電界効果トランジスタ。

【請求項 13】

前記 n 導電型チャネル層は、前記 p 導電型領域上に第 1 の n 導電型チャネル層を備えるとともに、前記 n 導電型チャネル層上に第 2 の n 導電型チャネル層を備えたことを特徴とする請求項 9 に記載の金属半導体電界効果トランジスタ。

【請求項 14】

前記第 1 の n 導電型チャネル層のキャリア濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ であり、前記第 2 の n 導電型チャネル層のキャリア濃度が約 $1 \times 10^{16} \text{ cm}^{-3}$ であることを特徴とする請求項 13 に記載の金属半導体電界効果トランジスタ。

【請求項 15】

前記第 1 の n 導電型チャネル層の厚さが約 0.28 μm であり、前記第 2 の n 導電型チャネル層の厚さが約 900 であることを特徴とする請求項 14 に記載の金属半導体電界効果トランジスタ。

【請求項 16】

前記 p 導電型 SiC 領域は、前記 SiC 基板中にあり、前記 SiC 基板の内部に約 0.4 μm 延びていることを特徴とする請求項 15 に記載の金属半導体電界効果トランジスタ。

【請求項 17】

前記 n 導電型チャネル層は、第 1, 第 2 及び第 3 の n 導電型 SiC チャネル層を備え、該第 1, 第 2 及び第 3 の n 導電型チャネル層は、それぞれ、第 1, 第 2 及び第 3 のキャリア濃度を有することを特徴とする請求項 9 に記載の金属半導体電界効果トランジスタ。

【請求項 18】

バッファ層を前記 SiC 基板上にさらに備え、前記 p 導電型領域が前記バッファ層中に形成されることを特徴とする請求項 9 に記載の金属半導体電界効果トランジスタ。

【請求項 19】

前記バッファ層の厚さが約 2 μm であることを特徴とする請求項 18 に記載の金属半導体電界効果トランジスタ。

【請求項 20】

前記 p 導電型領域が、前記バッファ層の内側に約 0.4 μm 延びていることを特徴とする請求項 19 に記載の金属半導体電界効果トランジスタ。

【請求項 21】

前記バッファ層は、約 $0.5 \times 10^{15} \text{ cm}^{-3}$ ~ 約 $3 \times 10^{15} \text{ cm}^{-3}$ のキャリア濃度の p 導電型 SiC、約 $5 \times 10^{14} \text{ cm}^{-3}$ 未満のキャリア濃度の n 導電型 SiC、及び未ドープ SiC のうちの少なくとも 1 つを含むことを特徴とする請求項 18 に記載の金属半導体電界効果トランジスタ。

【請求項 22】

前記 p 導電型領域がその上に設けられる基板をさらに備え、該基板は、n 導電型ガリウムヒ素 (GaAs) 及び n 導電型窒化ガリウム (GaN) のうちの少なくとも 1 つを含み、前記 n 導電型チャネル層は、n 導電型 GaAs 及び n 導電型 GaN のうちの少なくとも 1 つを含み、前記 p 導電型領域は、p 導電型 GaAs 及び p 導電型 GaN のうちの少なくとも 1 つを含むことを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 23】

それぞれ前記ソース及び前記ドレインを構成する前記 n 導電型チャネル層上の第 1 及び第 2 のオーミックコンタクトと、

前記ソースと前記ドレインの間にあって前記 n 導電型チャネル層を露出させ、前記ゲートがその中に設けられ、前記 n 導電型チャネル層内に延びる第 1 陥凹部と、

10

20

30

40

50

前記ソースに隣接し、前記 p 導電型領域を露出させるコンタクトビアホールと、前記露出した p 導電型領域上に設けられた第 3 のオーミックコンタクトとをさらに備えたことを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 2 4】

前記ドレインの第 2 のオーミックコンタクト上の第 1 のオーバー層と、それぞれ前記ソースの第 1 のオーミックコンタクト上及び前記 p 導電型領域の露出部分の第 3 のオーミックコンタクト上の第 2 のオーバー層をさらに備え、該第 2 のオーバー層が、前記ソースの前記第 1 のオーミックコンタクト及び前記 p 導電型領域の前記露出部分の第 3 のオーミックコンタクトを電気的に結合させることを特徴とする請求項 2 3 に記載の金属半導体電界効果トランジスタ。10

【請求項 2 5】

前記 n 導電型チャネル層のキャリア濃度を超えるキャリア濃度を有し、前記ソース及び前記ドレインの下の n 導電型チャネル層中に注入された、SiC の n 導電型領域をさらに備え、前記第 1 及び前記第 2 のオーミックコンタクトが前記 SiC の前記 n 導電型領域上に設けられていることを特徴とする請求項 2 3 に記載の金属半導体電界効果トランジスタ。20

【請求項 2 6】

SiC の前記注入された n 導電型領域のキャリア濃度が、約 $1 \times 10^{19} \text{ cm}^{-3}$ であることを特徴とする請求項 2 5 に記載の金属半導体電界効果トランジスタ。

【請求項 2 7】

前記第 1 , 第 2 及び第 3 のオーミックコンタクトが、ニッケルコンタクトであることを特徴とする請求項 2 3 に記載の金属半導体電界効果トランジスタ。20

【請求項 2 8】

前記 n 導電型チャネル層上にあってそれぞれ前記ソース及び前記ドレインを構成する第 1 及び第 2 のオーミックコンタクトと、30

前記ソースと前記ドレインの間にあって前記 n 導電型チャネル層を露出させ、第 1 及び第 2 側壁を備える第 1 陥凹部と、

前記第 1 陥凹部の前記第 1 側壁と前記第 2 側壁の間に配設され、前記ゲートがその中に設けられ前記 n 導電型チャネル層の内側に延びている第 2 陥凹部と、

前記ソースに隣接し、p 導電型領域を露出させるコンタクトビアホールと、30

前記露した p 導電型領域上に設けられた第 3 のオーミックコンタクトと

をさらに備えたことを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 2 9】

前記 n 導電型チャネル層は、第 1 及び第 2 の導電層を備え、前記第 1 陥凹部が、前記第 2 の n 導電型チャネル層を貫通して前記第 1 の n 導電型チャネル層まで延びて前記第 1 の n 導電型チャネル層を露出させ、前記第 2 陥凹部が、前記第 1 の n 導電型チャネル層の内側に延びていることを特徴とする請求項 2 8 に記載の金属半導体電界効果トランジスタ。40

【請求項 3 0】

前記第 2 陥凹部が、前記第 1 の n 導電型チャネル層の内側に約 600 延びていることを特徴とする請求項 2 9 に記載の金属半導体電界効果トランジスタ。40

【請求項 3 1】

前記 p 導電型領域と前記 n 導電型チャネル層の間に第 2 バッファ層をさらに備えたことを特徴とする請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 3 2】

前記第 2 バッファ層は、p 型 SiC 、n 型 SiC 、及び未ドープ SiC のうちの少なくとも 1 つを含むことを特徴とする請求項 3 1 に記載の金属半導体電界効果トランジスタ。50

【請求項 3 3】

前記第 2 バッファ層は、p 型 SiC を含み、そのキャリア濃度が約 $1.0 \times 10^{16} \text{ cm}^{-3}$ ~ 約 $5.0 \times 10^{16} \text{ cm}^{-3}$ であることを特徴とする請求項 3 1 に記載の金属半導体電界効果トランジスタ。

【請求項 3 4】

前記第2バッファ層のキャリア濃度が、約 $1.5 \times 10^{16} \text{ cm}^{-3}$ であることを特徴とする請求項33に記載の金属半導体電界効果トランジスタ。

【請求項 3 5】

前記第2バッファ層の厚さが、約 $0.5 \mu\text{m}$ ～約 $1.0 \mu\text{m}$ であることを特徴とする請求項31に記載の金属半導体電界効果トランジスタ。

【請求項 3 6】

前記n導電型チャネル層及び前記第2バッファ層は、トランジスタの周縁部を構成し、前記n導電型チャネル層及び前記第2バッファ層を貫通して延びている側壁を備えるメサを形成することを特徴とする請求項31に記載の金属半導体電界効果トランジスタ。 10

【請求項 3 7】

前記メサの前記側壁が、前記p導電型領域を貫通して前記基板内側に延びていることを特徴とする請求項36に記載の金属半導体電界効果トランジスタ。

【請求項 3 8】

前記ゲート層は、前記n導電型チャネル層上にクロムの第1ゲート層を備えたことを特徴とする請求項1に記載の金属半導体電界効果トランジスタ。

【請求項 3 9】

前記ゲートは、前記第1ゲート層上にオーバー層を備え、該オーバー層が白金及び金を含むことを特徴とする請求項38に記載の金属半導体電界効果トランジスタ。 20

【請求項 4 0】

前記ゲートは、前記n導電型チャネル層上にニッケルの第1ゲート層を備えたことを特徴とする請求項1に記載の金属半導体電界効果トランジスタ。

【請求項 4 1】

前記ゲートは、前記第1ゲート層上にオーバー層をさらに備え、該オーバー層が金を含むことを特徴とする請求項40に記載の金属半導体電界効果トランジスタ。 20

【請求項 4 2】

前記ゲートの長さが、約 $0.4 \mu\text{m}$ ～約 $0.7 \mu\text{m}$ であることを特徴とする請求項1に記載の金属半導体電界効果トランジスタ。

【請求項 4 3】

前記ソースから前記ゲートまでの間隔が、約 $0.5 \mu\text{m}$ ～約 $0.7 \mu\text{m}$ であることを特徴とする請求項1に記載の金属半導体電界効果トランジスタ。 30

【請求項 4 4】

前記ドレインから前記ゲートまでの間隔が、約 $1.5 \mu\text{m}$ ～約 $2 \mu\text{m}$ であることを特徴とする請求項1に記載の金属半導体電界効果トランジスタ。

【請求項 4 5】

第1ゲートから第2ゲートまでの間隔が、約 $20 \mu\text{m}$ ～約 $50 \mu\text{m}$ であることを特徴とする請求項1に記載の金属半導体電界効果トランジスタ。

【請求項 4 6】

ソースとドレインとびゲートとを備え、前記ゲートが前記ソースと前記ドレインの間及びn導電型SiCのチャネル層上にある炭化ケイ素(SiC)であり、 40

前記ソースの下にあり、前記ドレインに向かって延びている端部を備え、前記n導電型SiCチャネル層から隔てられ前記ソースに電気的に結合されている前記p導電型SiC領域と

を備えたことを特徴とする金属半導体電界効果トランジスタ。

【請求項 4 7】

前記ゲートが、前記n導電型SiCチャネル層の内側に延びていることを特徴とする請求項46に記載の金属半導体電界効果トランジスタ。

【請求項 4 8】

ソースとドレインとゲートとを備え、前記ゲートを前記ソースと前記ドレインの間及びn導電型チャネル層上に形成するステップと、 50

前記ソースの下にあり、前記ドレインに向かって延びる端部を備え、前記n導電型SiCチャネル層から隔てられ前記ソースに電気的に結合されているp導電型領域を形成するステップと

を有することを特徴とする金属半導体電界効果トランジスタの作製方法。

【請求項49】

前記ゲートを形成するステップは、前記n導電型チャネル領域内に延びる前記ゲートを形成するステップを有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。

【請求項50】

前記ゲートは、第1側壁及び第2側壁を備え、前記第1側壁が前記ゲートの前記ソース側上、前記第2側壁が前記ゲートの前記ドレイン側上にあり。 10

前記p導電型領域を形成するステップは、前記ソースの下から前記ゲートの前記第1側壁まで延びていて前記ゲートの前記第1側壁を越えては延びていない前記p導電型領域を形成するステップを有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。

【請求項51】

前記ゲートは、第1側壁及び第2側壁を備え、前記第1側壁が前記ゲートの前記ソース側上、前記第2側壁が前記ゲートの前記ドレイン側上にあり。

前記p導電型領域を形成するステップは、前記ソースの下から前記第1側壁の前記ソース側上の前記ゲートの前記第1側壁の内側に約0.1～約0.3μmまで延びている前記p導電型領域を形成するステップを有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。 20

【請求項52】

前記ゲートは、第1側壁及び第2側壁を備え、前記第1側壁が前記ゲートの前記ソース側上に、前記第2側壁が前記ゲートの前記ドレイン側上にあり。

前記p導電型領域を形成するステップは、前記ソースの下から前記ゲートの前記第2側壁まで延びていて前記第2側壁を越えては延びていない前記p導電型領域を形成するステップを有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。

【請求項53】

前記ゲートは、第1側壁及び第2側壁を備え、前記第1側壁が前記ゲートの前記ソース側上に、前記第2側壁が前記ゲートの前記ドレイン側上にあり。

前記p導電型領域を形成するステップは、前記ソースの下から前記ゲートの前記第1側壁と前記ゲートの前記第2側壁の間まで延びている前記p導電型領域を形成するステップを有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。 30

【請求項54】

前記p導電型領域を形成するステップは、ソースコンタクト及び/又はソース注入領域の下から延びていてドレインコンタクトの下までは延びていない前記p導電型領域を形成するステップを有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。 40

【請求項55】

前記p導電型領域を形成するステップは、ソースコンタクト及び/又はソース注入領域の下から延びていてドレイン注入領域の下までは延びていない前記p導電型領域を形成するステップを有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。

【請求項56】

炭化ケイ素(SiC)基板を形成するステップをさらに有し、前記p導電型領域を形成するステップは、SiC基板上に前記p導電型領域を形成するステップを有し、前記n導電型チャネル層は、n導電型炭化ケイ素(SiC)を含み、前記p導電型領域は、p導電

型 SiC を含むことを特徴とする請求項 4 8 に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 5 7】

前記 SiC 上にバッファ層を形成するステップをさらに有し、前記バッファ層が、前記前記 SiC 基板と前記 n 導電型チャネル層の間に形成されることを特徴とする請求項 5 6 に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 5 8】

前記 p 導電型領域を形成するステップは、
前記バッファ層中に p 導電型ドーパントを注入するステップと、
前記 p 型ドーパントを活性化するために前記 p 型ドーパントをアニールするステップと
を有することを特徴とする請求項 5 7 に記載の金属半導体電界効果トランジスタの作製方法。 10

【請求項 5 9】

前記 p 導電型領域を形成するステップは、 p 導電型 SiC 層を形成するステップと n 導電型 SiC 層を形成するステップと未ドープ SiC 層を形成するステップとの少なくとも 1 つを有することを特徴とする請求項 5 7 に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 6 0】

前記バッファ層を形成するステップは、前記バッファ層を成長させるステップと前記バッファ層を堆積させるステップとの少なくとも 1 つを有することを特徴とする請求項 5 7 に記載の金属半導体電界効果トランジスタの作製方法。 20

【請求項 6 1】

前記 n 導電型チャネル層を形成するステップは、
SiC 基板上に第 1 のキャリア濃度の第 1 の n 導電型チャネル層を形成するステップと
、
前記第 1 の n 導電型チャネル層上に前記第 1 の n 導電型チャネル層の前記第 1 のキャリア濃度より低いキャリア濃度の第 2 の n 導電型チャネル層を形成するステップと
を有することを特徴とする請求項 5 6 に記載の金属半導体電界効果トランジスタの作製方法。 30

【請求項 6 2】

前記第 1 のキャリア濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ であり、前記第 2 のキャリア濃度が約 $1 \times 10^{16} \text{ cm}^{-3}$ であることを特徴とする請求項 6 1 に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 6 3】

前記 p 導電型 SiC 領域を形成するステップは、前記 SiC 基板中に p 型ドーパントを注入するステップを有することを特徴とする請求項 6 1 に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 6 4】

前記 p 型ドーパントを注入するステップは、前記 p 型ドーパントを活性化するために前記 p 型ドーパントをアニールするステップをさらに有することを特徴とする請求項 6 3 に記載の金属半導体電界効果トランジスタの作製方法。 40

【請求項 6 5】

前記 n 導電型チャネル層を形成するステップは、
SiC 基板上に第 1 のキャリア濃度の第 1 の n 導電型チャネル層を形成するステップと
、
前記第 1 の n 導電型チャネル層上に第 2 のキャリア濃度の第 2 の n 導電型チャネル層を形成するステップと、
前記第 2 の n 導電型チャネル層上に第 3 のキャリア濃度の第 3 の n 導電型チャネル層を形成するステップと
を有することを特徴とする請求項 5 6 に記載の金属半導体電界効果トランジスタの作製 50

方法。

【請求項 6 6】

窒化ガリウム(GaN)基板を形成するステップをさらに有し、前記p導電型領域を形成するステップは、GaN基板上に前記p導電型領域を形成するステップを有し、前記n導電型チャネル層を形成するステップは、前記n導電型GaNチャネル層を形成するステップを有し、前記p導電型領域を形成するステップは、前記p導電型GaN領域を形成するステップを有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 6 7】

ガリウムヒ素(GaAs)基板を形成するステップをさらに有し、前記p導電型領域を形成するステップは、GaAs基板上に前記p導電型領域を形成するステップを有し、前記n導電型チャネル層を形成するステップは、前記n導電型GaAsチャネル層を形成するステップを有し、前記p導電型領域を形成するステップは、前記p導電型GaAs領域を形成するステップを有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 6 8】

前記ソースと前記ドレインの間に前記n導電型チャネル層を露出させ、前記ゲートがその中に形成される前記n導電型チャネル層の内側に延びる第1陥凹部を形成するステップと、

前記n導電型チャネル層上及び前記第1陥凹部中に酸化膜層を形成するステップと、

前記n導電型チャネル層上に前記ソース及び前記ドレインをそれぞれ構成する第1及び第2のオーミックコンタクトを形成するステップと、

前記p導電型領域を露出させる前記ソースに隣接してコンタクトビアホールを形成するステップと、

前記露出したp導電型領域上に第3のオーミックコンタクトを形成するステップと

をさらに有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 6 9】

前記第1陥凹部を形成するステップは、

前記n導電型チャネル層上に前記第1陥凹部用のマスクを形成するステップと、

前記マスクに従って前記n導電型チャネル層内をエッティングするステップと
を有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 7 0】

前記コンタクトビアホールを形成するステップは、

前記p導電型層に隣接する酸化膜層中に前記コンタクトビアホール用のコンタクトウィンドウをエッティングするステップと、

前記p導電型層を露出させるために前記コンタクトウィンドウを貫通して前記n導電型チャネル層及び第2バッファ層をエッティングするステップと

を有することを特徴とする請求項68に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 7 1】

前記酸化膜層を形成するステップは、該酸化膜層を成長させるステップを有することを特徴とする請求項68に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 7 2】

前記酸化膜層を形成するステップは、該酸化膜層を堆積させるステップを有することを特徴とする請求項68に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 7 3】

第1、第2及び第3のオーミックコンタクトを形成するステップは、

前記ソースと前記ドレインと前記p導電型領域に隣接する前記酸化膜を貫通してコンタ

10

20

30

40

50

クトウィンドウをエッチングするステップと、

前記ソース及び前記ドレインに隣接する前記コンタクトウィンドウ中に前記第1及び第2のオーミックコンタクトを形成するステップと、

前記p導電型領域を露出させるために前記コンタクトウィンドウを貫通して前記n導電型チャネル層内及び第2バッファ層内をエッチングするステップと、

前記露出したp導電型層上に前記第3のオーミックコンタクトを形成するステップと

を有することを特徴とする請求項68に記載の金属半導体電界効果トランジスタの作製方法。

【請求項74】

前記第1、第2及び第3のオーミックコンタクトは、ニッケルを含むことを特徴とする請求項73に記載の金属半導体電界効果トランジスタの作製方法。 10

【請求項75】

前記ドレインの前記第2のオーミックコンタクト上に第1のオーバー層を形成するステップと、

前記ソースの第1オーミックコンタクト上及び前記p導電型領域の前記露出部分の第3のオーミックコンタクト上に、それぞれ第2のオーバー層を形成するステップとをさらに有し、前記第2のオーバー層が前記ソース上の前記第1のオーミックコンタクトを前記p導電型領域の露出部分の第3のオーミックコンタクトに電気的に結合させることを特徴とする請求項68に記載の金属半導体電界効果トランジスタの作製方法。

【請求項76】

前記n導電型チャネル層よりキャリア濃度が高いn導電型SiCの高濃度ドープ領域をもたらすために、前記ソース及び前記ドレインの下の前記前記n導電型チャネル層中のSiC領域中にn型ドーパントを注入するステップをさらに有し、

前記第1及び第2のオーミックコンタクトを形成するステップは、前記高濃度ドープ領域上に前記第1及び第2のオーミックコンタクトを形成するステップを有することを特徴とする請求項68に記載の金属半導体電界効果トランジスタの作製方法。

【請求項77】

n型ドーパントを注入するステップは、前記n型ドーパントを活性化するために前記n型ドーパントをアニールするステップをさらに有することを特徴とする請求項76に記載の金属半導体電界効果トランジスタの作製方法。 30

【請求項78】

それぞれ前記ソース及び前記ドレインを構成する第1及び第2のオーミックコンタクトを前記n導電型チャネル層上に形成するステップと、

前記ソースと前記ドレインの間に、前記n導電型チャネル層を露出させて第1及び第2の側壁を備える第1陥凹部を形成するステップと、

前記第1陥凹部の前記第1側壁と前記第2側壁の間に、前記ゲートがその中に形成される前記n導電型チャネル層の内側に延びる第2陥凹部を形成するステップと、

前記p導電型領域を露出させる前記ソースに隣接してコンタクトビアホールを形成するステップと、

前記露出したp導電型領域上に第3のオーミックコンタクトを形成するステップとをさらに有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。 40

【請求項79】

前記n導電型チャネル層を形成するステップは、第1及び第2のn導電型チャネル層を形成するステップを有し、前記第1陥凹部を形成するステップは、前記第1のn導電型チャネル層を露出させるために前記第2のn導電型チャネル層を貫通して前記第1のn導電型チャネル層まで延びている前記第1陥凹部を形成するステップを有し、前記第2陥凹部を形成するステップは、前記第1のn導電型チャネル層上に延びている前記第2陥凹部を形成するステップを有することを特徴とする請求項78に記載の金属半導体電界効果トランジスタの作製方法。 50

【請求項 8 0】

前記第2陥凹部を形成するステップは、前記n導電型チャネル層の内側に約600延びている前記第2陥凹部を形成するステップをさらに有することを特徴とする請求項79に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 8 1】

前記p導電型領域と前記n導電型チャネル層の間に、前記第2バッファ層を形成するステップをさらに有することを特徴とする請求項48に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 8 2】

前記第2バッファ層を形成するステップは、前記p導電型領域上に前記第2バッファ層を成長させるステップを有することを特徴とする請求項81に記載の金属半導体電界効果トランジスタの作製方法。 10

【請求項 8 3】

前記第2バッファ層を形成するステップは、前記p導電型領域上に前記第2バッファ層を堆積させるステップを有することを特徴とする請求項81に記載の金属半導体電界効果トランジスタの作製方法。

【請求項 8 4】

前記金属半導体電界効果トランジスタの周縁部を構成する側壁を備えるメサを形成するために、前記n導電型チャネル層及び前記第2バッファ層をエッチングするステップをさらに有することを特徴とする請求項81に記載の金属半導体電界効果トランジスタの作製方法。 20

【請求項 8 5】

前記SiC基板上にp導電型注入用のマスクを形成するステップと、
前記p導電型注入領域を注入し、p導電型SiC領域が、ソースの下にあり、ドレインに向かって延びている端部を備えるように、アニールで前記p導電型注入領域を活性化し、p導電型SiC領域を形成するステップであって、前記p導電型SiC領域がn導電型SiCチャネル層から隔てられ前記ソースに電気的に結合されており、前記n導電型SiCチャネル層は第1のn導電型SiCチャネル層及び第2のn導電型SiCチャネル層を含むステップと、 30

前記SiC基板及び前記p導電型SiC領域上にバッファ層を形成するステップと、
前記バッファ層上に前記第1のn導電型SiCチャネル層を形成するステップと、
前記第1のn導電型SiCチャネル層上に前記第2のn導電型SiCチャネル層を形成するステップと、

n導電型SiC注入用のマスクを形成するステップと、
前記n導電型SiCを注入し、前記第2のn導電型SiCチャネル層中でそれぞれソース及びドレイン領域を形成するためにアニールで前記n導電型SiCを活性化するステップと、

メサを形成するために前記第1及び第2のn導電型SiCチャネル層及び前記バッファ層をエッチングするステップと、

第1陥凹部用のマスクを形成し、前記ソース領域と前記ドレイン領域の間に前記第1陥凹部をエッチングするステップであって、前記第1陥凹部が前記第1のn導電型SiCチャネル層を露出させ第1及び第2の側壁を形成するステップと、 40

前記第1及び第2のn導電型SiCチャネル層上、前記第1陥凹部の前記ソース及び前記ドレイン領域上、ならびに前記第1陥凹部中に酸化膜層を形成するステップと、

前記酸化膜層中に前記ソースと前記ドレインとp導電型SiCコンタクト用のウィンドウを開けるステップと、

前記ソース及び前記ドレイン用に開けられた前記ウィンドウ中に第1及び第2のオームックコンタクトを形成するステップと、

第2陥凹部用のマスクを形成し、前記第1陥凹部の前記第1側壁と前記第1側壁の間で前記第2のn導電型SiCチャネル層内に前記第2陥凹部をエッチングするステップと、 50

前記 p 導電型 SiC 領域を露出させるために、前記第 1 及び第 2 の n 導電型チャネル層を貫通してエッチングし、前記コンタクトウインドウを貫通して前記 p 導電型 SiC コンタクト用の第 2 バッファ層をエッチングするステップと、

前記露出した p 導電型 SiC 領域上に第 3 のオーミックコンタクトを形成するステップと、

前記第 2 陥凹部中にゲートを形成するステップと、

前記オーミックコンタクト及び前記ゲート上にオーバー層を形成するステップであって、前記ソース及び前記 p 導電型 SiC 領域の前記露出部分が、前記ソース及び前記 p 導電型 SiC 領域を電気的に結合させる単一のオーバー層を共有するステップと

を有することを特徴とする金属半導体電界効果トランジスタの作製方法。

10

【請求項 8 6】

ソースとドレインとゲートとを備えるトランジスタであって、前記ゲートが前記ソースと前記ドレインの間及び半導体材料の第 1 層上にあり、

前記ソースの下にあり、前記ドレインに向かって延びている端部を備え、半導体材料の前記第 1 層から隔てられ前記ソースに電気的に結合されている p 導電型領域を備えたことを特徴とするトランジスタ。

【請求項 8 7】

前記ゲートが、半導体材料の前記第 1 層の内側に延びていることを特徴とする請求項 8 6 に記載のトランジスタ。

20

【請求項 8 8】

炭化ケイ素 (SiC) トランジスタを含むことを特徴とする請求項 8 6 に記載のトランジスタ。

【請求項 8 9】

ガリウムヒ素 (GaAs) 系トランジスタを含むことを特徴とする請求項 8 6 に記載のトランジスタ。

【請求項 9 0】

アルミニウムガリウムヒ素 (AlGaAs) 系トランジスタをさらに含むことを特徴とする請求項 8 6 に記載のトランジスタ。

【請求項 9 1】

窒化ガリウム (GaN) 系トランジスタを含むことを特徴とする請求項 8 6 に記載のトランジスタ。

30

【請求項 9 2】

窒化アルミニウムガリウム (AlGaN) 系トランジスタをさらに含むことを特徴とする請求項 8 6 に記載のトランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ソース領域の下に p 型埋込み層を備えたトランジスタ及びその作製方法に関し、より詳細には、微小電子デバイス、例えば、金属半導体電界効果トランジスタ (MOSFET) 及びその作製方法に関する。

40

【0002】

なお、本発明は、米国海軍省の契約番号第 N 3 9 9 9 7 - 9 9 - C - 3 7 6 1 号の助成契約の少なくとも部分的な助成の基でなされた。米国政府は、本発明に何らかの権利を有することができる。

【背景技術】

【0003】

無線周波数 (500 MHz)、S-バンド (3 GHz)、及び X-バンド (10 GHz) などの高周波で動作しつつ、ハイパワー (> 20 ワット) の処理能力を必要とする電気回路が、近年より普及してきた。ハイパワーの高周波回路が増加したため、これに対応して、よりハイパワーの負荷の処理能力を維持したまま無線周波数以上で高い信頼性で動作

50

することができるトランジスタの需要が増大してきた。従来は、バイポーラトランジスタ及び金属酸化膜半導体電界効果トランジスタ(MOSFET)がハイパワー用途に使用されてきたが、このようなデバイスのパワー処理能力は、動作周波数が高くなると限定されてくることがある。通常、接合型電界効果トランジスタ(JFET)が高周波用途に使用されるが、従来知られているJFETのパワー処理能力もやはり限界がある。

【0004】

近年、金属半導体電界効果トランジスタ(MESFET)が高周波用途に開発されてきた。このMESFETの構造は、多数キャリアのみが電流を運ぶので高周波用途に好ましい。このMESFETの設計は、ゲート容量が小さいことによりゲート入力のスイッチング時間をより速くすることができるので、最近のMOSFETの設計より好ましい可能性がある。したがって、あらゆる電界効果トランジスタは、電流を運ぶのに多数キャリアのみを使用するが、MESFETのショットキゲート構造により、MESFETは高周波用途により望ましいものとなる。10

【0005】

構造のタイプに加えて、トランジスタが形成される半導体材料の特性も、おそらくより根本的に動作パラメータに影響を及ぼす。トランジスタの動作パラメータに影響する特性のうちで、電子移動度、飽和電子ドリフト速度(saturated electron drift velocity)、絶縁破壊電界(electric breakdown field)、及び熱伝導度がトランジスタの高周波ハイパワー特性に最大の影響を及ぼす可能性がある。20

【0006】

電子移動度は、電場の存在下その飽和速度まで電子が如何に速く加速されるかの速度である。従来は、電子移動度の高い半導体材料が好まれた。というのは、より少ない電場でより多くの電流を生み出すことができ、その結果、電場が印加されたとき応答時間がより速くなるからである。飽和電子ドリフト速度は、電子が半導体材料中で得ることができる最大速度である。飽和電子ドリフト速度がより速い材料は、高周波用途に好ましい。というのは、速度が速いことはより短時間でソースからドレインへ到達することだからである。。20

【0007】

絶縁破壊電界とは、ショットキ接合の絶縁破壊が生じ、デバイスのゲートを通過する電流が突然増大する電界である。絶縁破壊電界が高い材料は、ハイパワー、高周波数トランジスタに好ましい。というのは、一般的に、より高い電界を所与の材料寸法によって支持することができるからである。低電界よりも高電界による方がより速く電子を加速することができるので、高電界はより速い過渡現象(transient)を可能にする。30

【0008】

熱伝導率は半導体材料の放熱能力である。典型的な動作では、すべてのトランジスタは熱を発生する。ハイパワー、高周波トランジスタは、通常、小信号トランジスタより多い熱量を発生する。温度が増大するにつれてキャリア移動度が低下するので、半導体材料の温度が上昇するにつれて、接合の漏れ電流が一般的に増大し、電界効果トランジスタを通る電流が一般的に減少する。したがって、半導体から熱が放散された場合、この材料はより低い温度のままとなり、小さい漏れ電流で大電流を運ぶことができる。40

【0009】

従来、高周波MESFETは、その電子移動度の高さ故に、ガリウムヒ素(GaAs)などのn型III-V化合物で製造してきた。これらのデバイスは、動作周波数を増大させ、電力処理能力をほどほどに向上させたが、これらの材料は比較的絶縁破壊電圧が低く、熱伝導度が低いのでハイパワー用途への有用性が制限される。

【0010】

炭化ケイ素(SiC)は、長年、シリコン(Si)又はGaAsから製造したデバイスより高温、ハイパワー、及び高周波で動作できる電子デバイスの製造を理論的には可能にするはずの優れた物理的電子的特性を持つことが知られていた。約 4×10^6 V/cm50

高い絶縁破壊電界、約 2.0×10^7 cm/sec の高い飽和電子ドリフト速度、及び、約 4.9 W/cm-K の高い熱伝導度は、SiC が高周波、ハイパワー用途に適しているはずであることを示唆している。残念なことに、製造上の困難の故に、高周波、ハイパワー用途への SiC の有用性が制限されてきた。

【0011】

シリコン基板上に製造された炭化ケイ素のチャネル層を備える MESFET が製造されている (Suzuki らの特許文献 1、Kondoh らの特許文献 2 参照)。MESFET の半導体層はエピタキシャルなので、各エピタキシャル層がその上に成長される層は、デバイス性能に影響を及ぼす。すなわち、Si 基板上に成長した SiC エピタキシャル層は、異なる基板上に成長した SiC エピタキシャル層と異なる電気的、熱的特性を有する。特許文献 1 及び特許文献 2 に記載された Si 基板上の SiC デバイスは、改善した熱特性を示すこともあったが、Si 基板を使用すると一般的にこのようなデバイスの放熱能力が制限される。Si 上への SiC の成長は、エピタキシャル層中に欠陥をもたらし、この欠陥はデバイスが動作するとき漏れ電流を大きくする。

【0012】

SiC 基板を用いる他の MESFET も開発されている。その開示の全体が本明細書に参照により組み込まれている 1990 年 7 月 19 日に出願され、現在は放棄されている、特許文献 3 には、Si 基板上に成長した SiC のエピタキシャル層を備える SiC MESFET が記載されている。これらのデバイスは、SiC 基板上に成長させたエピタキシャル層の結晶品質が向上しているので従来のデバイスより向上した熱特性を示す。しかし、ハイパワー、高周波数を得るために、SiC の低電子移動度の制約の克服が必要なことがある。

【0013】

同様に、本発明の譲受人に譲渡された Palmour の特許文献 4 には、SiC の n 領域上、及び、基板とチャネルがその中に形成された n 型層との間の低濃度にドープされた任意選択のエピタキシャル層の n 領域上に形成されたソース及びドレインを備える SiC MESFET が記載されている。Sriram らの特許文献 5 にも、SiC MESFET 及び高周波動作の場合 MESFET の性能を低下させることがある「表面効果」を克服するものとしての構造が記載されている。スピラム (Sriram) らは、n ソース及びドレインコンタクト領域ならびに p 型バッファ層を使用する SiC MESFET も記載している。

【0014】

さらに、従来の SiC FET 構造は、同一の導電型の低濃度にドープされた領域によってゲートからずらされた高濃度にドープされた極薄チャネル（デルタドープチャネル）を使用して、FET の全動作範囲、すなわち、完全に開放されたチャネルからピンチオフ電圧近くまでの間に一定の特性を提供することができた。デルタドープチャネルは、非特許文献 1 及び非特許文献 2 に詳細に記載されている。しかし、SiC MESFET においてさらなる改善を図ることができる。

【0015】

【特許文献 1】米国特許第 4,762,806 号明細書

【特許文献 2】米国特許第 4,757,028 号明細書

【特許文献 3】米国特許出願第 07/540,488 号明細書

【特許文献 4】米国特許第 5,270,554 号明細書

【特許文献 5】米国特許第 5,925,895 号明細書

【特許文献 6】米国特許出願第 10/136,456 号明細書

【特許文献 7】米国特許第 6,218,680 号明細書

【特許文献 8】米国特許出願第 09/567,717 号明細書

【非特許文献 1】Yokogawa et al., "Electronic Properties of Nitrogen Delta-Doped Silicon Carbide Layers", MRS Fall Symposium (2000)

【非特許文献 2】Konstantinov et al., "Investigation of Lo-Hi-Lo and Delta Doped

10

20

30

40

50

Silicon Carbide Structure", MRS Fall Symposium (2000)

【発明の開示】

【発明が解決しようとする課題】

【0016】

例えば、SiC MESFETを高効率、ハイパワー、高線形性の無線周波数(RF)用途に使用する場合、その絶縁破壊電界が高く漏れ電流が低いことは重要なことがある。高い絶縁破壊電圧をもたらすために、バナジウムドープ半絶縁SiCなどの高度に補償された基板を備えるデバイスが提供されてきた。一般的に、これらのデバイスは適切な絶縁破壊電圧ならびに低い漏れ電流をもたらすが、基板中の望まないトラップ効果のためデバイス性能を犠牲にすることがある。さらに、FETのチャネルの下の高濃度にドープされたp型層を備えるデバイスが提供され、良好に電子を閉じ込め、漏れ電流を低くすることに成功した。しかし、一般的に、これらのデバイスはデバイスのRF性能を劣化させる過剰な寄生現象を含んでいる。したがって、現在のSiC FETデバイスに関して、それらがデバイスの他の動作特性を犠牲にすることなく向上した絶縁破壊電圧を提供することができるような改善を図ることができる。

【0017】

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、ソース領域の下にp型埋込み層を備えたトランジスタ、具体的には、金属半導体電界効果トランジスタ及びその作製方法を提供することにある。

【課題を解決するための手段】

【0018】

本発明の各実施形態は、金属半導体電界効果トランジスタ(MESFET)の単位セルを提供する。MESFETの単位セルは、ソース、ドレイン、及びゲートを備えるMESFETを含んでいる。ゲートは、ソース及びドレインの間及びn導電型チャネル層上に設けられている。p導電型領域は、ソースの下に設けられ、ドレインに向かって延びる端部を備えている。このp導電型領域は、n導電型チャネル層から隔てられソースと電気的に結合している。

【0019】

本発明のいくつかの実施形態では、ゲートがn導電型チャネル層の内部に延びることができる。このゲートは、第1側壁及び第2側壁を備えている。ゲートの第1側壁は、ゲートのソース側に付随することができ、ゲートの第2側壁は、ゲートのドレイン側に付随することができる。このp導電型領域は、ソースの下からゲートの第1側壁まで延びてもよいがゲートの第1側壁を越えて延びることはできず、あるいはソースの下からゲートの第2側壁まで延びてもよいがゲートの第2側壁を越えて延びることはできず、あるいはソースの下からゲートの第1側壁と第2側壁の間に延びてもよい。いくつかの実施形態では、p導電型領域は、ソースの下から第1側壁のソース側上で第1側壁の内側約0.1~約0.3μmまで延びている。いくつかの実施形態では、p導電型領域は、ソースコンタクト及び/又はソース注入領域の下から延びているが、ドレインコンタクトの下までは延びていない。また、このp導電型領域は、ソースコンタクト及び/又はソース注入領域の下から延びることもあるが、ドレイン注入領域の下までは延びていない。

【0020】

本発明の他の実施形態では、MESFETはSiC基板を備える(SiC)MESFETである。p導電型領域は、SiC基板上に設けることができる。いくつかの実施形態では、p導電型領域がSiC基板中にある。n導電型チャネル層はn導電型SiCを含むことができ、また、p導電型領域はp導電型SiCを含むことができる。

【0021】

本発明の他の実施形態では、p導電型領域は、約 $1.0 \times 10^{18} \text{ cm}^{-3}$ ~ $1.0 \times 10^{20} \text{ cm}^{-3}$ までのキャリア濃度を持つことができる。n導電型チャネル層は、第1のn導電型チャネル層及び第2のn導電型チャネル層を備えることができる。第1のn導電型チャネル層のキャリア濃度は、約 $3 \times 10^{17} \text{ cm}^{-3}$ でよく、第2のn導電型チャ

10

20

30

40

50

ネル層のキャリア濃度は、約 $1 \times 10^{16} \text{ cm}^{-3}$ のキャリア濃度でよい。第1のn導電型チャネル層の厚さは、約 $0.28 \mu\text{m}$ でよく、第2のn導電型チャネル層の厚さは、約 900 の厚さでよい。本発明のある実施形態では、n導電型チャネル層は、第1，第2及び第3のn導電型チャネル層を備えている。これらの第1，第2及び第3のn導電型チャネル層は、それぞれ第1，第2及び第3のキャリア濃度を有することができる。

【0022】

本発明のいくつかの実施形態では、MESFETがさらにSiC基板上にバッファ層を備えることができる。p導電型領域は、バッファ層中に形成することができる。このp型層をSiC基板中に形成することもできる。このp型層は、バッファ層又はSiC基板内部に約 $0.4 \mu\text{m}$ 延びることができる。

10

【0023】

本発明の他の実施形態では、バッファ層の厚さが約 $2 \mu\text{m}$ でよい。このバッファ層は、p導電型SiCを含み、そのキャリア濃度は、約 $0.5 \times 10^{15} \text{ cm}^{-3}$ ~ 約 $3 \times 10^{15} \text{ cm}^{-3}$ でよい。また、このバッファ層は、n導電型SiCを含み、そのキャリア濃度は、約 $5 \times 10^{14} \text{ cm}^{-3}$ 未満でよい。最後にこのバッファ層は、未ドープSiCを含むことができる。

【0024】

本発明の他の実施形態では、MESFETがガリウムヒ素(GaAs)MESFET又は窒化ガリウム(GaN)MESFETとなることができる。MESFETは、GaAs基板又はGaN基板でよい基板を備えることができる。p導電型領域を、GaAs基板上又はGaN基板上に設けることができる。n導電型チャネル層は、n導電型のガリウムヒ素(GaAs)又はGaNを含むことができ、p導電型領域は、p導電型のGaAs又はGaNを含むことができる。

20

【0025】

本発明のいくつかの実施形態では、MESFETがさらにn導電型チャネル層上に第1及び第2のオーミックコンタクトを備えることができ、これらのオーミックコンタクトは、それぞれソース及びドレインを構成する。n導電型チャネル層上を露出させる第1の陥凹部をソースとドレインの間に設けることができる。この第1の陥凹部中にゲートを設けることができ、このゲートは、n導電型チャネル層の内部に延びることができる。p導電型領域を露出させるコンタクトビアホールをソースに隣接して設けることができ、この露出したp導電型領域上に第3のオーミックコンタクトを設けることができる。

30

【0026】

本発明の他の実施形態では、第2のオーミックコンタクト上に第1のオーバー層を、ソースの第1及び第3のオーミックコンタクト上ならびにp導電型領域の露出部分上に第2のオーバー層をそれぞれ設けることができる。この第2のオーバー層は、ソースの第1のオーミックコンタクト及びp導電型領域の露出部分の第3のオーミックコンタクトを電気的に結合させることができる。

40

【0027】

本発明の他の実施形態では、MESFETがソース及びドレインの下のn導電型チャネル層中に注入されたSiCのn導電型領域をさらに備えることができる。この注入されたSiCのn導電型領域は、n導電型チャネル層のキャリア濃度を超えるキャリア濃度を持つことができる。第1及び第2のオーミックコンタクトをこのSiCのn導電型領域上に設ける。この注入されたSiCのn導電型領域のキャリア濃度は、約 $1 \times 10^{19} \text{ cm}^{-3}$ である。第1，第2及び第3のオーミックコンタクトは、ニッケルコンタクトを備えることができる。

【0028】

本発明のある実施形態では、ゲート用の二重陥凹構造が設けられている。ソースとドレインの間に第1陥凹部を設けることができ、これはn導電型チャネル層を露出させる。この第1陥凹部は、第1及び第2の側壁を備えている。第1陥凹部の第1の側壁と第2の側壁の間に第2陥凹部を配設することができる。第2陥凹部中にゲートを設け、n導電型チ

50

ヤネル層の内部に延ばすことができる。

【0029】

本発明のいくつかの実施形態では、p導電型領域とn導電型チャネル層間に第2バッファ層を設けることができる。この第2バッファ層は、p型SiCを含むことができ、そのキャリア濃度は、約 1×10^{16} cm⁻³～約 5×10^{16} cm⁻³でよいが、通常は約 1.5×10^{16} cm⁻³である。このバッファ層の厚さは、約0.5 μm～約1.0 μmでよい。

【0030】

本発明の他の実施形態では、n導電型チャネル層及び第2のバッファ層が、トランジスタの周縁部を構成し、n導電型チャネル層及び第2のバッファ層を貫通して延びる側壁を有するメサを形成することができる。さらに、このメサの側壁は、p導電型領域を貫通して基板内に延びることができる。n導電型チャネル層上に酸化膜層を形成することができる。

10

【0031】

本発明の他の実施形態では、n導電型チャネル層上にゲートがクロムの第1ゲート層を備えている。このゲートは、第1ゲート層上にオーバー層をさらに備えることができる。このオーバー層は、白金及び金を含むことができる。あるいは、このゲートは、n導電型チャネル層上にニッケルの第1ゲート層を備えることもできる。ゲートは、第1ゲート層上にオーバー層をさらに備えることができる。このオーバー層は金を含むことができる。このゲートは、n導電型チャネル層の内部に約600 nm延びる底面を備える二重陥凹構造内に設けることもできる。このゲート長は、約0.4 μm～約0.7 μmでよい。ソースからゲートまでの間隔は、約0.5 μm～約0.7 μmでよい。ドレインからゲートまでの間隔は、約1.5 μm～約2 μmでよい。複数の単位セルを含むMOSFETにおいて、第1ゲートから第2ゲートまでの間隔は、約20 μm～約50 μmでよい。

20

【0032】

本発明のいくつかの実施形態では、トランジスタの単位セルを提供する。このトランジスタの単位セルは、ソース、ドレイン、及びゲートを備えている。トランジスタのゲートは、ソースとドレインの間ならびに半導体材料の第1の層上にある。p導電型領域がソースの下に設けられ、この領域はドレインに向かって延びる端部を備えている。このp導電型領域は、半導体材料の第1の層から隔てられ、ソースに電気的に結合している。

30

【0033】

本発明の他の実施形態では、ゲートが半導体材料の第1の層の内部に延びている。トランジスタは、炭化ケイ素(SiC)トランジスタ、ガリウムヒ素(GaAs)系トランジスタ、アルミニウムガリウムヒ素(AlGaAs)系トランジスタ、窒化ガリウム(GaN)系トランジスタ、及び/又は窒化アルミニウムガリウム(AlGaN)系トランジスタを含むことができる。本明細書で使用されるとき、GaN系、AlGaN系、GaAs系、及びAlGaAs系という用語は、GaN、AlGaN、及びAlInGaNなど、それぞれの化合物の二元、三元、及び四元化合物を示している。例えば、GaN系トランジスタは、GaN領域、AlGaN領域、InAlGaN領域等を含むことができる。

40

【0034】

本発明を主としてMOSFETに関して上述したが、他のタイプのトランジスタならびにトランジスタの製造方法、特にMOSFETの製造方法も提供する。

【発明を実施するための最良の形態】

【0035】

以下、図面を参照して本発明の実施の形態について説明する。

図に例示するとき、層又は領域の寸法は説明のために誇張してあり、すなわち、本発明の一般的な構造を説明するために提供している。さらに、本発明の様々な形態を基板又は他の層上に形成される層に関して説明する。当然のことながら当業者なら、層が他の層又は基板「上」に形成されるという表現は追加の層が介在できることを意図していることが分かるであろう。層が介在層無しで他の層又は基板上に形成されるという表現は本明細書

50

では層又は基板の「直接上」に形成されることを意味する。さらに、下に(beneath)などの相対的な用語は、本明細書では、図に示されているように一方の層又は領域の他方の層又は領域に対する関係を説明するために使用することができる。これらの用語は、図に示された向きに加えてデバイスの異なる向きを包含するように意図されている。例えば、図中のデバイスが反転された場合、他の層又は領域の「下の」と記載されていた層又は領域は、以後はこれらの他の層又は領域の「上に」向くはずである。この状況では、「下の(beneath)」という用語は、上及び下のどちらをも包含するものである。同一番号は、全体にわたって同一要素を示している。

【0036】

本明細書で、第1、第2という用語を様々な領域、層、及び/又は区画の説明に使用するが、これらの領域、層、及び/又は区画をこれらの用語に限定すべきではない。これらの用語は、単に、一方の領域、層、又は区画を他方の領域、層、又は区画と区別するために使用されている。すなわち、以下の説明する第1の領域、層、又は区画を、第2の領域、層、又は区画と呼ぶことができ、同様に、本発明の教示から逸脱することなく第2の領域、層、又は区画を、第1の領域、層、又は区画と呼ぶことができる。

【0037】

以下、本発明の実施形態を、本発明の様々な実施形態及び本発明の実施形態の様々な製造プロセスを説明する図1乃至図8Bを参照しながら詳細に説明する。トランジスタ、例えば、金属半導体電界効果トランジスタ(MESFET)が、MESFETのドレインに向かって伸びている端部を備えるMESFETのソースの下のp導電型領域を備えて提供される。以下に詳細に説明するように、p導電型領域、例えば、p導電型炭化ケイ素(SiC)が存在すると、例えば、デバイスの他の動作特性を譲歩せずに向上した絶縁破壊電圧を有するデバイスをもたらすことができる。p導電型領域が存在するとソースからの電子注入を禁止することができるので絶縁破壊電圧を向上させることができ、このため、絶縁破壊電圧を増大させることができる。本発明の実施形態によるトランジスタは、例えば、符号分割多重接続(CDMA)及び/又は広帯域CDMA(WCDMA)などの複雑な変調方式を用いる基地局用パワー増幅器などの高効率線形パワー増幅器に有用である。

【0038】

図1は、本発明の各実施形態によるトランジスタの断面図である。本発明によるトランジスタ、例えば、金属半導体電界効果トランジスタ(MESFET)について、以下に説明する。図1に示すように、まず、基板10を準備する。この基板10は、p導電型又はn導電型、あるいは半絶縁性のうちのいずれかの単結晶バルク炭化ケイ素(SiC)基板でよい。このp型又はn型の基板10は、極めて低濃度にドープすることができる。この基板を、6H、4H、15R、又は3C型の炭化ケイ素の群から選択された炭化ケイ素で形成することができる。本明細書では、本発明をSiC基板に関して説明するが、本発明をSiCに限定すべきではない。例えば、いくつかの実施形態では、基板10は、例えば、ガリウムヒ素(GaAs)及び/又は窒化ガリウム(GaN)を含むこともできる。

【0039】

例えば、p導電型の炭化ケイ素の任意選択のバッファ層12を基板10上に設けることができる。このバッファ層12は、6H、4H、15R、又は3C型多結晶のp導電型炭化ケイ素で形成することができる。このバッファ層12のキャリア濃度は、例えば、約 $0.5 \times 10^{15} \text{ cm}^{-3}$ ～約 $3.0 \times 10^{15} \text{ cm}^{-3}$ でよい。適切なドーパントは、アルミニウム、ホウ素、及び/又はガリウムを含んでいる。バッファ層12の厚さは、約2.0μmでよい。このバッファ層12は、上述したようにp導電型炭化ケイ素として説明したが、本発明をこの構成に限定すべきではない。その代わりに、バッファ層12は、未ドープ(すなわち、意図的なドープ無しの)炭化ケイ素又は極めて低濃度にドープされたn導電型炭化ケイ素でもよい。極めて低濃度にドープされたn導電型炭化ケイ素がバッファ層12に使用される場合、このバッファ層12のキャリア濃度は、約 $5.0 \times 10^{14} \text{ cm}^{-3}$ 未満であることが好ましい。

【0040】

10

20

30

40

50

さらに、図1に示すように、デバイスのドレインに向かって延びている端部を備えるデバイスのソースの下にp⁺領域14を設ける。本明細書で使用するとき、「p⁺」又は「n⁺」は、同一の層又は基板、あるいは他の層又は基板中に存在する、隣接する領域又は他の領域より高いキャリア濃度によって形成される領域を示している。本発明のある実施形態では、p⁺導電領域14は、ソースコンタクト26の下及び/又はn⁺ソース注入領域13の下から延びることができるが、n⁺ドレイン注入領域17の下までは延びていない。本発明の他の実施形態では、p⁺導電領域14は、ソースコンタクト26の下及び/又はn⁺ソース注入領域13の下から延びることができるが、ドレインコンタクト22の下までは延びていない。他の実施形態では、p⁺導電領域14は、さらに、ソースコンタクト26の下及び/又はn⁺ソース注入領域13の下からゲートの第1側壁31の下まで延びることができるが、ゲートの第1側壁31の下を越えない、あるいは、ソースコンタクト26の下及び/又はn⁺ソース注入領域13の下からゲートの第2側壁33の下まで延びることができるが、ゲートの第2側壁33の下を越えない、あるいは、ソースコンタクト26の下及び/又はn⁺ソース注入領域13の下からゲート24の第1側壁31と第2側壁33の間の下まで延びることができる。本発明のある実施形態では、p⁺導電領域14は、ソース側のゲート24の第1側壁31内の約0.1~0.3μmの点まで延びることができる。

10

【0041】

p⁺領域14は、p導電型領域、例えば、p導電型炭化ケイ素である。このp⁺領域14の場合、約1.0×10¹⁸cm⁻³~約1.0×10²⁰cm⁻³のキャリア濃度が適切でないことがあるが、できるだけ高いキャリア濃度が好ましい。キャリア濃度は、p⁺領域14全体にわたって一定でないことがあるが、オーミックコンタクトのその上への形成に役立つように、p⁺領域14の表面でキャリア濃度ができるだけ高いことが好ましい。図3に示すように、本発明のいくつかの実施形態では、p⁺導電の領域14を基板10中に設けることができる。このp⁺導電の領域14は、例えば、バッファ層12又は基板10内に約0.4μm延びることができる。ソース領域の下のp⁺導電の領域14は、ソースからの電子の注入を禁止することができ、したがって、おそらく絶縁破壊電圧の向上をもたらすことができる。さらに、p⁺導電の領域14がドレイン領域の下まで延びないので、デバイス内に寄生特性(parasitic)が導入されるのを禁止することができ、したがって、デバイス性能に影響を及ぼさないようにすることができる。

20

30

40

【0042】

バッファ層12は、基板10と第2バッファ層16の間に設けることができる。この第2バッファ層16は、例えば、約1×10¹⁶cm⁻³~5×10¹⁶cm⁻³、一般的には、約1.5×10¹⁶cm⁻³のキャリア濃度のp導電型炭化ケイ素でよい。また、このp導電型炭化ケイ素バッファ層16の厚さは、約0.5μm~約1.0μmでよい。この第2バッファ層16は、上述したように、p導電型炭化ケイ素として説明したが、本発明をこの構成に限定すべきでない。例えば、その代わりに、バッファ層12に関して上述したように、この第2バッファ層16はn導電型のもの、例えば、極めて低濃度にドープされたn導電型SiC又は未ドープSiCでよい。図3に示すように、本発明のある実施形態では、この第2バッファ層16を基板10上に直接設けることができる。

【0043】

図1に示すように、n導電型チャネル層18を第2バッファ層16上に設ける。このn導電型チャネル層18は、6H、4H、15R、又は3C型多結晶のn導電型炭化ケイ素で形成することができる。このn導電型炭化ケイ素チャネル層は、例えば、1つ又は複数の相異なるキャリア濃度のn導電型炭化ケイ素を含むことができる。例えば、図4に示すように、n導電型チャネル層18は、第1のn導電型チャネル層15及び第2のn導電型チャネル層19を備えることができる。その代わりにその開示が、あたかも本明細書にその全体が記載されているかのように本明細書に組み込まれている本発明の譲受人に譲渡されたSriramの特許文献6に詳細に記載されているように、このn導電型チャネル層18は、第1、第2及び第3のn導電型SiCを含むことができる。

50

【0044】

さらに図1に示すように、デバイスのソース及びドレイン領域中に、 n^+ 領域13及び n^+ 領域17をそれぞれ設ける。これらの領域13及び17は、一般的に、 n 導電型炭化ケイ素であり、 n 導電型チャネル層18のキャリア濃度より高いキャリア濃度を有する。これらの n^+ 領域13及び17の場合、約 $1.0 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度が適切でないことがあるが、できるだけ高いキャリア濃度が好ましい。

【0045】

これらの注入領域13及び17上にオーミックコンタクト26及び22をそれぞれ設け、ソースコンタクト26及びドレインコンタクト22を設けるためにそれらを隔てる。 p^+ コンタクト25をもたらすために p^+ 導電領域14上にオーミックコンタクト25を設ける。好ましくは、オーミックコンタクト25, 26、及び22は、ニッケル又は他の適切な金属で形成する。例えば、 p^+ オーミックコンタクト25をソースコンタクト26に電気的に結合させることによって、 p^+ 導電領域14をソースと同一電位に維持する。酸化膜などの絶縁体層20をデバイスの露出表面上にさらに設けてもよい。

【0046】

本発明のある実施形態によるトランジスタは、第1陥凹部43及びコンタクトビアホール42を備えている。第1陥凹部43を第1の n^+ 領域13と第2の n^+ 領域17の間、すなわち、ソースとドレインの間に設ける。第1陥凹部43は、 n 導電型チャネル層18の内部に延び、 n 導電型チャネル層18を露出させる。コンタクトビアホール42をソース領域13に隣接して設け、 p^+ 領域14の少なくとも一部分を露出させる。

【0047】

図4に示すように、本発明の各実施形態によるトランジスタは、第1及び第2陥凹部を備えた二重陥凹構造とすることができます。具体的には、第1陥凹部53が、第2の n 導電型チャネル層19を貫通して第1の n 導電型チャネル層15まで延びる床面を備えている。第2陥凹部54を第1陥凹部の側壁61と62の間に設ける。第1陥凹部53の第1側壁61はソース26とゲート24の間にあり、第1陥凹部53の第2側壁62はドレイン22とゲート24の間にある。第2陥凹部54の床面60は、例えば、約600の距離、第1の n 導電型チャネル層15の内部に延びている。この二重陥凹構造は、本発明の譲受人に譲渡されたSriramの特許文献6に記載されている。

【0048】

再度、図1を参照すると、ゲートコンタクト24をソース領域13とドレイン17の間の第1陥凹部43中に形成することができる。図4に示すように、上述したような本発明の二重陥凹部構造を備える各実施形態では、ゲート24を第2陥凹部中に設けることができる。さらに、図5に示すように、本発明のある実施形態では、ゲートコンタクト24を n 導電型チャネル層18上に設け、例えば、第1陥凹部43又は第2陥凹部54中には設けないようにすることができる。

【0049】

ゲートコンタクト24を、クロム、白金、白金シリサイド、ニッケル、及び/又は、TiWNで形成することができるが、ショットキ(Schottky)効果を実現するため当業者に周知の金などの他の金属を使用することもできる。このショットキゲートコンタクト24は、通常、3層構造を備えている。このような構造は、クロム(Cr)の高い接着力のため、有利なことがある。例えば、ゲートコンタクト24は、任意選択で n 導電型チャネル層18に接触するクロム(Cr)の第1ゲート層を備えることができる。このゲートコンタクト24は、白金(Pt)及び金又は他の高導電率金属のオーバー層をさらに備えることもできる。その代わりに、このゲートコンタクト24は、 n 導電型チャネル層18上の第1陥凹部43中にニッケルの第1層を備えることもできる。このゲートコンタクト24は、金の層を含むニッケルの第1層上にオーバー層をさらに備えることもできる。

【0050】

さらに、図1に示すように、金属のオーバー層28, 30及び32を、それぞれ、ソ-

10

20

30

40

50

スコンタクト 2 6 及び p⁺ コンタクト 2 5、ドレインコンタクト 2 2、ならびにゲートコンタクト 2 4 上に設けることができる。これらの金属のオーバー層 2 8, 3 0 及び 3 2 は、金、銀、アルミニウム、白金及び / 又は銅でよい。他の適切な高導電率の金属をオーバー層に使用することもできる。さらに、金属のオーバー層 2 8 で p⁺ 領域 1 4 の p⁺ コンタクト 2 5 をソースコンタクト 2 6 に結合することもできる。

【 0 0 5 1 】

M E S F E T の寸法を選択する際、ゲートの幅は、電流の流れに垂直なゲートの寸法として定義する。図 1 の断面図に示すように、ゲート幅は、頁の上下を走る。ゲート長は、電流の流れに平行なゲート寸法である。図 1 の断面図に示すように、ゲート長は、n 導電型チャネル層 1 8 と接触するゲート 2 4 の寸法である。例えば、本発明のある実施形態による M E S F E T のゲート長は、約 0 . 4 μm ~ 約 0 . 7 μm でよい。他の重要な寸法は、ソース - ゲート間隔であり、これは図 1 の断面図に、ソースコンタクト 2 6 又は n⁺ 領域 1 3 からゲートコンタクト 2 4 までの間隔として示している。本発明のある実施形態によるソース - ゲート間隔は、約 0 . 5 μm ~ 約 0 . 7 μm でよい。さらにドレイン 2 2 からゲート 2 4 までの間隔は、約 1 . 5 μm ~ 約 2 μm でよい。本発明の各実施形態は、複数の M E S F E T の単位セルをさらに含むことができ、単位セルの第 1 ゲートから第 2 ゲートまでの間隔は、例えば、約 2 0 μm ~ 約 5 0 μm でよい。

【 0 0 5 2 】

図 2 A 乃至図 2 H は、本発明の各実施形態による F E T の製造プロセスを示す図である。図 2 A に示すように、まず、任意選択のバッファ層 1 2 を基板 1 0 上に成長又は堆積させる。この基板 1 0 は、半絶縁性 S i C 基板、p 型基板又は n 型基板でよい。この基板 1 0 は、極めて低濃度にドープすることができる。バッファ層 1 2 は、約 3 . 0 × 1 0¹⁵ cm⁻³ 以下、一般的には、約 1 . 0 × 1 0¹⁵ cm⁻³ 以下のキャリア濃度の p 導電型炭化ケイ素でよい。その代わりに、このバッファ層 1 2 は、n 型炭化ケイ素又は未ドープ炭化ケイ素でもよい。

【 0 0 5 3 】

基板 1 0 が、半絶縁性の場合、基板は、その開示が、あたかも本明細書にその全体が記載されているかのように本明細書に組み込まれている「Semi-insulating Silicon Carbide Without Vanadium Domination」という名称の本発明の譲受人に譲渡された Cartier の特許文献 7 に記載のように製造することができる。このような半絶縁性基板は、炭化ケイ素基板の抵抗率が点欠陥に支配されるように、点欠陥レベルが十分高く、p 型ドーパントと n 型ドーパントのマッチングが十分なレベルの炭化ケイ素基板をもたらすことによって製造することができる。このような支配は、重金属、遷移元素、又は他のトラッピング準位の深い元素が約 1 × 1 0¹⁶ cm⁻³ 未満、好ましくは、約 1 . 0 × 1 0¹⁴ cm⁻³ 未満の濃度の原料粉末を用いて、高温で炭化ケイ素を製造することによって実現できる。例えば、約 3 0 0 ~ 約 5 0 0 未満のシード(種結晶; s e e d)を用いて、約 2 3 6 0 以上 2 3 8 0 以下の温度を使用することができる。すなわち、半絶縁性基板は、基板の抵抗率がこのような重金属又は遷移元素によって支配されないように、バナジウムなどの、重金属、遷移元素ドーパント、又は他のトラッピング準位の深い元素を実質的に含まないことが好ましい。半絶縁性基板は、重金属、遷移元素ドーパント、又は他のトラッピング準位の深い元素を実質的に含まないことが好ましいが、このような材料が本明細書に記載した M E S F E T の電気特性に実質的に影響を及ぼさない場合、このような元素は、本発明の開示からの利点を依然として保ちながら測定可能な量存在することができる。

【 0 0 5 4 】

さらに、図 2 A に示すように、p⁺ 領域 1 4 に注入するためにマスク 4 5 を形成する。この p⁺ 領域 1 4 は、一般的に、イオン、例えば、アルミニウム、ホウ素、及び / 又はガリウムの注入と、その後の高温アニールによって形成する。適切なアニール温度は約 1 3 0 0 ~ 1 6 0 0 、一般的には、約 1 5 0 0 でよい。イオン注入は、図 2 B に示すような p⁺ 領域 1 4 を形成するためにマスク 4 5 によって覆われた領域上で実施することができる。

きる。すなわち、 p 導電型の高濃度にドープされた領域、例えば、 p 導電型炭化ケイ素をもたらすために、もしあればバッファ層 12 又は基板 10 の一部分に、イオンを注入する。注入すると直ぐにドーパントをアニールして注入領域を活性化させる。この高濃度にドープされた p 導電型領域は、バッファ層 12 又は基板 10 の内部に約 0.4 μm 延びることができる。

【0055】

次に、図 2B に示すように、第 2 バッファ層 16 及び n 導電型チャネル層 18 をバッファ層 12 上に成長又は堆積させる。バッファ層 12 が含まれない場合、第 2 バッファ層 16 及び n 導電型チャネル層 18 を基板 10 上に成長又は堆積させる。図 2B に示すように、第 2 バッファ層 16 をバッファ層 12 上に形成し、 n 導電型チャネル層 18 をこの第 2 バッファ層 16 上に形成する。10

【0056】

次に、図 2C に示すように、 n^+ 領域 13 及び 17 に注入するためにマスク 50 を使用する。これらの領域 13 及び 17 は、一般的に、イオン、例えば、窒素 (N) 又はリン (P) の注入と、その後の高温アニールによって形成する。適切なアニール温度は約 1100 ~ 1600 でよい。図 2D に示すように、 n^+ 領域 13 及び 17 を形成するためにマスク 50 によって覆われない領域上でイオン注入を実施することができる。すなわち、 n 導電型の高濃度にドープされた領域、例えば、 n 導電型チャネル層 18 より高いキャリア濃度の n 導電型 SiC をもたらすために、 n 導電型チャネル層 18 の一部分に、イオンを注入する。注入すると直ぐにドーパントをアニールして注入領域を活性化させる。20

【0057】

次に、図 2D に示すように、基板 10、バッファ層 12、 p^+ 領域 14、第 2 バッファ層 16、及び n 導電型チャネル層 18 をエッチングして素子分離メサを形成する。このメサは、基板 10、バッファ層 12、 p^+ 領域 14、第 2 バッファ層 16、及び n 導電型チャネル層 18 によって形成される側壁 55 及び 57 を有し、それらはトランジスタの周縁部を構成する。このメサの側壁は、 p^+ 導電型領域 14 を越えて下に延びている。図 2D に示すように、メサを形成してデバイスの基板 10 の内部に延ばすことができる。このメサは、デバイスの空乏領域を越えて延び、デバイス中の電流の流れをメサに閉じ込めデバイスの静電容量を低下させることができる。好ましくは、上述したデバイスを反応性イオンエッ칭によってメサを形成するが、当業者に周知の他の方法を用いてメサを形成することもできる。さらに、メサが利用されない場合、陽子照射、補償する原子でのカウンタードーピング、又は他の当業者に周知の方法などの、他の方法を使用してデバイスを素子分離することができる。30

【0058】

ある実施形態では、第 2 バッファ層 16 及び n 導電型チャネル層 18 のみをエッチングして図 4 に示すような素子分離メサを形成することができる。これらの実施形態において、第 2 バッファ層及び n 導電型チャネル層 18 によって側壁 55 及び 57 が形成され、これらは、トランジスタの外縁部を構成する。

【0059】

さらに、図 2D に M E S F E T の第 1 陥凹部 43 の形成プロセスを示す。この第 1 陥凹部 43 は、マスク 47 を形成してこのマスク 47 を用いて第 1 陥凹部 43 を形成するために n 導電型チャネル層 18 をエッチングすることによって形成する。この第 1 陥凹部 43 は、乾式又は湿式エッ칭法などのエッ칭法によって形成することができる。例えば、この第 1 陥凹部 43 を、乾式エッ칭、例えば、電子サイクロトロン共鳴 (E C R ; Electron Cyclotron Resonance) エッ칭、又は誘導結合プラズマ (I C P ; Inductively Coupled Plasma) エッ칭によって形成することができる。次に、マスク 47 を除去する。40

【0060】

上述したように、本発明の各実施形態では、单一陥凹部 43 の代わりに二重陥凹構造とすることができる。図 4 に示すように、二重陥凹構造の第 1 陥凹部 53 は、第 1 陥凹部 5

10

20

30

40

50

3用のマスクを形成し、このマスクを使用して第1陥凹部53を形成するために第2のn導電型チャネル層19を貫通してエッティングすることによって形成する。絶縁層20は、この第1陥凹部53を形成した後で形成する。図2Gに示すようなオーミックコンタクトを形成した後で、第2陥凹部54用の第2マスクを形成し、このマスクを使用して第1陥凹部53をさらにエッティングすることによって、二重陥凹構造の第2陥凹部54を形成する。つまり、第1のn導電型チャネル層15を、例えば、約600エッティングして第2陥凹部54を形成することができる。さらに、二重陥凹構造の製造方法は、本発明の譲受人に譲渡されたSriramの特許文献6に記載されている。

【0061】

図2Eに、上述したように第1陥凹部43を形成した後の、絶縁体層20、例えば、酸化膜層の形成プロセスを示す。この絶縁体層20は、既存の構造の露出表面、すなわち、素子分離メサ上、n⁺領域13上及び17上、n導電型チャネル層18上、ならびに第1陥凹部43中の上に成長又は堆積させる。酸化プロセスによって、例えば、エッティングプロセスにより損傷する恐れがあるSiCを除去することができ、エッティングによって表面上に発生する恐れがある粗さを滑らかにすることもできる。10

【0062】

次に、図2Fに示すように、絶縁層20を貫通してn⁺領域13及び17までエッティングすることによりコンタクトウィンドウを形成する。また、高濃度にドープされたp⁺領域14の上の絶縁層20をエッティングすることにより第3のコンタクトウィンドウ41を形成する。次いで、ニッケルを蒸着させてソースコンタクト26及びドレインコンタクト22をそれぞれ堆積させる。このニッケルをアニールして図2Fに示すようなオーミックコンタクト26及び22を形成する。このような堆積及びアニールプロセスは、当業者にとって周知技術を用いて実施することができる。例えば、オーミックコンタクト26及び22を約950～約1100の温度で約2分間アニールする。しかし、他の温度及び時間を使用することもできる。例えば、約30秒～約10分の時間を許容することができる。20

【0063】

次に、図2Gに示すようにMESFETのコンタクトビアホール42を形成する。このコンタクトビアホール42は、MESFETの絶縁層20中のウィンドウ41によって形成された部分内をエッティングすることによって形成される。n導電型チャネル層18及び第2バッファ層16を貫通してエッティングしてコンタクトビアホール42を形成するためにp⁺導電領域14を露出させる。エッティング法は、例えば、乾式又は湿式エッティング法でよい。さらに、図2Gに示すように、ニッケルを蒸着させてp⁺コンタクト25を堆積させる。次に、このニッケルをアニールしてオーミックコンタクト25を形成する。このような堆積及びアニールプロセスは、当業者にとって周知技術を用いて実施することができる。例えば、オーミックコンタクト25を約600～約1050の温度でアニールすることができる。30

【0064】

次に、図2Hにゲートコンタクト24及びオーバー層28, 30及び32を示す。例えば、絶縁体20中にウィンドウを開け、第1陥凹部43中にクロムの層を堆積させる。一般的に、クロム層は真空蒸着によって形成する。次いで、白金及び金の堆積によってゲート構造を完成させる。また、当業者には当然のことだが、これらのオーバー層28, 30は、ゲート構造形成プロセスの前後のいずれかで形成することができる。実際、チタン/白金/金構造を使用する場合、オーバー層の白金及び金の部分は、ゲート構造の白金及び金の部分32と同じ処理ステップで形成することができる。したがって、オーバー層28及び30はゲートコンタクトの形成の前又は後で形成することができる。さらに、図示するように、ソースコンタクト26及びp⁺コンタクトは単一のオーバー層28を共有して、このオーバー層はソースが高濃度にドープされたp導電型領域14に電気的に結合させる。あるいは、上述したように、第1陥凹部43は二重陥凹構造でもよく、ゲートをこの二重陥凹構造内に設けることもできる。40

【0065】

次に、図3を参照して、本発明の他の実施形態によるトランジスタの断面図について以下に説明する。なお、同一番号は、先に説明した図面における同一要素を示すもので、これらの要素の詳細な説明は省略する。図3に示すように、まず、基板10を準備する。この基板10は、例えば、SiC, GaAs又はGaNでよい。 p^+ 領域14をデバイスのソースの下に設け、その端部はデバイスのドレインに向かって延びている。本発明のいくつかの実施形態では、 p^+ 導電領域14は、ソースコンタクト26の下及び/又は n^+ ソース注入領域13から延び、 n^+ ドレイン注入領域17の下まで延びている。また、本発明の他の実施形態では、 p^+ 導電領域14は、ソースコンタクト26の下及び/又は n^+ ソース注入領域13から延びているが、ドレインコンタクト22の下までは延びていない。図3に示すように、本発明の各実施形態では、 p^+ 導電領域14を基板10の内部に設ける。

10

20

30

40

50

【0066】

第2バッファ層16を基板10及び p^+ 導電領域14上に設ける。また、 n 導電型チャネル層18をこの第2バッファ層16上に設ける。また、 n^+ 領域13及び17を、それぞれデバイスのソース及びドレイン領域中に設ける。さらに、オーミックコンタクト26及び22をそれぞれソース注入領域13及び17上に設け、ソースコンタクト26及びドレインコンタクト22を形成するために各々は隔てられる。また、オーミックコンタクト25を p^+ 導電領域14上に設けて p^+ コンタクト25を形成する。例えば、 p^+ オーミックコンタクト25をソースコンタクト26に電気的に結合させることによって、この p^+ 導電領域14をソースと同一電位に維持する。また、酸化膜などの絶縁体層20をデバイスの露出表面上にさらに設ける。

【0067】

また、第1陥凹部43を第1の n^+ 領域13と第2の n^+ 領域17の間、すなわち、ソース領域とドレイン領域の間に設ける。この第1陥凹部43は、 n 導電型チャネル層18の内部に延び、この n 導電型チャネル層18を露出させる。また、コンタクトビアホール42をソース領域13に隣接して設け、 p^+ 領域の少なくとも一部分を露出させる。また、ゲートコンタクト24を、ソース領域13とドレイン領域17の間の第1陥凹部43中に設ける。さらに、図3に示すように、金属オーバー層28, 30及び32を、それぞれ、 p^+ コンタクト26及び25、ドレインコンタクト22、ならびにゲートコンタクト24上に設ける。さらに、金属オーバー層28によって p^+ 領域14の p^+ コンタクト25をソースコンタクト26に電気的に結合させる。

【0068】

次に、図4を参照して、本発明の他の実施形態によるトランジスタの断面図について、以下に説明する。なお、同一番号は、先に説明した図面の同一要素を示すので、これらの要素の詳細な説明は省略する。図4に示すように、まず、基板10を準備する。この基板10は、例えば、SiC, GaAs又はGaNでよい。 p^+ 領域14をデバイスのソースの下に設け、その端部はデバイスのドレインに向かって延びている。本発明のいくつかの実施形態では、 p^+ 導電領域14は、ソースコンタクト26の下及び/又は n^+ ソース注入領域13から延びるが、 n^+ ドレイン注入領域17の下までは延びていない。また、本発明の他の実施形態では、 p^+ 導電領域14は、ソースコンタクト26の下及び/又は n^+ ソース注入領域13から延びるが、ドレインコンタクト22の下までは延びていない。また、 p^+ 導電領域14を基板10の内部に設ける。また、バッファ層16を基板10及び p^+ 導電領域14上に設ける。このバッファ層16は、例えば、キャリア濃度が約 $1 \times 10^{16} \text{ cm}^{-3}$ で、厚さが約0.5μmの p 導電型炭化ケイ素でよい。

【0069】

また、第1の n 導電型チャネル層15をバッファ層16上に設ける。この第1の n 導電型チャネル層15は、例えば、キャリア濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ で、厚さが約0.28μmでよい。また、第2の n 導電型チャネル層19が、この第1の n 導電型チャネル層15上にあってよく、それは、例えば、キャリア濃度が約 $1 \times 10^{16} \text{ cm}^{-3}$ 、厚さ

が約 900 でよい。

【0070】

n^+ 領域 13 及び 17 を、それぞれデバイスのソース及びドレイン領域中に設ける。オーミックコンタクト 26 及び 22 をそれぞれソース注入領域 13 及び 17 上に設け、ソースコンタクト 26 及びドレインコンタクト 22 を形成するために各々は隔てられる。また、オーミックコンタクト 25 を p^+ 導電領域 14 上に設けて p^+ コンタクト 25 を形成する。例えば、 p^+ オーミックコンタクト 25 をソースコンタクト 26 に電気的に結合させることによって、この p^+ 導電領域 14 をソースと同一電位に維持する。また、酸化膜などの絶縁体層 20 をデバイスの露出表面上にさらに設ける。これらの第 2 バッファ層 16、第 1 の n 導電型チャネル層 15 及び第 2 の n 導電型チャネル層 19 をエッチングして素子分離メサを形成することができる。図示するように、このメサはトランジスタの周縁部を構成する側壁 55 及び 57 を含んでいる。10

【0071】

図 4 に示すように、図 4 のトランジスタ内に二重陥凹部が設けられる。この二重陥凹構造は、第 1 の n^+ 領域 13 と第 2 の n^+ 領域 17 の間、すなわち、ソース領域とドレイン領域の間に設ける。また、第 1 陥凹部 53 が、第 2 の n 導電型チャネル層 19 を貫通して第 1 の n 導電型チャネル層 15 まで延び、第 1 の n 導電型チャネル層 15 を露出させる床面を備えている。ある実施形態では、この第 1 陥凹部 53 は、第 1 の n 導電型チャネル層 15 の内部に延びることができる。また、第 2 陥凹部 54 を第 1 陥凹部の側壁 61 と 62 の間に設ける。また、第 1 陥凹部 53 の第 1 側壁 61 はソース 26 とゲート 24 の間にあり、第 1 陥凹部 53 の第 2 側壁 62 はドレイン 22 とゲート 24 の間にある。さらに、第 2 陥凹部 54 の床面 60 は、例えば、約 600 の距離、第 1 の n 導電型チャネル層 15 の内部に延びている。20

【0072】

また、ソース領域 13 に隣接してコンタクトビアホール 42 を設け、 p^+ 領域の少なくとも一部分を露出させる。ゲートコンタクト 24 をソース領域 13 とドレイン 17 の間の第 2 陥凹部 54 中に設ける。さらに、図 4 に示すように、金属のオーバー層 28, 30 及び 32 を、それぞれ、ソースコンタクト 26 及び p^+ コンタクト 25 上、ドレインコンタクト 22 上、ならびにゲートコンタクト 24 上に設ける。さらに、金属のオーバー層 28 で p^+ 領域 14 の p^+ コンタクト 25 をソースコンタクト 26 に結合する。30

【0073】

次に、図 5 を参照して、本発明の他の実施形態による M E S F E T の断面図について以下に説明する。なお、同一番号は、先に説明した図面の同一要素を示すので、これらの要素の詳細な説明は省略する。図 5 に示すように、ゲート 24 を n 導電型チャネル層 18 上に設け、单一又は二重陥凹部中には設けない。

【0074】

次に、図 6 を参照して、本発明のある実施形態による M E S F E T の平面（上面）図について以下に説明する。図 6 に示すように、基板 10 上に複数の単位セルを設ける。ゲート 24 はソース領域 26 とドレイン領域 22 の間に位置する。図 6 に示すように、ソースコンタクト 26 及びドレインコンタクト 22 は、相互に入り込んでいる。オーバー層 28 でソースコンタクト 26 をコンタクトビアホール 43 中に設けた p^+ コンタクト（図示せず）を介して p^+ 領域（図示せず）に結合させる。40

【0075】

図 7A 及び図 7B は、それぞれ、従来の M E S F E T の低電圧及び高電圧でのドレインの電流 - 電圧特性をグラフに示す図である。また、図 8A 及び図 8B は、それぞれ、本発明の各実施形態による M E S F E T の低電圧及び高電圧でのドレインの電流 - 電圧特性をグラフに示す図である。図 7A 乃至図 8B に示すデータは、同一ウェハ上に製作した従来の M E S F E T デバイス及び本発明の各実施形態による M E S F E T デバイスから得たものである。これらのデバイスを同一ウェハ上に製作することで、ウェハ特性のばらつきに起因する不確定さの数を減少させることができる。50

【0076】

図7A及び図8Aを参照すると、従来のMESFET及び本発明の各実施形態によるMESFETは、低ドレイン電圧では類似の特性を有している。しかし、図7B及び図8Bに示すように、高ドレイン電圧、すなわち、70ボルトを超えるドレイン電圧では、従来のMESFETは、過剰な漏れ電流及び低い相互コンダクタンスを示す(図7B)。これらのデバイス特性はこのようなデバイスのパワー出力及び高周波(RF)利得を劣化させることがある。対照的に、図8Bに示すように、p導電型層を含む本発明の各実施形態によるMESFETは、高ドレイン電圧で、漏れ電流の低下及び相互コンダクタンスの増大をもたらす。

【0077】

本発明を、特定の層、領域及び陥凹部を備える特定のMESFETについて、上述したが、本発明の各実施形態は上述したMESFETに限定されることは明らかである。また、ソース領域の下の本発明の各実施形態によるp導電型領域を、他のタイプのトランジスタ内に組み込むことができる。例えば、本発明の各実施形態によるp導電型領域を、その開示が、あたかも本明細書にその全体が記載されているかのように本明細書に組み込まれている「Silicon Carbide Metal Semiconductor Field Effect Transistors」という名称の本発明の譲受人に譲渡されたAlleinらの特許文献8に記載されたMESFET内に組み込むことができる。

【0078】

上述したように、本発明の各実施形態によるトランジスタは、トランジスタのソース領域の下に、トランジスタのドレイン領域に向かって延びる端部を備えるp導電型領域を設けている。このタイプのp導電型領域を存在させることによって、例えば、他のデバイスの動作特性を損なうことなく絶縁破壊電圧が向上したデバイスを提供することができる。これによって、高い絶縁破壊電圧を得るためにデバイスの動作特性を犠牲にすることがある従来の電界効果トランジスタより優れた利点をもたらすことができる。

【0079】

本発明をSiC MESFETについて上述したが、本発明はSiC MESFETに限定されない。例えば、本発明の各実施形態によるMESFETは、例えば、ガリウムヒ素(GaAs)MESFET又は窒化ガリウム(GaN)MESFETでよい。具体的には、本発明をGaAs MESFETについて説明した場合、p導電型領域はp導電型GaAs領域、n導電型チャネル層はn導電型GaAsチャネル層などでよいはずである。

【0080】

図面及び明細書において、本発明の典型的な好ましい各実施形態を開示し、特定の用語を使用したが、これらは一般的に説明的な意味だけに使用したもので、これによって限定されるものではない。本発明の技術的範囲は、特許請求の範囲に記載されている。

【図面の簡単な説明】

【0081】

【図1】本発明の各実施形態によるトランジスタの断面図である。

【図2A】本発明の各実施形態によるFETの製造プロセスを示す図(その1)である。

【図2B】本発明の各実施形態によるFETの製造プロセスを示す図(その2)である。

【図2C】本発明の各実施形態によるFETの製造プロセスを示す図(その3)である。

【図2D】本発明の各実施形態によるFETの製造プロセスを示す図(その4)である。

【図2E】本発明の各実施形態によるFETの製造プロセスを示す図(その5)である。

【図2F】本発明の各実施形態によるFETの製造プロセスを示す図(その6)である。

【図2G】本発明の各実施形態によるFETの製造プロセスを示す図(その7)である。

【図2H】本発明の各実施形態によるFETの製造プロセスを示す図である。

【図3】本発明の他の実施形態によるトランジスタの断面図である。

【図4】本発明の他の実施形態によるトランジスタの断面図である。

【図5】本発明の他の実施形態によるトランジスタの断面図である。

【図6】本発明の他の実施形態によるトランジスタの平面図である。

10

20

30

40

50

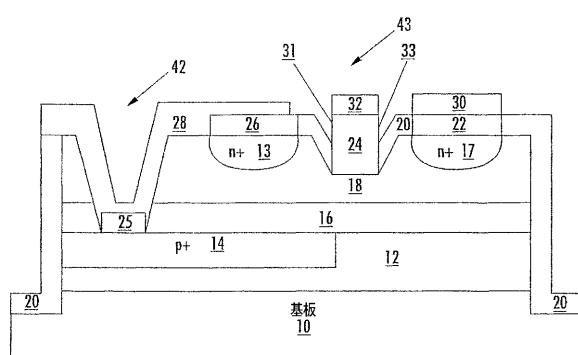
【図 7 A】従来のM E S F E T のドレインの電流 - 電圧特性をグラフに示す図である。

【図 7 B】従来のM E S F E T のドレインの電流 - 電圧特性をグラフに示す図である。

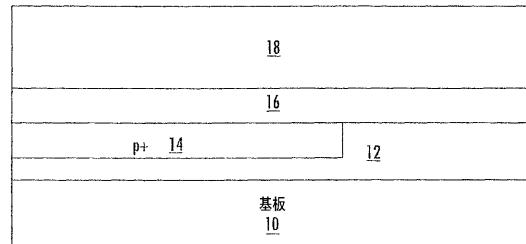
【図 8 A】本発明の各実施形態によるM E S F E T のドレインの電流 - 電圧特性をグラフに示す図である。

【図 8 B】本発明の各実施形態によるM E S F E T のドレインの電流 - 電圧特性をグラフに示す図である。

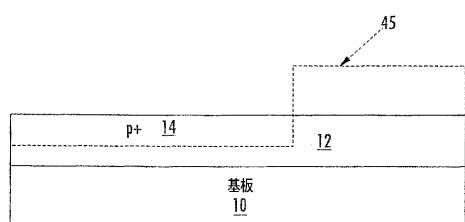
【図 1】



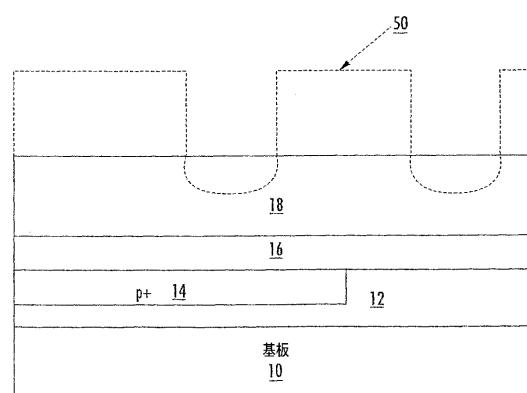
【図 2 B】



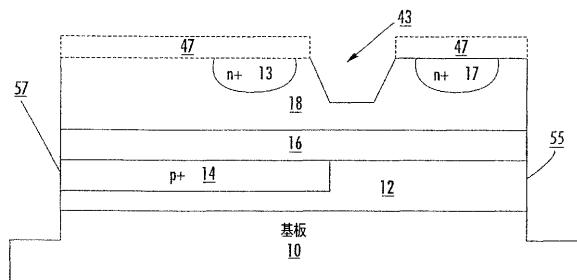
【図 2 A】



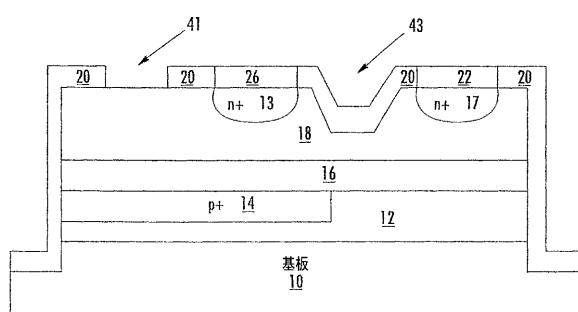
【図 2 C】



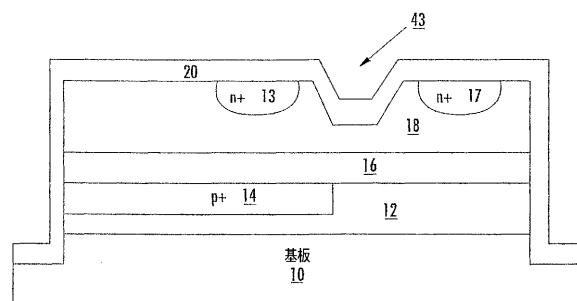
【図2D】



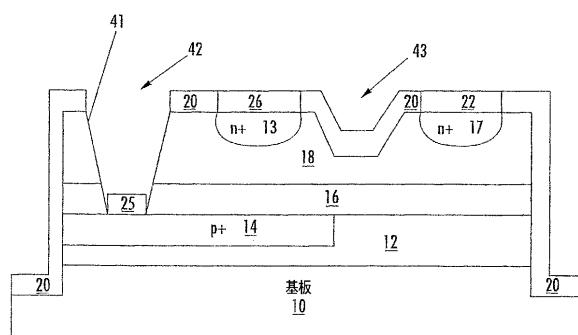
【図2F】



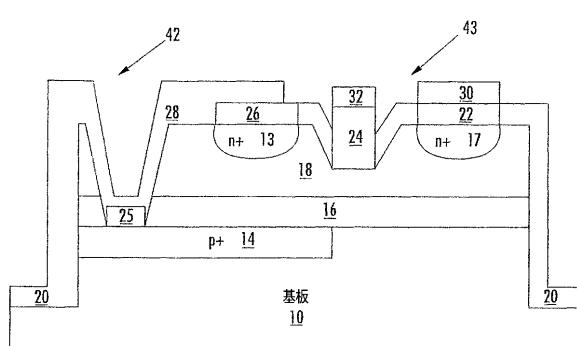
【図2E】



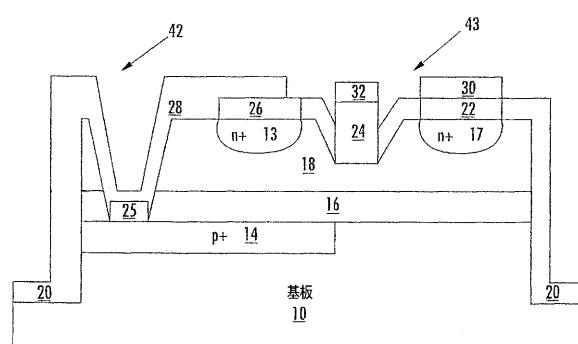
【図2G】



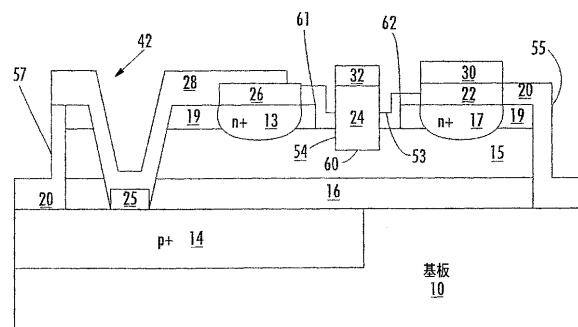
【図2H】



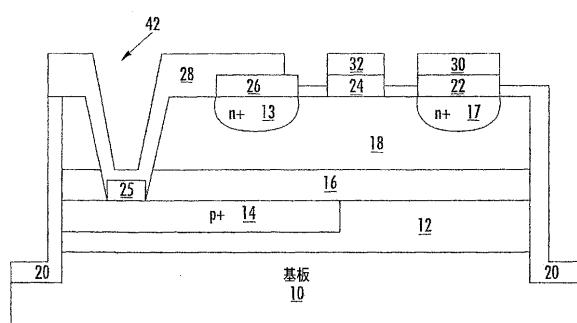
【図3】



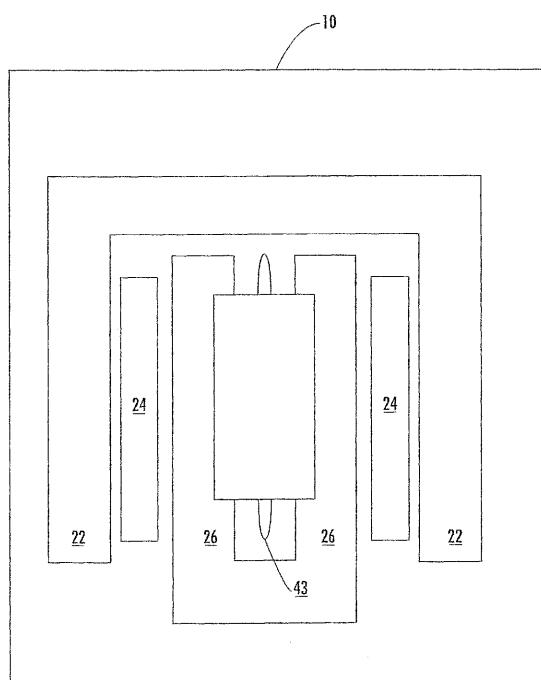
【図4】



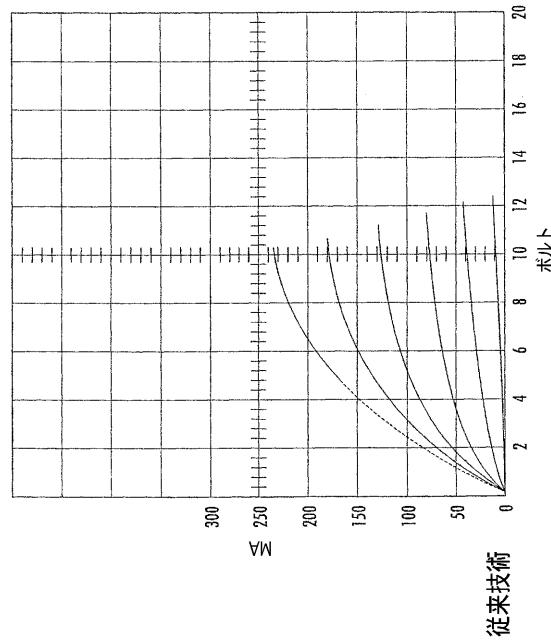
【図5】



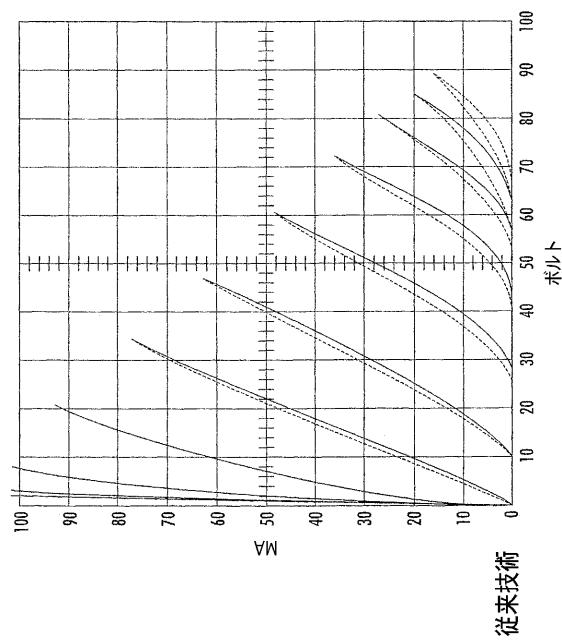
【図6】



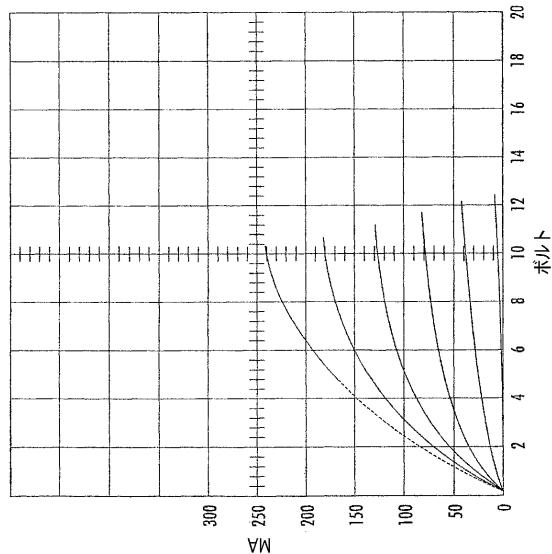
【図7A】



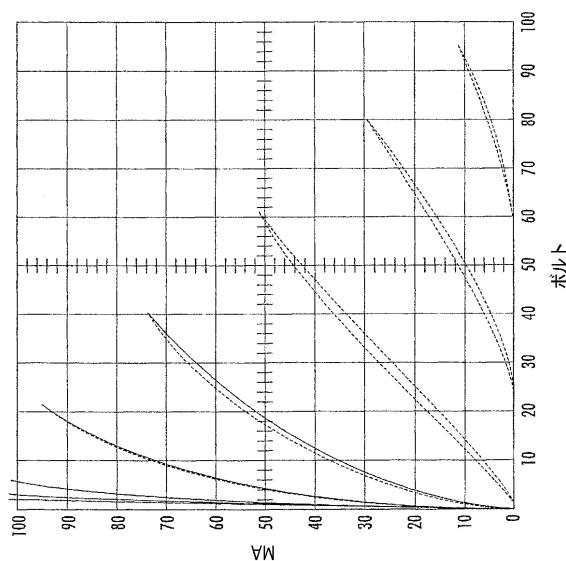
【図7B】



【図 8 A】



【図 8 B】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		Internat. Application No PCT/US 03/31334
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/812		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 742 082 A (MARTINEZ MARINO J ET AL) 21 April 1998 (1998-04-21) the whole document ---	1-92
A	WO 01 86727 A (CREE INC) 15 November 2001 (2001-11-15) cited in the application the whole document ---	1-92
A	US 4 737 469 A (STEVENS EMSLEY H) 12 April 1988 (1988-04-12) the whole document ---	1-92
A	US 5 306 650 A (O'MARA JR WILLIAM E ET AL) 26 April 1994 (1994-04-26) the whole document ---	1-92 -/-
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents:		
'A' document defining the general state of the art which is not considered to be of particular relevance		
'E' earlier document but published on or after the international filing date		
'L' document which may throw doubts on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		
'O' document referring to an oral disclosure, use, exhibition or other means		
'P' document published prior to the international filing date but later than the priority date claimed		
'T' later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention		
'X' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone		
'Y' document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art		
'&' document member of the same patent family		
Date of the actual completion of the international search	Date of mailing of the international search report	
10 February 2004	18/02/2004	
Name and mailing address of the ISA European Patent Office, P.O. Box 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Fax: 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Baillet, B	

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		Intern Application No PCT/US 03/31334
C(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 98 19342 A (DAIMLER BENZ AG ; KAMINSKI NANDO (DE); NEUBRAND HORST (DE)) 7 May 1998 (1998-05-07) the whole document -----	1-92

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Internal	Application No
PCT/US 03/31334	

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 5742082	A	21-04-1998	NONE			
WO 0186727	A	15-11-2001	US 6686616 B1 AU 3835101 A CA 2408582 A1 CN 1441965 T EP 1285464 A2 JP 2003533051 T TW 492198 B WO 0186727 A2	03-02-2004 20-11-2001 15-11-2001 10-09-2003 26-02-2003 05-11-2003 21-06-2002 15-11-2001		
US 4737469	A	12-04-1988	NONE			
US 5306650	A	26-04-1994	US 5014108 A		07-05-1991	
WO 9819342	A	07-05-1998	DE 19644821 C1 WO 9819342 A1 EP 0938751 A1 JP 2001521677 T US 6285046 B1	12-02-1998 07-05-1998 01-09-1999 06-11-2001 04-09-2001		

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,M N,MW,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU ,ZA,ZM,ZW

F ターム(参考) 5F102 FA01 GB01 GC01 GD01 GJ02 GJ04 GJ05 GK02 GK08 GL02
GL08 GR04 GR07 GR11 GS01 GT01 GT03 GT06