

# 公告

申請日期

89.5.17

案號:

89109437

類別:

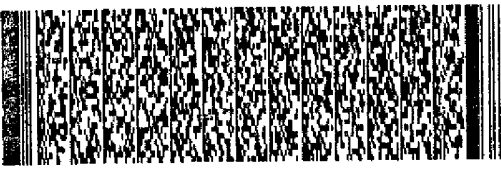
H01L 27/105

(以上各欄由本局填註)

## 發明專利說明書

448563

一、 發明名稱	中文	一種金屬氧化半導體電晶體
	英文	
二、 發明人	姓名 (中文)	1. 李東興
	姓名 (英文)	1. Tong-Hsin Lee
	國籍	1. 中華民國
	住、居所	1. 台北縣蘆洲市中山二路36巷34弄5號2樓
三、 申請人	姓名 (名稱) (中文)	1. 聯華電子股份有限公司
	姓名 (名稱) (英文)	1. UNITED MICROELECTRONICS CORP.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹市力行二路三號
	代表人 姓名 (中文)	1. 曹興誠
	代表人 姓名 (英文)	1.



## 五、發明說明 (1)

## 發明之領域

本發明提供一種金屬氧化半導體 (metal-oxide semiconductor, MOS) 電晶體，尤指一種可提供四個通道 (channel) 的金屬氧化半導體電晶體。

## 背景說明

金屬氧化半導體 (MOS) 電晶體是現今半導體產品之中最重要的電子元件，主要用來做為電路中的開關 (switch)，但是隨著積體電路積集度 (integration) 的提昇，目前 MOS 電晶體的操作速度已經逐漸不敷積體電路設計者的需求。

請參考圖一，圖一為習知 MOS 電晶體 10 的剖面示意圖。MOS 電晶體 10 是設於一矽基底 (silicon substrate) 12 表面上，MOS 電晶體 10 周圍由一場氧化層 (field oxide) 14 所包圍並予以隔離。MOS 電晶體 10 主要是由一閘極 (gate) 16、一汲極 (drain) 18 與一源極 (source) 20 所構成，閘極 16 與矽基底 12 之間則設有一閘極氧化層 (gate oxide) 22。其中，閘極 16 周圍設有一側壁子 (spacer) 24，用來隔離閘極 16，而側壁子 24 下方則分別設有二輕微摻雜汲極 (lightly doped drain, LDD) 26，用來防止熱電子效應 (hot electron effects)。



## 五、發明說明 (2)

由於 MOS電晶體是利用其金屬層 (metal)- 氧化層 (oxide)- 半導體層 (semiconductor) 的堆疊結構來形成一個 MOS電容，所以當施加於 MOS電容之金屬層上的電壓高於一起始電壓 (threshold voltage) 時，MOS電容會在半導體層表面發生強反轉 (strong inversion) 的現象。也就是說，利用起始電壓與強反轉之間的關係，MOS電晶體 10 即可以藉由閘極 16 施加的電壓大小，來控制 MOS電晶體 10 的開關狀態 (ON/OFF states)。如圖一所示，MOS電容即是指閘極 16- 閘極氧化層 22- 矽基底 12 所形成的結構。

當施加於閘極 16 的電壓小於起始電壓，汲極 18 與源極 20 間處於隔離的狀態，使得 MOS電晶體 10 的開關型態為 "關"。當施加於閘極 16 的電壓大於起始電壓，矽基底 12 在強反轉模式之下，會在接近閘極氧化層 22 的表面形成一通道 28，使得汲極 18 與源極 20 之間的隔離消除。故在一適當的偏壓狀況下，例如源極 20 接地且汲極 18 施加正電壓，電流便可由汲極 18 經由通道 28 流往源極 20，使得原先在斷路下的 MOS電晶體 10 變成為 "開啟" 的。

然而在習知 MOS電晶體 10 之強反轉模式下所形成的通道 28 係近似於平面，不但佔有相當的面積，而且電流傳輸的效率也不高，同時亦使得 MOS電晶體 10 的操作受到限制。所以在未來要求高速度以及高積集度的元件製程中，



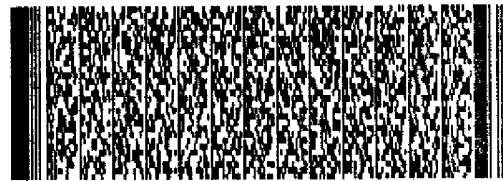
## 五、發明說明 (3)

習知 MOS電晶體 10 的製作方法與結構已經面臨到應用上的瓶頸，吾人必須以新的設計來提高 MOS電晶體的積集度與操作速度。

## 發明概述

本發明之主要目的在於提供一種可提供四個通道的金屬氧化半導體電晶體，以提高 MOS電晶體的積集度與操作特性。

本發明係提供一種設於一半導體晶片上的 MOS電晶體。該半導體晶片包含有一矽基底，一絕緣層設於該矽基底上，以及一主動區域設於該絕緣層之一預定區域上。該 MOS電晶體包含有一單晶矽層設於該主動區域之絕緣層上，以及一溝渠設於該主動區域之絕緣層表面，並自該單晶矽層底部下方穿越，將該主動區域分為一源極區與一汲極區。該源極區與該汲極區之內各設有一源極導電層與一汲極導電層並分別連接於該單晶矽層，且該源極導電層與該汲極導電層之周圍分別環繞有一側壁子，而該溝渠上方之單晶矽層之四側表面上則包覆一閘極介電層。此外，該單晶矽層下方之溝渠內另填滿有一閘極導電層並覆蓋於該閘極介電層表面，而該源極導電層與該汲極導電層上方分別覆蓋有一源極介電層與一汲極介電層。



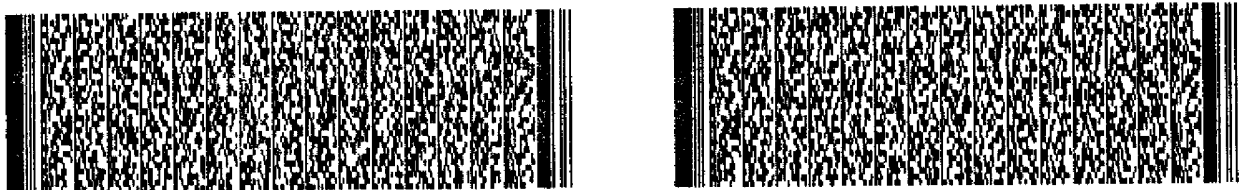
## 五、發明說明 (4)

由於本發明之 MOS 電晶體於該單晶矽層四側之表面上皆設有該閘極介電層與該閘極導電層，所以當一起始電壓施加於該閘極導電層時，該單晶矽層四側邊之表層內會分別形成一通道，使得該 MOS 電晶體可以從四個方向來控制該閘極通道，進而能加快導通該源極導電層與該汲極導電層，提高該 MOS 電晶體的電性。此外，由於該單晶矽層表層內之可形成四個通道，因此該單晶矽層佔用的面積可以適當地縮減，大幅提高本發明之半導體製程的積集度。

## 發明之詳細說明

如圖二所示，圖二為本發明金屬氧化半導體電晶體 30 的示意圖。本發明係提供一種設於一半導體晶片 (wafer) 32 上的 MOS 電晶體 30。半導體晶片 32 包含有一矽基底 34，一由氧化矽 (silicon oxide) 所構成的絕緣層 36 設於矽基底 34 上，以及一主動區域 (active area) 38 設於絕緣層 36 的一預定區域上。而 MOS 電晶體 30 包含有下列元件：一單晶矽 (single crystal silicon) 層 40、一溝渠 (trench) 42、二保護層 44 (圖二中僅繪出其中之一)、一源極導電層 46、一汲極導電層 48、一源極介電層 50、一汲極介電層 52、二側壁子 54、一閘極介電層 56 以及一閘極導電層 58。

如圖三所示，圖三為圖二之 MOS 電晶體 30 的頂視圖，且圖三只顯示單晶矽層 40 與溝渠 42 的相對位置，其餘元件

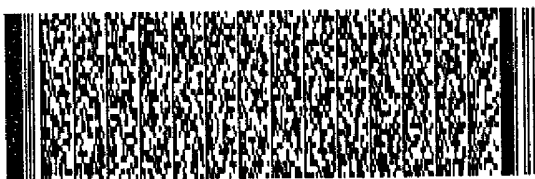


## 五、發明說明 (5)

並未顯示在圖三之中。單晶矽層 40 是設於主動區域 38 內的絕緣層 36 上。溝渠 42 是設於主動區域 38 之絕緣層 36 的表面，且自絕緣層 36 的表面向下切割，此外溝渠 42 更穿越單晶矽層 40 之底部下方，而將主動區域 38 分為一源極區 60 與一汲極區 62。

如圖四所示，圖四為圖二之 MOS 電晶體 30 沿切線 A-A 的剖面示意圖。在源極區 60 以及汲極區 62 範圍內的單晶矽層 40 表面上分別覆蓋有二保護層 44，而在源極區 60 與汲極區 62 內則分別設有源極導電層 46 與汲極導電層 48 使得源極導電層 46 與汲極導電層 48 覆蓋於絕緣層 36 的表面以及保護層 44 之上。此外，源極導電層 46 與汲極導電層 48 之上另分別覆蓋有源極介電層 50 與汲極介電層 52。其中保護層 44、源極介電層 50 與汲極介電層 52 主要是由介電物質（例如氧化矽）所構成，而源極導電層 46 與汲極導電層 48 則均為一摻雜多晶矽 (doped polysilicon) 層或是其他導電材料。

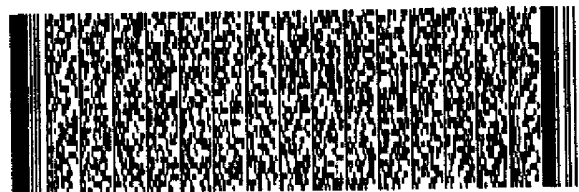
MOS 電晶體 30 在源極導電層 46 與汲極導電層 48 緊鄰溝渠 42 的側壁上係分別設有二側壁子 54，而且由於製程的關係，側壁子 54 亦可能會同時包圍源極導電層 46 與汲極導電層 48 其餘的側壁。側壁子 54 是由介電物質所構成，在本發明中，側壁子 54 是由氮化矽 (silicon nitride,  $\text{Si}_3\text{N}_4$ ) 所構成。



## 五、發明說明 (6)

如圖五所示，圖五為圖二之 MOS電晶體 30 沿切線 B-B 的剖面示意圖。在本發明中，閘極介電層 56 是包覆在溝渠 42 上方之單晶矽層 40 所裸露的四側邊表面，閘極導電層 58 則填滿整個溝渠 42，並覆蓋在閘極介電層 56 的表面。也就是說，單晶矽層 40 的四周是被閘極介電層 56 與閘極導電層 58 所包圍，形成一環繞型 MOS 電容。當閘極導電層 58 所施加的電壓大於起始電壓時，單晶矽層 40 鄰近四側邊的表層內會形成四通道 64，進而導通源極導電層 46 與汲極導電層 48。其中 MOS 電晶體 30 的閘極介電層 56 係為一二氧化矽 (silicon dioxide,  $\text{SiO}_2$ ) 層，而閘極導電層 58 為一摻雜多晶矽層或其他的導電材料。

請參考圖六至圖十三，圖六至圖十三為形成本發明 MOS 電晶體 30 的製程示意圖。如圖六所示，本發明之 MOS 電晶體 30 是先利用一薄膜沈積 (film deposition)、黃光 (lithography) 以及蝕刻 (etching) 製程，在半導體晶片 32 的主動區域 38 上依序形成單晶矽層 40 以及一由氧化矽所構成的保護層 44。接著如圖七所示，在半導體晶片 32 的表面形成一摻雜多晶矽層 47。其中形成摻雜多晶矽層 47 的方法，可以在化學氣相沈積 (chemical vapor deposition, CVD) 製程中同時通入含摻質 (dopant) 的氣體，也可以先形成多晶矽層，之後再以離子佈植 (ion implantation) 製程對多晶矽層進行摻雜。



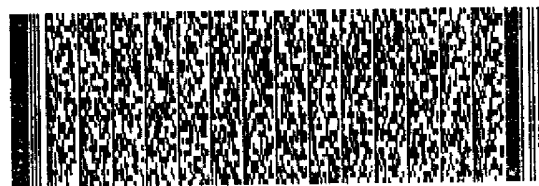
## 五、發明說明 (7)

如圖八所示，在形成摻雜多晶矽層 47 之後，進行一化學機械研磨 (chemical mechanical polishing, CMP) 製程，或其他的平整化製程，使摻雜多晶矽層 47 的頂部變得較為平坦，隨後在摻雜多晶矽層 47 的表面再形成一氧化矽層 51。其中該化學機械研磨製程或平整化製程可視後續的製程及其他因素而加以省略。

如圖九所示，接著利用一黃光與蝕刻等製程，並利用保護層 44 做為硬罩幕 (hard mask)，來去除主動區域 38 以外的摻雜多晶矽層 47 與氧化矽層 51，進而定義出源極導電層 46、汲極導電層 48、源極介電層 50 以及汲極介電層 52 的圖案 (pattern)。

如圖十所示，在完成源極與汲極的製作之後，先去除源極導電層 46 與汲極導電層 48 之間的保護層 44，接著在源極導電層 46 與汲極導電層 48 的四周側壁上形成由氮化矽所構成的側壁子 54。其中，本發明也可以先形成側壁子 54 後，才去除源極導電層 46 與汲極導電層 48 之間的保護層 44。

如圖十一所示，接著進行溝渠 42 的製作。首先塗佈一光阻 (未顯示) 來定義出溝渠 42 的圖案，接著利用一緩衝式氧化層蝕刻液 (buffered oxide etcher, BOE) 來蝕刻絕緣層 36，以向下蝕刻源極導電層 46 與汲極導電層 48 之間的絕

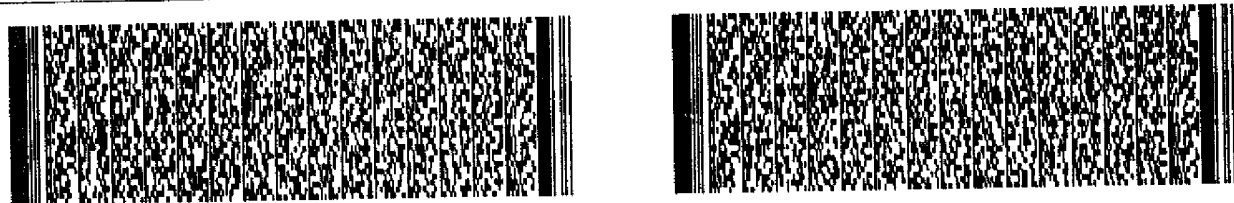


## 五、發明說明 (8)

緣層 36，並同時去除單晶矽層 40 底部下方的絕緣層 36，進而形成溝狀的溝渠 42。最後再完全去除光阻。

如圖十二所示，隨後進行閘極介電層 56 的製作，利用一高溫熱氧化 (thermal oxide) 製程，在單晶矽層 40 四周裸露的表面上均勻形成一厚度約 20 埃 (angstrom, Å) 的閘極介電層 56。然後利用一 CVD 製程並同時通入一含摻質的氣體，以形成一摻雜多晶矽層 57，並使摻雜多晶矽層 57 填滿溝渠 42，尤其是單晶矽層 40 下方的溝渠 42 必須確保沒有空隙產生。最後再以一黃光與蝕刻製程定義出閘極導電層 58 的圖案，完成如圖四之 MOS 電晶體 30 的製作。

請參考圖十四，圖十四為本發明另一實施例之 MOS 電晶體 30 之主動區域 38 的頂視圖，而且為了簡化圖示，圖十四中只顯示單晶矽層 40、溝渠 42、源極導電層 46 與汲極導電層 48 之間位置的相對關係。如圖十四所示，源極導電層 46 與汲極導電層 48 係分別設於源極區 60 與汲極區 62 內的部份區域上，且源極導電層 46 與汲極導電層 48 都沒有覆蓋在單晶矽層 40 的表面上。源極導電層 46 右側的側壁與單晶矽層 40 左端的側壁相連接，而汲極導電層 48 則是形成一個類似凹字的結構，來與單晶矽層 40 相連接。源極導電層 46、汲極導電層 48 與單晶矽層 40 的連接方式可以左右互換或採用同一種連接方式，甚至也可以依照不同條件來設計不同幾何外型的源極導電層 46 與汲極導電層 48，只要確保源極



## 五、發明說明 (9)

導電層 46、汲極導電層 48與單晶矽層 40有良好的接觸，可以將三者電連接在一起即可。

本發明 MOS電晶體 30的特點在於單晶矽層 40的四周都設有閘極介電層 56與閘極導電層 58，進而形成一個近似管狀的 MOS電容。因此 MOS電晶體 30可由四個方向來控制通道 64的形成，而且 MOS電晶體 30在"開啟"狀態時，也可以形成四個平面狀的通道 64，進而增加電流傳輸的效率。因此本發明這種立體的 MOS電容結構，可使得 MOS電晶體 30大幅減少所佔用的面積，進而能應用在高速度與高積集度的電子元件上。

相較於習知 MOS電晶體 10，本發明 MOS電晶體 30可以形成四個平面狀的通道 64，而 MOS電晶體 10僅能形成一平面狀的通道 28。因此在電流傳輸的效率與通道的控制上，MOS電晶體 30都比 MOS電晶體 10優異。此外，相對於同樣長度的通道長度(介於源極與汲極之間)(channel length)，MOS電晶體 30之各通道 64的寬度幾乎僅是通道 28的四分之一，因此 MOS電晶體 30可減少所佔用的面積，進而提高 MOS電晶體 30的積集度。

以上所述僅本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

## 圖示之簡單說明

圖一為習知 MOS電晶體的剖面示意圖。

圖二為本發明金屬氧化半導體電晶體的示意圖。

圖三為圖二之 MOS電晶體的頂視圖。

圖四為圖二之 MOS電晶體沿切線 A-A的剖面示意圖。

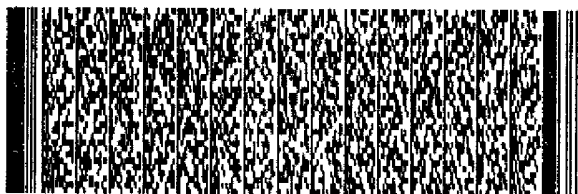
圖五為圖二之 MOS電晶體沿切線 B-B的剖面示意圖。

圖六至圖十三為形成本發明 MOS電晶體的製程示意圖。

圖十四為本發明另一實施例之 MOS電晶體之主動區域的頂視圖。

## 圖示之符號說明

10	MOS電晶體	12	矽基底
14	場氧化層	16	閘極
18	汲極	20	源極
22	閘極氧化層	24	側壁子
26	LDD	28	通道
30	MOS電晶體	32	半導體晶片
34	矽基底	36	絕緣層
38	主動區域	40	單晶矽層
42	溝渠	44	保護層
46	源極導電層	47	摻雜多晶矽層



## 圖式簡單說明

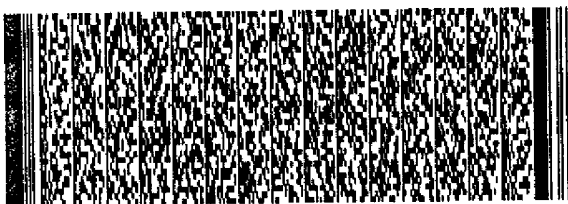
48	汲極導電層	50	源極介電層
51	氧化層	52	汲極介電層
54	側壁子	56	閘極介電層
57	摻雜多晶矽層	58	閘極導電層
60	源極區	62	汲極區
64	通道		



## 四、中文發明摘要 (發明之名稱：一種金屬氧化半導體電晶體)

一種設於一半導體晶片上的MOS電晶體。該半導體晶片包含有一矽基底，一絕緣層設於該矽基底上，以及一主動區域設於該絕緣層之一預定區域上。該MOS電晶體包含有一單晶矽層設於該主動區域之絕緣層上，以及一溝渠設於該主動區域之絕緣層表面，並自該單晶矽層底部下方穿越，將該主動區域分為一源極區與一汲極區。該源極區與該汲極區之內各設有一源極導電層與一汲極導電層並分別連接於該單晶矽層，且該源極導電層與該汲極導電層之周圍分別環繞有一側壁子，而該溝渠上方之單晶矽層之四側表面上則包有一閘極介電層。此外，該單晶矽層下方之溝渠內另填滿有一閘極導電層並覆蓋於該閘極介電層表面。當一起始電壓施加於該閘極導電層時，該單晶矽層四側邊

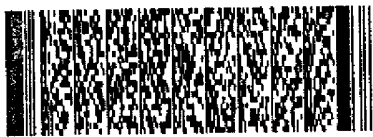
## 英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：一種金屬氧化半導體電晶體)

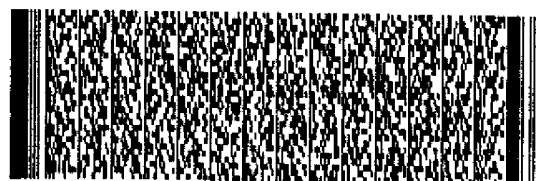
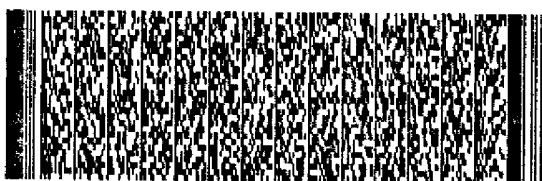
之表層內會分別形成一通道，而導通該源極導電層與該汲極導電層。

英文發明摘要 (發明之名稱：)



## 六、申請專利範圍

1. 一種設於一半導體晶片上的金屬氧化半導體 (metal-oxide semiconductor, MOS) 電晶體，該半導體晶片包含有一矽基底 (silicon substrate)，一絕緣層設於該矽基底上，以及一主動區域 (active area) 設於該絕緣層之一預定區域上，該 MOS 電晶體包含有：
  - 一單晶矽 (single crystal silicon) 層，設於該主動區域內之絕緣層上；
  - 一溝渠 (trench)，設於該主動區域內，並自該單晶矽層底部下方穿越，且將該主動區域分為一源極區與一汲極區；
  - 一源極導電層與一汲極導電層，分別設於該源極區與該汲極區之內，並分別與該單晶矽層連接；
  - 一源極介電層與一汲極介電層，分別覆蓋於該源極導電層與該汲極導電層之上；
  - 二側壁子 (spacer)，分別環繞於該源極導電層與該汲極導電層之側壁上；
  - 一閘極介電層，包覆於該溝渠上方之單晶矽層之四側表面；以及
  - 一閘極導電層，填滿該單晶矽層下方之溝渠，並覆蓋於該閘極介電層表面；其中當該閘極導電層所施加的電壓大於起始電壓 (threshold voltage) 時，該單晶矽層鄰近四側邊之表層內會形成四通道 (channel)，而導通該源極導電層與該汲極導電層。



## 六、申請專利範圍

2. 如申請專利範圍第1項之MOS電晶體，其中該源極導電層或該汲極導電層係覆蓋於該單晶矽層之部分區域上。
3. 如申請專利範圍第2項之MOS電晶體，其中該MOS電晶體另包含有一保護層，設於該源極區與該汲極區之內的該單晶矽層上側表面，而源極導電層或該汲極導電層係覆蓋於該保護層之上。
4. 如申請專利範圍第3項之MOS電晶體，其中該保護層為一氧化矽 (silicon oxide) 層。
5. 如申請專利範圍第1項之MOS電晶體，其中該絕緣層為一氧化矽層。
6. 如申請專利範圍第1項之MOS電晶體，其中該源極導電層與該汲極導電層皆為一摻雜多晶矽 (doped poly-silicon) 層。
7. 如申請專利範圍第1項之MOS電晶體，其中該源極介電層與該汲極介電層皆為一氧化矽層。
8. 如申請專利範圍第1項之MOS電晶體，其中該側壁子係由氮化矽 (silicon nitride,  $\text{Si}_3\text{N}_4$ ) 所構成。



## 六、申請專利範圍

9. 如申請專利範圍第1項之MOS電晶體，其中該閘極介電層為一二氧化矽 (silicon dioxide,  $\text{SiO}_2$ )層。

10. 如申請專利範圍第1項之MOS電晶體，其中該閘極導電層為一摻雜多晶矽層。

11. 一種設於一半導體晶片上的金屬氧化半導體 (MOS)電晶體，該半導體晶片包含有一矽基底，一絕緣層設於該矽基底上，以及一主動區域設於該絕緣層之一預定區域上，該MOS電晶體包含有：

一單晶矽層，設於該主動區域內之絕緣層上；

一溝渠，設於該主動區域內，並自該單晶矽層底部下方穿越，且將該主動區域分為一源極區與一汲極區；

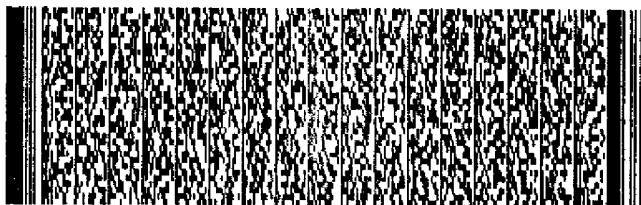
二保護層，分別覆蓋於該源極區之內的該單晶矽層上與該汲極區之內的該單晶矽層上；

一源極導電層與一汲極導電層，覆蓋於該源極區與該汲極區內之絕緣層上，並分別覆蓋於該保護層之上；

一源極介電層與一汲極介電層，分別覆蓋於該源極導電層與該汲極導電層之上；

二側壁子，分別設於該源極導電層與該汲極導電層緊鄰該溝渠之側壁上；

一閘極介電層，包覆於該溝渠上方之單晶矽層裸露之四側邊外；以及



## 六、申請專利範圍

一 閘極導電層，填滿該單晶矽層下方之溝渠，並覆蓋於該閘極介電層表面；

其中當該閘極導電層所施加的電壓大於起始電壓時，該單晶矽層鄰近四側邊之表層內會形成四通道，而導通該源極導電層與該汲極導電層。

12. 如申請專利範圍第 11 項之 MOS 電晶體，其中該保護層為一氧化矽層。

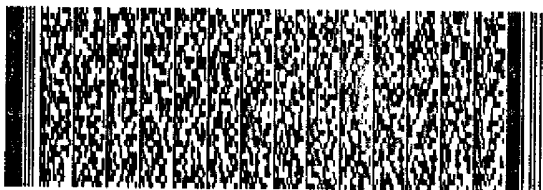
13. 如申請專利範圍第 11 項之 MOS 電晶體，其中該絕緣層為一氧化矽層。

14. 如申請專利範圍第 11 項之 MOS 電晶體，其中該源極導電層與該汲極導電層皆為一摻雜多晶矽層。

15. 如申請專利範圍第 11 項之 MOS 電晶體，其中該源極介電層與該汲極介電層皆為一氧化矽層。

16. 如申請專利範圍第 11 項之 MOS 電晶體，其中該側壁子係由氮化矽所構成。

17. 如申請專利範圍第 11 項之 MOS 電晶體，其中該閘極介電層為一二氧化矽層。

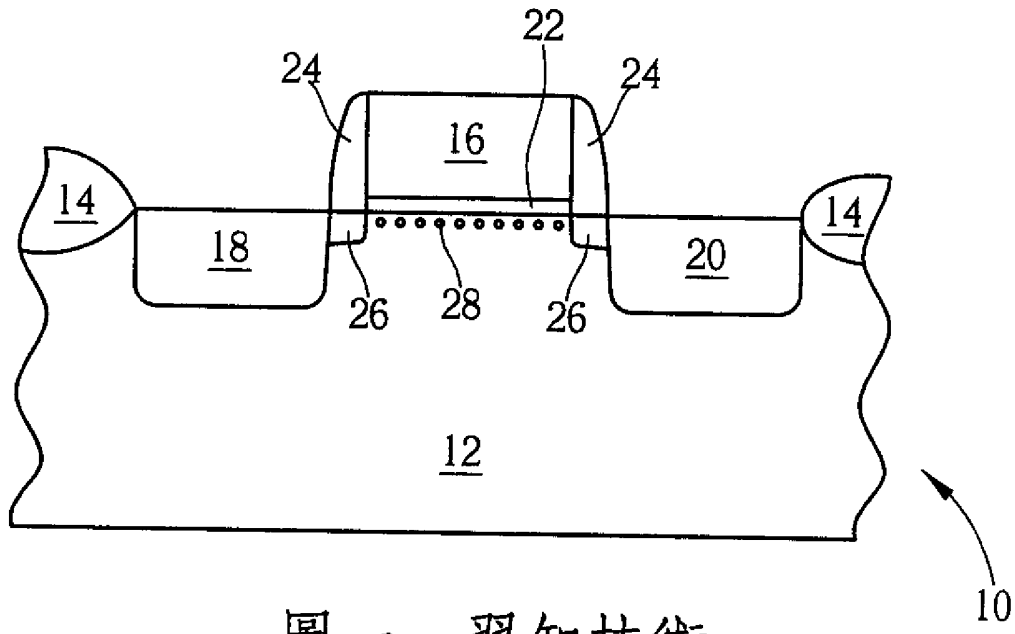


六、申請專利範圍

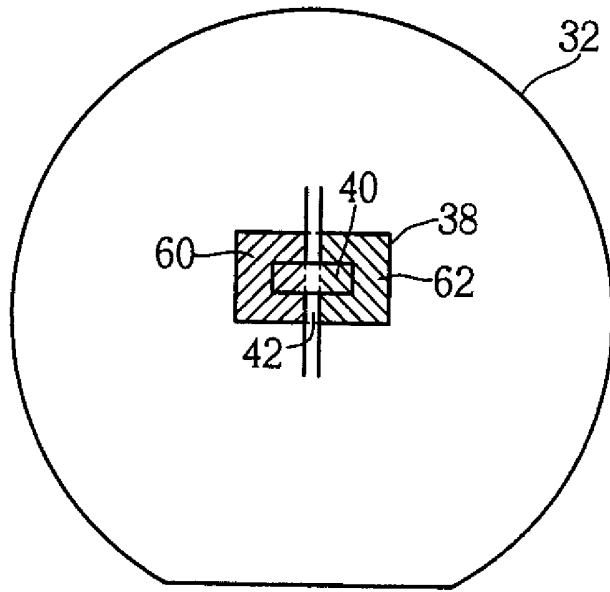
18. 如申請專利範圍第11項之MOS電晶體，其中該閘極導電層為一摻雜多晶矽層。



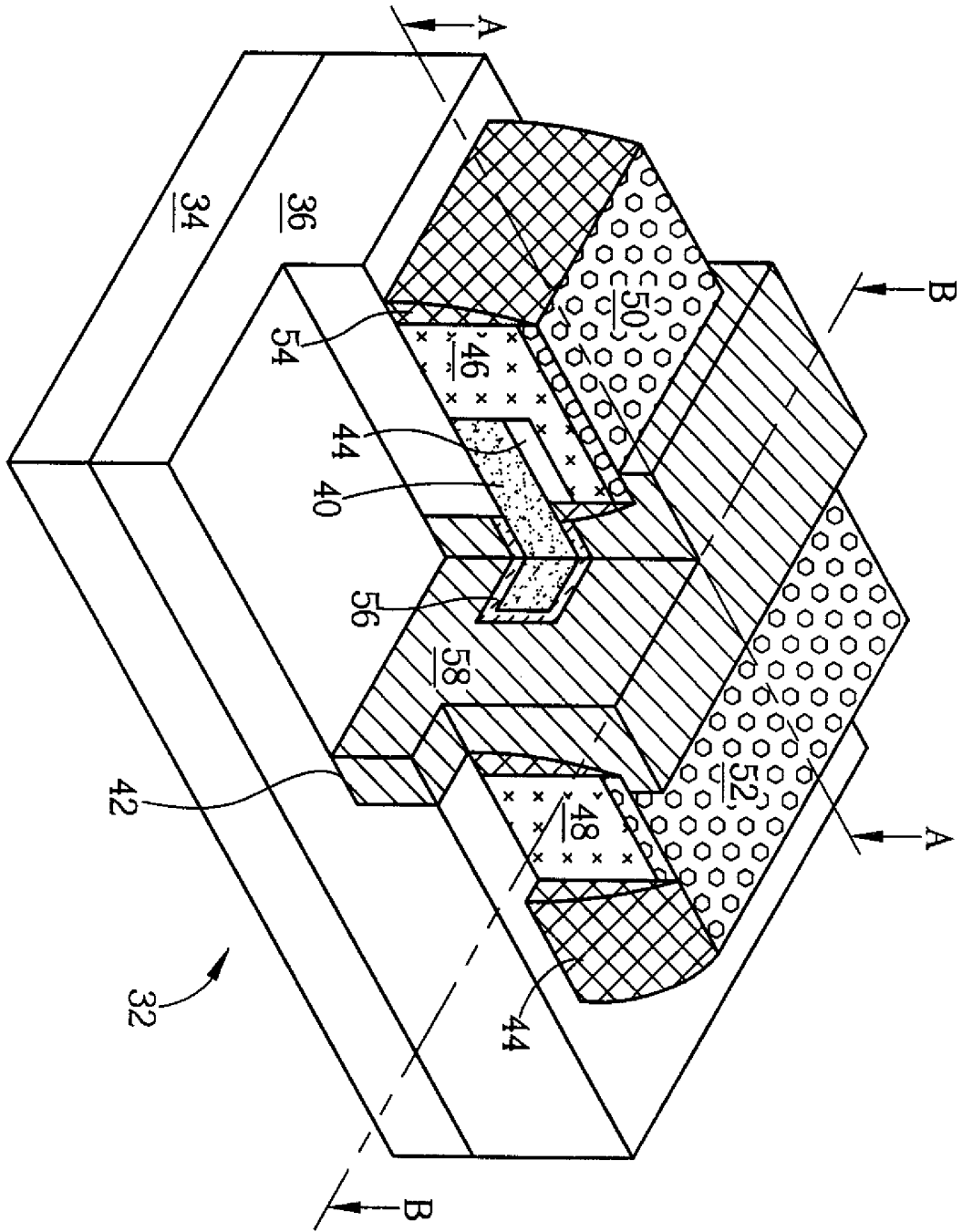
89109437



圖一 習知技術



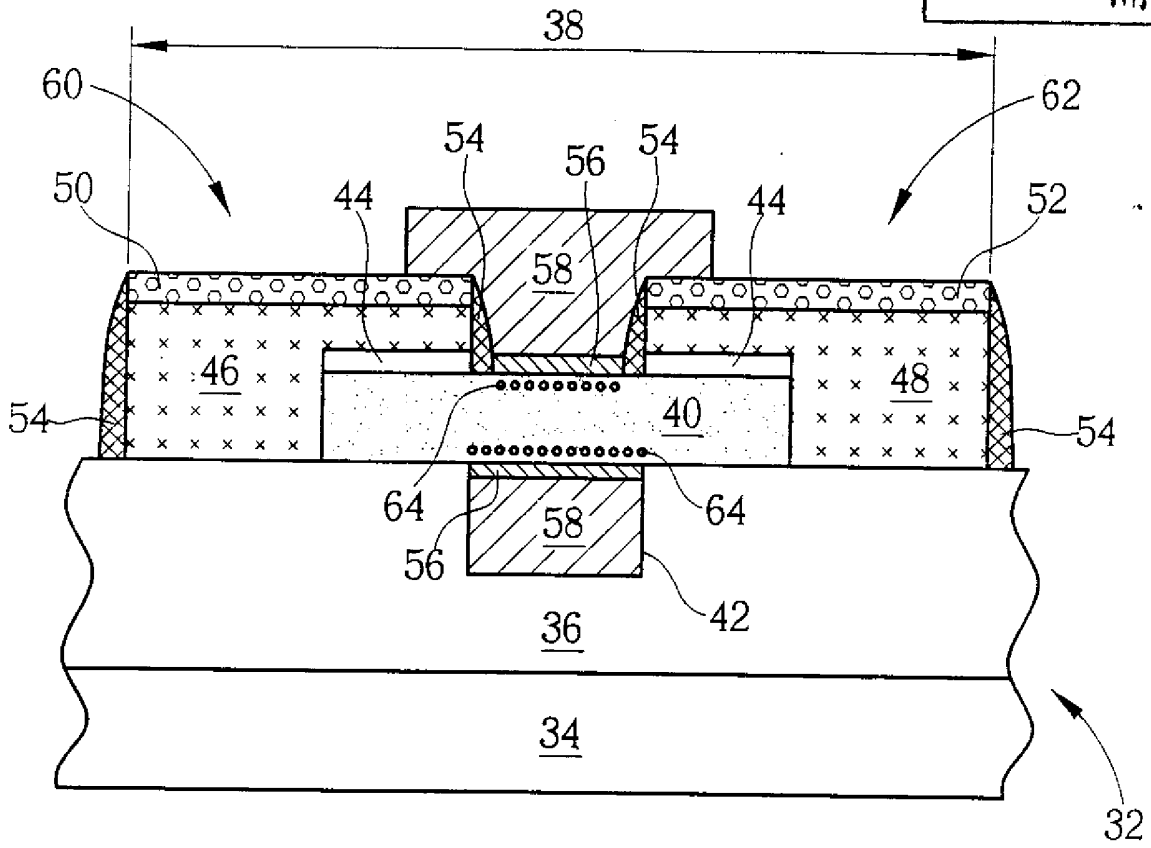
圖三



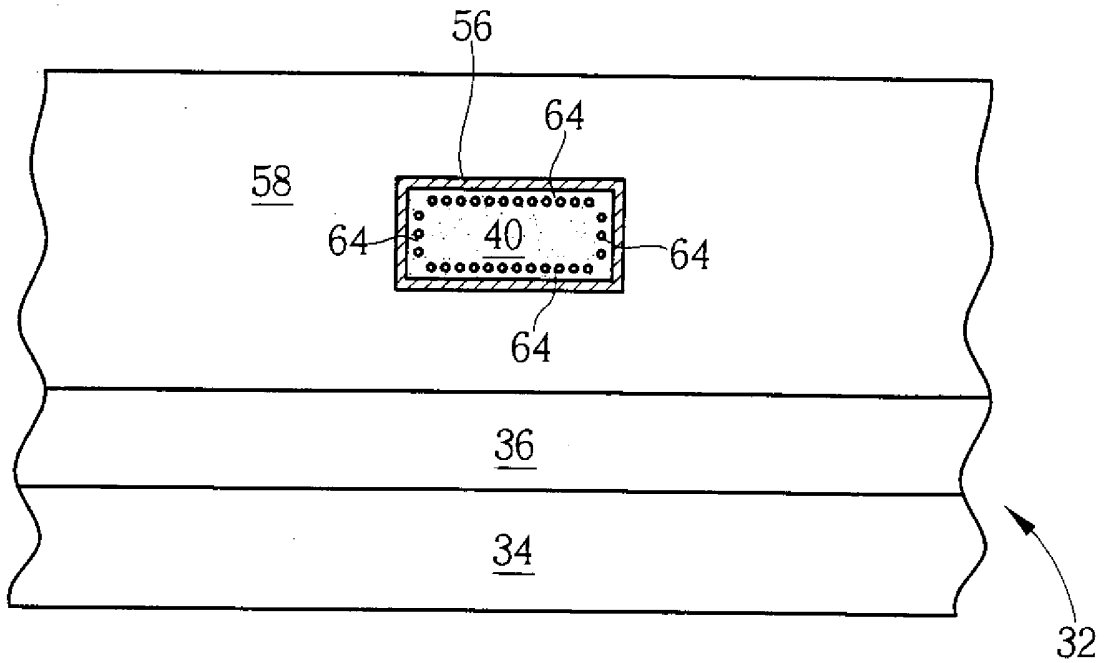
圖二

修正  
補充  
90年4月

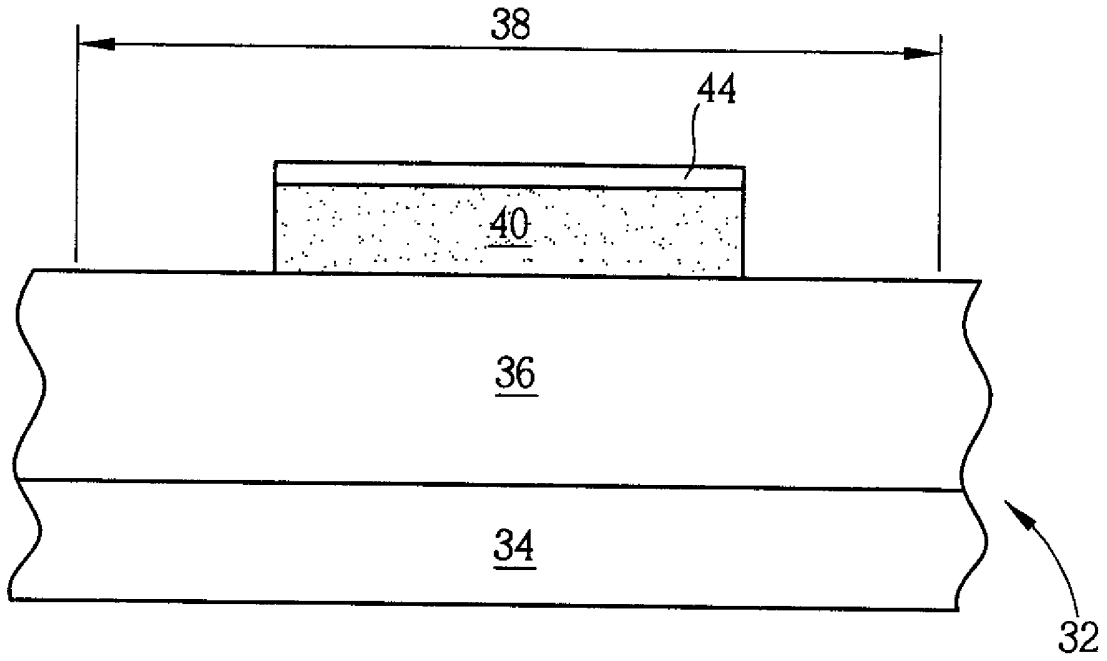
煩請委員明示90年4月4日所提之修正本有無變更實質內容是否准予修正。



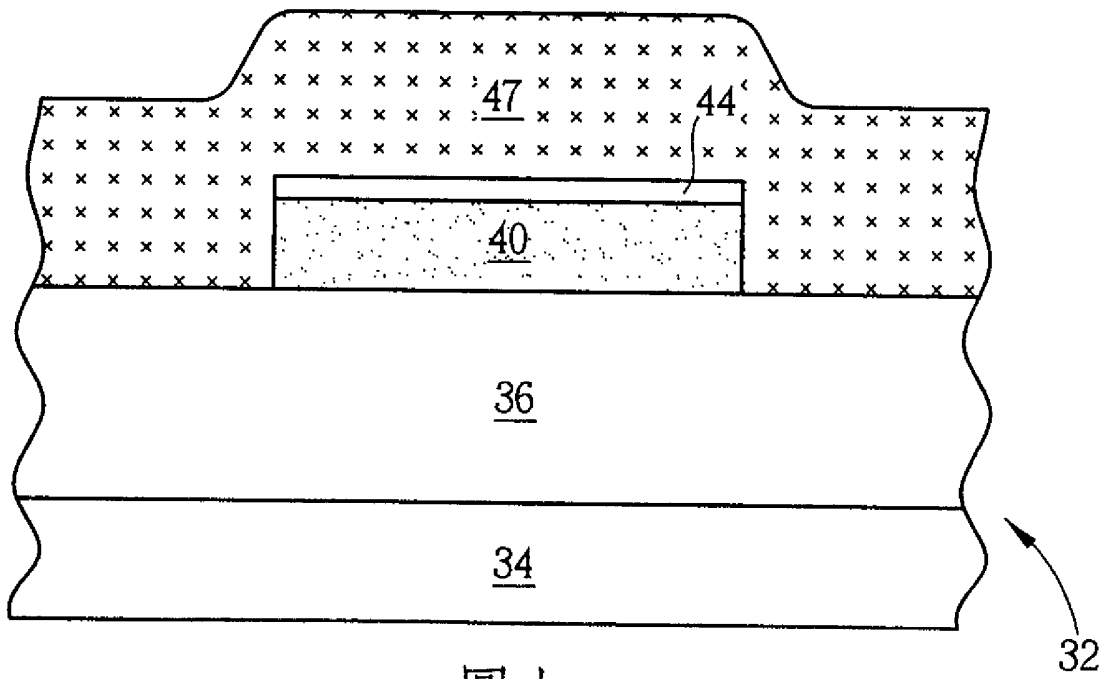
圖四



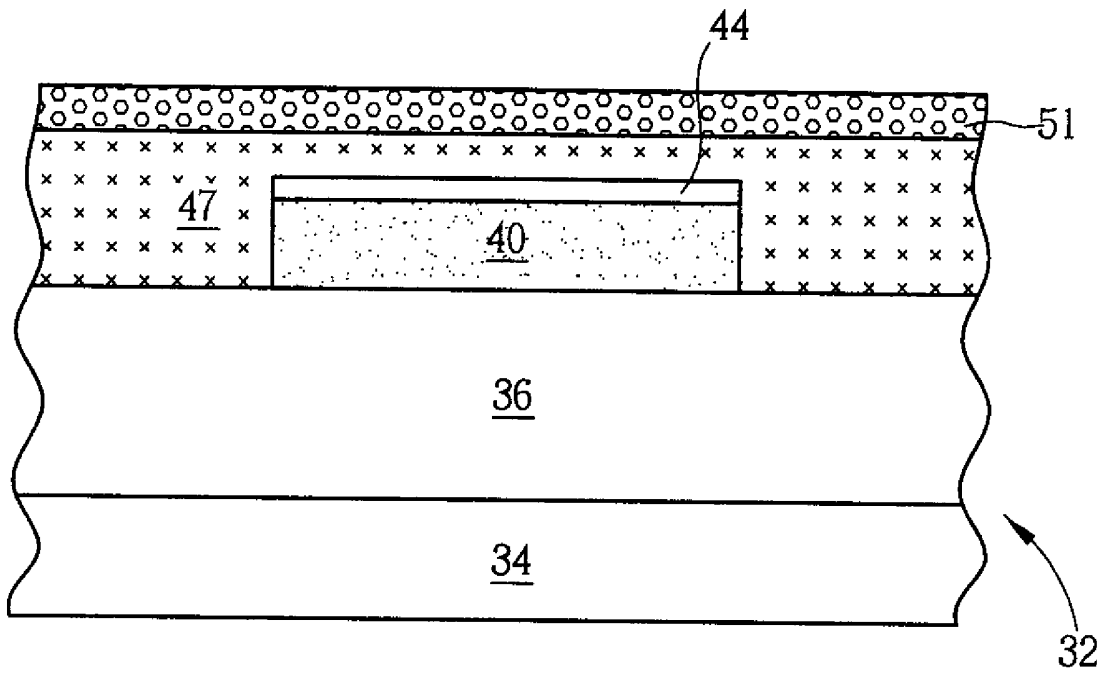
圖五



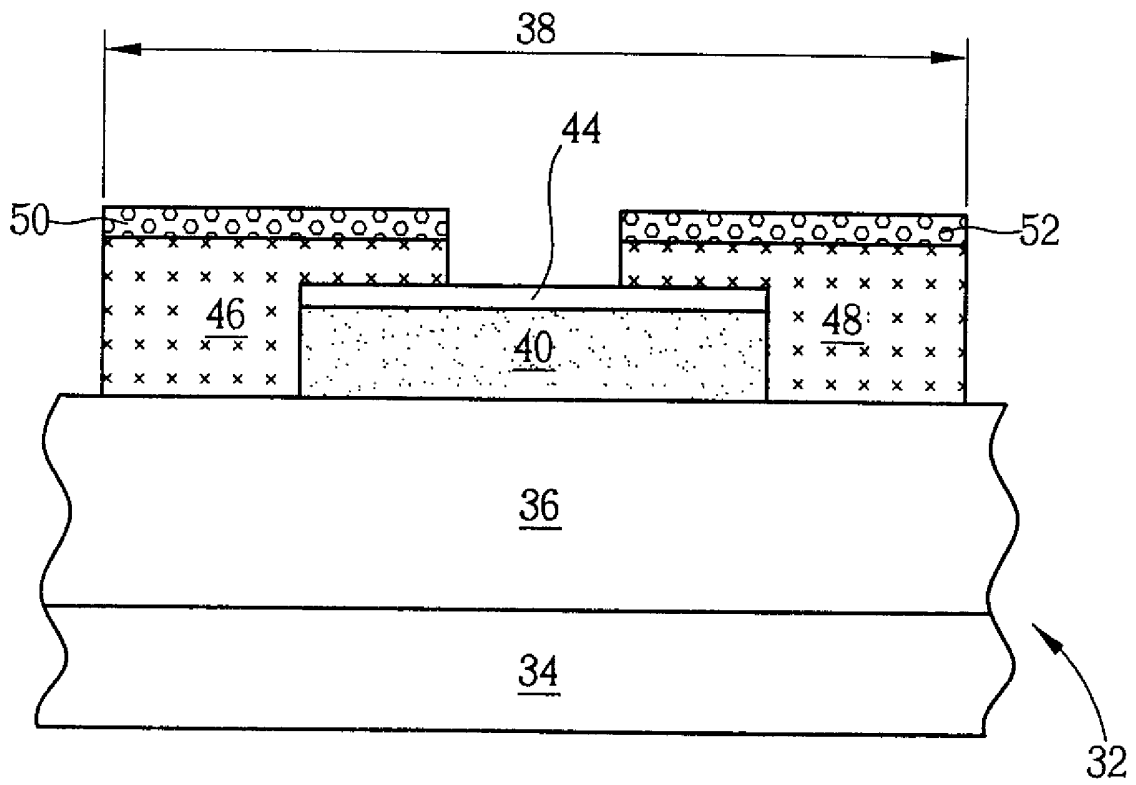
圖六



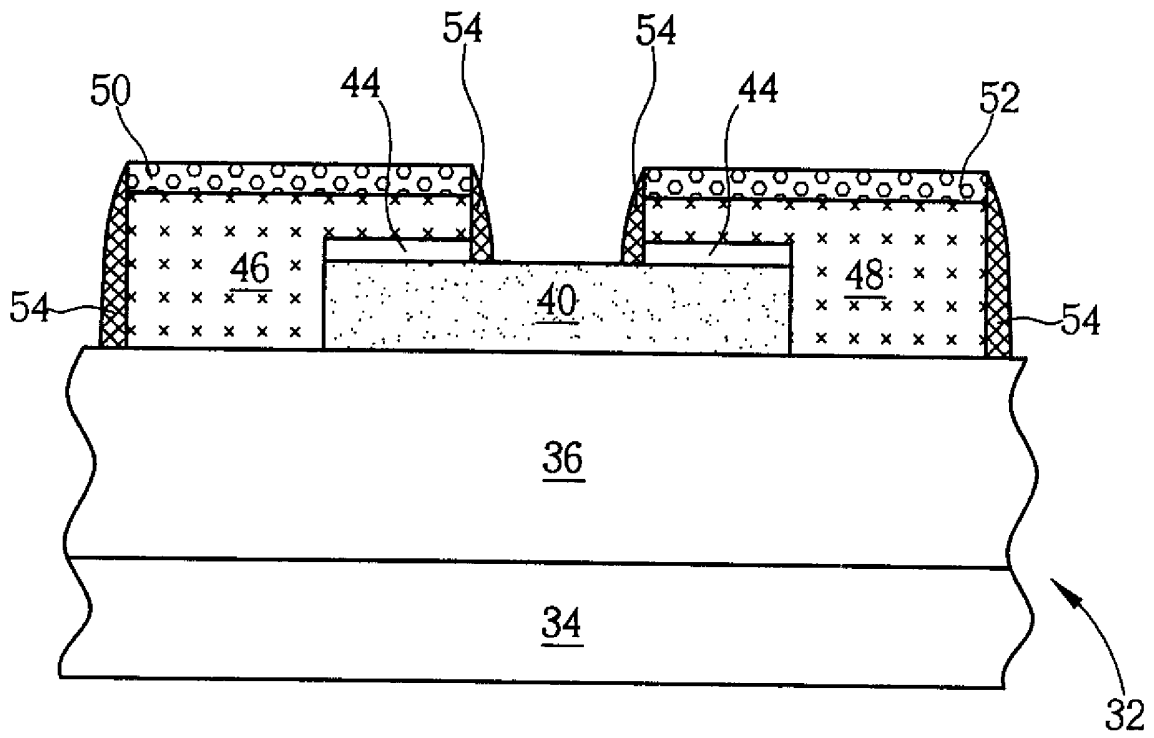
圖七



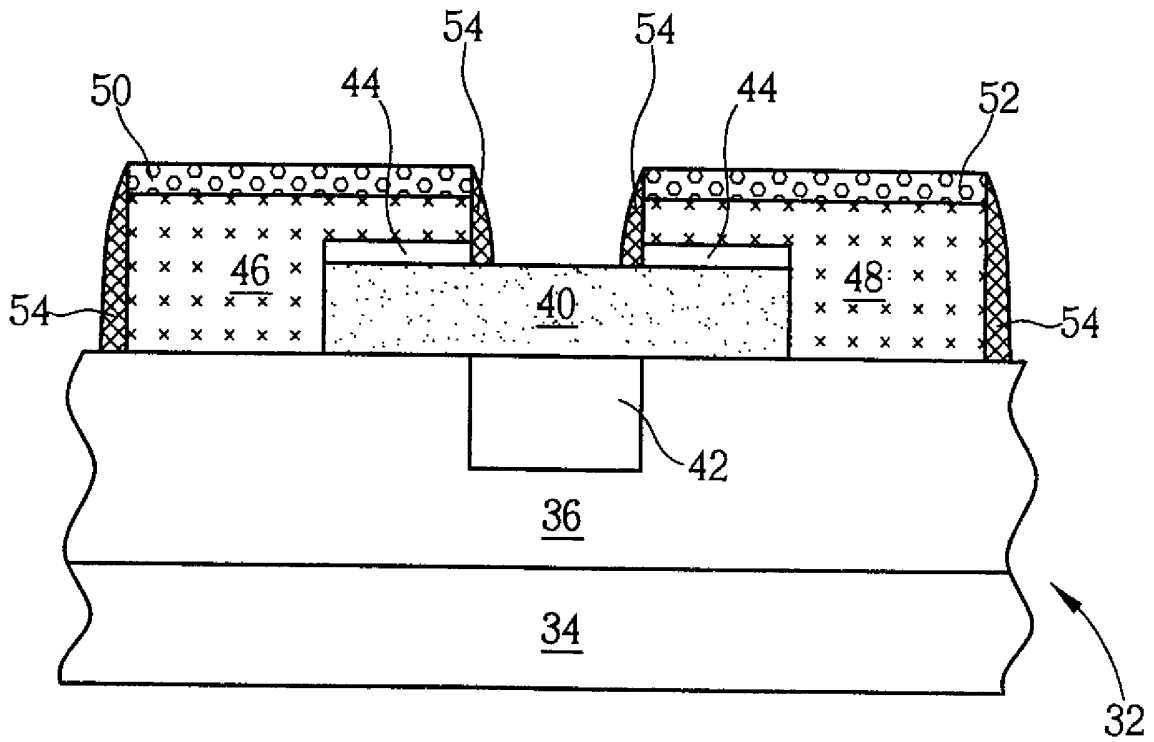
圖八



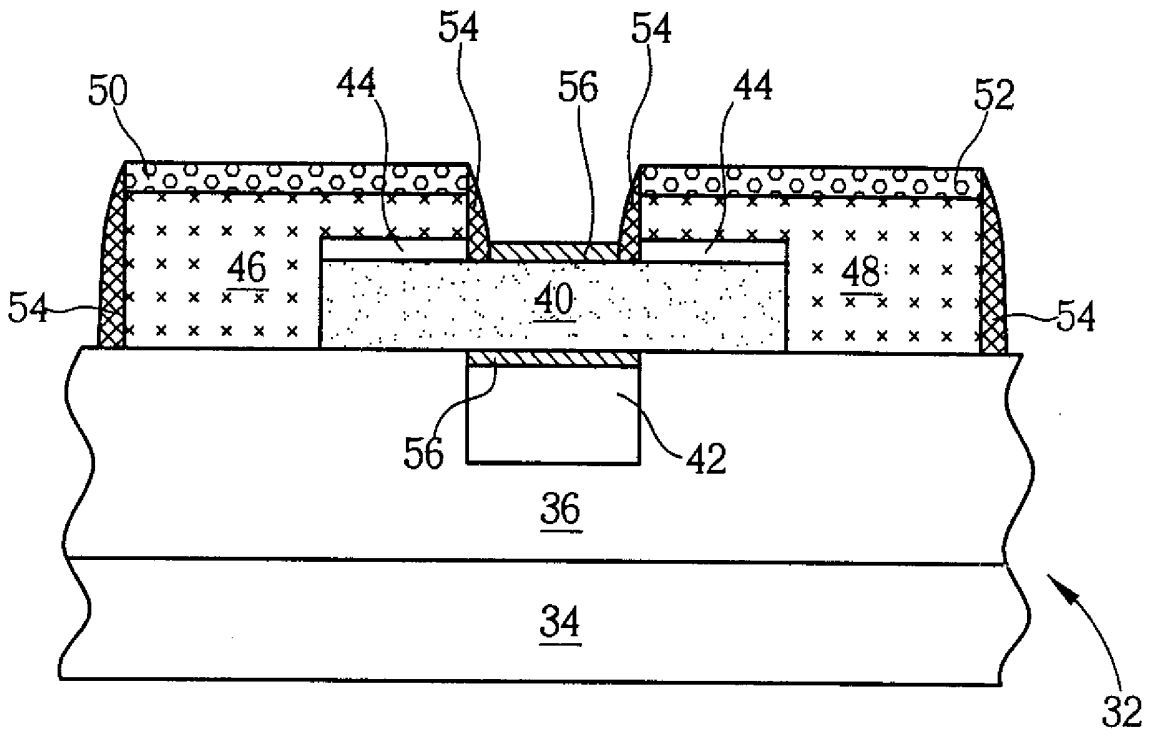
圖九



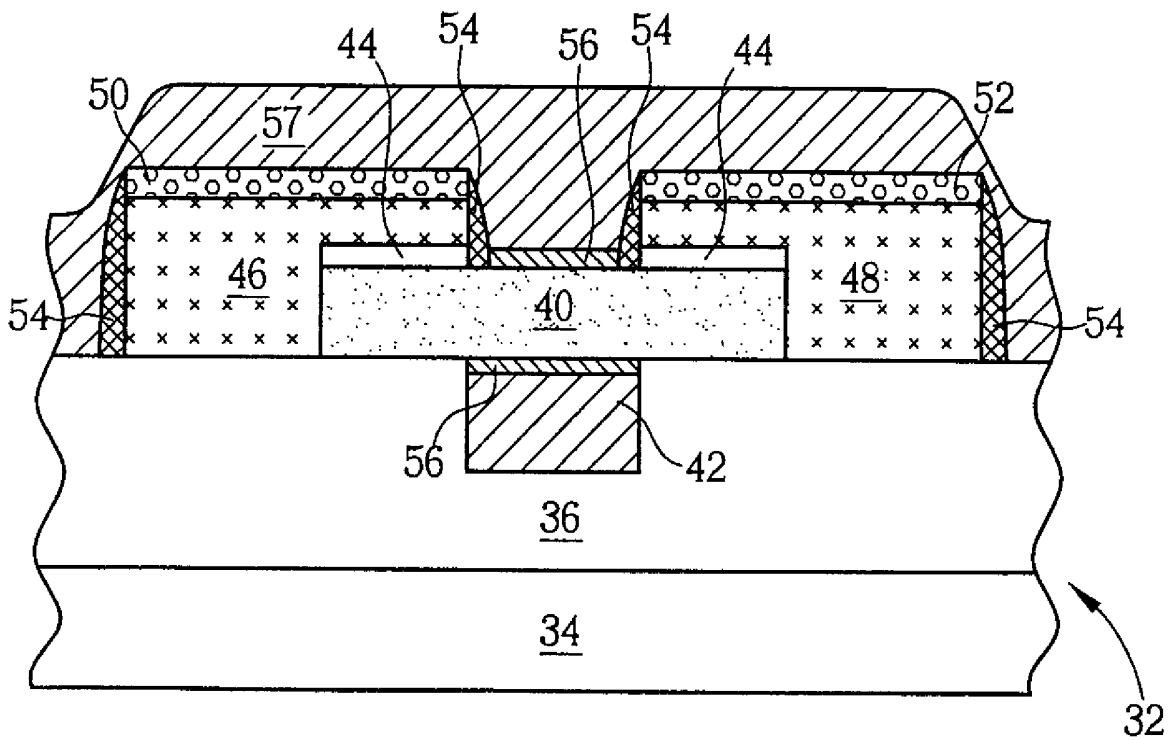
圖十



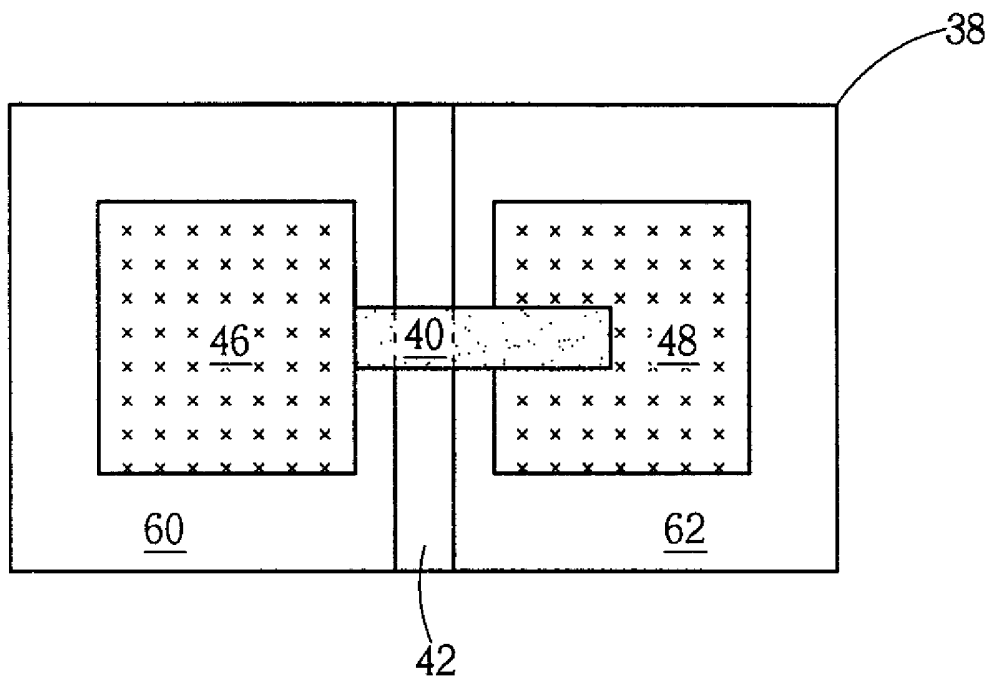
圖十一



圖十二



圖十三



圖十四