

本台公

申請日期	85.12.6
案 號	85115076
類 別	H01L 27/12

317033

317033
A4 > 26
C4

Int. Cl⁵

317033

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	記憶晶格配置及其製造方法
	英 文	Memory cell arrangement and method for its production
二、發明 創作人	姓 名	1. 沃夫根格卡努舒內達 (Wolfgang Krautschneider) 2. 法蘭茲荷夫曼 (Franz Hofmann) 3. 沃夫根格羅斯拿 (Wolfgang Rösner)
	國 籍	1-3 皆屬德國
三、申請人	住、居所	1. 德國D-83104荷漢坦安奧伯斐德50號 2. 德國D-80995慕尼黑赫伯格街25B號 3. 德國D-81739慕尼黑希薩門克街2號
	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
代 表 人 姓 名	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴黎廣場2號
代 表 人 姓 名	姓 名	納特布斯克 (Natebusch) 歐姆克 (Ohmke)

裝 訂 線

經濟部中央標準局員工消費合作社印製

317033

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 德國 1996年 2月 2日 19603810.3

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

為儲存供例如 DP 應用或供音樂或影像之數位儲存所用之大量資料，目前主要是利用機械式移動諸如硬碟記憶體、軟碟或光碟等零件之記憶系統。移動零件會受到機械磨損。復且，需要較大體積且僅允許慢速資料存取。而且，因為其對於振動及位置敏感，且用於作業有很高功率消耗，所以該記憶系統僅可在有限範圍使用於可移動系統中。

眾所週知，半導體僅讀記憶體，旨在儲存較小量的資料。這些記憶體通常做成平面，矽積體電路，其中 MOS 電晶體用來作為記憶體格。電晶體由字線所連接之閘極來選擇。MOS 電晶體之輸入連接到一參考線，而輸出連接到數元線。在讀取作業期間，視電流是否流經電晶體而存取。邏輯值 0 及 1 對應地設定。0 及 1 之儲存以技術條件來實施，其中無 MOS 電晶體產生或在儲存邏輯值設定為“無電流流經電晶體”之狀態的記憶體格中沒有獲得導電連接到該數元線。做為一替代例，因在通道區不同植入而具有不同臨限電壓之 MOS 電晶體可獲得兩種邏輯值。

該半導體記憶體允許隨機存取所儲存資訊。資訊讀取所需電力明顯小於上述具有移動零件之記憶系統的情形。因為不需要移動零件，在此也不受機械磨損及振動敏感影響。因此，半導體記憶體可使用於行動系統。

上述矽記憶體具有平面結構。因而，最小必要面積遂為記憶體格所需，而且最佳為 $4F^2$ ，F 為個別技術所能製造之最小結構大小。

五、發明說明(2)

美國專利第 US-A954-854 號揭露在僅讀記憶體使用垂直 MOS 電晶體。為該目的，矽基體之表面提供有溝槽，該基體在底部處鄰接一源極區，在基體表面處鄰接一吸極區，且沿著該基體邊配置一通道區。溝槽表面提供有閘極介電質，該溝槽填滿閘電極。0 及 1 在本裝置中差異化，其中沒有蝕刻溝槽且沒有電晶體產生用於其一邏輯值。

德國專利 DE4214923A1 揭露一種包含 MOS 電晶體之僅讀記憶體格裝置，該 MOS 電晶體沿著溝槽配置，使得源極區鄰接溝槽底部，吸極區鄰接基體表面，且通道區鄰接垂直基體表面以及平行基體表面兩者之溝槽側與底部。通道表面提供有閘介電質。閘電極設計為一邊覆區(間隔器)。邏輯值 0 及 1 以不同臨限電壓來差異化且受通道植入影響。在通道植入期間，植入離子撞擊在不同角度之個別溝槽表面上，使得植入因為相對邊之遮蔽(shading)僅沿著一邊受到影響。

本發明之課題在於規定一種半導體記憶體格裝置，俾獲得增加儲存密度，因而適合做為大資料量之僅讀記憶體，且可以少數之生產步驟及高生產良率來製造。更進一步要來規定此記憶體格裝置的生產方法。

根據本發明，該課題以根據申請專利第 1 項之記憶體格裝置的方法及根據申請專利第 11 項之製造方法來解決。本發明進一步改良說明在副專利項。

本發明之記憶體格裝置以半導體基體來實施。在主面積區域中至少具有單晶矽之基體較佳地使用做為半導體基體

五、發明說明(3)

。單晶矽晶圓及SOI基體兩者適合做為半導體基體。

記憶體格裝置具有多數記憶體格，該格各具有至少一MOS電晶體。本情形中，第一記憶體格包含以平行沿伸之列來配置的平面MOS電晶體。基本上形成平行且形成平行於列之帶狀溝槽設在半導體基體之主面積。該列交錯地配置在溝槽底部上及在鄰接溝槽間之主面積上。

第二記憶體格包含垂直該主面積，且各形成在溝槽邊壁之MOS電晶體。

第一記憶體格及第二記憶體格因MOS電晶體之植入技術而不同。然而，關於儲存可能性，第一記憶體格及第二記憶體格相同。

本發明範圍包含在記憶體格裝置期間，藉由製造具有不同臨限電壓，MOS電晶體來程式規劃記憶體格裝置。較佳以光罩通道植入來產生，其中參雜在MOS電晶體通道審慎地改變。

另一替代例是以MOS電晶體視所儲存資訊，而具有不同厚度之閘介電質來獲得不同MOS電晶體的臨限電壓。本情形中，使用構成之事實在於閘介電質差異10或更大之因數，MOS電晶體之臨限電壓相互差異明顯，使得當施加具有在兩臨限電壓間之位準之選擇信號時，其一MOS電晶體導通而具有較厚閘介電質之MOS電晶體不導通。

如果記憶體格裝置要使用於多值邏輯(multi-value logic)，則MOS電晶體視所儲存資訊而具有兩種以上不同臨

五、發明說明(4)

限電壓。

本發明範圍包含提供MOS電晶體一具有陷波作用(Trap)之材料所製成的關介電質。陷波作用具有捕捉，尤其是電子，電荷載子的性質。為電氣程式規劃之目的，MOS電晶體互連使得對應所要儲存資訊之電荷載子通過到關介電值內且為陷波作用所留住。

記憶體格裝置在注入電子來製成後程式規劃。可以Fowler-Nordheim隧道法及熱電子注入法兩者來實施。為了以數位形式來儲存資料，MOS電晶體程式規劃使得其具有兩種不同臨限電壓。如果記憶體格裝置要使用於多值邏輯，則關介電質在程式規劃期間以對應電壓及時間條件顯露不同電荷量，使得MOS電晶體視所儲存資訊而具有兩種以上不同臨限電壓。

根據本發明之一實施例，關介電質設計成多重層，其中至少所設之一層與多重層中至少一更深層相較，具有遞增之電荷載子捕捉橫斷面。陷波作用定位在兩層間之介面處。介電質多重層較佳包含一層二氧化矽(SiO_2)，一層氮化矽(Si_3N_4)及一層二氧化矽(SiO_2) (稱為ONO)。另一替代例之關介電質可設計成一由其他材料製成之多重層，此層具有增加之荷載子捕捉橫斷面，包含例如 Si_3N_4 、 Ta_2O_5 、 Al_2O_3 或 TiO_2 及鄰接層之 SiO_2 、 Si_3N_4 或 Al_2O_3 。此外，多重層可包含多或少於兩層。

另一替代例之關介電質可包含例如由 SiO_2 所製成之介電

五、發明說明(5)

層，其中包括W、Pt、Cr、Ni、Pd、Si或Ir之雜質原子。所包括雜質原子可以植入法、在氧化期間添加或擴散法來導入。本情形中所包括之雜質原子形成陷波作用。

成列配置之平面MOS電晶體根據本發明較佳以串聯互連在記憶體格裝置。鄰接沿著列之平面MOS電晶體互連源極/吸極區，在本情形中形成為相結合之摻雜區(coherent doped region)。各垂直MOS電晶體之兩源極/吸極區，在各情形中形成一結合摻雜區，而具有其一平面MOS電晶體之其一源極/吸極區在基體主面積上，及具有該平面MOS電晶體之一源極/吸極區在溝槽的底部。

本實施例中，如果溝槽形成具有寬度F及間隔F，則F為以個別技術能製造之最小結構大小，而且在列方向中平面MOS電晶體之源極/吸極區及通道區的大小，在各情形中選擇對應F，則具有平面MOS電晶體之第一記憶體格及具有垂直MOS電晶體之第二記憶體格配置在 $2F^2$ 的面積上。因此各記憶體格所需主面積為 $1F^2$ 。該增加封裝密度達成事實在於垂直MOS電晶體在各情形中配置在溝槽邊壁上，而當突出到主面積上時不須多加面積。沿著鄰接列來配置之平面MOS電晶體以個別邊壁上所配置垂直MOS電晶體之通道區來相互絕緣。

根據本發明之一實施例，所設多數第一字線橫貫溝槽且連接到沿著不同列所配置平面MOS電晶體之閘極。更進一步所設多數第二字線，各成對配置在溝槽之一中。本情形中

五、發明說明(6)

；沿著溝槽邊壁之一來配置之垂直MOS電晶體的閘極連接到第二字線之一。抑制在鄰接MOS電晶體間形成導電通道之絕緣結構，設在同一邊壁上所配置之各兩鄰接垂直MOS電晶體之間。

絕緣結構較佳設計為在個別邊壁中之摻雜區。摻雜區之摻雜物濃度，在本情形中高到當電壓施加到相關字線時，鄰接MOS電晶體之間所形成寄生MOS電晶體不導通。另一替代例，例如，絕緣結構也可形成為 SiO_2 所構成之絕緣間隔物。

記憶體格裝置也可利用增強模態MOS(enhancement-mode)電晶體及利用空乏模態(depletion-mode)MOS電晶體兩種來獲得。然而，在空乏模態MOS電晶體之情形中，對於有效漏電流抑制需要負驅動電壓。當使用增強模態MOS電晶體時，即使使用正驅動電壓時也得到有效漏電流抑制。

根據本發明之記憶體格裝置，較佳利用自行調整(self-aligning)製造步驟來製造，以便各記憶體格之空間需求減少。

為製造記憶體格裝置，形成平行之帶狀溝槽蝕刻在半導體基體之主面積。垂直MOS電晶體形成在溝槽之邊壁，平面MOS電晶體形成在溝槽之底部上及主面積上相鄰溝槽之間。

較佳形成橫貫溝槽之第一字線。第一字線在平面MOS電晶體及垂直MOS電晶體形成源極/吸極區之後續植入期間作為一遮罩。

五、發明說明(7)

第二字線較佳例如形成為溝槽邊壁上摻雜多矽晶所構成之間隔物。為在第一字線及第二字線之間絕緣，第二字線表面在第一字線形成前先覆蓋絕緣材料。此種情形譬如藉表面的熱氧化，譬如於形成一開極氧化物時發生，或藉由形成例如由 SiO_2 所構成之絕緣間隔物來發生。利用絕緣間隔物在第一字線及第二字線間之絕緣所具有之優點在於：絕緣間隔物可以製成更厚而無關例如開極氧化物厚度之其他製程參數。

本發明利用實例及圖式在下文中更詳細說明。圖式之圖說沒有照實際比例。

第1圖 表示第一通道植入後之基體；

第2圖 表示帶狀溝槽蝕刻後之基體；

第3圖 表示第一遮罩形成及溝槽壁之絕緣結構製成後的基體平面圖；

第4圖 表示第3圖所示在基體之IV-IV處的斷面圖；

第5圖 表示第3圖所示在基體V-V處的斷面圖。該斷面對應第2圖所示之斷面；

第6圖 在垂直MOS電晶體之開極介電質及開電極形成後，第4圖所示基體之斷面圖；

第7圖 表示垂直MOS電晶體開電極所覆蓋絕緣間隔物形後，用於平面MOS電晶體之開極介電質形成之後，及橫貫溝槽之第一字線形成後，第5圖所示基體之斷面圖；

第8圖 表示源極/吸極區形成後對應第6圖之基體的斷面

五、發明說明 (9)

圖；

第9圖 表示基體平面圖。第7圖及第8圖所示斷面圖分別以第9圖之VII-VII及VIII-VIII來說明。

第10圖 表示溝槽底部處所配置源極 / 吸極區上之數元線接點形成後對應第8圖之基體的斷面圖；

第11圖 表示具有3×3記憶體格對之記憶體格裝置的電路圖。

為製造根據本發明之記憶體格裝置，首先在基體1主面積2上產生絕緣區於例如單矽晶所構成基體1中，該絕緣區界定該記憶體格裝置(未圖示)之格範圍(cell field)。絕緣區例如以LOCOS方法或STI(淺槽隔離法)方法來形成。例如，基體1以摻雜物濃度 10^{15} cm^{-3} 來P型摻雜。

然後，MOS電晶體空乏通道區以光蝕刻法(photo lithographic process)之輔助來界定。空乏通道3以第一通道植入法之輔助以40KeV能量及 $4 \times 10^{13} \text{ cm}^{-2}$ 劑量之砷來形成。空乏通道3平行主面積2之範圍為 $2F \times 2F$ ，即，當使用0.4微米($\mu \text{ m}$)技術，例如 $0.8 \mu \text{ m} \times 0.8 \mu \text{ m}$ (見第1圖)之情形。

溝槽遮罩4以TEOS方法之輔助來形成 SiO_2 層沈積，例如到100nm至200nm之厚度及以光蝕刻法之輔助形成後續 SiO_2 層結構(見第2圖)。

帶狀溝槽5以利用氯(Cl_2)之各向異性蝕刻法及例如利用溝槽遮罩4做為蝕刻遮罩來蝕刻。溝槽5例如具有 $0.5 \mu \text{ m}$ 深度。溝槽5寬廣為F，例如 $0.4 \mu \text{ m}$ ，而相鄰溝槽5間之間隔同

五、發明說明(9)

樣為F，例如 $0.4\mu\text{m}$ 。例如溝槽5之長度視記憶體格裝置大小而定為 $130\mu\text{m}$ 。

空乏通道3之寬度在溝槽5蝕刻期間設定為溝槽5間之間隔。溝槽遮罩4對空乏通道3之調整因而不重要。

隨後以光蝕刻法步驟之輔助來形成第一抗蝕劑遮罩6(見第3圖、第4圖、第5圖)。第一抗蝕劑面罩具有平行於溝槽5之帶狀開口(見第3圖之平面圖)。開口之寬度F，例如 $0.4\mu\text{m}$ ，而相鄰開口間之間隔同樣為F，例如 $0.4\mu\text{m}$ 。在第一抗蝕劑遮罩6之開口區中，絕緣結構7產生在溝槽5之邊壁。絕緣結構7例如以利用矽離子之角度植入(angled implantation)來形成。離子植入期間之角度選擇，使得僅在植入光束內及溝槽5底部之邊壁受到遮蔽。植入在本情形中自兩邊來實施。結果絕緣結構7形成在兩邊壁上。例如利用15度角度之矽離子，例如25Kev能量及 10^{14}cm^{-2} 劑量來產生。

另一替代例之絕緣結構7可以適用為擴散源之間隔物的外擴散(outdiffusion)來形成。例如，間隔物以矽摻雜玻璃層之沈積及溝槽5邊壁上之各向異性內蝕刻而自矽摻雜玻璃來產生。隨後，其等結構以抗蝕劑遮罩之輔助，使得僅保留在絕緣結構7所要形成之邊壁的区域上。使用於結構之抗蝕劑遮罩具有帶狀開口，該開口和第一抗蝕劑遮罩6中之開口互補。

進一步替代例中，絕緣結構7可以絕緣間隔物之形式來形

五、發明說明(10)

成。為此目的，例如，利用TEOS方法， SiO_2 層沈積厚度例如30至80nm之層厚，而且各向異性內蝕刻。以和第一抗蝕刻面罩互補之第一光蝕刻劑遮罩6之輔助，該間隔物結構形成該絕緣結構7。第二抗蝕劑遮罩(未圖示)在第一抗蝕劑遮罩6去除後形成。第二通道植入實施，該情形中例如在25KeV能量及例如 $5 \times 10^{12} \text{ cm}^{-2}$ 劑量以角度植入在溝槽邊壁中來產生高臨限電壓(未圖示)。垂直MOS電晶體在本方法步驟中程式規劃。

然後，例如由熱 SiO_2 所構成閘介電質8在溝槽5邊壁上形成到5至10nm之層厚度(見第6圖)。

具有一致邊緣覆蓋及例如50nm厚度之摻雜多矽晶層形成在整個面積上。例如，摻雜多矽晶是 n^+ 型摻雜。其以住址摻雜(Situdoped)沈積法或未摻雜沈積隨後擴散法或植入法來產生。摻雜多矽晶間隔物9以摻雜多矽晶層之各向異性內蝕刻來形成在溝槽5之邊壁上。該蝕刻選擇性地對閘介電質來實施。摻雜多矽晶間隔物5延伸在溝槽5之邊壁的整個長度上(見第6圖及第7圖)。為降低摻雜多矽晶間隔物9之層電阻，最好附有一種金屬矽化物層。例如，金屬矽化物層以鎢來反應形成。本情形中，以矽化鎢僅形成在多矽晶上，而不是在溝槽底部及閘介電質所覆蓋之網格上來使用。

第三通道植入是利用第三抗蝕劑面罩(未圖示)來實施。空乏通道10形成在溝槽5之底部處。隨後第三抗蝕劑面罩再去除。

五、發明說明(11)

溝槽4隨後以濕化學蝕刻，例如，利用氫氟酸來去除。定位在溝槽5底部上之隔介電質8部份同時去除。完全覆蓋摻雜多矽晶間隔物9之絕緣間隔物11利用例如TEOS法全面積沈積及隨後 SiO_2 層之各向異性內蝕刻來形成(見第7圖及第8圖)，例如， SiO_2 層沈積30至80nm之層厚。

然後，形成例如熱 SiO_2 所構成進一步之隔介電質12。進一步隔介電質12配置在溝槽5底部及相鄰溝槽5間之主面積2上。例如，其具有5至10nm之層厚。

隨後沈積多矽晶層及 SiO_2 層。多矽晶層例如以位址摻雜或以無摻雜沈積隨後以植入法或擴散法而例如自汽相(Vapor phase)來沈積。 SiO_2 層例如利用TEOS法來沈積。硬式遮罩(未圖示)以光蝕刻法之輔助而自 SiO_2 層來形成。摻雜多矽晶層利用硬式遮罩做為蝕刻遮罩來構造。如此產生橫貫溝槽之第一字線13(見第7圖)。第一字線之結構以對進一步隔電質12之高選擇性地來產生。該結構較佳地利用乾蝕刻法來產生。

第一字線13配置方式使得其等各延伸在絕緣結構7上。因此，第一字線13之產生必須對絕緣結構7調整。

隨後例如以80KeV能量及 $5 \times 10^{15} \text{ cm}^{-2}$ 劑量之矽來實施植入，其中源極/吸極區14a形成在主面積2上，而源極/吸極區14b形成在溝槽5之底部上。源極/吸極區14a、14b各具有100nm之深度(見第8圖)。該硬式面罩在源極/吸極區14a、14b形成之後去除。

五、發明說明(12)

在主面積 2 上之各源極 / 吸極區 14a，及在具有或不具有空乏通道 3 間之主面積 2 相鄰的 P 型摻雜基體 1 部份，以及其上所配置進一步關介電質，及其上所配置在個別第一字線 13，形成個別平面 MOS 電晶體。同樣地，溝槽 5 底部上所配置源極 / 吸極區 14b 以及在具有或不具有空乏通道 10 之溝槽 5 底部之間所配置 P 型摻雜基體部份，及其上所配置進一步關介電質，及其上所配置個別平面 MOS 電晶體，形成一配置在溝槽 5 底部之平面 MOS 電晶體。相鄰溝槽邊壁之各兩源極 / 吸極區 14a、14b，及在具有或不具有空乏通道間之邊壁相鄰的 P 型摻雜基體 1 部份，形成具有關介電質 8 及摻雜多矽晶間隔物 9 相鄰部之垂直 MOS 電晶體。溝槽 5 底部及主面積上所配置相鄰平面 MOS 電晶體以 P 型摻雜基體 1 來相互絕緣。摻雜多矽晶間隔物 9 形成驅動垂直 MOS 電晶體之第二字線。摻雜多矽晶間隔物 9 以絕緣間隔物 11 來和第一字線 13 絕緣。

第 9 圖表示第 7 及 8 圖所示斷面圖之平面圖。本平面圖中摻雜多矽晶間隔物 9 之部份已以虛線形式說明。第一字線 13 及形成第二字線之摻雜多矽晶間隔物 9 相互垂直延伸。

在範例實施例中，平行主面積 2 之源極 / 吸極區 14a、14b 具有大小為 $F \times F$ 。其等配置成直接相鄰(見第 9 圖)。平行溝槽 5 之相鄰源極 / 吸極區 14a、14b 間之間隔同樣為 F 。各源極 / 吸極區 14a 屬於兩相鄰平面 MOS 電晶體。垂直 MOS 電晶體製成在溝槽 5 邊壁中，且不需要平行主面積 2 之面積。因此，包含一平面 MOS 電晶體及一垂直 MOS 電晶體之兩記憶體格

五、發明說明(13)

所需求面積為 $2F^2$ 。因此各記憶體格所需求主面積為 F^2 。

為完成該記憶體格裝置，在全面積上產生一中間氧化物層(見第10圖)。例如，中間氧化物層15以 1600nm 之層原來形成。接點孔在中間氧化物層中間啟到定位在溝槽5底部之源極/吸極區14b。為避免短路，接點孔側壁附有絕緣間隔物16。絕緣間隔物16例如以TEOS法來沈積 SiO_2 層到30至 80nm 及 SiO_2 層各向異性內蝕刻來形成。間隔物16覆蓋主面積2上所定位之源極/吸極區，或因為調整誤差來蝕刻而可能已暴露之字線13的部份。接點孔最後填滿金屬填充物17。因此，例如，金屬層以濺射法或蒸汽沈積法來施加，且以光蝕刻法步驟及蝕刻步驟之輔助來構造。例如，金屬填充物17由鋁或鎢來形成。

第11圖說明具有 3×3 記憶體格對之記憶體格欄的電路圖。個別記憶體格以 NAND(反及)架構來配置。第一字線 13 以 WL_1 來指名，且其等相互各連接平面 MOS 電晶體之閘電極。以摻雜多矽晶間隔物9來形成之第二字線，指名為 WL_2 ，其等相互各連接垂直 MOS 電晶體之閘電極。BL指名以各互相串聯且配置在主面積2及溝槽5底部上之平面電晶體來製成之數元線。平面 MOS 電晶體之存取經數元線 BL 及個別第一字線 WL_1 來進行。垂直電晶體之存取，在各情形中在主面積2上所配置平面 MOS 電晶體之鄰接數元線 BL，及溝槽5底部上所配置且經金屬填充物17來設定在一參考電位之源極/吸極區14b其間進行。

五、發明說明(14)

在本發明所述實施例中，記憶體格裝置在記憶體格裝置製造期間以第一通道植入法、第二通道植入法及第三通道植入法來程式規畫。其中所儲存資訊經通道植入法中所使用抗蝕劑面罩之開口裝置來導入。

用於程式規畫垂直MOS電晶體之第二通道植入可在第一字線13製成後交替進行。本情形中第二抗蝕劑罩產生在用於構造第一字線13之硬式遮罩上。開口重疊在硬式遮罩，使得第二抗蝕劑遮罩平行於溝槽方向之調整不重要。本情形中，溝槽邊壁中之空乏通道也以矽之斜向植入來形成。離子植入期間之能量在本情形中，設定使得矽離子通過摻雜多矽晶間隔物9及關介電質8而進入溝槽5邊壁。例如植入以50KeV能量來實施。

MOS電晶體之不同臨限電壓也可在製造期以形成不同厚度之平面及/或垂直MOS電晶體來產生。

進一步替代例中，具有陷波作用之材料使用為關介電質8及做為進一步關介電質12。例如，關介電質8及進一步關電極12由至少提供一層之介電質多重層來形成，該一層比較多重層之至少一進一步層具有遠增電荷載子捕捉橫斷面。介電質多重層較佳地包含一 SiO_2 層、一 Si_3N_4 層及一 SiO_2 層(稱為ONO)。多重層之層厚度大小，對於關電容而言使得多重層對應具有例如10nm厚度之熱 SiO_2 所構成之層。為此目的，各 SiO_2 層需要4nm層厚，各 SiO_2 層需要4nm層厚，而 Si_3N_4 層需要4nm層厚。

五、發明說明(15)

如果關介電質 8 及進一步關介電質 12 由具有高陷波密度之材料形成，則記憶體格裝置在其已以注入電荷載子，尤其電子，進入關介電質 8 及進一步關介電質 2 內來製成後來程式規畫。電荷載子可以 Fowler-Nordheim 隧道法或熱電子注入法來導入。來情形中，不可缺少，第一通道植入、第二通道植入、第三通道植入及植入所使用之抗蝕劑劑遮罩。

關於記憶格間有效漏電流抑制，最好使用增強模態電晶體做為平面 MOS 電晶體及垂直 MOS 電晶體。為了獲得資訊狀態 1 及 0，例如，不同臨限電壓設定在 0.5 伏特及 1.5 伏特。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱： 記憶晶格配置及其製造方法)

一種記憶體格裝置，包含具有平面MOS電晶體之第一記憶體格及具有垂直MOS電晶體之第二記憶體格。本情形中該平面MOS電晶體(14a, 13, 14a; 14b, 13, 14b)配置在平行帶狀溝槽(5)之底部及頂部上。該垂直MOS電晶體(14a, 9, 14b)配置在該溝槽(5)之邊壁上。記憶體格裝置可以各記憶體格需要的主面積 $1F^2$ 來製造(F：最小結構大小)。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱： Memory cell arrangement and method for its production)

A memory cell arrangement comprises first memory cells having planar MOS transistors and second memory cells having vertical MOS transistors. The planar MOS transistors (14a, 13, 14a; 14b, 13, 14b) are in this case arranged on the bottom of and on the crown of parallel, strip-like trenches (5). The vertical MOS transistors (14a, 9, 14b) are arranged on the side walls of the trenches (5). The memory cell arrangement can be produced with a mean area requirement for each memory cell of $1 F^2$ (F: minimum structure size).

訂

線

第 85115076 號「記憶體晶格配置及其製造方法」專利案

(86 年 8 月修正)

六申請專利範圍

1. 一種記憶體格裝置，其特徵在於，

多數記憶體格設在一半導體基體 (1) 之主面積 (2) 上，

該記憶體格各包含至少一 MOS 電晶體；

該第一記憶體格包含成列平行延伸來配置之平面 MOS 電晶體；

基本上平行延伸且平行該列延伸之帶狀溝槽 (5) 設在該半導體基體 (1) 中；

該列交錯地配置在溝槽 (5) 之底部及鄰接溝槽 (5) 間之主面積 (2) 上；以及

該第二記憶體格包含 MOS 電晶體，該電晶體垂直該主面積 (2) 且各設在該溝槽 (5) 邊壁上。

2. 如申請專利範圍第 1 項之記憶體格裝置，

其中成列配置之平面 MOS 電晶體串聯互連；沿著一列相鄰之平面 MOS 電晶體的互連源極 / 吸極區 (14a, 14b)，形成為結合摻雜區；

垂直 MOS 電晶體之兩源極 / 吸極區 (14a, 14b)，在各情形中形成為一結合摻雜區，而該平面 MOS 電晶體其一的源極 / 吸極區 14a 之一，在該半導體基體 (1) 的主面積 (2) 上，而該平面 MOS 電晶體之源極 / 吸極區 14b 之一在該溝槽 (5) 之底部上。

3. 如申請專利範圍第 1 或 2 項之記憶體格裝置，

其中設有多數第一字線 (13)，該字線橫貫該溝槽 (5) 且連接到平面 MOS 電晶體之閘電極；

設有多數第二字線 (9)，該字線各成對配置在該溝槽 (

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

5)之一中；

沿著該溝槽(5)邊壁來配置之垂直MOS電晶體的閘電極連接到該第二字線(9)之一；

且在該同一邊壁上所配置各兩相鄰垂直MOS電晶體之間所提供一絕緣結構(7)，抑制在相鄰MOS電晶體間形成導電通道。

4. 如申請專利範圍第3項之記憶體格裝置，

其中該絕緣結構(7)各設計為個別邊壁中之一摻雜區。

5. 如申請專利範圍第1項或2項之記憶體格裝置，

其中該MOS電晶體視該個別記憶體格所儲存資訊而具有不同臨限電壓。

6. 如申請專利範圍第1項或2項之記憶體格裝置，

其中該MOS電晶體具有由具有陷波作用之材料所構成之閘介電質(8, 12)。

7. 如申請專利範圍第6項之記憶體格裝置，

其中該MOS電晶體包含一具有至少一層之介電質多重層做為閘介電質(8, 12)，該一層與至少一更深層相較，具有遞增電荷載子捕捉橫斷面。

8. 如申請專利範圍第7項之記憶體格裝置，

其中具有遞增電荷載子捕捉橫斷面之層包含至少 Si_3N_4 、 Ta_2O_5 、 Al_2O_3 或 TiO_2 等物質之一種，

其中該更深層包含至少 SiO_2 、 Si_3N_4 或 Al_2O_3 等物質之一種。

六、申請專利範圍

9. 如申請專利範圍第6項之記憶體格裝置，

其中該MOS電晶體包含一已包括雜質原子之介電質層做為閘介電質(8, 12)，該所包括之雜質原子與該介電質層相較，具有一遞增電荷載子捕捉橫斷面。

10 如申請專利範圍第9項之記憶體格裝置，

其中該介電質層包含 SiO_2 ，且

該所包括雜質原子包含至少W、Pt、Cr、Ni、Pd、Si或Ir等元素之一種。

11 一種記憶體格裝置之製造方法，其特徵在於：

基本上平行延伸之多數帶狀溝槽(5)蝕刻在一半導體(1)之主面積(2)；

該平面MOS電晶體在各情形中形成在該溝槽(5)之底部上及在相鄰溝槽(5)間之主面積(2)上；且

該垂直MOS電晶體形成在該溝槽(5)之邊壁上。

12 如申請專利範圍第11項之方法，

其中該溝槽(5)底部上及在相鄰溝槽(5)間之主面積上所配置之平面MOS電晶體，在各情形中相互串聯連接；

該相鄰平面MOS電晶體之互連源極/吸極區各形成為一結合摻雜區；

各垂直MOS電晶體之兩源極/吸極區(14a, 14b)，在各情形中和該基體(1)主面積(2)上之一平面MOS電晶體的源極/吸極區(14a)之一，及在該溝槽(5)底部上平面MOS電晶體的源極/吸極區(14b)之一形成為一結合區。

六、申請專利範圍

13 如申請專利範圍第 11 或 12 項之方法，

其中在該平面 MOS 電晶體之閘介電質形成之後，形成多數第一字線 (13)，該字線橫貫該溝槽 (5) 且包含該平面 MOS 電晶體之閘電極；且

離子植入實施以便形成該源極 / 吸極區 (14a, 14b) 該第一字線 (13) 具有面罩作用。

14 如申請專利範圍第 11 或 12 項之方法，

其中用於該垂直 MOS 電晶體之閘介電質 (8) 形成後，第二字線以基本上具有一致性邊緣覆蓋之導電層形成及在各溝槽 (5) 中該導電層之各向異性內蝕刻來形成，該第二字線各沿著該溝槽 (5) 邊壁來配置且包含沿著該邊壁來配置之垂直 MOS 電晶體的閘電極；且

其中抑制在相鄰 MOS 電晶體間形成導電通道之絕緣結構 (7)，形成在同一邊壁上所配置的各兩相鄰垂直電晶體之間。

15 如申請專利範圍第 14 項之方法，

其中個別摻雜區形成在該個別側壁中以便形成該絕緣結構 (7)。

16 如申請專利範圍第 11 或 12 項之方法，

其中該 MOS 電晶體視所儲存資訊而製成具有不同臨限電壓。

17 如申請專利範圍第 11 或 12 項之方法，

其中該 MOS 電晶體之閘介電質 (8, 12) 是由具有陷波作

六、申請專利範圍

用之材料來形成。

18 如申請專利範圍第 17 項之方法，

其中該閘介電質 (8, 12) 形成為一介電質多重層，該多重層具有至少一層相較於至少一更深層具有一遞增電荷載子捕捉橫斷面。

19 如申請專利範圍第 17 項之方法，

其中該閘介電質 (8, 12) 形成為一具有已包括雜質原子之介電質層，該所包括雜質原子比較該介電質層具有一遞增電荷載子捕捉橫斷面。

(請先閱讀背面之注意事項再填寫本頁)

裝

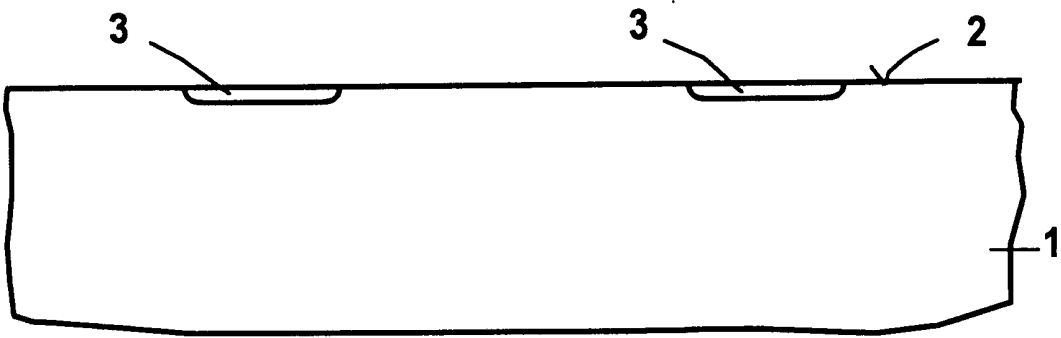
訂

線

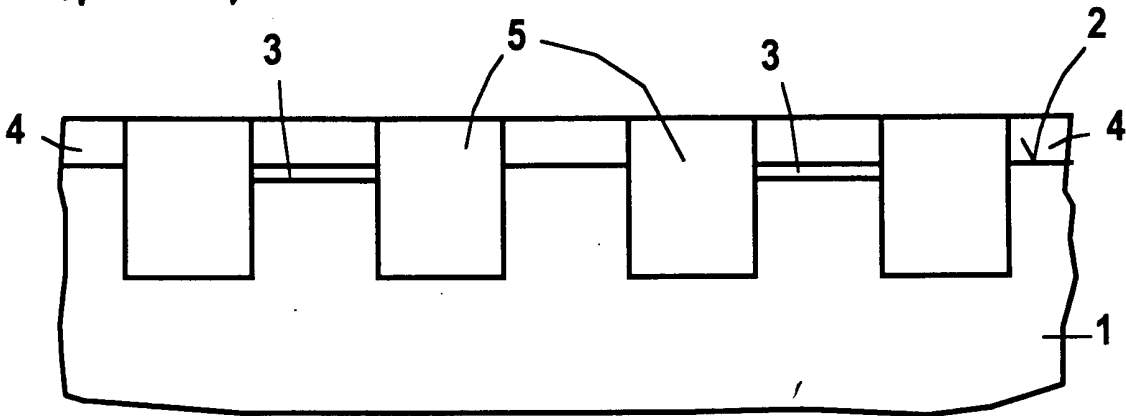
85115076

1/6

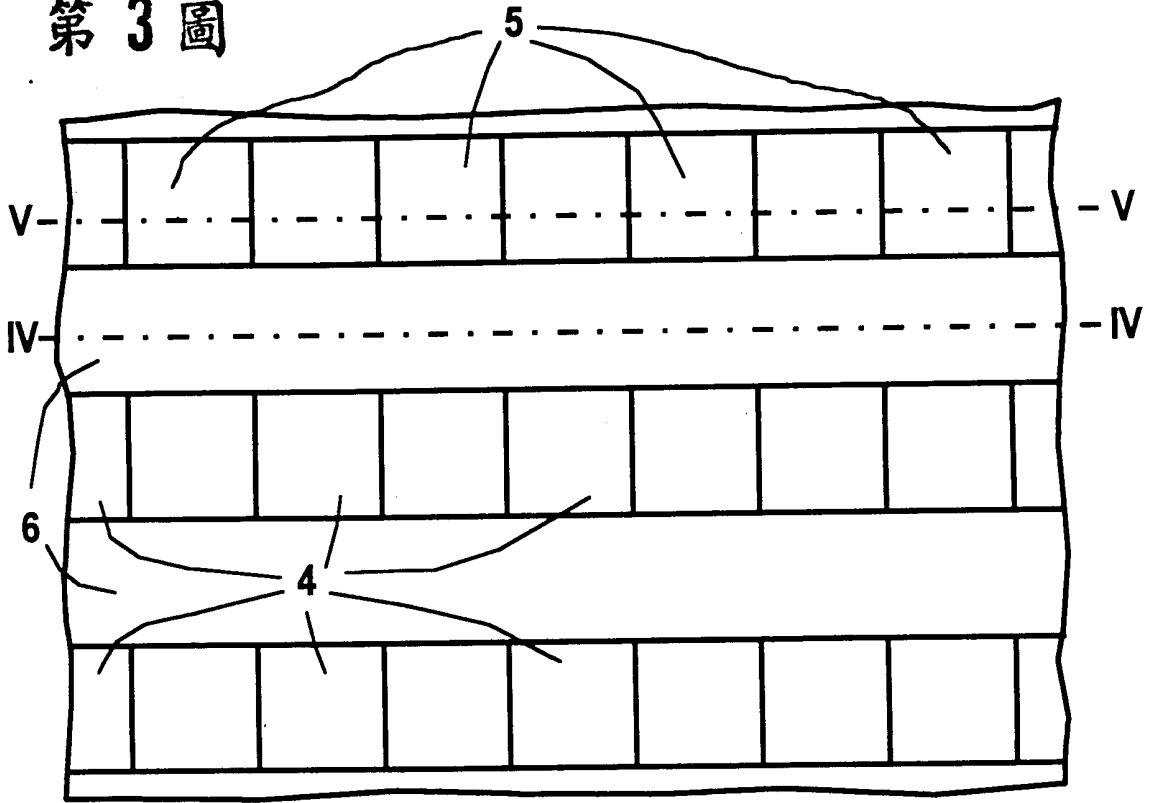
第 1 圖



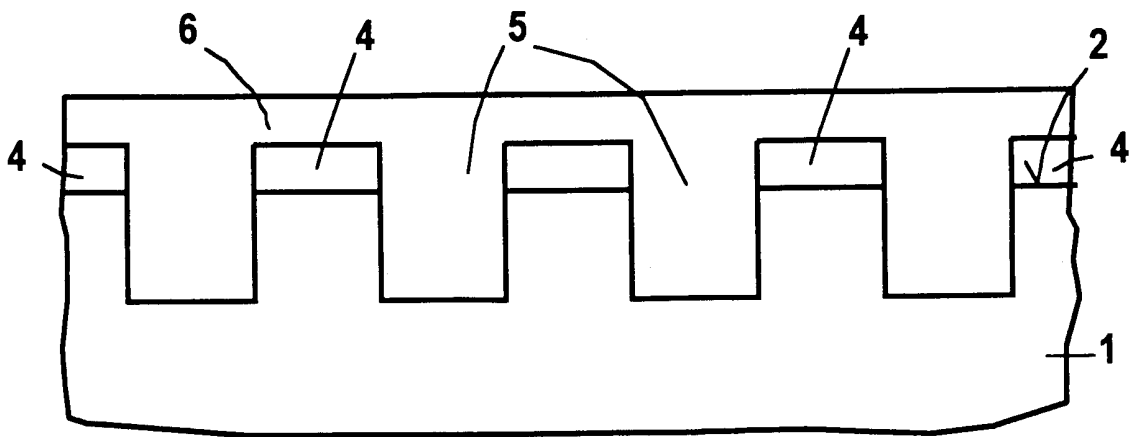
第 2 圖



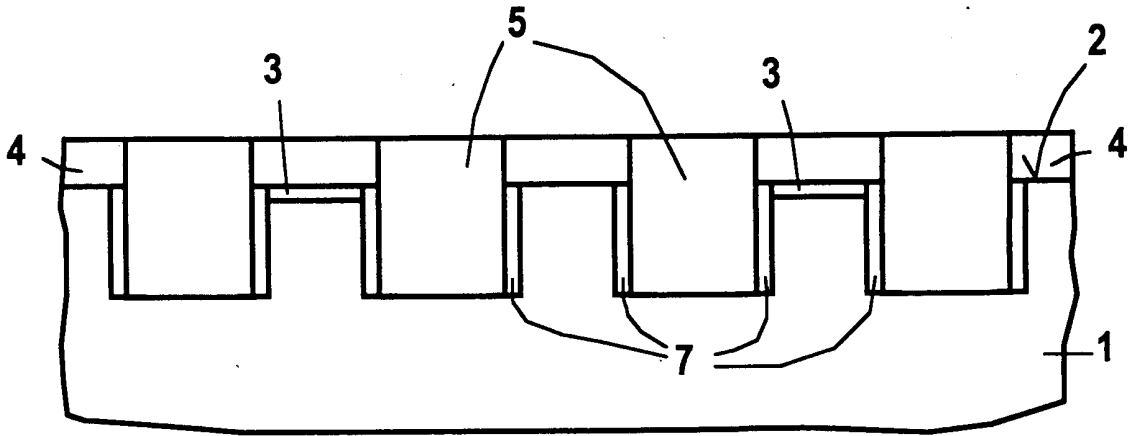
第 3 圖



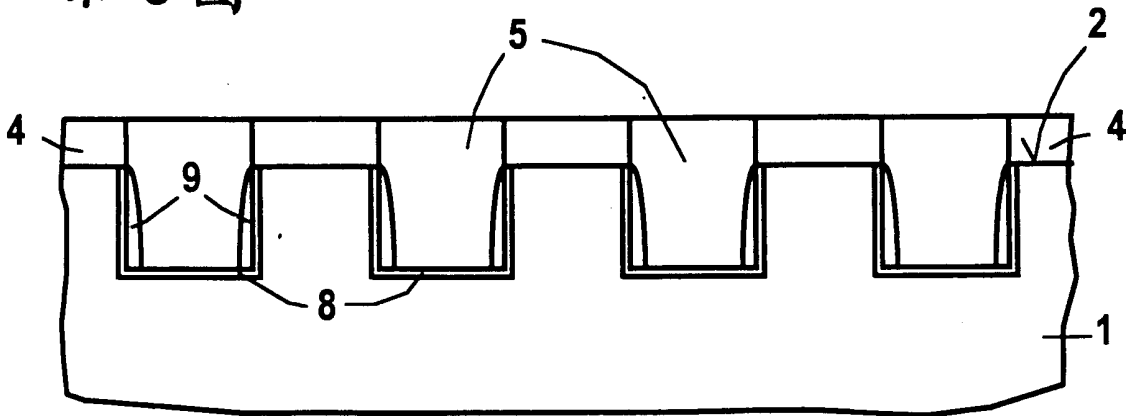
第 4 圖



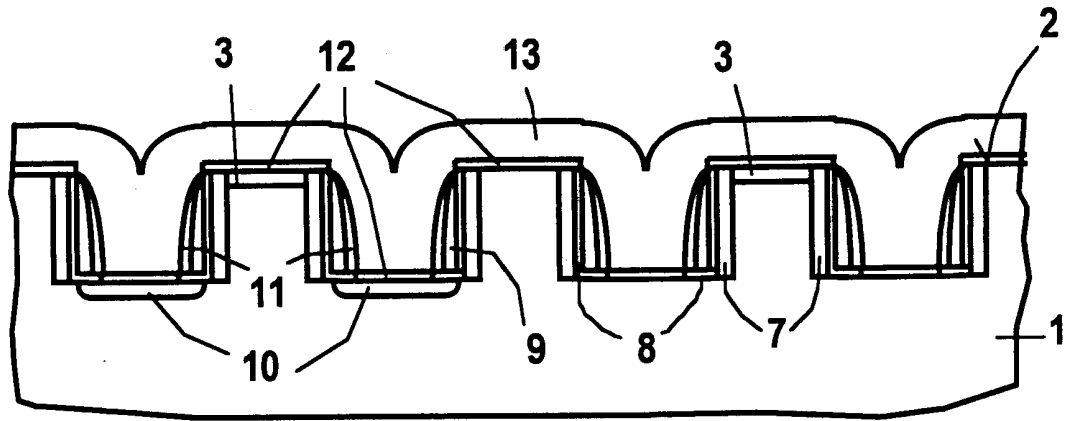
第 5 圖



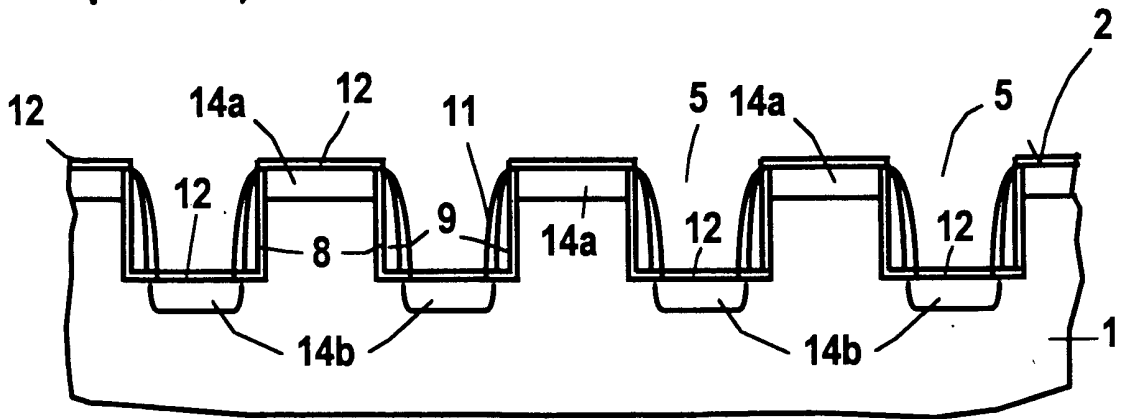
第 6 圖



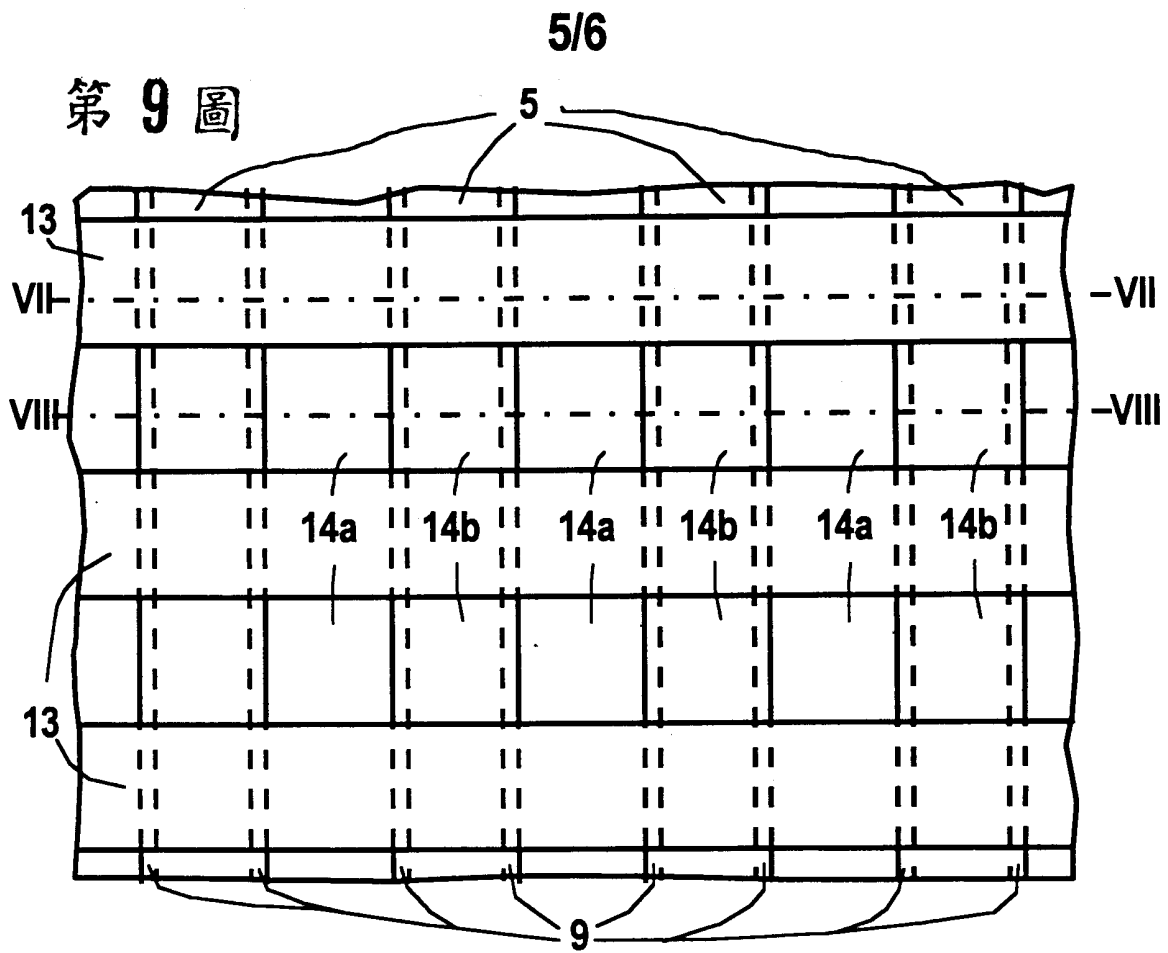
第 7 圖



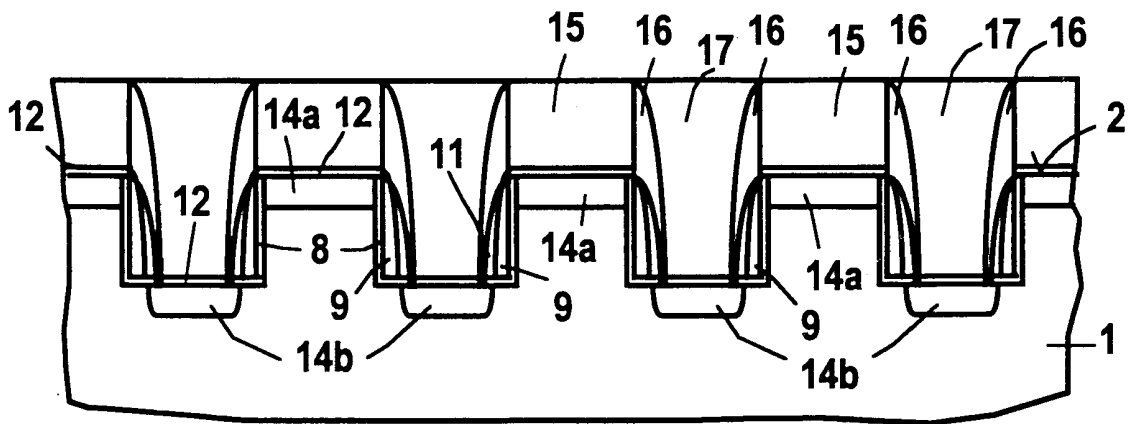
第 8 圖



第 9 圖



第 10 圖



第11圖

