



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 23/12 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년06월25일 10-0732123 2007년06월19일
---------------------------------------	-------------------------------------	--

(21) 출원번호	10-2003-7010895	(65) 공개번호	10-2004-0014460
(22) 출원일자	2003년08월19일	(43) 공개일자	2004년02월14일
심사청구일자	2003년08월19일		
번역문 제출일자	2003년08월19일		
(86) 국제출원번호	PCT/US2002/002836	(87) 국제공개번호	WO 2002/67325
국제출원일자	2002년02월01일	국제공개일자	2002년08월29일

(30) 우선권주장 09/789,401 2001년02월20일 미국(US)

(73) 특허권자 인텔 코오퍼레이션
미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200

(72) 발명자 제미슨마크피.
미국캘리포니아95630폴숨존헨리씨클159

(74) 대리인 특허법인 신성

(56) 선행기술조사문헌
1001206630000 1019990006616

심사관 : 안철홍

전체 청구항 수 : 총 41 항

(54) 고밀도 플립-칩 상호접속

(57) 요약

제1층상의 트레이스의 스프라인(66,69,70) 및 제2층상의 트레이스(58,60)를 포함하는 카드 또는 인터포서 등을 라우팅하는 상호접속은 층간 비아 접속에 의해 이루어진다. 신호의 외측열(40,42,44)은 제1층상의 칩으로부터 라우팅되는 반면, 신호의 내측열(48,50)은 이들이 라우팅되어지는 제2층으로 비아를 통해 내려가고, 이어서 제1층으로 비아를 통해 복귀된다. 이들 외측 비아는 아크형으로 배열되고, 제2층 트레이스 세그먼트가 보다 균일한 길이가 되게 할 수 있다. 제2층은 그라운드 또는 스프라인 사이에서 연장하고 있는 파워 플랜 핑거를 포함할 수도 있고, 그라운드 또는 칩의 파워 신호까지 비아-업 한다.

대표도

도 6

특허청구의 범위

청구항 1.

(A) 플립-칩 다이 커넥터 어레이의 적어도 하나의 스프라인(spline)을 포함하는 제1 상호접속 층; 및

(B) 제2 상호접속 층

을 포함하고,

여기서, 각각의 스프라인은,

(1) 상기 플립-칩 다이 커넥터 어레이의 상기 스프라인의 외측부에서의 복수의 제1 신호 커넥터;

(2) 상기 스프라인으로부터 외측으로 상기 제1 상호접속 층을 가로지르고(traversing), 상기 복수의 각 제1 신호 커넥터에 각기 결합된 복수의 제1 신호 트레이스(trace);

(3) 각각의 제2 신호 커넥터와 전기적으로 결합되고 그 바로 아래에 놓여지는 복수의 마이크로-비아를 포함하고, 상기 플립-칩 다이 커넥터 어레이의 상기 스프라인의 내측부에 위치된 복수의 제2 신호 커넥터;

(4) 인접한 상기 제1 및 제2 신호 커넥터 사이의 간격보다 상기 제1 및 제2 신호 커넥터로부터 외측으로 더 이격된 복수의 라이저(riser) 신호 커넥터; 및

(5) 상기 플립-칩 다이 커넥터 어레이에 관하여 상기 라이저 신호 커넥터로부터 외측으로 상기 제1 상호접속 층을 가로지르고, 상기 복수의 각 라이저 신호 커넥터에 각기 결합된 복수의 라이저 신호 트레이스를 포함하고,

상기 제2 상호접속 층은 상기 적어도 하나의 스프라인의 각 스프라인에 대하여

(1) 상기 복수의 각 라이저 커넥터 및 상기 제2 신호 커넥터의 바로 아래에 놓여지는 상기 복수의 각 마이크로-비아에 각기 결합된 복수의 제2 신호 트레이스를 포함하는

플립-칩 상호접속 장치.

청구항 2.

제1항에 있어서,

상기 각각의 스프라인에 있어서, 상기 복수의 제1 신호 커넥터는 3개의 제1 신호 커넥터를 포함하는

플립-칩 상호접속 장치.

청구항 3.

제1항에 있어서,

상기 제1 상호접속 층은 상기 각각의 스프라인에 대하여

(5) 그라운드 커넥터를 더 포함하고,

상기 제2 상호접속 층은 상기 각각의 스프라인에 대하여

(2) 상기 그라운드 커넥터에 결합된 그라운드 핑거를 더 포함하는
플립-칩 상호접속 장치.

청구항 4.

제1항에 있어서,
상기 각각의 스프라인에서,
상기 제1 및 제2 신호 커넥터는 수직 방향을 가지며,
상기 복수의 라이저 신호 커넥터는 상기 제1 및 제2 신호 커넥터에 대하여 수직인 방향으로 이루어지는
플립-칩 상호접속 장치.

청구항 5.

제1항에 있어서,
상기 제1 상호접속 층은 복수의 스프라인을 포함하고,
상기 복수의 스프라인의 상기 복수의 라이저 신호 커넥터는 상기 스프라인의 최외곽 에지에 대하여 아크형으로 배열되는
플립-칩 상호접속 장치.

청구항 6.

제5항에 있어서,
상기 복수의 스프라인의 상기 복수의 각 제2 신호 트레이스에 대응하는 것들은 동일한 길이를 갖는
플립-칩 상호접속 장치.

청구항 7.

전체적인 형상이 직사각형의 패턴으로 이루어진 코어부의 복수의 제1 신호 커넥터; 및
전체적인 형상이 아크형의 패턴으로 이루어지고, 인접한 상기 제1 신호 커넥터들 사이의 거리보다 멀리 상기 코어부로부터 떨어져, 전체 형상이 직사각형인 상기 제1 신호 커넥터의 주변에 분포되는 복수의 라이저 신호 커넥터
를 포함하는 플립-칩 상호접속 장치.

청구항 8.

제7항에 있어서,

상기 각각의 라이저 신호 커넥터는 상기 각각의 제1 신호 커넥터에 결합되고,

상기 라이저 신호 커넥터의 아크형 패턴은, 상기 라이저 신호 커넥터 중 임의의 라이저 신호 커넥터로부터 그와 결합된 상기 제1 신호 커넥터까지의 거리가 동일하게 되는 곡률을 갖는

플립-칩 상호접속 장치.

청구항 9.

제8항에 있어서,

상기 복수의 제1 신호 커넥터는 복수의 스프라인을 포함하고,

상기 복수의 라이저 신호 커넥터는 복수의 라이저를 포함하는

플립-칩 상호접속 장치.

청구항 10.

제9항에 있어서,

인접한 스프라인들은 제1 거리만큼 떨어져 있고,

인접한 라이저들은 상기 제1 거리보다 큰 제2 거리만큼 떨어져 있는

플립-칩 상호접속 장치.

청구항 11.

제10항에 있어서,

상기 각각의 스프라인은 3개의 제1 신호 커넥터와 2개의 제2 신호 커넥터를 포함하고,

상기 각각의 라이저는 2개의 상기 라이저 신호 커넥터를 포함하는

플립-칩 상호접속 장치.

청구항 12.

제1 구조층;

상기 제1 구조층을 덮고 있고, 플립-칩 다이 커넥터 어레이의 복수의 스프라인을 포함하는 제1 신호 층; 및

상기 제1 구조층 아래에 놓여지는 제2 신호 층

을 포함하고,

여기서, 상기 제1 신호 층의 각각의 스프라인은,

상기 플립-칩 다이 커넥터 어레이의 상기 스프라인의 외측부에서의 적어도 2개의 제1 신호 커넥터;

상기 스프라인으로부터 외측으로 상기 제1 상호접속 층을 가로지르고, 대응하는 각각의 제1 신호 커넥터에 각기 결합된 적어도 2개의 제1 신호 트레이스;

각각의 제2 신호 커넥터와 전기적으로 결합되고 그 바로 아래에 놓여지는 복수의 마이크로-비아를 포함하고, 상기 플립-칩 다이 커넥터 어레이의 상기 스프라인의 내측부에 위치된 적어도 하나의 제2 신호 커넥터;

적어도 하나의 라이저 신호 커넥터; 및

상기 플립-칩 다이 커넥터 어레이에 관하여 상기 라이저 신호 커넥터로부터 외측으로 상기 제1 상호접속 층을 가로지르고, 대응하는 각각의 상기 라이저 신호 커넥터에 각기 결합된 적어도 하나의 라이저 신호 트레이스를 포함하며,

상기 제2 신호 층은 상기 스프라인의 각각에 대하여 상기 제2 신호 커넥터의 바로 아래에 놓여지는 각각의 마이크로-비아 및 대응하는 각각의 라이저 신호 커넥터에 결합된 적어도 하나의 제2 신호 트레이스를 포함하는

플립-칩 상호접속 다층 카드.

청구항 13.

제12항에 있어서,

상기 각각의 스프라인에 있어서,

상기 적어도 2개의 제1 신호 커넥터는 3개의 제1 신호 커넥터를 포함하고,

상기 적어도 2개의 제1 신호 트레이스는 3개의 제1 신호 트레이스를 포함하며,

상기 적어도 하나의 제2 신호 커넥터는 2개의 제2 신호 커넥터를 포함하고,

상기 적어도 하나의 라이저 신호 커넥터는 2개의 라이저 신호 커넥터를 포함하며,

상기 적어도 하나의 라이저 신호 트레이스는 2개의 라이저 신호 트레이스를 포함하고,

상기 적어도 하나의 제2 신호 트레이스는 2개의 제2 신호 트레이스를 포함하는

플립-칩 상호접속 다층 카드.

청구항 14.

제13항에 있어서,

상기 3개의 제1 신호 트레이스는 상기 2개의 라이저 신호 커넥터의 동일측상에서 라우팅되는

플립-칩 상호접속 다층 카드.

청구항 15.

제14항에 있어서,

상기 3개의 제1 신호 트레이스 중 가운데의 트레이스는 상기 3개의 제1 신호 커넥터 중 상기 2개의 라이저 신호 커넥터로부터 가장 거리가 먼 하나의 제1 신호 커넥터에 결합되는

플립-칩 상호접속 다층 카드.

청구항 16.

제15항에 있어서,

라이저 신호 커넥터 중 상기 제2 신호 커넥터로부터 가장 거리가 먼 하나의 라이저 신호 커넥터에 결합되는 상기 라이저 신호 트레이스 중 하나의 라이저 신호 트레이스는, 상기 제2 신호 커넥터 중 상기 제1 신호 커넥터에 가장 가까운 하나의 제2 신호 커넥터에 결합되는

플립-칩 상호접속 다층 카드.

청구항 17.

구조층;

상기 구조층을 덮고 있는 최상부 트레이스 층; 및

상기 구조층 아래에 놓여지는 매설된 트레이스 층

을 포함하고,

여기서, 상기 매설된 트레이스 층은,

각기 적어도 하나의 신호 트레이스를 포함하는 복수의 스프라인; 및

2개의 각기 인접한 스프라인 사이에서, 각기 인접한 스프라인의 길이를 각기 연장하고 있는 복수의 그라운드 핑거를 포함하는

플립-칩 상호접속 장치.

청구항 18.

제17항에 있어서,

상기 구조층은,

상기 신호 트레이스 중 하나와 각기 접촉하고 있는 복수의 제1 마이크로 비아; 및

상기 그라운드 핑거와 각기 접촉하고 있는 복수의 제2 마이크로 비아를 포함하는

플립-칩 상호접속 장치.

청구항 19.

제18항에 있어서,

상기 최상부 트레이스 층은,

상기 매설된 트레이스 층의 복수의 스프라인에 대응하여, 각기 복수의 신호 트레이스를 포함하고 있는 복수의 스프라인을 포함하는

플립-칩 상호접속 장치.

청구항 20.

제19항에 있어서,

최외곽 범프 열(row)을 포함하고 있는 복수의 범프

를 더 포함하고,

상기 최상부 트레이스 층의 복수의 스프라인은 상기 최외곽 열 내의 각기 인접한 범프들 사이에 배치되는

플립-칩 상호접속 장치.

청구항 21.

제20항에 있어서,

상기 매설된 트레이스 층의 스프라인은 상기 최외곽 열 내의 범프 아래에 배치되는

플립-칩 상호접속 장치.

청구항 22.

복수의 스프라인의 수직인 패턴으로 배열된 복수의 커넥터를 갖는 플립-칩 다이; 및

상기 플립-칩 다이에 결합되는 카드

를 포함하고,

여기서, 상기 플립-칩 다이의 상기 각각의 스프라인은,

M개 열의 패턴으로 배열된 제1 복수의 M I/O 커넥터; 및

N개 열의 패턴으로 배열된 제2 복수의 N I/O 커넥터를 포함하고

상기 카드는,

복수의 I/O 트레이스의 그룹을 갖는 제1 트레이스 층;

I/O 트레이스의 복수의 그룹을 갖는 제2 트레이스 층; 및

상기 제1 및 제2 트레이스 층 사이의 구조층을 포함하고,

상기 제1 트레이스 층의 각 그룹은, 상기 각각의 M I/O 커넥터에 각기 결합되고, 각각의 스프라인에 대응하는 그룹으로 배열된 M I/O 트레이스를 가지며,

상기 제2 트레이스 층의 각 그룹은,

상기 각각의 제2 복수의 N I/O 커넥터에 각기 결합되고, 각각의 스프라인에 대응하는 그룹으로 배열된 N I/O 트레이스; 및 M I/O 트레이스를 가지며,

상기 구조층은,

상기 각각의 M I/O 커넥터를 상기 제1 트레이스 층의 M I/O 트레이스 중 대응하는 M I/O 트레이스에 각기 결합하고 그 바로 아래에 놓여지는 제1 복수의 마이크로-비아; 및

상기 제1 트레이스 층의 각 M I/O 트레이스를 상기 제2 트레이스 층의 각 M I/O 트레이스에 결합하는 제2 복수의 마이크로-비아를 포함하는

패키지화된 반도체 장치.

청구항 23.

제22항에 있어서,

상기 M 및 N I/O 커넥터는 범프를 포함하는

패키지화된 반도체 장치.

청구항 24.

제22항에 있어서,

상기 제2 트레이스 층은 최상부 트레이스 층을 포함하는

패키지화된 반도체 장치.

청구항 25.

제24항에 있어서,

상기 N열은 상기 패턴의 최외곽 열인

패키지화된 반도체 장치.

청구항 26.

제22항에 있어서,

상기 제1 트레이스 층은 인접한 M I/O 트레이스 그룹들 사이에서 각기 연장되는 복수의 그라운드 플랜 핑거를 더 포함하는

패키지화된 반도체 장치.

청구항 27.

제26항에 있어서,

상기 복수의 그라운드 플랜 핑거는 M I/O 트레이스의 전체 길이를 각기 연장하는

패키지화된 반도체 장치.

청구항 28.

제22항에 있어서,

상기 제2 복수의 마이크로-비아는 아크형 패턴으로 분포되는

패키지화된 반도체 장치.

청구항 29.

제28항에 있어서,

상기 M 및 N I/O 커넥터는 수직인 패턴으로 배열되는

패키지화된 반도체 장치.

청구항 30.

제29항에 있어서,

상기 수직 패턴의 일측을 따라, 상기 M 및 N I/O 커넥터 세트에 대응하는 상기 제2 복수의 마이크로-비아 세트는, 상기 수직 패턴의 한쪽의 폭보다 더 큰 폭을 갖는 아크형으로 분포되는

패키지화된 반도체 장치.

청구항 31.

제30항에 있어서,

상기 각 스프라인의 N I/O 트레이스는 상기 스프라인의 제2 마이크로-비아와 인접한 스프라인의 제2 마이크로-비아 사이에 배치되는

패키지화된 반도체 장치.

청구항 32.

복수의 열로 배열된 복수의 칩 커넥터 및 반복된 스프라인 패턴을 가지는 반도체 장치용 패키지의 플립-칩 상호접속 방법 - 여기서, 상기 복수의 스프라인의 각 스프라인은 $N \geq 2$ 인 N 열로 배열된 제1 I/O 신호 커넥터 및 $M \geq 1$ 인 M 열로 배열된 제2 I/O 신호 커넥터를 포함하고, 상기 N 열은 상기 M 열의 외측에 있음 - 에 있어서,

M 개의 제2 신호 트레이스를 상기 각각의 스프라인에 대하여 패키지의 제1층에 형성하는 단계 - 여기서, 상기 스프라인의 제2 신호 트레이스는 상기 각각의 스프라인의 제2 I/O 신호 커넥터의 간격과 일치하는 간격을 가짐 - ;

상기 각각의 스프라인의 상기 각각의 제2 신호 트레이스에 대하여, 제1 및 제2 비아를 제2층을 통해 상기 제2 신호 트레이스에 결합하도록 제1층을 덮고 있는 패키지의 제2층에 형성하는 단계 - 여기서, 상기 제1 비아는 상기 각각의 스프라인의 제2 I/O 신호 커넥터와 일치하는 간격을 가짐 - ; 및

N 개의 제1 신호 트레이스 및 복수의 라이저 신호 트레이스를 상기 각각의 스프라인에 대하여 상기 제2층을 덮고 있는 패키지의 제3층에 형성하는 단계 - 여기서, 상기 스프라인의 제1 신호 트레이스는 상기 각각의 스프라인의 제1 I/O 신호 커넥터의 간격과 일치하는 간격을 갖고, 상기 복수의 각 라이저 신호 트레이스는 각각의 제2 비아에 결합되고, 상기 제2 비아의 주변을 지나 연장됨 -

를 포함하고,

여기서, 상기 제2 비아 및 상기 제1 신호 트레이스는 반도체 장치의 주변을 지나 연장되는

플립-칩 상호접속 방법.

청구항 33.

제32항에 있어서,

상기 각각의 스프라인에 대하여 상기 스프라인의 제2 비아 각각에 결합된 M 개의 제1 신호 트레이스를 제3층에 형성하는 단계

를 더 포함하는 플립-칩 상호접속 방법.

청구항 34.

제32항에 있어서,

상기 제1 및 제2 비아는 마이크로-비아를 포함하는

플립-칩 상호접속 방법.

청구항 35.

제32항에 있어서,

상기 각각의 스프라인에 대하여 상기 N 개의 제1 신호 트레이스를 형성하는 단계는, 상기 N 개의 제1 신호 트레이스를 상기 스프라인의 M 개의 제2 비아의 외측상에 라우팅하는 단계를 더 포함하는

플립-칩 상호접속 방법.

청구항 36.

제32항에 있어서,

상기 각각의 스프라인에 대하여 상기 M개의 제2 신호 트레이스를 상기 제1층에 형성하는 단계는, 상기 M개의 제2 신호 트레이스를 상기 제1 신호 커넥터의 아래에 라우팅하는 단계를 더 포함하는

플립-칩 상호접속 방법.

청구항 37.

제32항에 있어서,

상기 각 스프라인의 상기 제2 비아를 형성하는 단계는 상기 제2 비아를 아크형 패턴으로 배치하는 단계를 포함하고,

상기 각 스프라인의 상기 M개의 제2 신호 트레이스를 형성하는 단계는 상기 각 스프라인의 M개의 제2 신호 트레이스를 동일한 길이로 형성하는 단계를 포함하는

플립-칩 상호접속 방법.

청구항 38.

제37항에 있어서,

$M \geq 2$ 이고,

상기 각각의 스프라인에 대하여 상기 제2 비아를 형성하는 단계는, 상기 제2 비아를 M열로 배치하는 단계를 포함하는

플립-칩 상호접속 방법.

청구항 39.

제38항에 있어서,

상기 반도체 장치의 커넥터는 수직인 패턴으로 배치되고,

상기 각각의 스프라인에 대하여 상기 제2 비아를 형성하는 단계는, 상기 제2 비아를 상기 수직 패턴과 일직선이 되도록 형성하는 단계를 더 포함하는

플립-칩 상호접속 방법.

청구항 40.

제32항에 있어서,

N=3이고,

상기 각각의 스프라인에 대하여 상기 N개의 제1 신호 트레이스를 형성하는 단계는, 상기 제1 신호 트레이스 중 가운데 트레이스를 상기 N개의 제1 신호 커넥터 중 N열의 가장 내측에 있는 하나의 제1 신호 커넥터에 결합하도록 라우팅하는 단계를 더 포함하는

플립-칩 상호접속 방법.

청구항 41.

제32항에 있어서,

상기 반도체 장치는 N열의 내측에 있는 그라운드 열에 배치된 적어도 하나의 그라운드 커넥터를 더 포함하고,

인접한 스프라인들의 각각의 쌍 사이에서 각기 연장되는 복수의 그라운드 플랜 핑거를 상기 패키지의 제1층에 형성하는 단계; 및

상기 각각의 그라운드 플랜 핑거에 대하여, 상기 그라운드 핑거에 결합되고, 상기 그라운드 커넥터에 결합하도록 위치된 비아를 상기 패키지의 제2층에 형성하는 단계

를 더 포함하는 플립-칩 상호접속 방법.

명세서

기술분야

본 발명은 다층(multi-layer) 기판을 통해 신호를 라우팅하기 위한 상호접속 기술에 관한 것으로, 플립-칩 패키지에 특히 유용하다.

배경기술

도 1은 솔더 볼(solder ball) 등에 의해 인터포서(interposer) 또는 다른 기판에 결합된 모기판(motherboard)의 단면을 나타내고, 이하 "카드"라고 언급한다. 이 카드는 솔더 볼 등에 의해 플립-칩 다이와 같은 칩에 결합되고, 종래 기술에 따른 그러한 층의 전형적인 일례를 나타낸다. 도시된 예에서, 이 카드는 5층의 구조 재료(기판 층 A-F)와 6층의 트레이스(trace) 또는 상호접속(트레이스 층 3F,2F,1FC,1BC,2B,3B)을 갖는 반면, 모기판은 단지 하나의 구조층(모기판)과 하나의 트레이스 또는 상호접속 층(m/b trace layer)을 구비한 채로 간략하게 도시되고 있다. 당업자는 이것이 일례일 뿐이라는 것을 알고 있다.

일반적으로, 트레이스 층(3F)과 트레이스 층(2F)과 같은 최상부 층 또는 두개의 상호접속층이 다수의 입력/출력(I/O) 신호, 메모리 신호, 클럭, 스트로브(strobe), 전압 리퍼런스(voltage reference) 등을(이하, 설명을 간단하게 하기 위해 이들을 총괄하여 "I/O 신호"로서 참조하지만 이에 한정되지 않는다) 라우팅 하기 위해 이용되는 반면, 하부층은 파워, 그라운드, 션딩 등을 제공하는데 이용된다. 신호는 비아(via)를 이용하여 트레이스 층 사이에서 라우팅된다. 파워 및 그라운드 플랜(plan)은 인접한 층 사이에서 드릴링된 비아를 이용하여 적당하게 라우팅되거나 결합된다. 그러나, 상부층 사이에서 신호의 라우팅에 있어서 드릴링된 비아가 적합하게 이용되기엔 너무 큰 경우가 있다. 이 경우, 한가지 선택사항으로 에칭 등에 의해 드릴링이 허용하는 것 보다 더 작은 크기로 형성될 수도 있는 마이크로-비아(μ via)를 이용하는 것이다.

이 특허의 나머지 부분은 도 1을 참조하면 이해될 것이다.

도 2는 종래 기술에 따른 신호 등의 라우팅을 나타내는 상면도이다. 도 2에 있어서 이해를 돕기 위해, 모기판의 각 층과 카드를 도시하지 않았지만, 플립-칩 다이의 일반적인 외곽을 점선의 박스(10A)로 나타내었다. 복수의 범프(12)는 플립-칩 다이 및/또는 카드에 하나의 패턴으로 분포된다. 이들 범프 중 일부는 I/O 신호를 운반하고, 또 일부는 파워 및 그라운드 신

호를 운반하기 위한 것이다. 통상적으로, I/O 신호는 모기관 상의 다른 칩(미도시)에 접속될 것이며, 따라서, 플립-칩 다이의 외측 범프(14 및 16으로 라벨된 범프)를 이용하여 이들 신호를 라우팅 하는 것이 바람직하고, 파워 및 그라운드용으로는 내측 범프(12로 라벨된 범프)를 이용하는 것이 일반적이다.

일부 고밀도 또는 하이 시그널 카운트(high-signal-count) 용도에 있어서, I/O 신호 카운트 및/또는 I/O 범프 밀도는 모든 I/O 신호를 최상부 트레이스 층(3F)으로 라우팅하는 것이 곤란하거나 불가능할 수도 있다. 이러한 용도에 있어서, 일부 I/O 신호는 최상부 트레이스 층(그들 각각의 범프로부터 "회로소자(circuitry)" 표시로 이어져 있는 선분에 의해 도시된 참조 번호 24 등)상에서 라우팅되는 반면, 다른 I/O 신호는 그들 각각의 범프로부터 마이크로-비아(미도시)를 통해 떨어져서, 설계의 범칙과 물리적 치수가 허용하는 위치까지 외측을 향하여 트레이스 층(2F) 등의 하부 트레이스 층으로 라우팅되고, 이어서 그곳으로부터 그들의 목적지까지 마이크로 비아(18)를 통해 최상부 층으로 복귀한다. 최상부 층 아래로 운반되는 신호는 점선(20)으로 도시되었고, 마이크로 비아를 거쳐 최상부층으로 복귀하는 신호는 선분(22)으로 도시되었다.

그러나, 종래 기술은 고밀도 용도에 있어서 다수의 신호를 라우팅하는데 제한된 능력을 가지며, 또한 다른 제한을 갖는다.

발명의 상세한 설명

제1층상의 트레이스의 스프라인(66,69,70) 및 제2층상의 트레이스(58,60)를 포함하는 카드 또는 인터포서 등을 라우팅하는 상호접속은 층간 비아 접속에 의해 이루어진다. 신호의 외측열(40,42,44)은 제1층상의 칩으로부터 라우팅되는 반면, 신호의 내측열(48,50)은 이들이 라우팅되어지는 제2층으로 비아를 통해 내려가고, 이어서 제1층으로 비아를 통해 복귀된다. 이들 외측 비아는 아크형으로 배열되어, 제2층 트레이스 세그먼트가 보다 균일한 길이가 되게 할 수 있다. 제2층은 그라운드 또는 스프라인 사이에서 연장하고 있는 파워 플랜 핑거를 포함할 수도 있고, 그라운드 또는 칩의 파워 신호까지 비아 업(via up) 한다.

실시예

도 3은 본 발명의 상호접속 시스템의 전형적인 실시예를 나타낸다. 상술한 바와 같이, 점선의 박스는 플립-칩 다이의 위치를 나타낸다. 복수의 범프(30)는 다이와 카드(기관, 인터포서 등을 나타냄)가 접속되는 영역 내에 분포된다. 범프의 각종 그룹은 하나 이상의 반복 패턴으로 분포될 수도 있다. 반복되는 범프 그룹의 예는 "스프라인(spline)"으로 불릴 수도 있다. "스프라인"이란 용어는 다이의 스프라인에 대응하여 트레이스, 범프, 비아, 또는 이들의 조합의 그룹으로 참조될 수도 있다. 도시된 패턴은 하나의 스프라인(스프라인(1))을 형성하는 일곱개의 범프(30A-30G)를 포함하고, 이 패턴은 추가적인 스프라인(스프라인(2) ~ 스프라인(N))을 형성하도록 자체적으로 반복된다. 이해를 돕기 위해, 범프는 최외곽 열(열(A))이 플립-칩 다이의 에지에 가장 근접해 있고, 하나 또는 그 이상의 추가적인 열(열(B)~열(G) 등)이 플립-칩 다이의 중앙 또는 코어부에 순차적으로 가깝게 위치하도록 열(row)로 배열된 것이라고 고려할 수도 있다. 도시된 바와 같이, 일부 실시예에 있어서 스프라인은 칩상의 일부 지점에서 미리 이미징될 수도 있다. 예컨대, 스프라인(1)과 스프라인(N)은 서로 미리 이미징이다. 도시된 실시예에서는 스프라인 미리 이미징과 그들 사이에 일부 비-스프라인 범프가 남겨져 있다.

카드는 하나 이상의 열(열(H) 및 열(I))로 배열된 하나 이상의 마이크로-비아 열을 갖는다. 이들 마이크로 비아는 안쪽층(deep layer)으로부터 바깥층(less deep layer)으로 I/O 신호를 되돌린다. 통상적으로, 이는 최상부 층(2F) 다음 층으로부터 최상부 층(3F)으로 진행되지만, 당업자는 본 발명의 이론이 그 용도로 제한되지 않음을 알 것이다. 설명을 쉽게 하기 위해, 본 명세서에서는 "최상부 층(top layer)" 및 "매설층"이라는 용어를 사용할 것이다.

하나 이상의 스프라인은 이격된 마이크로-비아(the distant micro-via)의 대응 그룹을 갖는다. 이러한 그룹은 각기 라이저(1)~라이저(N) 등의 "라이저(riser)"로 불릴 수도 있다.

최상부 층 트레이스 및 매설층 트레이스는 도시를 간단하게 하기 위해 두개의 스프라인과 그에 해당하는 라이저로 도시된다. 당업자라면 어떤 수의 스프라인이라도 그들 각각의 I/O 신호 목적지로 이러한 방식에 의해 결합될 수 있다는 것을 알 것이다.

도 4는 범프와 마이크로-비아를 스프라인과 그 라이저에 배치하는 일례를 나타낸다. 당업자는 이는 일례일 뿐이며 본 발명을 제한하지 않음을 알 것이다. 당업자는 또한 범프가 원형이거나, 모든 범프의 크기가 동일하거나, 마이크로-비아가 범프와 동일한 크기일 필요가 없다는 것을 알 것이다.

일실시예에서, 범프(범프(30A(a)) 등)는 폭(w)을 가지며, 열 내의 범프는 2w 중심(예컨대 범프(30A(g)) 및 범프(30A(h)))에 있다. 일실시예에서, 라이저는, 최외곽 열의 범프로부터 범프(열(A)의 가장 가까운 라이저 마이크로-비아의 열(열(H))까지의 중심 거리("브레이크아웃 길이(breakout length)"라고 부르기도 함)가 대략 12w(범프(30A(d))로부터 마이크로-비아(30H(d))까지)가 되도록 위치된다. 주어진 라이저 내의 마이크로-비아는 마이크로-비아(30I(d))로부터 마이크로-비아(30I(e))까지 대략 1.5.w 중심에 배열되는 반면, 라이저는 대략 3w로 이격된다(마이크로-비아(30I(d)) ~ 마이크로-비아(30I(e))). 당업자는 이는 일례일 뿐이고, 어떤 특정한 용도에 대하여 크기 및 간격은 사용 가능한 제조 기술, I/O 신호의 개수 및 형태, 교차 결합(cross-coupling) 및 노이즈 요구, 임피던스 타겟 등에 의해 지정되는 것을 알 것이다.

도 5는 매설층 상의 마이크로-비아, 신호 트레이스, 및 그라운드 플랜의 일실시예를 나타낸다. 범프(40,42,44)는 실제로 최상부 층에 있지만, 간격의 기준을 위해 나타내었다. 마이크로-비아(48,50)는 범프로부터 최상부 층을 통해 매설층으로 떨어진 I/O 신호를 라우팅한다. 트레이스(58,60)는 이들 신호를 마이크로-비아(54,56)에 운반하고, 마이크로-비아는 신호를 최상부 층으로 복귀시킨다. 당업자는 이들 범퍼가 매설층에 존재하지 않고, 단순히 트레이스(58,60)를 덮고 있기 때문에, 트레이스(58,60)가 범퍼(40 또는 44)에 접속되지 않음을 알 것이다.

하나 이상의 라이저 마이크로-비아 열을 제공함으로써, 증가된 수의 브레이크아웃 신호가 이용될 수도 있다.

일실시예에 있어서, 최상부 층 트레이스의 범프와 매설층 트레이스의 범프(열(E)~열(F)) 사이의 범프 열(열(A)~열(C) 등)은 그라운드, 파워, 또는 다른 리퍼런스용으로 이용된다. 이러한 실시예에서, 상기 열은 그라운드 플랜(62)과 함께 이용된다. 그라운드 플랜은 마이크로-비아(46)에 접속하기 위해 라이저를 지나 안쪽으로 연장되는 복수의 "핑거(62a~62c)"를 포함하고, 이 핑거는 다이상의 그라운드 범프에 접속되어 있다. 핑거(62a~62c)는 그들 각각의 스프라인과 라이저의 신호용의 복귀 경로 전류(the return path current)를 운반한다. 핑거(62a~62c), 매설 신호 트레이스(58,60), 및 마이크로-비아(48,50,54,56)는 동일한 층에 있기 때문에, 서로 닿지 않도록 제조되어야만 한다. 핑거는 신호용의 그라운드(또는 파워) 복귀 경로를 제공하고, 최상부 층에서 빠져나온 신호(breaking out signal)에 대하여 리퍼런스 플랜을 제공한다.

도 6은 도 5에 나타난 전형적인 실시예를 더욱 상세히 설명하는 도면이다. 최상부 층에서, 범프(42)로부터의 신호는 트레이스(66)에서, 범프(44)로부터의 신호는 트레이스(68)상에서, 범프(40)로부터의 신호는 트레이스(70) 상에서 각각의 목적지로 라우팅된다. 또한, 최상부 층에서, 마이크로-비아(54,56)로부터 복귀하여 올라온 신호는 각기 트레이스 세그먼트(72,74) 상에서 라우팅된다. 즉, 예컨대, 트레이스(72)에 결합된 논리 또는 칩(미도시)은 범퍼(48)와 함께 플립-칩 커넥터에 최종적으로 접속된다.

당업자는, 교차 결합과 다른 악영향을 최소화하기 위해, 최상부 층 신호가 매설층 신호에 직접적으로 겹치는 거리를 최소화하는 것이 바람직하다는 것을 알 것이다.

일실시예에서, 최대 브레이크아웃 신호 카운트는 최상부 층상의 세개의 I/O신호와 매설층 상의 두개의 I/O신호를 라우팅하는 것에 의해 달성될 수도 있다. 설계 법칙이 다른 경우를 사용하는 다른 실시예에서는 다른 신호 카운트가 보다 양호할 것이다.

일실시예에서, 주어진 스프라인의 최상부 층 I/O신호는 인접한 층으로 라우팅되고, 스프라인의 매설층 I/O 신호는 최상부 층으로 올라간 다음 스프라인 최상부 층 I/O 신호와 인접하여 라우팅된다.

일실시예에서, 최상부 층 I/O 신호는 스프라인의 라이저 마이크로-비아의 최외곽측 상에서 라우팅된다. 예컨대, 도 3에 있어서, 플립-칩 다이(스프라인1로 시작함)의 좌측 절반부의 스프라인에 대한 최상부 층 I/O 신호는 그들의 각기 대응하는 라이저의 좌측에서 라우팅되는 반면, 우측 절반부(스프라인 N으로 끝남) 상의 스프라인에 대한 최상부 층 I/O신호는 그들의 각기 대응하는 라이저의 우측에서 라우팅된다.

당업자가 알고 있는 바와 같이, 모든 라이저는 동일한 간격일 필요는 없다. 예컨대, 두개의 중심에 가장 가까운 라이저는 일부 실시예에 있어서 다른 인접한 쌍 보다 더욱 가깝게 배치될 수도 있으며, 이러한 실시예에서 이들 라이저 각각의 트레이스가 이들 라이저의 외측에서 라우팅된다. 일부 실시예에서, 이러한 간격은 각기 인접한 쌍마다, 설계 법칙과 인접한 쌍 사이를 지나야만 하는 신호 트레이스수의 변화 등에 의존하여 다를 수도 있다.

스프라인에 대해 세개의 I/O 신호가 최상부 층에서 라우팅되고, 범프 최외곽의 세개의 열(열(A)~열(C))로부터 취해지는 일실시예에 있어서, 제3 열 범프(열(C))로부터의 트레이스는 제1 및 제2 열 범프 사이에서 라우팅된다.

스프라인에 대해 세개의 I/O 신호가 최상부 층에서 라우팅되고, 두개의 I/O신호가 매설층에서 라우팅되는 일실시예에 있어서, 매설층 신호는 범프의 제5 및 제6열로부터 취해진다. 일실시예에 있어서, 이들 매설층 신호는 제1 및 제3 열 범프 직하방에서 라우팅된다. 일실시예에서, 제4 열 범프는 그라운드용이다. 일실시예에서(도 3에서 열(G)로 나타낸 바와 같음), 매설층 신호 열의 범프 안쪽의 범프 열이 파워를 제공하기 위해 사용될 수도 있다.

도 7은 라이저 마이크로-비아 배치의 일실시예를 나타내고, 매설층 상의 신호에 대하여 최상부 층 표면으로의 최단 경로를 제공한다. 스프라인의 간격보다 넓게 라이저를 배치할 필요가 있는 용도에 있어서, 라이저를 일반적으로 아크형으로 분포시킴으로써, 매설층 I/O 트레이스 세그먼트는 그들 각각의 길이 변화량이 작도록 이루어질 수 있다. 일실시예에서, 주어진 라이저 내의 각각의 마이크로 비아는 스프라인의 수직 정렬(rectilinear alignment)에 대하여 대략 수직 배열로 배치될 수도 있다. 즉, 일실시예에서, 라이저 내의 마이크로-비아는 라이저가 분포되어진 아크에 대하여 방사 탄젠트(radial tangent)로 배열될 필요가 없다. 이 수직 배열은 시뮬레이션 및 확인(validation)이 용이하도록 그 자신을 제공할 수도 있다.

본 발명을 솔더 범프, 드릴링되지 않은 비아, 그리고 다른 특정한 것들을 이용한 실시예를 참조하여 설명하였지만, 당업자는 다른 기술과 접목하여 활용 가능하다는 것을 알고 있으며, 이러한 논지의 핵심은 본 발명의 요지 내에서 제한의 일종으로서 해석되어야 한다. 이하의 청구항에서 사용된 "커넥터"라는 것은 일반적으로 하나의 구성요소(플립-칩 등)를 다른 구성요소(카드 등)에 접속하는 임의의 수단이거나 모든 수단을 일컫는다.

본 발명은 전기 신호 및 이들을 전송하기에 적합한 트레이스로 설명되었지만, 광학적 상호연결(optical interconnect), 마이크로와 전송 등의 다른 기술에서 적용될 수 있다. 카드는 샌드위치 구조의 층과 트레이스 층을 갖는 다층 기관으로 설명되었지만, 신호 브레이크아웃 카운트 또는 밀도를 증가시키기 위해, 전송 신호 와이어, 라인, 트레이스, 화이버 등의 다층 구조와, 이러한 다층(multiple layer)의 이용 요구가 있는 한, 본 발명은, 요구되는 구조적 경직성(stiffness)이 없고, 따라서 이와 같은 구조층이 없는 경우, 또는 상호접속이 "트레이스" 자체로서 참조되지 않는 경우 등의 다른 기술에 적용될 수 있다는 것을 당업자는 이해해야 한다. 그러나 "트레이스"라는 용어는 그러한 모든 수단을 일반적으로 호칭하도록 청구항에서 이용된다. 본 발명의 이러한 관점 또는 다른 관점은 본 특허의 통찰적인 고려를 통해 당업자에게 이해될 것이다.

"상부(upper)", 또는 "최외곽(outermost)", 또는 "최상부(top)", 또는 "매설된(buried)"이란 말은 장치에 요구되는 특정한 절대 방향(absolute orientation)으로서 해석된다.

"브레이크아웃 길이"는 플립-칩 다이의 물리적인 에지를 넘어선 라이저 마이크로-비아로서 해석되어서는 안되고, 그들 근방의 플립-칩 다이의 범프 영역을 넘어선 것으로 해석된다.

"실시예", "일실시예", "일부 실시예", 또는 "다른 실시예"라는 것은 특정한 특성, 구조, 또는 상기 실시예와 관련하여 설명한 특징이 적어도 일부 실시예에 포함된 것을 나타내지만, 본 발명의 모든 실시예에 절대적인 것은 아니다. 각종 양상의 "실시예", "일실시예", 또는 "일부 실시예"는 동일한 실시예를 모두 참조할 필요는 없다.

명세서의 설명에서, 성분, 특성, 구조 또는 특징에 있어서, "~일 수도 있다(may)", "~해도 좋다(might)", "~할 수 있었다(could)"가 포함되면, 특정한 성분, 특성, 구조 또는 특징이 포함될 필요는 없다. 명세서 또는 청구항에 "a" 또는 "an" 구성요소는, 하나의 구성요소만을 나타내지는 않는다. 명세서 또는 청구항에서 "추가적인(additional)" 구성요소는 하나 이상의 추가적인 구성요소가 있다는 것을 배제하지 않는다.

본 발명의 이점을 알고 있는 당업자에 의해 상술한 설명과 도면으로부터 각종 변형이 본 발명의 요지 내에서 이루어질 수 있다. 게다가, 본 발명은 상술한 설명으로 한정되지는 않는다. 보정을 포함하고 있는 청구항은 본 발명의 요지를 정의한다.

도면의 간단한 설명

본 발명은 이하에 주어진 상세한 설명과 본 발명의 실시예를 나타내는 도면을 통해 보다 이해되지만, 설명된 실시예로 한정되지는 않으며, 이들 실시예는 이해를 돕기 위한 것이다.

도 1은 전형적인 층으로 플립-칩 다이, 기관, 모기관을 나타내는 단면도.

도 2는 종래 기술에 따른 상호접속 라우팅 시스템을 나타내는 도면.

도 3은 본 발명의 상호접속 시스템의 일실시예를 나타내는 도면.

도 4는 본 발명의 일실시예의 간격 설명(spacing detail)을 나타내는 도면.

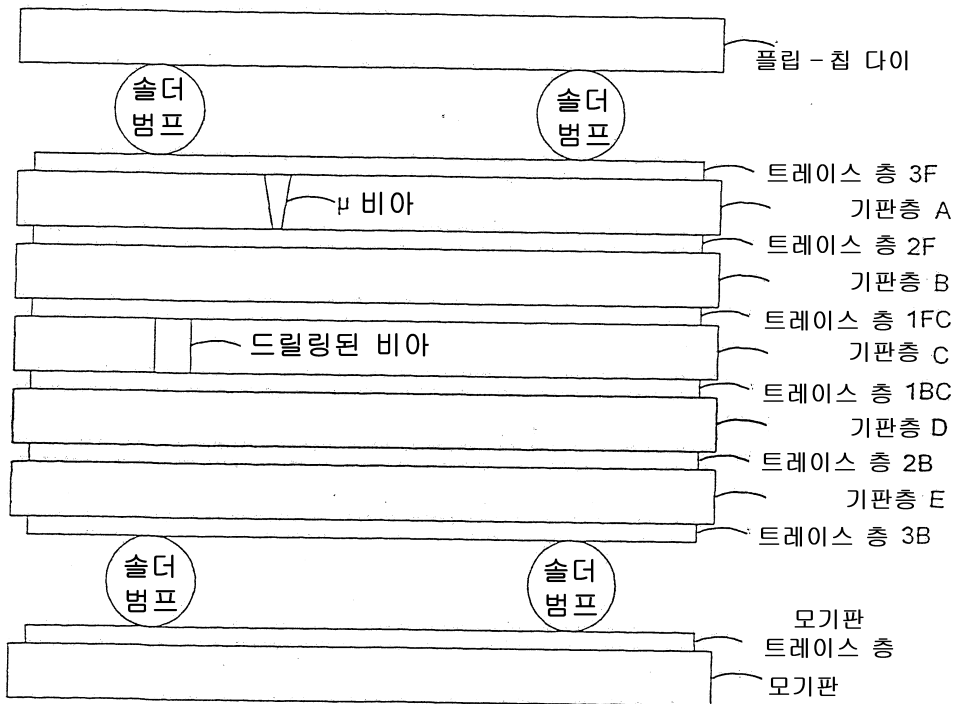
도 5는 본 발명의 일실시예의 라우팅 설명을 나타내며, 특히 최상부 트레이스 층 하방의 트레이스 층에 있어서 마이크로-비아 사이에서의 신호의 라우팅을 나타내는 도면.

도 6은 본 발명의 일실시예의 라우팅 설명을 나타내며, 특히 최상부 층과 하부층에서의 신호의 라우팅을 나타내는 도면.

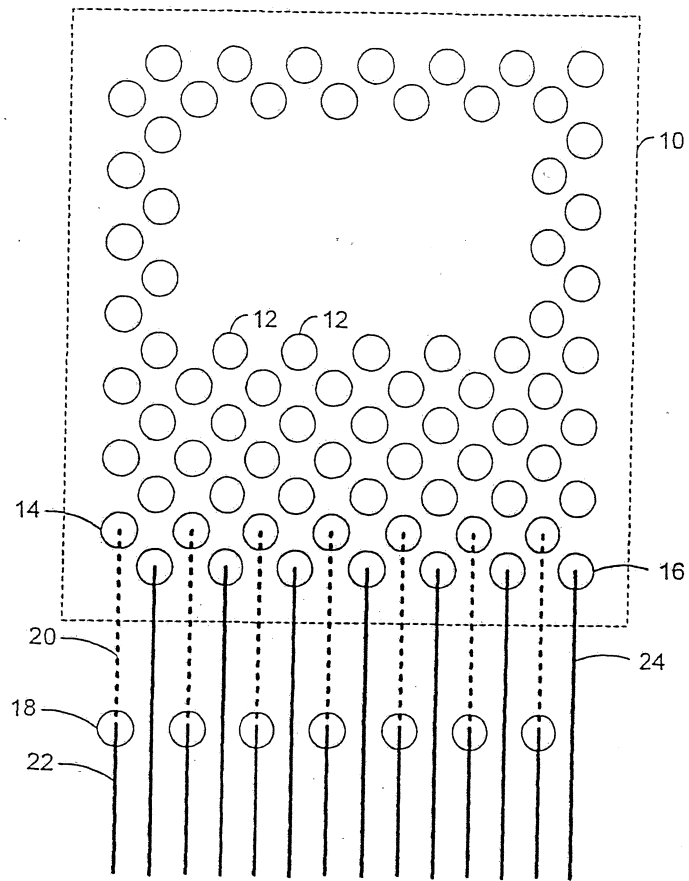
도 7은 본 발명에 따른 마이크로-비아 배열의 일례를 나타내는 도면.

도면

도면1

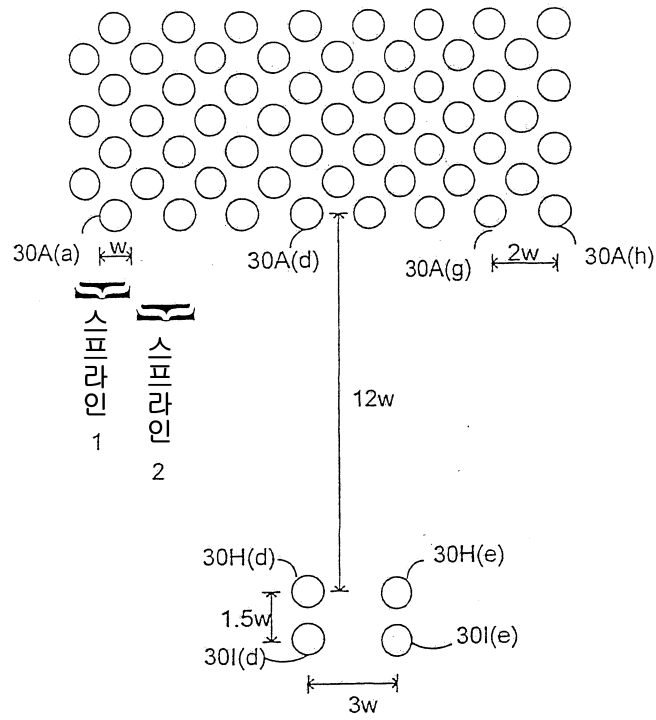


도면2

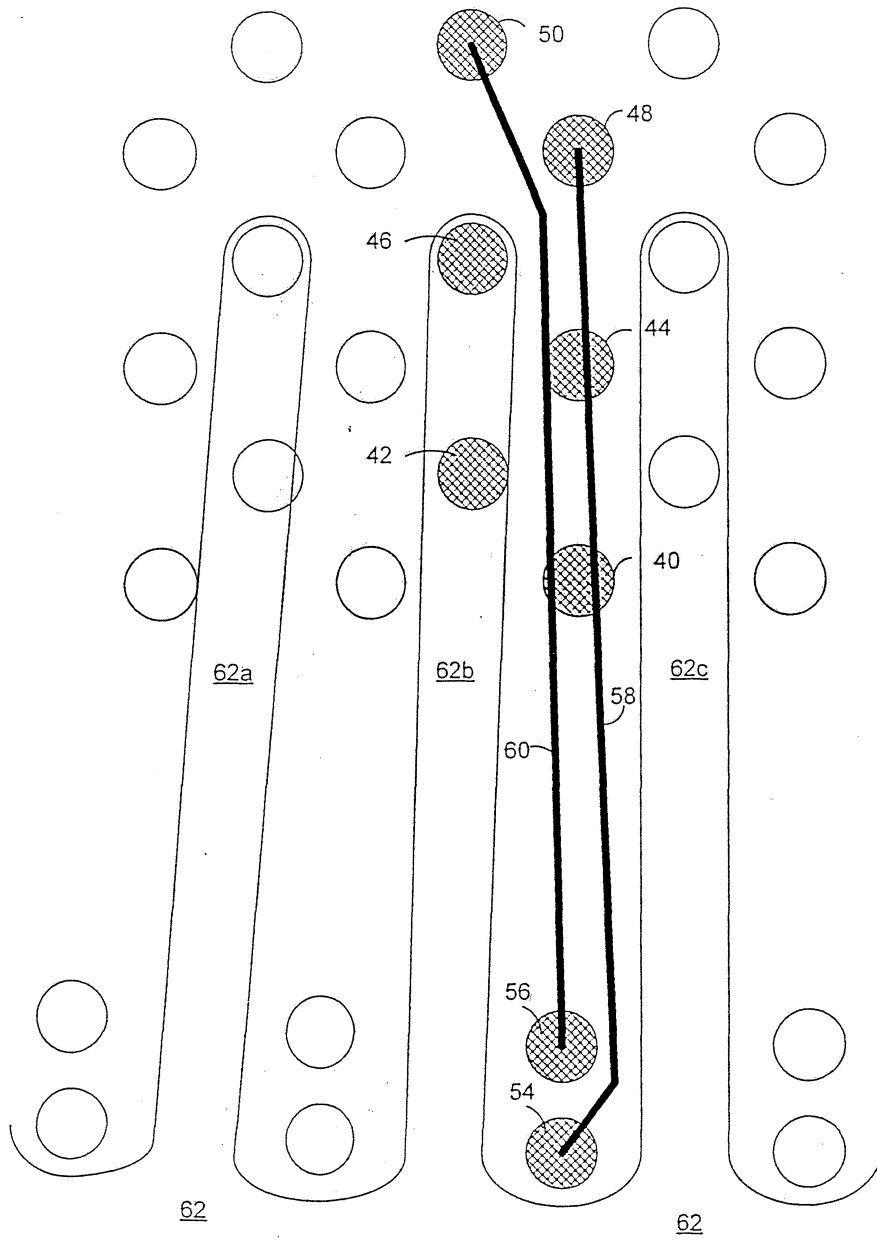


회로소자

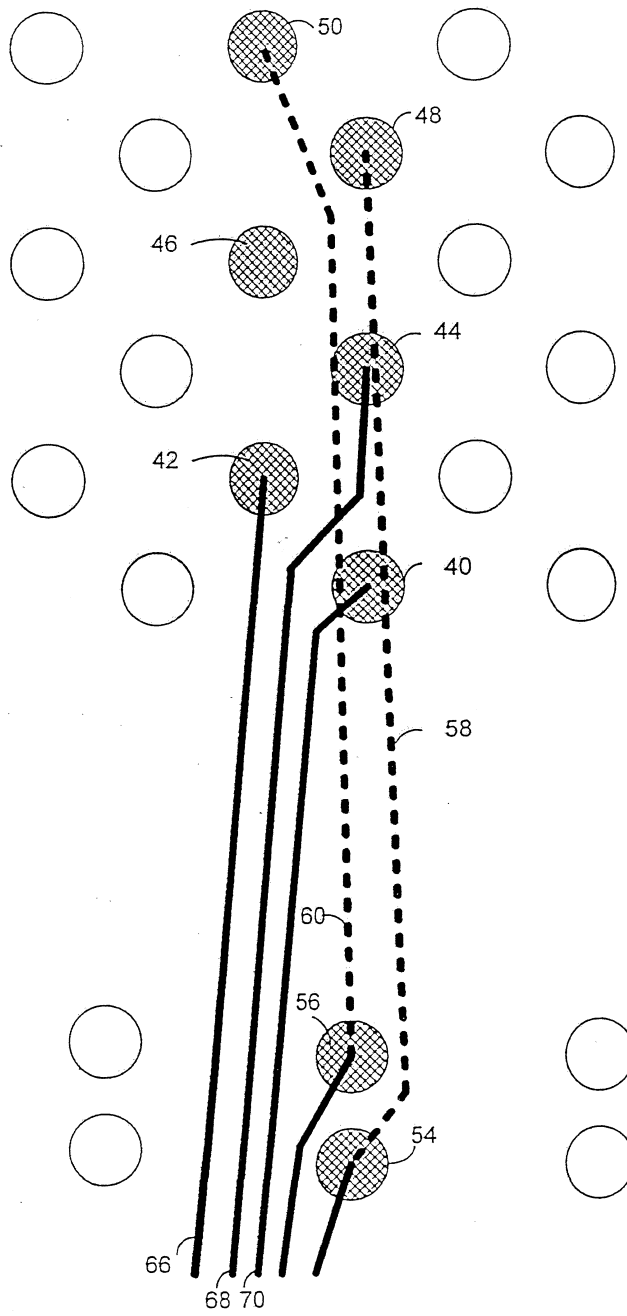
도면4



도면5



도면6



도면7

