



(12) 发明专利

(10) 授权公告号 CN 112956024 B

(45) 授权公告日 2024. 09. 10

(21) 申请号 201980071531.0

(22) 申请日 2019.10.29

(65) 同一申请的已公布的文献号  
申请公布号 CN 112956024 A

(43) 申请公布日 2021.06.11

(30) 优先权数据  
62/752,112 2018.10.29 US

(85) PCT国际申请进入国家阶段日  
2021.04.28

(86) PCT国际申请的申请数据  
PCT/US2019/058554 2019.10.29

(87) PCT国际申请的公布数据  
W02020/092361 EN 2020.05.07

(73) 专利权人 东京毅力科创株式会社  
地址 日本东京都

(72) 发明人 拉尔斯·利布曼 杰弗里·史密斯  
安东·J·德维利耶

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227  
专利代理师 陈炜 李德山

(51) Int.Cl.  
H01L 27/06 (2006.01)  
H01L 27/088 (2006.01)  
H10B 10/00 (2023.01)  
H10B 69/00 (2023.01)

(56) 对比文件  
US 9070552 B1, 2015.06.30  
US 9754923 B1, 2017.09.05  
审查员 王丹

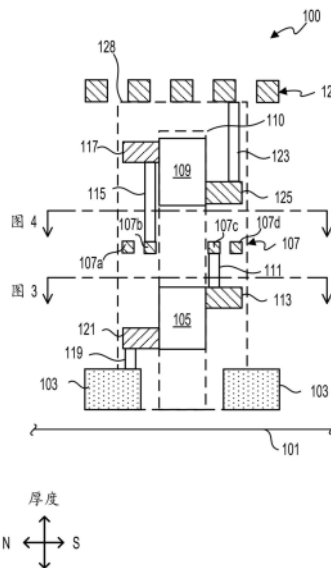
权利要求书3页 说明书11页 附图5页

(54) 发明名称

用于半导体器件的单片3D集成的架构

(57) 摘要

一种三维(3D)集成电路(IC)包括具有衬底表面的衬底、设置在该衬底中的电力轨、以及第一半导体器件层级,该第一半导体器件层级设置在该衬底中并且沿着该衬底的厚度方向位于该电力轨之上。布线层级设置在该衬底中,并且第二半导体器件层级设置在该衬底中并沿着该厚度方向位于该布线层级之上。该第二半导体器件层级在该厚度方向上堆叠在该第一半导体器件层级上,使得该布线层级插入在该第一半导体器件层级与该第二半导体器件层级之间。第一垂直互连结构从该布线层级向下延伸到该第一半导体器件层级,以将该布线层级电连接到该第一半导体器件层级内的器件。第二垂直互连结构从该布线层级向上延伸到该第二半导体器件层级,以将该布线层级电连接到该第二半导体器件层级内的器件。



CN 112956024 B

1. 一种三维集成电路,包括:

具有衬底表面的衬底;

设置在该衬底中的电力轨;

第一半导体器件层级,该第一半导体器件层级设置在该衬底中并且沿着该衬底的厚度方向位于该电力轨之上,该厚度方向基本上垂直于所述衬底表面;

布线层级,该布线层级设置在该衬底中并且沿着该厚度方向位于该第一半导体器件层级之上,所述布线层级包括至少一个布线级,该至少一个布线级包括多个独立的布线轨道,每个布线轨道在沿该衬底表面的方向上延伸;

第二半导体器件层级,该第二半导体器件层级设置在该衬底中并且沿着该厚度方向位于该布线层级之上,该第二半导体器件层级在该厚度方向上堆叠在该第一半导体器件层级上,使得该布线层级插入在该第一半导体器件层级与该第二半导体器件层级之间;

第一竖直互连结构,该第一竖直互连结构沿着该厚度方向从多个独立的布线轨道中的第一轨道向下延伸并且进入到该第一半导体器件层级,以将该第一轨道电连接到该第一半导体器件层级内的器件;以及

第二竖直互连结构,该第二竖直互连结构沿着该厚度方向从多个独立的布线轨道中的第二轨道向上延伸并且进入到该第二半导体器件层级,以将该第二轨道电连接到该第二半导体器件层级内的器件。

2. 如权利要求1所述的三维集成电路,其中,所述布线层级包括沿着该衬底的厚度方向位于彼此之上的多个布线级,所述多个布线级包括所述至少一个布线级。

3. 如权利要求1所述的三维集成电路,进一步包括中间电力轨,该中间电力轨设置在该衬底中并且沿着该衬底的厚度方向位于该电力轨之上。

4. 如权利要求1所述的三维集成电路,进一步包括第三半导体器件层级,该第三半导体器件层级设置在该衬底中并且在该厚度方向上堆叠在该第二半导体器件层级上。

5. 如权利要求4所述的三维集成电路,进一步包括中间电力轨,该中间电力轨设置在该衬底中并且位于该第二半导体器件层级之上,使得该中间电力轨沿着该厚度方向位于该第二半导体器件层级与该第三半导体器件层级之间。

6. 如权利要求5所述的三维集成电路,进一步包括:

第一电力连接结构,该第一电力连接结构沿着该厚度方向从该电力轨向上延伸到该第一半导体器件层级,以将该电力轨电连接到该第一半导体器件层级内的器件,

第二电力连接结构,该第二电力连接结构沿着该厚度方向从该中间电力轨向下延伸到该第二半导体器件层级,以将该中间电力轨电连接到该第二半导体器件层级内的器件,以及

第三电力连接结构,该第三电力连接结构沿着该厚度方向从该中间电力轨向上延伸到该第三半导体器件层级,以将该中间电力轨电连接到该第三半导体器件层级内的器件。

7. 如权利要求4所述的三维集成电路,其中:

该第一半导体器件层级包括共享公共栅极结构的第一互补场效应晶体管堆叠对,

该第二半导体器件层级包括共享公共栅极结构的第二互补场效应晶体管堆叠对,

该第三半导体器件层级包括:

共享公共栅极结构的第三互补场效应晶体管堆叠对,以及

堆叠在该第三互补场效应晶体管堆叠对之上的附加晶体管;并且

该第一互补场效应晶体管堆叠对、该第二互补场效应晶体管堆叠对和该第三互补场效应晶体管堆叠对相对于彼此堆叠。

8. 如权利要求7所述的三维集成电路,其中:

该第一互补场效应晶体管堆叠对具有n在p之上的取向,

该第二互补场效应晶体管堆叠对具有p在n之上的取向,并且

该第三互补场效应晶体管堆叠对具有n在p之上的取向。

9. 如权利要求8所述的三维集成电路,其中,该第三半导体器件层级进一步包括堆叠在该第三互补场效应晶体管堆叠对上的n型场效应晶体管。

10. 如权利要求9所述的三维集成电路,其中:

该第一半导体器件层级包括第一逻辑电路,

该第二半导体器件层级包括第二逻辑电路,并且

该第三半导体器件层级包括存储器电路。

11. 如权利要求10所述的三维集成电路,其中:

该第一逻辑电路是与或反相器AOI电路,

该第二逻辑电路是异或XOR电路,并且

该存储器电路是SRAM电路。

12. 一种三维集成电路,包括:

具有衬底表面的衬底;

设置在该衬底中的电力轨;

第一半导体器件层级,该第一半导体器件层级设置在该衬底中并且沿着该衬底的厚度方向位于该电力轨之上,该厚度方向基本上垂直于所述衬底表面;

布线层级,该布线层级设置在该衬底中并且沿着该厚度方向位于该第一半导体器件层级之上;

第二半导体器件层级,该第二半导体器件层级设置在该衬底中并且沿着该厚度方向位于该布线层级之上,该第二半导体器件层级在该厚度方向上堆叠在该第一半导体器件层级上,使得该布线层级插入在该第一半导体器件层级与该第二半导体器件层级之间;

第一竖直互连结构,该第一竖直互连结构沿着该厚度方向从该布线层级向下延伸到该第一半导体器件层级,以将该布线层级电连接到该第一半导体器件层级内的器件;以及

第二竖直互连结构,该第二竖直互连结构沿着该厚度方向从该布线层级向上延伸到该第二半导体器件层级,以将该布线层级电连接到该第二半导体器件层级内的器件,其中:

所述第一半导体器件层级包括第一晶体管对,该第一晶体管对包括堆叠在彼此之上的n型晶体管和p型晶体管,并且

所述第二半导体器件层级包括第二晶体管对,该第二晶体管对包括堆叠在彼此之上的n型晶体管和p型晶体管。

13. 如权利要求12所述的三维集成电路,其中,该第一晶体管对和该第二晶体管对以交替的堆叠取向配置。

14. 如权利要求12所述的三维集成电路,其中:

所述第一晶体管对进一步包括第一公共栅极结构,并且

所述第二晶体管对进一步包括第二公共栅极结构。

15. 一种三维集成电路, 包括:

具有衬底表面的衬底;

设置在该衬底中的电力轨;

第一半导体器件层级, 该第一半导体器件层级设置在该衬底中并且沿着该衬底的厚度方向位于该电力轨之上, 该厚度方向基本上垂直于所述衬底表面;

布线层级, 该布线层级设置在该衬底中并且沿着该厚度方向位于该第一半导体器件层级之上;

第二半导体器件层级, 该第二半导体器件层级设置在该衬底中并且沿着该厚度方向位于该布线层级之上, 该第二半导体器件层级在该厚度方向上堆叠在该第一半导体器件层级上, 使得该布线层级插入在该第一半导体器件层级与该第二半导体器件层级之间;

第一竖直互连结构, 该第一竖直互连结构沿着该厚度方向从该布线层级向下延伸到该第一半导体器件层级, 以将该布线层级电连接到该第一半导体器件层级内的器件; 以及

第二竖直互连结构, 该第二竖直互连结构沿着该厚度方向从该布线层级向上延伸到该第二半导体器件层级, 以将该布线层级电连接到该第二半导体器件层级内的器件, 其中:

该第一半导体器件层级和该第二半导体器件层级中的每一个层级中的器件都沿着该厚度方向共线地堆叠以限定有源器件列, 并且

所述第一竖直互连和所述第二竖直互连设置在所述有源器件列之外。

16. 如权利要求15所述的三维集成电路, 其中:

所述有源器件列沿着该衬底的衬底表面延伸以限定该衬底表面的有源器件区域, 并且所述布线层级包括基本上包围该衬底表面的有源器件区域的多个布线轨道。

17. 如权利要求16所述的三维集成电路, 其中, 该多个布线轨道包括设置在该有源器件区域的源极-漏极区域内的第一布线轨道, 并且这些第一布线轨道以与该有源器件区域的栅极区域基本上平行的关系沿着该衬底表面延伸。

18. 如权利要求17所述的三维集成电路, 其中, 该多个布线轨道进一步包括第二布线轨道, 第二布线轨道以与该有源器件区域的栅极区域基本上垂直的关系沿着该衬底表面延伸。

## 用于半导体器件的单片3D集成的架构

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年10月29日提交的美国临时申请号62/752,112的权益,该美国临时申请的全部内容通过援引并入本文。

### 技术领域

[0003] 本披露内容涉及包括半导体器件、晶体管、和集成电路的微电子器件,包括微细加工的方法。

### 背景技术

[0004] 本文提供的背景描述是为了一般地呈现本披露内容的上下文。当前发明人的工作在本背景部分中所描述的程度、以及在提交时间时可能不被认定为现有技术的本说明的方面,既没有明确地也没有隐含地承认是针对本披露的现有技术。

[0005] 集成电路广泛用于电子行业,以提供诸如智能电话、计算机等电子设备。集成电路(IC)包括通过半导体衬底上的布线而互连的许多半导体器件,诸如晶体管、电容器等。对于支持电子设备的更多数量的复杂功能的更小更快的IC的需求一直在增加。这个需求使得半导体制造行业缩小了衬底上IC的面积,同时还提高了IC的性能和功耗效率。

[0006] 在制造半导体IC时(尤其是在微观尺度上),执行各种加工工艺,诸如成膜沉积、刻蚀掩模创建、图案化、材料刻蚀和去除以及掺杂处理。重复执行这些工艺以在衬底上形成期望的半导体器件元件。从历史上看,已经利用微细加工在一个平面上创建IC的晶体管,并在有源器件平面上方形成IC的布线/金属化,并且因此,这被表征为二维(2D)电路或2D加工。微缩(Scaling)工作已经极大地增加了2D电路中每单位面积的晶体管数量,这使得异构功能电路(诸如逻辑电路和存储器电路)集成到同一半导体衬底上。然而,随着微缩进入纳米级半导体器件加工节点,2D微缩工作也将面临更大的挑战。半导体器件加工商已经表达出对晶体管堆叠在彼此顶部之上的三维(3D)半导体电路的期望,这种彼此堆叠作为进一步微缩IC的另一手段。

### 发明内容

[0007] 本文的技术提供了一种架构,该架构是诸如逻辑和存储器等不同功能电路的真正的单片3D集成。技术还包括用于单片集成三维器件的集成流程。本文的设计包括将存储器集成在逻辑堆叠之上。技术包括在不需要将晶圆或衬底片段堆叠在彼此顶部之上的情况下将多个不同的半导体器件集成在彼此之上。

[0008] 根据本披露内容的一方面,提供了一种三维(3D)集成电路(IC)。该3D IC包括具有衬底表面的衬底、设置在该衬底中的电力轨、以及第一半导体器件层级,该第一半导体器件层级设置在该衬底中且沿着该衬底的厚度方向位于该电力轨之上,该厚度方向基本上垂直于该衬底表面。布线层级设置在该衬底中,并且沿着该厚度方向位于该第一半导体器件层级之上。第二半导体器件层级设置在该衬底中,并且沿着该厚度方向位于该布线层级之上,

该第二半导体器件层级在该厚度方向上堆叠在该第一半导体器件层级上,使得该布线层级插入在该第一半导体器件层级与该第二半导体器件层级之间。第一竖直互连结构沿着该厚度方向从该布线层级向下延伸到该第一半导体器件层级,以将该布线层级电连接到该第一半导体器件层级内的器件。第二竖直互连结构沿着该厚度方向从该布线层级向上延伸到该第二半导体器件层级,以将该布线层级电连接到该第二半导体器件层级内的器件。

[0009] 在本披露内容的一些方面中,该3D IC的布线层级可以包括沿着该衬底的厚度方向位于彼此之上的两个或更多个布线级。

[0010] 在本披露内容的另一方面中,该第一半导体器件层级包括第一晶体管对,该第一晶体管对包括堆叠在彼此之上的n型晶体管和p型晶体管,并且该第二半导体器件层级包括第二晶体管对,该第二晶体管对包括堆叠在彼此之上的n型晶体管和p型晶体管。该方面的3D IC可以提供以交替的堆叠取向配置的该第一晶体管对和该第二晶体管对。替代性地,该第一晶体管对可以包括第一公共栅极结构,且该第二晶体管对可以包括第二公共栅极结构。

[0011] 在本披露内容的另一方面中,该第一半导体器件层级和该第二半导体器件层级中的每一个层级中的器件都沿着该厚度方向共线地堆叠以限定有源器件列,并且该第一竖直互连和该第二竖直互连设置在该有源器件列之外。在这个方面,该有源器件列可以沿着该衬底的衬底表面延伸以限定该衬底表面的有源器件区域,并且该布线层级可以包括基本上包围该衬底表面的该有源器件区域的多个布线轨道。进一步地,该多个布线轨道可以包括设置在该有源器件区域的源极-漏极区域内的第一布线轨道,并且这些第一布线轨道以与该有源器件区域的栅极区域基本上平行的关系沿着该衬底表面延伸。该多个布线轨道可以进一步包括第二布线轨道,这些第二布线轨道以与该有源器件区域的这些栅极区域基本上垂直的关系沿着该衬底表面延伸。

[0012] 在本披露内容的其他方面中,该3D IC可以进一步包括中间电力轨,该中间电力轨设置在该衬底中并且沿着该衬底的该厚度方向位于该电力轨之上。

[0013] 在又另一方面中,该3D IC可以包括第三半导体器件层级,该第三半导体器件层级设置在该衬底中并且在该厚度方向上堆叠在该第二半导体器件层级上。在这个方面,该中间电力轨设置在该衬底中并且位于该第二半导体器件层级之上,使得该中间电力轨沿着该厚度方向位于该第二半导体器件层级与该第三半导体器件层级之间。这个方面的3D IC可以进一步包括第一电力连接结构,该第一电力连接结构沿着该厚度方向从该电力轨向上延伸到该第一半导体器件层级,以将该电力轨电连接到该第一半导体器件层级内的器件。可以设置第二电力连接结构,使其沿着该厚度方向从该中间电力轨向下延伸到该第二半导体器件层级,以将该中间电力轨电连接到该第二半导体器件层级内的器件。第三电力连接结构可以沿着该厚度方向从该中间电力轨向上延伸到该第三半导体器件层级,以将该中间电力轨电连接到该第三半导体器件层级内的器件。

[0014] 本披露内容的附加方面提供了:第一半导体器件层级包括共享公共栅极结构的第一互补场效应晶体管堆叠对,第二半导体器件层级包括共享公共栅极结构的第二互补场效应晶体管堆叠对。第三半导体器件层级可以包括共享公共栅极结构的第三互补场效应晶体管堆叠对、以及堆叠在该第三互补场效应晶体管堆叠对之上的附加晶体管。该第一互补场效应晶体管堆叠对、该第二互补场效应晶体管堆叠对和该第三互补场效应晶体管堆叠对相

对于彼此堆叠。根据这个方面,该第一互补场效应晶体管堆叠对具有n在p之上的取向,该第二互补场效应晶体管堆叠对具有p在n之上的取向,并且该第三互补场效应晶体管堆叠对具有n在p之上的取向。该第三半导体器件层级可以进一步包括堆叠在该第三互补场效应晶体管堆叠对上的n型场效应晶体管。另一方面提供了:该第一半导体器件层级包括第一逻辑电路,该第二半导体器件层级包括第二逻辑电路,并且该第三半导体器件层级包括存储器电路。在一个示例IC中,该第一逻辑电路是与或反相器(AOI)电路,该第二逻辑电路是异或(XOR)电路,并且该存储器电路是SRAM电路。

[0015] 根据本披露内容的另一方面,提供了一种用于形成三维(3D)集成电路(IC)的方法。该方法包括:提供具有工作表面的衬底、在该表面上形成电力轨、在该电力轨之上的表面上形成第一半导体器件层级、并且在该第一半导体器件层级之上的表面上形成布线层级。在该布线层级之上的表面上形成第二半导体器件层级,并且该第二半导体器件层级堆叠在该第一半导体器件层级上,使得该布线层级插入在该第一半导体器件层级与该第二半导体器件层级之间。形成第一竖直互连结构,该第一竖直互连结构从该布线层级向下延伸到该第一半导体器件层级,以将该布线层级电连接到该第一半导体器件层级内的器件。形成第二竖直互连结构,该第二竖直互连结构从该布线层级向上延伸到该第二半导体器件层级,以将该布线层级电连接到该第二半导体器件层级内的器件。这些形成步骤中的每一个步骤都是在用于形成该3D IC的连续工艺流程内执行的。这个方面可以将该第一半导体器件层级和该第二半导体器件层级提供为彼此不同的操作电路。

[0016] 当然,本文所披露的制造步骤的顺序是为了清楚起见而呈现的。通常,这些制造步骤可以以任何合适的顺序执行。另外地,尽管可能在本披露的不同地方讨论了本文中的不同特征、技术、配置等中的每一个,但是应当注意,可以彼此独立地或彼此组合地执行每个概念。因此,可以以许多不同的方式来实施和查看本披露内容。

[0017] 应当注意,本发明内容部分未指定本披露内容或所要求保护的发明的每个实施例和/或递增的新颖方面。相反,本发明内容仅提供了对不同实施例以及与常规技术相比的新颖性对应点的初步讨论。对于本发明和实施例的附加细节和/或可能的观点而言,读者应查阅如以下进一步讨论的本披露内容的具体实施方式部分和相应附图。

## 附图说明

[0018] 当与附图一起阅读时,从以下详细描述中最好地理解本披露的方面。注意,根据行业中的标准实践,各种特征未按比例绘制。事实上,为了讨论的清楚起见,各种特征的尺寸可以被任意增大或减小。

[0019] 图1是根据本披露内容的实施例的表示3D IC的源极-漏极平面的竖直剖面视图;

[0020] 图2是根据本披露内容的实施例的表示图1的3D IC的栅极平面的竖直剖面视图;

[0021] 图3是根据本披露内容的实施例的图1和图2中结构的水平剖面的俯视平面视图;

[0022] 图4是根据本披露内容的实施例的图1和图2中结构的另一水平剖面的俯视平面视图。

[0023] 图5是根据本披露内容的实施例的表示另一3D IC的源极-漏极平面的竖直剖面视图;

[0024] 图6是根据本披露内容的实施例的表示图5的3D IC的栅极平面的竖直剖面视图;

[0025] 图7是根据本披露内容的实施例的图5和图6中结构的水平剖面的俯视平面视图；以及

[0026] 图8是根据本披露内容的实施例的图5和图6中结构的另一水平剖面的俯视平面视图。

### 具体实施方式

[0027] 以下披露提供了用于实施所提供的主题的不同特征的许多不同的实施例或示例。以下描述了部件和布置的特定示例以简化本披露内容。当然,这些仅是示例,并且不旨在进行限制。另外,本披露内容可能会在各个示例中重复使用附图标记和/或字母。该重复是出于简单和清楚的目的,并且其本身并不指示所讨论的各个实施例和/或配置之间的关系。

[0028] 进一步地,为了便于描述,在本文中可以使用诸如“之下”、“下方”、“下部”、“上方”、“上部”等空间相关的术语来描述如附图所展示的一个元素或特征与一个或多个其他元素或特征的关系。除了在附图中所描绘的取向之外,空间相关的术语还旨在涵盖装置在使用或操作中的不同取向。可以以其他方式定向该装置(旋转90度或处于其他取向),并且相应地可以以同样的方式解释本文使用的空间相关的描述符。

[0029] 贯穿本说明书对“一个实施例”或“实施例”的提及意味着与实施例相结合描述的特定特征、结构、材料、或特性包括在至少一个实施例中,但是不表示它们存在于每个实施例中。因此,贯穿本说明书在各处出现的短语“在一个实施例中”不一定指代同一个实施例。此外,在一个或多个实施例中,可以以任何合适的方式来组合特定特征、结构、材料或特性。

[0030] 如背景技术中所指出的,半导体器件加工商已经表达出对晶体管堆叠在彼此顶部之上的三维(3D)半导体电路的期望,这种彼此堆叠作为除了常规的2D微缩以外的微缩IC的另一手段。3D集成(即半导体器件的垂直堆叠)旨在通过在体积而非面积方面增大晶体管密度来克服2D微缩限制。虽然随着3D NAND的采用,闪速存储器行业已经成功示范并且实施了器件堆叠,但是器件堆叠应用于随机逻辑设计要困难得多。用于逻辑芯片(诸如CPU(中央处理单元)、GPU(图形处理单元)、FPGA(现场可编程门阵列)和SoC(片上系统))的3D集成主要通过两种方法来实行:一种方法是异构堆叠,另一种方法更多的是同构堆叠。

[0031] 在以下文献中披露了使用晶圆/芯片堆叠和硅通孔(TSV)技术的异构3D集成的示例:Process Integration Aspects enabling 3D sequential stacked planar and FINfet Technology[实现3D顺序堆叠平面和FINfet技术的工艺集成方面],Anne VanDooren,IMEC PTW[微电子研究中心伙伴技术研讨会],2018年春。在这个3D集成方法中,针对不同的特定任务对每个芯片在设计和制造上进行优化。然后通过高效的封装技术集成这些单独制造的芯片,以构建堆叠的SoC。2019年10月发布的2019年版Heterogeneous Integration Roadmap(异构集成路线图)上提供了异构集成方法的细节,网址为eps.iee.org/hir。

[0032] 在以下文献中披露了同构堆叠方法的示例:Monolithic 3DIC:The Time is Now[单片3D IC:就是现在],Brian Cronquist和Zvi Or-Bach,Monolithic[单片],2014Intl Workshop on Data-Abundant System Technology[2014国际数据丰富系统技术研讨会],2014年4月。该方法采用了晶圆键合工艺来克服与芯片堆叠中使用的微米尺寸的TSV相关联的密度损失。通过键合方法,对基础晶圆进行处理以形成器件和若干金属化/布线层。然后,

将减薄的SoI (绝缘体上硅) 层定位在在基础晶圆顶部之上并与基础晶圆键合。相比于以上指出的芯片堆叠异构方法, 由于所需要的通孔的尺寸显著地更小(约100nm节距), 所以该晶圆键合方法可以实现更好的层级间连接。然而, 本发明的发明人认识到, 因为独立加工的晶圆或晶圆片段是堆叠在彼此顶部之上的, 所以该方法并不是真正的单片集成。因此, 该晶圆键合方法并没有为半导体加工提供真正的微缩解决方案。此外, 与该晶圆键合工艺相关联的工艺复杂性和成本开销未达到与真正的单片3D集成相关联的微缩目标。

[0033] 本文披露的技术提供了诸如逻辑和存储器等半导体器件的真正的单片3D集成。提供的单片3D集成是指设计包括通过将所有有源器件叠加在单个列中来实现的在一个连续工艺流程中构建的竖直集成的多层逻辑和存储器。这种真正的列式加工减少了制造成本(因为仅有单个晶圆加工)且提高了密度(在整个集成堆叠中使用自对准通孔和完全对准通孔)。

[0034] 图1是根据本披露内容的实施例的表示3D IC的源极-漏极平面的竖直剖面视图。如所见的, 结构100包括设置在衬底中的电力轨103, 这些电力轨可以与到3D IC的低电压(VSS)和高电压(VDD)电力输送相关联。电力轨103可以被认为是“埋式电力轨”, 因为其位于有源器件平面的下方。下部半导体器件层级105设置在衬底中、沿着衬底的厚度方向处于电力轨103之上, 该厚度方向基本上垂直于衬底表面101。该下部器件层级可以包括形成诸如逻辑电路或存储器电路等功能电路的一个或多个半导体器件, 诸如场效应晶体管(FET)。进一步地, FET可以是沿着衬底表面布置的、或沿着衬底的厚度方向竖直地堆叠在彼此之上的n型或p型FET。

[0035] 布线层级107设置在衬底中, 并且位于下部半导体器件层级105之上。布线层级107包括一个或多个布线层, 其中, 每个布线层包括在沿着衬底表面101的方向上延伸的一个或多个布线轨道。一般地, 一个布线层中的布线轨道将在与相邻布线层中的布线轨道的方向垂直的方向上延伸, 如以下进一步讨论的。在图1的实施例中, 布线层级107包括具有四个布线轨道(107a、107b、107c和107d)的单个布线层, 这四个布线轨道沿着衬底表面在与南北方向垂直(即, 与附图页的平面垂直)的方向上延伸。

[0036] 结构100还包括沿着厚度方向位于布线层级107之上的上部半导体器件层级109。与下部层级一样, 上部器件层级可以包括一个或多个半导体器件(诸如横向布置的或堆叠在彼此之上的n型或p型FET)以形成功能电路。在一些实施例中, 下部层级105和上部层级109实施不同的功能电路。如在图1中所见的, 上部半导体器件层级109在厚度方向上堆叠在下部半导体器件层级105上, 使得布线层级107插入在下部半导体器件层级与上部半导体器件层级之间。器件层级105和109在图1中被描绘为在器件列110内在竖直方向上共线地对齐。然而, 本领域的技术人员将理解, 由于制造工艺的可变性、光刻分辨率限度、图案放置误差等, 这些堆叠的层级可能不是完美地对齐的。

[0037] 布线层级107中的布线轨道通过诸如竖直互连和水平互连等局部互连来电连接到下部器件层级和上部器件层级内的器件。图1旨在描绘FET器件的源极-漏极区域, 该FET器件在IC的相应的层级内具有横向布置的源极区域、漏极区域和沟道区域。因此, 图1并非穿过与第一层级和第二层级中的每个层级内FET的单个源极-漏极区域相交的平面的真正的截面, 而是提供了将在实际的物理器件中占据不同竖直平面的FET的两个源极-漏极区域的代表性视图。在图1的实施例中, 第一竖直互连111将布线层级107电连接到第一半导

体器件层级105。具体地,竖直互连111具有连接到布线层级107的布线轨道107c的第一端,并且该竖直互连沿着衬底的厚度方向向下延伸。竖直互连111的第二端连接到水平互连113,该水平互连连接到下部器件层级105内的器件的源极-漏极区域。因此,竖直互连111充当到布线轨道107c的源极-漏极接触件,该布线轨道可以通过其他局部互连结构路由到结构100内的另一器件。

[0038] 第二竖直互连115将布线层级107电连接到上部半导体器件层级109。在所示出的示例中,竖直互连115具有连接到布线层级107的布线轨道107b的第一端,并且该竖直互连沿着衬底的厚度方向向上延伸。竖直互连结构115的第二端连接到水平互连结构117,该水平互连结构连接到上部器件层级109内的器件的SD区域。因此,竖直互连115充当到布线轨道107b的源极-漏极接触件,该布线轨道可以通过其他局部互连结构路由到结构100内的另一器件。

[0039] 可以基于特定的电路设计和功能所必需的电连接而使用其他局部互连结构。例如,电力轨103通过竖直互连119和水平互连121电连接到器件下部层级105中的器件,该水平互连连接到下部器件层级105内的器件的SD区域。因此,竖直互连119充当将电力输送到下部器件层级的电力接触件。类似地,上部层级109中的器件通过水平互连125和竖直互连123连接到全局布线层级127内的全局布线。尽管在图1中未示出,但是可以使用电力接触件将上部层级109中的器件与电力轨103、与全局布线层级127处的上电力轨、或与中间电力轨连接起来,如以下所讨论的。进一步地,当布线层级107包括多个布线层时,可以使用通孔将布线轨道彼此连接。

[0040] 图2是根据本披露内容的实施例的表示图1的3D IC的栅极平面的竖直剖面视图。结构100表示具有基本上平坦的衬底表面101的单片半导体衬底的一部分。图2是穿过堆叠的半导体器件层级的栅极轨道的截面。如本领域的技术人员所理解的,图2中的栅极剖面位于由图1表示的IC的横向间隔开的源极-漏极区域之间的平面中。如在图2中所见的,结构100包括与第一半导体器件层级105相关联的第一栅极区域129和与第二半导体器件层级相关联的第二栅极区域131。栅极区域129和栅极区域131中的每一个可以是导电的全环绕栅极GAA结构,该结构包围与相应层级内的器件相关联的一个或多个沟道区域。如以下进一步讨论的,该GAA结构可以是用于一个层级内的两个半导体器件的公共栅极结构。

[0041] 根据本披露内容的实施例,布线层级107可以电连接到第一层级105和第二层级109内的器件的栅极。例如,竖直互连133将布线层级107的布线轨道107d电连接到栅极区域129,并且竖直互连135将布线层级107的布线轨道107a电连接到栅极区域131。因此,竖直互连133和135向布线轨道107a和布线轨道107d提供栅极接触件的服务,这些布线轨道可以通过其他局部互连结构路由到结构100内的另一器件。

[0042] 以上讨论的布线层级和局部互连的使用使得下部层级105中的一个或多个器件连接到上部层级109中的一个或多个器件,以提供由图1和图2中的IC边界128所表示的单片3D IC。如以上所指出的,一个层级内的半导体器件可以沿着衬底的表面横向地布置。在一些实施例中,一个器件层级可以包括沿着半导体表面横向地重复的两个或更多个半导体器件,以形成可以具有常规的平面单元布局的功能电路或单元。图3和图4提供了图1和图2的IC的平面视图,但是进一步包括层级内的重复器件,这些重复的器件使得IC边界128沿着衬底表面101的方向横向地延伸。

[0043] 图3是根据本披露内容的实施例的图1和图2中结构的水平剖面的俯视平面视图。如图3所见的, IC 128的布局可以包括沿着衬底的东-西方向与多个栅极轨道(G1、G2、...)交替布置的多个源极-漏极轨道(SD1、SD2、SD3、...)。如本领域技术人员所知的,这些交替的SD区域和G区域在衬底的东-西方向上形成一排半导体器件。如从图1和图2中的截面线所见的,图3中的剖面是穿过垂直互连111(其充当用于下部层级105中的器件的SD接触件)、和穿过垂直互连133(其充当用于下部层级105的栅极结构的栅极接触件)来切割的。因此,在图3中,垂直互连111被示出在SD1轨道中、落在水平互连113上,该水平互连连接到下部器件层级105内的器件的SD区域。图3的SD1轨道还示出了水平互连121,其中,下层电力接触件由落在电力轨103上的垂直互连119实施。类似地,图3的轨道G1示出了落在栅极区域129上的垂直互连133。如图3中所示出的,可以按需要在附加的SD轨道和G轨道上使用附加的示例电力接触件(PC)、SD接触件(SDC)和栅极接触件(GC)以形成完整的功能电路或单元。还示出了相邻单元228、328和428的部分以描绘整个衬底的单元的重复性质。

[0044] 图4是根据本披露内容的实施例的图1和图2中结构的另一水平剖面的俯视平面视图。如从图1和图2中的截面线所见的,图4中的剖面是穿过垂直互连115(其充当用于上部层级109中的器件的SD接触件)、和穿过垂直互连135(其充当用于上部层级109的栅极结构的栅极接触件)来切割的。因此,图4中的SD1轨道包括落在布线轨道107b上的垂直互连115,并且还示出了到上部器件层级109的SD区域无任何连接的布线轨道107a、107c和107d。类似地,图4中的G1轨道示出了落在布线轨道107a上的垂直互连135,同时布线轨道107b、107c和107d不具有上部器件层级109的任何栅极区域。图4中未示出布线层级107下方的元件。如图3中所示出的,可以按需要在附加的SD轨道和G轨道上使用附加的示例电力接触件(PC)、SD接触件(SDC)和栅极接触件(GC)以形成完整的功能电路或单元。

[0045] 因此,本文的技术提供的半导体器件的真正的单片集成是指设计包括通过将所有有源器件叠加在单个列中来实现的在一个连续工艺流程中构建的不同功能类型的垂直集成的多层器件。这种真正的列式加工减少了制造成本(因为仅有单个晶圆加工)且提高了密度(在整个集成堆叠中使用自对准通孔和完全对准通孔)。进一步的晶体管和栅极布线可以夹在(位于)器件层级之间,以便于在没有MIV(单片层间通孔)的情况下的高效路由。该方面促进了晶体管到晶体管和栅极到栅极的布线。这种布线更加高效(即,导线长度短、通孔更浅、低RC)并且提供了从两个器件级到布线平面的接入,以改善晶体管到晶体管和栅极到栅极的布线。

[0046] 如以上所指出的,每个半导体器件层级可以包括被互连的垂直堆叠的半导体器件和/或被互连的横向地布置的半导体器件,以形成功能电路或单元。在一些实施例中,每个层级包括设置在彼此之上的两个或更多个半导体器件的堆叠,并且这种堆叠沿着衬底的表面横向地重复,以形成用于实施诸如逻辑电路或存储器电路等功能电路的复杂单元。实施功能单元的这种层级本身可以堆叠以形成提供异构功能的、类似于常规平面SOC的复杂单片3D IC。一个示例可以包括用于实施AOI单元的下部层级、用于实施XOR单元的中部层级、和用于实施SRAM单元的上部层级。

[0047] 图5是根据本披露内容的实施例的表示具有三个层级的3D IC的源极-漏极平面的竖直剖面视图。结构500表示具有基本上平坦的衬底表面501的单片半导体衬底的一部分。如所见的,结构500包括埋式电力轨503a(其充当将电力输送到n型晶体管的VSS)和埋式电

力轨503b(充当将电力输送到p型晶体管的VDD)。第一晶体管层级包括相应的p型器件和n型器件的SD区域505P和SD区域505N,第二层级包括相应的p型器件和n型器件的SD区域507N和SD区域507P,并且顶部层级包括器件的SD区域509P、器件的SD区域509N和器件的SD区域511N。因此,下部层级和中部层级各自包括两个堆叠的晶体管,而上部层级包括三个堆叠的晶体管。

[0048] 如在图5中所见的,晶体管的SD区域在结构的有源器件列512内共线地堆叠。每个层级中的堆叠的晶体管可以形成晶体管对,该晶体管对包括堆叠在彼此之上以形成晶体管互补对的n型晶体管和p型晶体管。在图5的实施例中,SD区域505P和505N形成互补对,SD区域507N和507P形成互补对,并且SD区域509P和509N形成另一互补对。SD区域511P是在其层级内不具有互补物的单个晶体管的一部分。如所见的,这些堆叠的晶体管对按晶体管的掺杂类型以交替的堆叠取向来配置。在图5的实施例中,SD区域505P是p型晶体管的一部分,而其互补物505N是n型晶体管的一部分。类似地,SD区域507N是n型的且其互补物507P是p型的。最后,SD区域509P是p型的且其互补物509N是n型的。SD区域511N是n型晶体管的一部分。堆叠取向的这种交替(即,n在p之上,然后p在n之上)提高了注入物效率和功函数沉积效率。与为堆叠中的所有器件对保持相同的堆叠顺序(n-p n-p)相比,交替的取向可以提高针对注入物和特定于器件类型的选择性沉积的工艺效率。

[0049] 如在图5中所见的,布线层级包括在衬底的厚度方向上位于彼此之上的五个布线层513、515、517、519、和521。每个布线层包括在本布线层内大体上平行地延伸、并且相对于相邻层中的布线轨道大体上垂直的多个布线轨道,如所示出的。布线层513通常充当下部层级的M0金属层并且包括在东西方向上(即,垂直于附图页的平面)延伸的四个布线轨道513a、513b、513c和513d。布线层515通常充当下部层级的M1金属层并且包括沿着南北方向延伸的多个导线轨道。因此,图5中仅示出了轨道515a。类似地,布线层521通常充当中部器件层级的M0金属层并且包括在东西方向上延伸的四个布线轨道521a、521b、521c和521d,而布线层519通常充当中部层级的M1金属层并且包括沿着南北方向延伸的多个导线轨道,其中,仅示出了轨道519a。布线层517包括在东西方向上延伸的五个布线轨道517a、517b、517c、517d和517e。布线层517通常充当下部层级和上部层级的M2金属层,并且用于提供与全局布线层522的连接,该全局布线层通常在结构500的不同单元之间提供连接。结构500还包括位于中部器件层级(507P和507N)与下部器件层级(505P和505N)之间的中间电力轨523a和523b,如所示出的。

[0050] 若干个局部互连按照需要对半导体器件进行电连接以形成功能电路。具体地,在最低器件层级内,埋式电力轨503b通过垂直电力互连525和水平互连527连接到SD区域505P,并且埋式电力轨503a通过垂直电力互连529和水平互连531连接到SD区域505N。垂直互连533将SD区域505P电连接到布线层513中的布线轨道513b,并且垂直互连535类似地将SD区域505N连接到布线层513中的布线轨道513c。在中部器件层级内,SD区域507N通过水平互连537和垂直互连539连接到布线层521的布线轨道521c。类似地,SD区域507P通过水平互连541和垂直互连543连接到布线层521的布线轨道521b。

[0051] 中间电力轨523b通过垂直互连545和水平互连541将电力输送到SD区域507P,同时还经由垂直互连547和水平互连549将电力输送到上部层级中的SD区域509P。类似地,中间电力轨523a通过垂直互连549和水平互连537将电力输送到SD区域507N,同时经由垂直互连

551和水平互连553将电力输送到SD区域509N。还如所见的, 竖直互连555将布线轨道517e连接到全局布线层中的布线轨道522a。

[0052] 图6是根据本披露内容的实施例的表示图5的3D IC的栅极平面的竖直剖面视图。图6中的栅极区域剖面位于图5所示出的器件的源极-漏极平面后方。如所见的, 结构500包括与半导体器件的下部层级相关联的栅极区域557、与中部半导体器件层级相关联的栅极区域567、和与上部器件层级相关联的栅极区域568。这些栅极区域中的每一个是由层级内的互补晶体管共享的公共栅极区域。具体地, 栅极区域557是包围下部层级中的器件的沟道区域505P-C和5095N-C的全环绕栅极(GAA)结构, 并且栅极区域567是包围中部层级中的器件的沟道区域507N-C和507P-C的GAA结构, 如所示出的。栅极区域568是包围上部层级中的器件的沟道区域509P-C和509N-C的全环绕栅极(GAA)结构。沟道511P-C包括GAA结构570, 该结构充当由具有三个堆叠的晶体管的上部层级实施的SRAM电路的传输门。

[0053] 如在图6中所见, 竖直互连559将布线层513的布线轨道513d电连接到栅极区域557, 并且竖直互连561将布线层513的布线轨道513a电连接到栅极区域557。类似地, 竖直互连563将布线层521的布线轨道521电连接到栅极区域567, 且竖直互连565将布线轨道521a电连接到栅极区域567。

[0054] 如以上所指出的, 结构500的每个器件层级包括竖直堆叠的半导体器件, 其中, 这种堆叠沿着衬底表面横向地重复以形成用于实施诸如存储器电路或逻辑电路等功能电路的复杂单元。图5旨在描绘在IC的层级内沿着东西方向横向地布置在彼此后方的FET器件的若干源极-漏极区域。类似地, 图6旨在描绘在IC的层级内沿着东西方向横向地布置在彼此后方的FET器件的若干栅极区域或沟道区域。因此, 图5和6并非穿过IC的单个平面的真正的截面, 而是提供了将在实际的物理器件中占据不同竖直平面的所有源极-漏极区域和栅极区域的代表性视图。本领域的技术人员将理解, 图5中示出的连接到同一SD区域的两个竖直互连可以表示不同的平面中的连接到不同器件的SD区域的竖直互连。类似地, 图6中示出的连接到同一栅极结构的两个竖直互连可以表示不同的平面中的连接到不同器件的栅极结构的两个竖直互连。

[0055] 如以上所指出的, 图5和图6的3D IC的一个示例提供了实施AOI逻辑单元的下部层级、实施XOR逻辑单元的中部层级、以及实施SRAM单元的上部层级。图7和图8提供了图5和图6的IC的下部层级的平面视图, 该下部层级实施由多个堆叠的互补FET器件形成的AOI22逻辑单元, 其中, 这些堆叠的互补FET在下部层级内重复以使得下部层级的IC边界528沿着衬底表面101的方向横向地延伸。具体地, 图7和图8示出了沿器件的西到东方向以此顺序布置的FET互补对A、FET互补对B、FET互补对C、和FET互补对D。Y输出端设置在AOI22逻辑单元的FET B和FET C的公共SD区域处。

[0056] 图7是根据本披露内容的实施例的图5和图6中结构的水平剖面的俯视平面视图。如从图5和图6中的截面线所见, 图7的剖面是穿过竖直互连533、穿过器件的SD区域505N、穿过局部互连531、以及穿过与器件505N相关联的栅极区域来切割的。图8是根据本披露内容的实施例的图5和图6中结构的另一水平剖面的俯视平面视图。如从图5和图6指出的截面所见, 图8中的剖面是穿过布线轨道515a来切割的。本领域的技术人员将理解, G1轨道、G2轨道、G3轨道和G4轨道为AOI单元的互补FET器件A、B、C和D提供栅极输入端。进一步地, SD1轨道和SD5轨道分别为A FET器件和D FET器件提供分立的SD区域, 而SD2轨道至SD4轨道为

A0I22单元的所有FET器件提供共享的SD区域。也就是说,SD2为A FET器件和B FET器件提供共享的SD区域,SD3为B FET器件和C FET器件提供共享的SD区域,SD4为C FET器件和D FET器件提供共享的SD区域。另外,SD3轨道附加地为A0I22单元提供Y输出端。

[0057] 通过对这种布局的理解,可以从图7和图8中看出A0I22单元的轨道SD1包括落在局部互连527上的垂直互连533,如图7中所示出的。该互连533提供从A0I晶体管A的p-FET部分505P向上伸展到M0层中的布线轨道513b的SD接触件,如图8中所示出的。轨道SD1还示出了从局部互连531向下延伸到电力轨503a以向A0I晶体管A的n-FET部分提供VSS电力接触件的垂直互连529,如图7中所示出的。图8中的接触件525表示A0I单元的用于M0层中的布线轨道515a到M1层的短通孔连接。

[0058] 还如从图7和图8所见的,轨道G1包括垂直互连561,该垂直互连向下伸展到栅极区域557从而为A0I晶体管A的n-FET部分和p-FET部分提供公共栅极接触件。该垂直互连561进一步向上伸展到与布线轨道513a接触,从而为A0I器件A提供栅极输入,如图8中所示出的。图7和图8中示出了用于提供A0I22单元的互补FET器件A、B、C、和D之间的电连接的附加的源极-漏极接触件SDC、电力接触件PC、栅极接触件GC和通孔V。

[0059] 本文的示例结构和设计包括两个逻辑层级,其中,四个横向的全环绕栅极器件以堆叠顺序相反的互补对的方式来堆叠(在该非限制性示例中,n在p之上处于p在n之上的下方)。有专用于SRAM的层级/层,其中,三个横向的全环绕栅极器件采取2个在1个之上的布置(示出为两个n型在一个p型之上,但可选地也可以是两个p在一个n之上)。器件共线地堆叠,这实现了单片加工。电力轨实施为设在埋式电力轨(该埋式电力轨设在/位于器件平面下方)中的一个VDD/VSS,并且次级VDD/VSS设在顶部逻辑层级与SRAM层级之间的空间中。

[0060] 各实施例包括嵌入在两个逻辑层级之间的一个或多个布线级。该示例实施例示出了五个布线级,但是这可以根据设计而改变。可以将设计布置为使得中央有源器件区域没有布线障碍。设计包括从中央布线级向下延伸到底部逻辑器件级且向上延伸到顶部逻辑器件级的垂直互连。可以使用周期性深垂直互连来将夹在逻辑层级之间的局部布线与器件堆叠上方的全局布线相连接。

[0061] 因此,本文的技术提供的逻辑和存储器的真正的单片集成是指设计包括通过将所有有源器件叠加在单个列中来实现的在一个连续工艺流程中构建的垂直集成的多层逻辑和存储器。这种真正的列式加工减少了制造成本(因为仅有单个晶圆加工)且提高了密度(在整个集成堆叠中使用自对准通孔和完全对准通孔)。

[0062] 本文中的堆叠的CFET(互补场效应晶体管)具有多级堆叠的互补FET对,每个互补FET对共享公共的晶体管栅极。

[0063] 堆叠取向可以交替(即,n在p之上,然后p在n之上)以提高注入物效率和功函数沉积效率。与为堆叠中的所有器件对保持相同的堆叠顺序(n-p n-p)相比,交替的取向可以提高针对注入物和特定于器件类型的选择性沉积的工艺效率。

[0064] 晶体管和栅极布线可以夹在(位于)器件级之间,以便于在没有MIV(单片层间通孔)的情况下的高效路由。该方面促进了晶体管到晶体管和栅极到栅极的布线。这种布线实现了从两个器件级到布线平面的更高效(即,导线长度短、通孔更浅、低RC)的接入,以改善晶体管到晶体管和栅极到栅极的布线。

[0065] 布线轨道可以包围有源器件区域。对于平行于栅极延伸的导线,导线轨道可以限

制为在源极-漏极区域中延伸。对于垂直于栅极延伸的导线,导线可以延伸越过栅极端盖(即,晶体管栅极的越过有源沟道的延伸部分)。因为通过将布线轨道优化成延伸到有源栅极区域之外,可以在不受断断续续的导线阻碍的一系列刻蚀和沉积工艺中根据单个单片特征来制造对应的器件堆叠,所以该实施例是有益的。

[0066] 具有介于逻辑与SRAM堆叠之间的重复电力轨的“埋式”电力轨有助于整个堆叠中的高效电力输送。埋式电力轨可以位于初始器件级的下方。在器件堆叠下方和逻辑堆叠上方(即,在SRAM堆叠下方)重复电力轨确保了以改善的IR降和EM特性进行电力输送。

[0067] 可以将三晶体管CFET用于逻辑顶部的SRAM(6晶体管SRAM单元的两个堆叠),以实现高效的平面布置图利用。通过提供针对与逻辑堆叠集成的SRAM而优化的晶体管堆叠配置(例如两对n-n-p堆叠),不仅实现了密集的SRAM设计,而且还有助于从下层的逻辑对存储器块进行高带宽、低功率访问。

[0068] 在前面的描述中,已经阐明了具体细节,诸如处理系统的特定几何形状以及对其中使用的各种部件和工艺的描述。然而,应当理解,本文的技术可以在脱离这些具体细节的其他实施例中实践,并且这些细节是出于解释而非限制的目的。已经参考附图描述了本文披露的实施例。类似地,出于解释的目的,已经提出了具体的数字、材料和配置以便提供透彻的理解。然而,可以在没有这些具体细节的情况下实践实施例。具有基本相同的功能结构的部件由相似的附图标记表示,并且因此可以省略任何多余的描述。

[0069] 已经将各种技术描述为多个独立的操作以帮助理解各种实施例。描述的顺序不应当解释为意味着这些操作一定是依赖于顺序的。实际上,这些操作无需按照呈现的顺序执行。可以以与所描述的实施例不同的顺序来执行所描述的操作。在附加实施例中,可以执行各种附加操作和/或可以省略所描述的操作。

[0070] 如本文所使用的,“衬底”或“目标衬底”通常是指根据本发明被处理的对象。衬底可以包括器件(特别是半导体器件或其他电子器件)的任何材料部分或结构,并且可以例如是基础衬底结构(诸如,半导体晶圆、掩膜版)、或基础衬底结构之上或上覆的层(诸如,薄膜)。因此,衬底不限于图案化或未图案化的任何特定基础结构、下层或上覆层,而是设想为包括任何这种层或基础结构、以及层和/或基础结构的任何组合。该描述可以参考特定类型的衬底,但这仅出于说明目的。

[0071] 本领域技术人员还将理解,在仍然实现本发明的相同目的的同时,可以对上述技术的操作做出许多改变。本披露内容的范围旨在包含这些改变。因此,本发明的实施例的前述描述不旨在是限制性的。相反,对本发明实施例的任何限制在所附权利要求中进行了呈现。

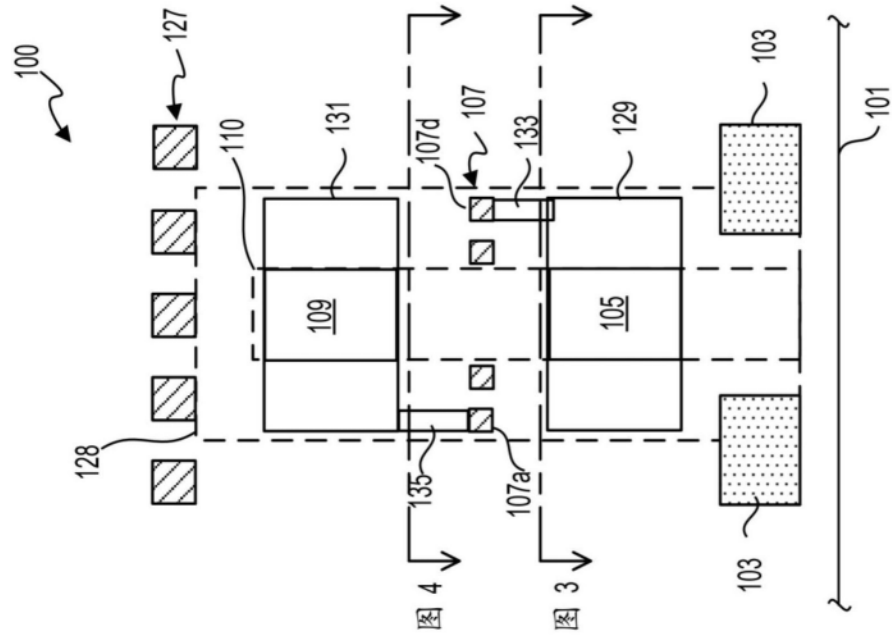


图 2

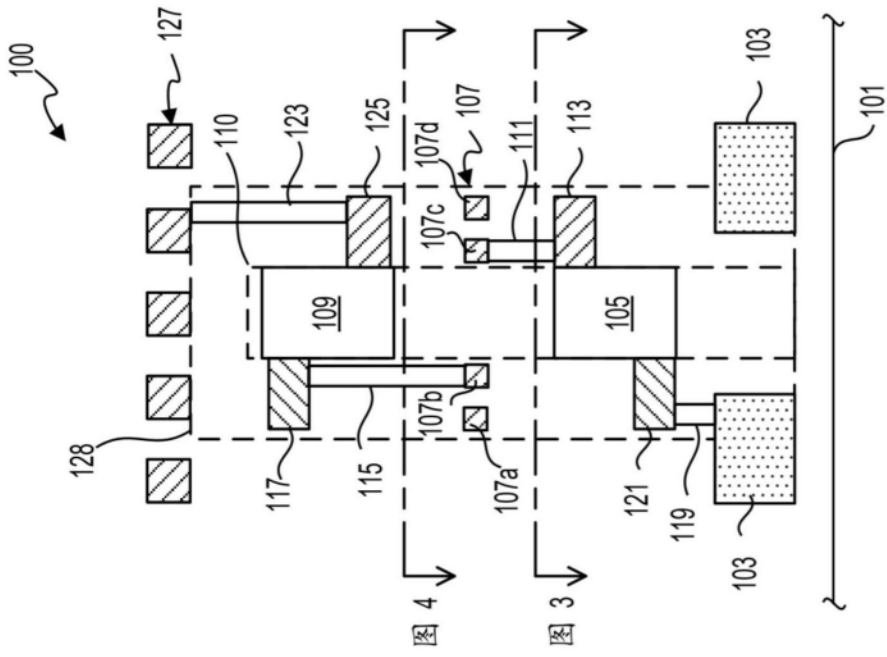
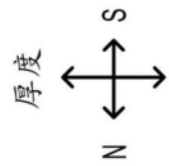


图 1



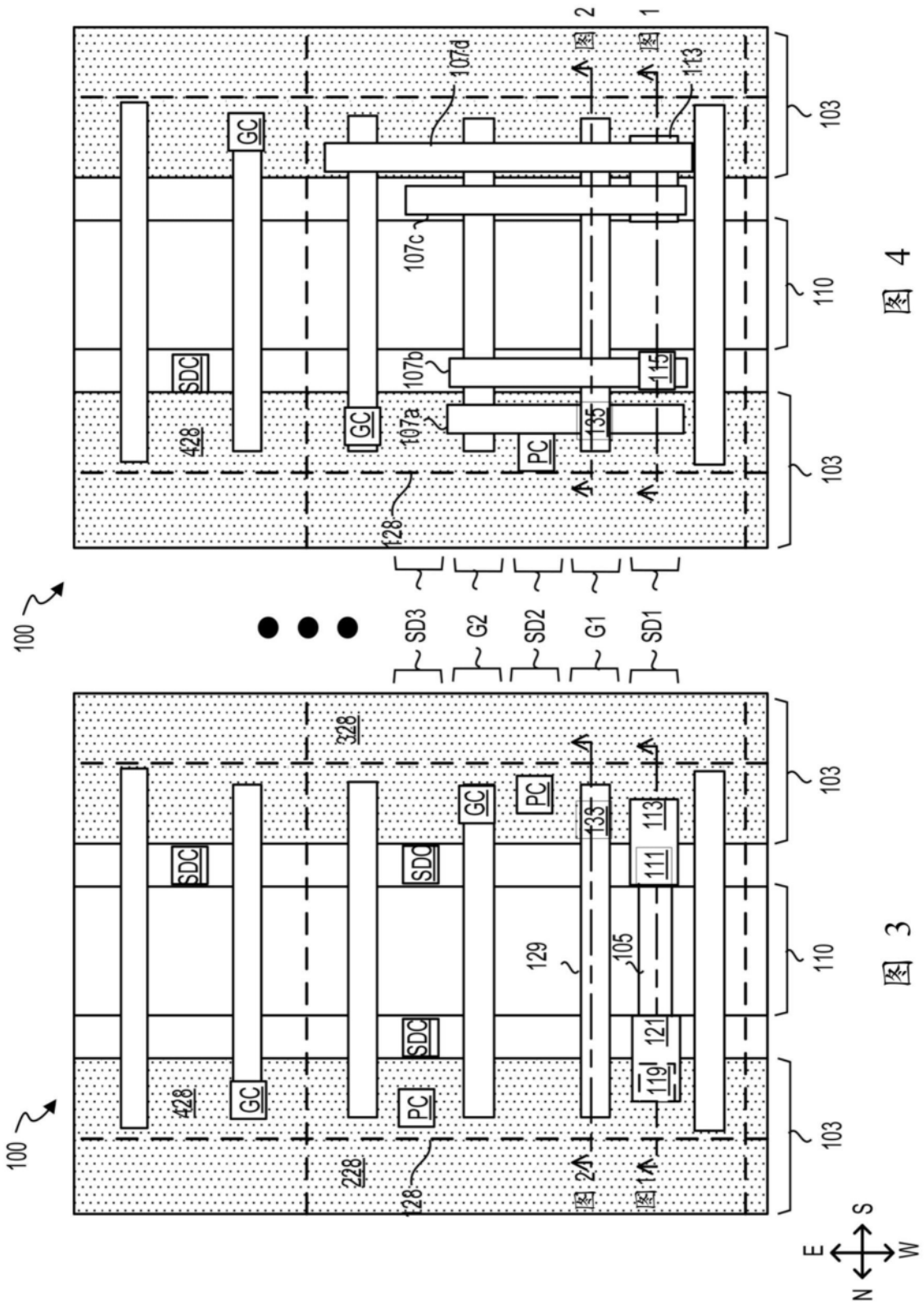


图 4

图 3

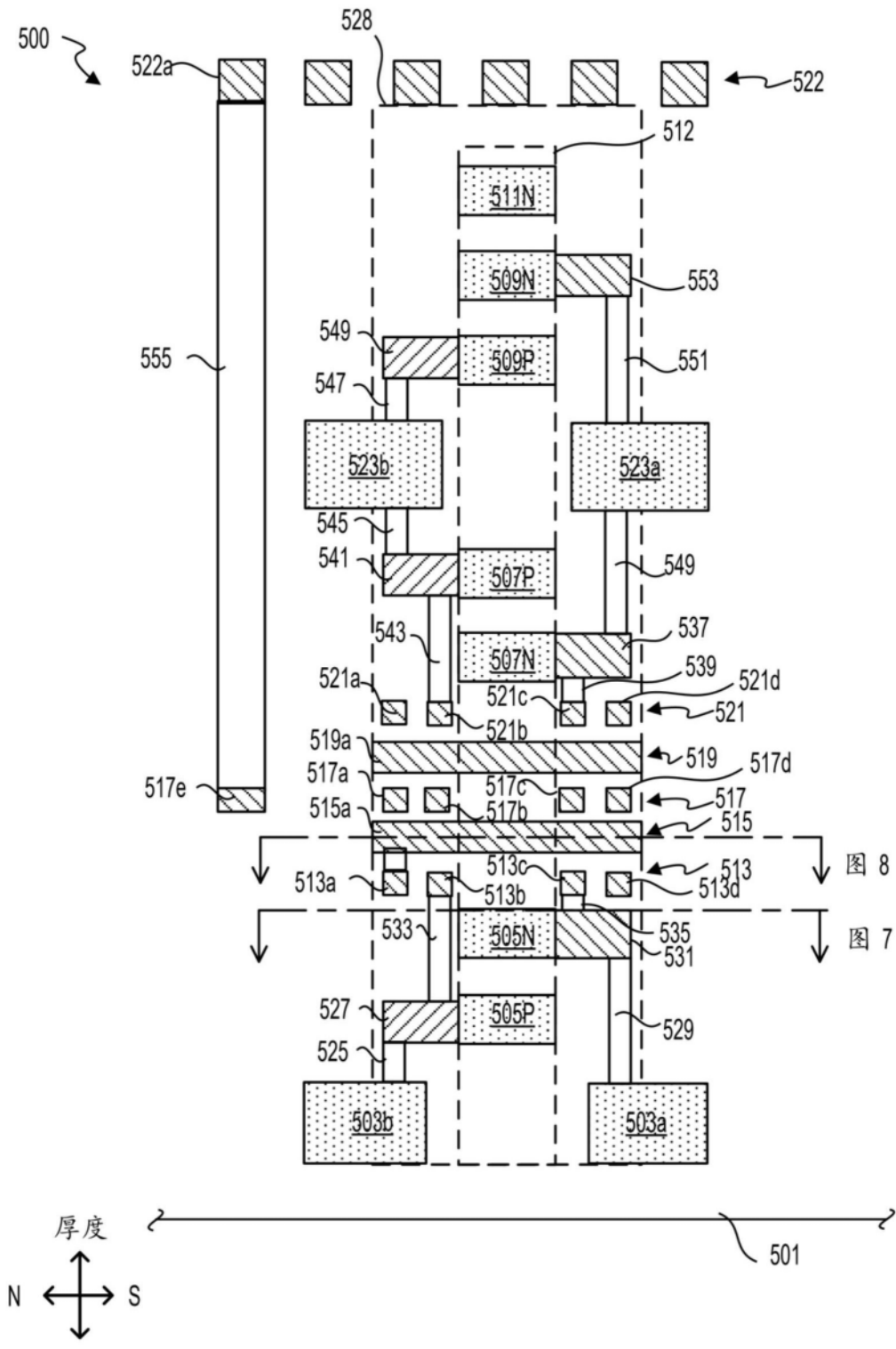


图5

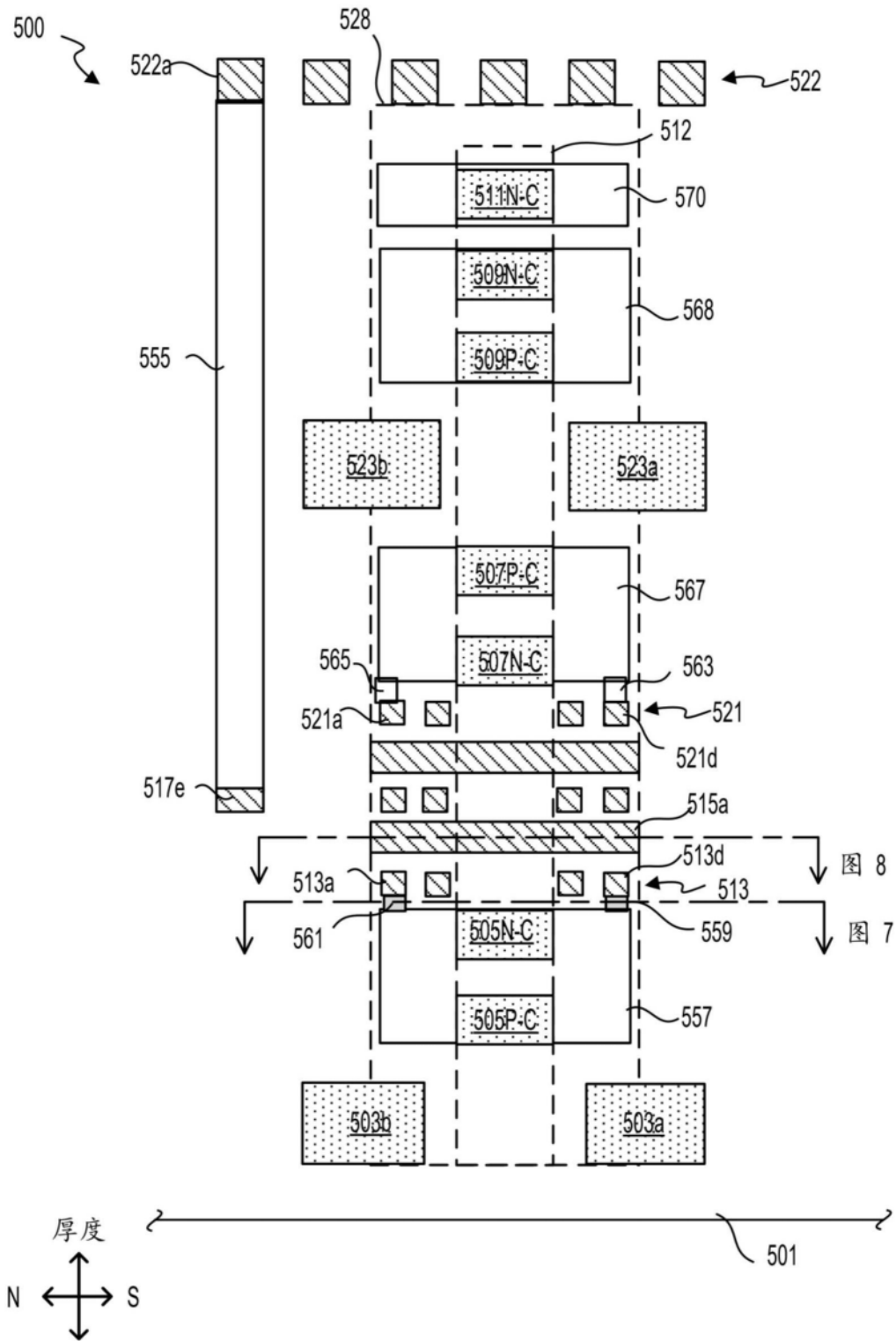


图 8

图 7

图6

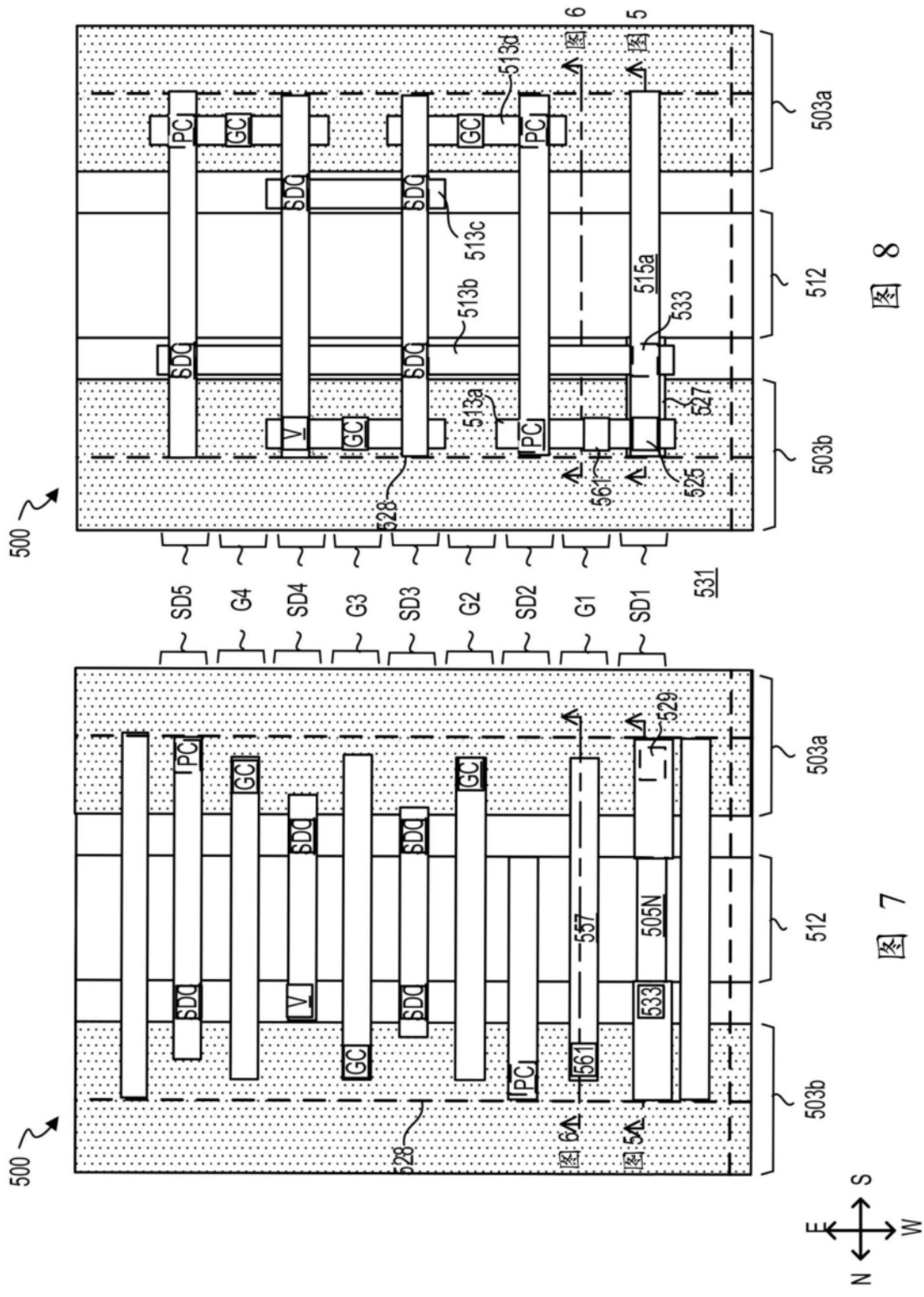


图 8

图 7