



(12) 发明专利

(10) 授权公告号 CN 107153616 B

(45) 授权公告日 2023.09.08

(21) 申请号 201710125176.3

(74) 专利代理机构 北京市柳沈律师事务所

(22) 申请日 2017.03.03

11105

(65) 同一申请的已公布的文献号

专利代理人 邵亚丽

申请公布号 CN 107153616 A

(51) Int.CI.

(43) 申请公布日 2017.09.12

G06F 12/02 (2006.01)

(30) 优先权数据

G06F 13/16 (2006.01)

62/303,343 2016.03.03 US

G11C 11/406 (2006.01)

62/303,347 2016.03.03 US

G11C 16/14 (2006.01)

62/303,349 2016.03.03 US

G11C 29/42 (2006.01)

62/303,352 2016.03.03 US

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(56) 对比文件

(72) 发明人 张牧天 牛迪民 郑宏忠 林璇漠

US 8261136 B2, 2012.09.04

金寅东 崔璋石

US 2008082750 A1, 2008.04.03

CN 103765392 A, 2014.04.30

CN 204332379 U, 2015.05.13

审查员 魏晶瑶

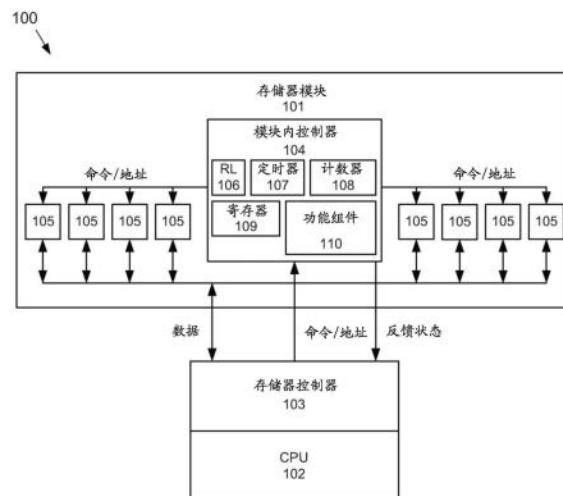
权利要求书3页 说明书18页 附图19页

(54) 发明名称

用于同步DDR兼容存储器的协调的模块内
RAS特征

(57) 摘要

一种存储器模块包括存储器阵列、接口和控制器。存储器阵列包括存储器单元的阵列，并且被配置为双列直插存储器模块(DIMM)。DIMM包括多个连接，这些连接已经从标准DIMM引脚分配配置改用以将存储器设备的操作状态连接到主机设备。接口耦合到存储器阵列和DIMM的多个连接以将存储器阵列通过接口连接到主机设备。控制器耦合到存储器阵列和接口，并且控制存储器阵列的至少一个刷新操作、控制存储器阵列的纠错操作、控制存储器阵列的存储器擦除操作并且控制阵列的损耗均衡控制操作，并且控制器与主机设备连接。



1. 一种存储器模块,包括:

存储器阵列;

接口,所述接口耦合到所述存储器阵列以将所述存储器阵列通过接口连接到主机设备,所述接口包括已从标准双列直插式存储器模块引脚分配配置改用的多个连接,以将所述存储器模块的反馈状态信息通过接口连接到所述主机设备;以及

控制器,所述控制器耦合到所述存储器阵列和所述接口,所述控制器用于控制所述存储器阵列的纠错操作,并且所述控制器用于通过所述接口从所述主机设备接收命令,并且响应于所接收到的命令,控制所述接口通过所述接口向所述主机设备提供与所述纠错操作的结果相关的反馈状态信息,并且用于如果所述纠错操作的结果是失败,向所述主机设备提供指示所述主机设备采取行动的反馈状态信息。

2. 如权利要求1所述的存储器模块,其中,所述控制器还用于控制所述存储器阵列的刷新操作,以及

其中,所述控制器用于在所述存储器阵列的所述刷新操作期间进一步控制所述接口向所述主机设备提供指示正在进行所述刷新操作的反馈状态信息。

3. 如权利要求1所述的存储器模块,其中,所述控制器还用于控制所述存储器阵列的刷新操作,以及

其中,所述控制器用于在所述存储器阵列的所述刷新操作期间进一步控制所述接口向所述主机设备提供反馈状态信息,所述反馈状态信息指示等级标识和组标识是在当前刷新操作下并且当完成所述刷新操作时向所述主机设备指示。

4. 如权利要求1所述的存储器模块,其中,所述控制器还用于控制所述存储器阵列的擦除操作,以及

其中,所述控制器用于进一步控制所述接口向所述主机设备提供指示正在执行所述擦除操作的反馈状态信息。

5. 如权利要求1所述的存储器模块,其中,所述存储器阵列包括多个非易失性存储器单元,

其中,所述控制器还用于控制所述存储器阵列的损耗均衡操作,以及

其中,所述控制器还用于控制所述接口向所述主机设备提供指示正在执行所述损耗均衡操作的反馈状态信息。

6. 如权利要求1所述的存储器模块,其中,所述存储器阵列包括多个非易失性存储器单元,

其中,所述控制器还用于控制所述存储器阵列的损耗均衡操作,以及

其中,所述控制器用于进一步控制所述接口向所述主机设备提供反馈状态信息,所述反馈状态信息指示正在执行所述损耗均衡操作。

7. 一种存储器模块,包括:

存储器阵列,所述存储器阵列包括存储器单元阵列,所述存储器单元阵列包括动态随机存取存储器DRAM和多个非易失性随机存取存储器NVRAM,并且所述存储器阵列被配置为双列直插存储器模块DIMM;以及

控制器,所述控制器耦合到所述存储器阵列,所述控制器用于控制所述存储器阵列的损耗均衡操作,并且所述控制器通过包括已从标准双列直插式存储器模块引脚分配配置改

用的多个连接的接口向主机设备提供反馈状态信息，所述反馈状态信息指示正在执行所述损耗均衡操作并且指示所述主机设备在所述损耗均衡操作期间调度其他操作。

8. 如权利要求7所述的存储器模块，其中，所述控制器还用于控制所述存储器阵列的刷新操作，以及

其中，所述控制器用于向所述主机设备进一步提供正在进行所述刷新操作的反馈状态信息。

9. 如权利要求7所述的存储器模块，其中，所述控制器还用于控制所述存储器阵列的纠错操作，以及

其中，所述控制器用于向所述主机设备进一步提供指示已完成所述纠错操作并且指示所述纠错操作的结果的反馈状态信息。

10. 如权利要求7所述的存储器模块，其中，所述控制器还用于控制所述存储器阵列的擦除操作，以及

其中，所述控制器用于向所述主机设备进一步提供指示正在进行所述擦除操作的反馈状态信息。

11. 如权利要求7所述的存储器模块，其中，所述DIMM包括多个连接，所述多个连接已经从标准DIMM引脚分配配置改用以将所述存储器模块的操作状态通过接口连接到所述主机设备。

12. 一种存储器模块，包括：

存储器阵列，所述存储器阵列包括存储器单元阵列，所述存储器阵列被配置为双列直插式存储器模块DIMM，并且所述DIMM包括已经从标准DIMM引脚分配配置改用的多个连接，以将存储器模块的操作状态通过接口连接到主机设备；

接口，所述接口耦合到所述存储器阵列和所述DIMM的多个连接以将所述存储器阵列通过接口连接到所述主机设备；以及

控制器，所述控制器耦合到所述存储器阵列和所述接口，所述控制器用于控制所述存储器阵列的刷新操作、所述存储器阵列的纠错操作、所述存储器阵列的存储器擦除操作以及所述阵列的损耗均衡操作中的至少一者，所述控制器用于通过所述接口从所述主机设备接收命令，并且响应于所接收到的命令，所述控制器通过所述接口向所述主机设备提供与正由所述控制器控制的操作相关的反馈状态信息。

13. 如权利要求12所述的存储器模块，其中，所述控制器用于控制所述存储器阵列的所述刷新操作，以及

其中，所述控制器用于在所述存储器阵列的所述刷新操作期间进一步控制所述接口向所述主机设备提供正在进行所述刷新操作的反馈状态信息。

14. 如权利要求12所述的存储器模块，其中，所述控制器用于控制所述存储器阵列的所述纠错操作，以及

其中，所述控制器用于进一步控制所述接口向所述主机设备提供指示所述纠错操作的结果的反馈状态信息。

15. 如权利要求14所述的存储器模块，其中，所述控制器还用于控制所述接口用于如果所述纠错操作的结果是失败，向所述主机设备提供指示采取行动的反馈状态信息。

16. 如权利要求12所述的存储器模块，其中，所述控制器用于控制存储器阵列的擦除操

作,以及

其中,所述控制器用于进一步控制所述接口以向所述主机设备提供正在执行所述擦除操作的反馈状态信息。

17. 如权利要求12所述的存储器模块,其中,所述存储器阵列包括多个非易失性存储器单元,

其中,所述控制器用于控制所述存储器阵列的损耗均衡操作,以及

其中,所述控制器用于进一步控制所述接口以向所述主机设备提供正在执行所述损耗均衡操作的反馈状态信息。

18. 一种存储器模块,包括:

包括多个非易失性存储器单元的存储器阵列;

接口,所述接口耦合到所述存储器阵列以将所述存储器阵列通过接口连接到主机设备,所述接口包括已从标准双列直插式存储器模块引脚分配配置改用的多个连接,以将所述存储器模块的反馈状态信息通过接口连接到所述主机设备;以及

控制器,所述控制器耦合到所述存储器阵列和所述接口,所述控制器用于控制所述存储器阵列的损耗均衡操作,并且所述控制器通过所述接口从所述主机设备接收命令,并且响应于所接收到的命令,控制所述接口通过所述接口向所述主机设备提供反馈状态信息,所述反馈状态信息指示正在执行所述损耗均衡操作并且指示所述主机设备在所述损耗均衡操作期间调度其他操作。

用于同步DDR兼容存储器的协调的模块内RAS特征

[0001] 相关专利申请的交叉引用

[0002] 本专利申请要求于2016年3月3日提交的美国临时专利申请No.62/303,352以及于2016年6月8日提交的美国临时专利申请No.62/347,569的优先权权益,两者的公开内容通过引用整体并入本文。另外,本专利申请涉及于_2016年6月6日_提交的美国专利申请序列号(代理人案卷号No.WB-201603-005),于_2016年5月31日_提交的美国专利申请序列号(代理人案号No.WB-201603-006)以及于_2016年8月10日_提交的美国专利申请序列号(代理人案卷号No.WB-201603-007),每个的公开内容通过引用并入本文。

技术领域

[0003] 本公开涉及存储装置。更具体地,本公开涉及包括存储模块的存储装置,该存储模块支持和/或管理模块内刷新特征、模块内ECC功能、模块内擦除和/或模块内损耗均衡管理。

背景技术

[0004] 传统上由中央处理单元(CPU)和/或存储器控制器(MC)在系统级执行和/或管理存储器的可靠性、可用性和可服务性(RAS)特征。在一些配置中,CPU和MC是主机系统的单独组件。在其他配置中,CPU和MC是集成的。如本文所使用的,首字母缩写CPU/MC意味着CPU和/或MC。例如,CPU/MC传统上向系统存储器的动态随机存取存储器(DRAM)发送刷新命令以启动DRAM的刷新。使用纠错码(ECC)的纠错传统上也由读取各个存储器位置的CPU/MC执行,使用ECC校正数据并重写数据。传统上由CPU/MC执行的另一RAS特征是“擦除(scrubbing)”系统存储器,其中CPU/MC周期性地读取系统存储器的区域,纠错(使用ECC)并将校正的数据写回系统存储器的区域。传统上由CPU/MC执行的另一个RAS特征是损耗均衡管理,其中CPU/MC使用例如写计数表和重映射表重映射非易失性存储器的存储器页,以使用读和写命令交换存储器页来平衡非易失性存储器中的损耗。

发明内容

[0005] 实施例提供了一种存储器模块,所述存储器模块可以包括:存储器阵列;耦合到所述存储器阵列以将所述存储器阵列连接到主机设备的接口,其中所述接口可以包括已从标准双列直插式存储器模块引脚分配配置(standard dual in-line memory module pin out configuration)改用的多个连接,以将所述存储器设备的反馈状态信息连接到所述主机设备;以及耦合到所述存储器阵列和所述接口的控制器,其中所述控制器可以用于控制所述存储器阵列的刷新操作,控制所述存储器阵列的纠错操作,控制所述存储器阵列的存储器擦除操作,以及控制所述阵列的损耗均衡控制操作中的至少一个,并且所述控制器可以用于通过所述接口从所述主机设备接收命令,并且当接收到所述命令时,响应于接收到的命令,通过与由所述控制器控制的操作相关的接口向所述主机设备提供所述反馈状态信息。

[0006] 另一实施例提供一种存储器模块,所述存储器模块可以包括:包括存储器单元阵列的存储器阵列,其中存储器单元阵列可以包括动态随机存取存储器(DRAM)和非易失性随机存取存储器(NVRAM),并且存储器阵列可以被配置为双列直插式存储器模块(DIMM);以及耦合到所述存储器阵列的控制器,所述控制器可以用于控制所述存储器阵列的刷新操作、所述存储器阵列的纠错操作、所述存储器阵列的存储器擦除操作以及所述阵列的损耗均衡控制操作的至少一种,并且所述控制器可以通过接口向主机设备提供与由所述控制器控制的操作有关的状态信息,所述接口包括已从标准双列直插式存储器模块引脚分配配置改用的多个连接。

[0007] 实施例提供了一种存储器模块,所述存储器模块可以包括:包括存储器单元阵列的存储器阵列,其中所述存储器阵列可以被配置为双列直插式存储器模块(DIMM),并且所述DIMM可以包括已经从标准DIMM引脚分配配置改用的多个连接,以将所述存储器设备的操作状态连接到主机设备;接口,被耦合到所述存储器阵列和所述DIMM的多个连接以将所述存储器阵列连接到所述主机设备;以及耦合到所述存储器阵列和所述接口的控制器,所述控制器可以控制存储器阵列的刷新操作、存储器阵列的纠错操作、存储器阵列的存储器擦除操作以及阵列的损耗均衡控制操作的至少一种,并且可以向所述主机设备提供与所述损耗均衡控制操作相关的反馈控制信息。

附图说明

[0008] 在下面的部分中,将参考附图中所示的示例性实施例来描述本文所公开的主题的各方面,其中:

[0009] 图1描绘了包括根据本文公开的主题的存储器模块的示例实施例的系统的功能框图;

[0010] 图2描绘了根据本文公开的主题的存储器信道中的存储器模块连接器的示例实施例的引脚分配,其中所选择的引脚已被重新用于传送RAS反馈状态信息;

[0011] 图3A描绘了根据本文所公开的主题,当存储器模块执行模块内刷新操作时,在存储器控制器和存储器模块之间提供操作协调的信号序列的示例实施例;

[0012] 图3B描绘了根据本文所公开的主题,当存储器模块执行模块内刷新特征时,在存储器控制器和存储器模块之间提供操作协调的信号序列的另一示例实施例;

[0013] 图4A描绘了根据本文公开的主题,当存储器模块执行模块内ECC操作时,在存储器控制器和存储器模块之间提供操作协调的信号序列的示例实施例;

[0014] 图4B描绘了根据本文公开的主题,当存储器模块执行模块内ECC操作并且其中发生纠错故障时,在存储器控制器和存储器模块之间提供操作协调的信号序列的示例实施例;

[0015] 图5A描绘了根据本文所公开的主题,当存储器模块执行模块内擦除操作时,在存储器控制器和存储器模块之间提供操作协调的信号序列的示例实施例;

[0016] 图5B描绘了根据本文所公开的主题,当存储器模块执行模块内擦除操作时,在存储器控制器和存储器模块之间提供操作协调的信号序列的另一示例实施例;

[0017] 图5C描绘了根据本文所公开的主题,当存储器模块执行模块内擦除操作时,在存储器控制器和存储器模块之间提供操作协调的信号序列的又一示例实施例;

- [0018] 图6A描绘了根据本文所公开的主题,当存储器模块执行模块内损耗均衡控制操作时,在存储器控制器和存储器模块之间提供操作协调的信号序列的示例实施例;
- [0019] 图6B描绘了根据本文所公开的主题,当存储器模块执行模块内擦除操作时,在存储器控制器和存储器模块之间提供操作协调的信号序列的另一示例实施例;
- [0020] 图7描绘了根据本文所公开的主题的在CPU/MC以及其中RAS反馈状态消息经由DQ(数据)总线传送的存储器模块之间的接口的示例实施例;
- [0021] 图8描绘了根据本文公开的主题的经由DQ总线传送RAS反馈状态消息的方法的流程图
- [0022] 图9描绘了根据本文所公开的主题的使用MRS命令来配置存储器模块以读取RAS反馈状态消息的方法的流程图;
- [0023] 图10描绘了根据本文所公开的主题的当使用DQ总线来传送反馈状态信息时的RAS反馈状态消息的示例布置;
- [0024] 图11描绘了根据本文所公开的主题的用作D_RDY信号的ALERT_n引脚的信号图的实例;
- [0025] 图12描绘了根据本文所公开的主题的存储器信道中的存储器模块连接器的另一示例实施例的引脚分配,其中所选择的引脚已被重新用于传达与D_RDY信号相关联的状态信息,例如但不限于缓存信息;
- [0026] 图13描绘了根据本文公开的主题的用于交易突发(TB)命令的信号流;
- [0027] 图14描绘了根据本文所公开的主题的交易状态(TS)消息的信号流;
- [0028] 图15描绘了根据本文公开的主题的读取状态(RS)返回消息的示例性布置;
- [0029] 图16描绘了根据本文公开的实施例的包括存储器模块并提供与主机设备的操作协调的电子设备,该存储器模块支持和/或管理模块内刷新特征、模块内ECC功能、模块内擦除和/或模块内损耗均衡管理;以及
- [0030] 图17描绘了根据本文公开的实施例的可以包括存储器模块并提供与主机设备的操作协调的存储器系统,该存储器模块支持和/或管理模块内刷新特征、模块内ECC功能、模块内擦除和/或模块内损耗均衡管理。

具体实施方式

- [0031] 本文公开的主题涉及支持和/或管理模块内刷新特征、模块内ECC功能、模块内擦除和/或模块内损耗均衡管理的存储器模块,并且提供与主机设备的操作协调。
- [0032] 在以下详细描述中,阐述了许多具体细节以便提供对本公开的透彻理解。然而,本领域技术人员将理解,可以在没有这些具体细节的情况下实践所公开的方面。在其它情况下,没有详细描述公知的方法、过程、组件和电路,以免模糊本文所公开的主题。
- [0033] 贯穿本说明书对“一个实施例”或“实施例”的引用意味着结合实施例描述的特定特征、结构或特性包括在本文公开的至少一个实施例中。因此,在整个说明书中的各个地方出现的短语“在一个实施例中”或“在实施例中”或“根据一个实施例”(或其它具有类似含义的短语)不一定都指代相同的实施例。如本文所使用的,词语“示例性”意味着“用作示例、实例或说明”。这里描述为“示例性”的任何实施例不应被解释为必然比其它实施例更优选或有利。此外,某些特征、结构或特性可以任何适合的方式结合到一个或多个实施例中。此外,

根据本文中讨论的上下文,单数术语可以包括相应的复数形式,复数术语可以包括相应的单数形式。还应注意,本文中所示并讨论的各种图(包括组件图)仅用于说明目的,且不按比例绘制。类似地,仅出于说明目的而示出各种波形和时序图。

[0034] 如本文所使用的术语“第一”、“第二”等用作它们之前的名词的标签,并且不暗示任何类型的排序(例如,空间、时间、逻辑等),除非这样明确定义。此外,可以在两个或更多个附图中使用相同的附图标记来指代具有相同或相似功能的零件、组件、方框、电路、单元或模块。然而,这种使用仅是为了说明的简单和容易讨论;但是并不意味着这些部件或单元的构造或结构细节在所有实施例中是相同的,或者这样的共同参考的部件/模块是实现本文公开的特定实施例的教导的唯一方式。

[0035] 如本文所使用的,术语“模块”是指可以单独地或共同地实施为较大系统的一部分的电路,例如但不限于集成电路(IC)、包括实施为一个或多个集成电路的电路的组件、片上系统(SoC)等。如本文所使用的,术语和首字母缩略词“中央处理单元”、“CPU”、“存储器控制器”、“MC”和“CPU/MC”是指提供CPU和/或MC的主机系统功能的一个或多个设备。还应当理解,根据上下文,术语和首字母缩略词“中央处理单元”、“CPU”、“存储器控制器”、“MC”和“CPU/MC”可以根据上下文互换。

[0036] 本文公开的主题涉及支持和/或管理模块内刷新特征、模块内ECC功能、模块内擦除和/或模块内损耗均衡管理的存储器模块,并且提供与主机设备的操作协调。在一个实施例中,如本文所公开的存储器模块提供存储器模块和CPU/MC之间的协调以使用模块内RAS特征维持和/或增强系统存储器的性能、功耗、系统运行状况和可靠性。在一个实施例中,提供模块内RAS特征的存储器模块可以实施为双列直插存储器模块(DIMM)。在一个实施例中,根据本文所公开的主题的存储器模块提供在初始化时可选择地配置的协调选项,并且提供报告机制的内容,这是可选择的并且可以由主机CPU/MC使用以例如优化系统性能和/或系统功耗。

[0037] 图1描绘了包括根据本文所公开的主题的存储器模块101的示例实施例的系统100的功能框图。除了存储器模块101之外,系统100包括主机系统CPU 102。系统CPU 102可以包括与CPU 101集成的存储器控制器103。或者,存储器控制器103可以与CPU 102分离。

[0038] 存储器模块101可以实施为与同步双倍数据速率(DDR)兼容的非易失性双列直插存储器模块(NVDIMM)。在一实施例中,存储器模块101可以实施为与同步DDR4兼容的NVDIMM。在另一个替代实施例中,存储器模块101可以实施为与DIMM不同的配置。

[0039] 存储器模块101和CPU 102/MC 103在操作上通过接口通信耦合,CPU 102/MC 103通过该接口向存储器模块101发送命令和地址(Cmd/Addr)和数据,并且存储器模块101将数据和RAS反馈状态信息(或消息)发送到CPU 102/MC 103。RAS反馈状态信息可以用于使由存储器模块101提供的RAS特征与CPU 102/MC 103的操作协调。

[0040] 存储器模块101包括模块内控制器104和多个存储器芯片105,存储器芯片105在一个实施例中可被配置为非易失性存储器芯片。在一个实施例中,每个存储器芯片105可以被配置为包括非易失性存储器单元的阵列。在替代实施例中,存储器芯片105可以被配置为DRAM存储器芯片,其中每个存储器芯片105可以被配置为包括DRAM存储器单元的阵列。在又一替代实施例中,存储器芯片105可以被配置为一个或多个非易失性存储器单元阵列(诸如非易失性随机存取存储器(NVRAM)和一个或多个DRAM存储器单元阵列的组合。在又一替代

实施例中,存储器芯片105中的一个或多个可以被配置为包括一个或多个动态随机存取存储器现场可编程门阵列(DRAM-FPGA)。

[0041] 模块内控制器104接收并处理来自CPU 102/MC 103的命令和地址信息,并将命令和地址信息传送到多个存储器芯片105。数据在CPU 102/MC 103和多个存储器芯片105之间双向通信。在一个实施例中,数据路径可以通过模块内控制器104,在另一个实施例中,数据可以通过不包括模块内控制器104的路径。

[0042] 模块内控制器104可以被配置为提供一个或多个模块内RAS特征,例如模块内刷新特征、模块内ECC特征、模块内擦除特征和/或模块内损耗均衡特征。模块内控制器104可以包括:刷新逻辑(RL)106;一个或多个定时器107;一个或多个计数器108;一个或多个寄存器109和/或其他功能组件110,例如但不限于使得模块内控制器104能够提供一个或多个模块内RAS特征的表格、驱动器、存储器阵列和逻辑。在一个实施例中,模块内控制器104可以被配置为向协调存储器模块101和CPU 102/MC 103的操作的CPU 102/MC 103提供与模块内RAS特征相关的RAS反馈状态信息。在另一个实施例中,存储器模块可以被配置为通过数据路径提供RAS反馈状态信息,如结合图7-10所描述的。

[0043] 在存储器模块101被配置为NVDIMM的实施例中,存储器模块101可以包括连接器上的引脚(或连接),其已被改用以传达与由存储器模块101提供的模块内RAS特征相关的RAS反馈状态信息。例如,在一个实施例中,存储器模块连接器的五(5)个引脚可被重新用于传达RAS反馈状态信息。在另一个实施例中,存储器模块连接器的八(8)个引脚可以被改用以传送RAS反馈状态信息。在又一个实施例中,改用的连接器引脚的数量可以不同于根据本文公开的主题的存储器模块连接器的示例性五或八个引脚。如本文所使用的,术语“重新用于”和“改用”意味着连接器引脚的功能和信号方向已经从针对该引脚的先前建立的功能和信号方向改变。

[0044] 图2描绘了根据本文公开的主题的存储器信道200中的存储器模块连接器的示例实施例的引脚分配,其中所选择的引脚已被重新用于传送RAS反馈状态信息。更具体地,图2描绘了通信信道200的两个存储器模块201和202的示例实施例的引脚分配,其中存储器模块201和202的存储器模块连接器的五(5)个引脚已被改用以将RAS反馈状态信息传送到存储器控制器203。尽管图2描绘了存储器控制器203,但是应当理解,存储器控制器203可以由具有集成存储器控制器的CPU和/或CPU来代替。

[0045] 如图2中的虚线所示,五个示例连接器插脚ODT[1]、CKE[1]、CS_n[1]、CK_N[1]和CK_P[1]已被改用以将RAS反馈状态信息传送到存储器控制器203。在其中八个连接器引脚已被改用以将RAS反馈状态信息传送到存储器控制器的实施例中,示例的连接器引脚可以包括ODT[1]、CKE[1]、CS_n[1]、CK_N[1]、CK_P[1]、RFU[144](未示出)、RFU[205](未示出)和RUF[207](未示出)。应当理解,根据本文所公开的主题,存储器模块的其它连接器引脚可被改用以将RAS反馈状态信息传送到存储器控制器。关于改用的连接器引脚的附加细节在2016年3月3日提交的美国临时专利申请序列号62/303,349中提供,其公开内容通过引用整体并入本文。

[0046] 传送RAS反馈状态信息的周期数可以由特定存储器模块确定,和/或可以在存储器模块初始化时由CPU/MC选择性地配置。所传送的RAS反馈状态信息的具体配置可以根据传送RAS反馈状态信息的周期数而变化。例如,如果改用五个(5)连接器引脚,例如如图2所示,

在一个实施例中,RAS反馈状态信息可以在三(3)个周期上传送。在这种情况下,RAS反馈状态信息可以包括15比特的信息。作为改用八(8)个连接器引脚的另一示例,RAS反馈状态信息可以包括16比特的信息并且使用两(2)个周期来传送RAS反馈状态信息。应当理解,传送RAS反馈状态信息的周期数和/或比特数不限于本文公开的示例。

[0047] RAS反馈状态信息可以用于通过向CPU/MC通知无效访问来协调存储器模块和CPU/MC之间的操作,和/或可以用于报告所记录的统计。另外,RAS反馈状态信息可以包含与原因、地址和提示的类别相关的信息,如下面结合表2和4-7更详细地描述的。

[0048] 表1列出了已改用五个连接器引脚的示例性实施例的一些信息以及已改用八个连接器引脚的示例性实施例的对比信息。在先前提及的于2016年3月3日提交的美国临时专利申请序列号62/303,349中提供了关于改用的连接器引脚的附加细节,其公开内容通过引用整体并入本文。

[0049] 表1-连接器引脚再利用的两个示例实施例。

[0050]	引脚总数	5	8
--------	------	---	---

[0051]	可用于反馈状态信息		
	用于反馈状态信息的改用引脚	ODT[1], CKE[1], CS_n[1], CK_N[1]和CK_P[1]	ODT[1], CKE[1], CS_n[1], CK_N[1], CK_P[1], RFU[144], RFU[205]和RFU[207]
	速度	单数据速率	单数据速率
	反馈延迟	3个周期	2个周期
	引脚改用用于列地址	[CS2_n, C0] → [CS1_n, C0] [CS3_n, C1] → [CS2_n, C1] C2 → [CS3_n, C2]	[CS3_n, C1] → [CS1_n, C1] C2 → [CS3_n, C2]
	局限性	无 DDP 支持 4列/信道 最大8个逻辑 R/C 支持: 1列×1-4堆栈 1-4列×1堆栈	无 DDP 支持 4列/信道 最大8个逻辑 R/C 支持: 1列×1-4堆栈 1-4列×1堆栈
	注释	最多可以有 JEDEC 3D 堆栈组织的变化的8个 R/C	最多可以有 JEDEC 3D 堆栈组织的变化的8个 R/C

[0052] 图3A描绘了根据本文所公开的主题,当存储器模块执行模块内刷新操作时,在存储器控制器和存储器模块之间提供操作协调的信号序列300的示例实施例。图3B描绘了根据本文所公开的主题,当存储器模块执行模块内刷新特征时,在存储器控制器和存储器模块之间提供操作协调的信号序列310的另一示例实施例。

[0053] 在一个实施例中,图3A和3B的相应信号序列可在存储器模块的初始化时选择。在图3A的信号序列中,模块内刷新操作对于存储器控制器是透明的,因为存储器模块忽略了启动命令以便完成刷新操作。从存储器控制器的角度来看,完成启动命令需要较长的时间,并且存储器控制器发出读取或写入命令。在图3B的信号序列中,模块内刷新操作通过提供指示刷新操作正在进行的反馈状态消息来响应从存储器控制器接收的启动命令。作为响应,存储器控制器可以在等待启动命令完成时调度其他请求和/或操作和/或上下文切换。

在一个实施例中，存储器控制器发送设置命令，该命令选择性地将模块内控制器置于模式中，其中信号序列300或者信号序列310被选择用于在模块内刷新操作期间响应启动命令。在一个实施例中，与模块内刷新操作相关的反馈状态消息的具体内容在存储器模块的初始化时是可选的。

[0054] 在图3A中，顶部部分描绘了从存储器控制器(MC)发送到存储器模块(MM)的信号或消息，而底部部分描绘了从存储器模块发送到存储器控制器的信号或消息。在图3A中的301处，指示了存储器模块正在执行模块内刷新操作。在302，存储器控制器向存储器模块发送启动ACT命令。当存储器模块执行模块内刷新操作时，忽略启动命令，并且不中断刷新操作。在303，存储器模块完成模块内刷新操作。在304，存储器模块发送存储器模块准备用于读取RD命令的RAS反馈状态消息。在305，存储器控制器向存储器模块发送读取命令。在306，存储器模块通过输出与接收到的读取命令相对应的数据来进行响应。

[0055] 在图3B中，顶部部分描绘了从存储器控制器发送到存储器模块的信号或消息，而底部部分描绘了从存储器模块发送到存储器控制器的信号或消息。在图3B中的311处，存储器模块正在执行模块内刷新操作。在312，存储器控制器向存储器模块发送启动ACT命令。在313，存储器模块发送RAS反馈状态消息，所述RAS反馈状态消息指示存储器模块正在执行刷新操作并且用于存储器控制器在刷新操作完成之后进行重试。存储器控制器可以在刷新操作完成时调度其他请求和/或操作和/或上下文切换，以便协调与存储器模块的操作。RAS反馈状态消息可以包括与正在经历刷新操作的存储器的列/体的标识有关的信息。在314，存储器模块完成模块内刷新操作。在315，存储器模块发送完成刷新操作的RAS反馈状态消息。RAS反馈状态消息可以包括已经完成刷新操作的存储器的列/体的标识。在316，存储器控制器向存储器模块发送启动ACT命令。在317，存储器模块发送存储器模块准备好用于读取命令的RAS反馈状态消息。在318，存储器控制器向存储器模块发送读取RD命令。在319，存储器模块通过输出与接收到的读取命令相对应的数据来进行响应。

[0056] 图4A描绘了根据本文所公开的主题，当存储器模块执行模块内ECC操作时，在存储器控制器和存储器模块之间提供操作协调的信号序列400的示例实施例。图4B描绘了根据本文公开的主题，当存储器模块执行模块内ECC操作并且其中发生纠错故障时，在存储器控制器和存储器模块之间提供操作协调的信号序列410的示例实施例。

[0057] 在图4A的信号序列中，模块内纠错操作由存储器模块执行。在图4B的信号序列中，通过存储器模块再次执行模块内纠错操作，但是在该特定信号序列中，发生纠错故障，并且反馈状态消息指示已经检测到错误，但未校正。在一个实施例中，与模块内纠错操作相关的反馈状态消息的具体内容在存储器模块的初始化时是可选的。

[0058] 在图4A中，顶部部分描绘了从存储器控制器发送到存储器模块的信号或消息，而底部部分描绘了从存储器模块发送到存储器控制器的信号或消息。在图4A中的401处，存储器控制器向存储器模块发送启动ACT命令。在402，存储器模块通过发送指示已执行ECC操作并且准备好用于读取RD命令的RAS反馈状态消息来进行响应。RAS反馈状态消息可以包括其中纠正了错误的存储器位置的地址信息。存储器控制器可以记录纠错事件。在403，存储器控制器发送读取命令。在404，存储器模块输出对应于读取命令的数据。在该信号序列中，CPU/MC以正常方式发出读取和写入命令，而ECC由存储器模块执行。

[0059] 在图4B中，顶部部分描绘了从存储器控制器发送到存储器模块的信号或消息，而

底部部分描绘了从存储器模块发送到存储器控制器的信号或消息。在图4B中的411处，存储器控制器向存储器模块发送启动ACT命令。在412，存储器模块通过发送指示ECC操作故障并且未纠错的RAS反馈状态消息来进行响应。另外，RAS反馈状态消息可以包括标识其中发生错误并且未被纠正的位置的地址信息。在413，存储器控制器（或CPU）可以记录错误和/或采取适当的动作。在该信号序列中，CPU/MC以正常方式发出读取和写入命令，而ECC由存储器模块执行。内存模块尝试（memory module attempts）未能更正错误，但指示已检测到错误和检测到的错误的地址，以及指示CPU/MC可以采取适当的操作。

[0060] 图5A描绘了根据本文所公开的主题，当存储器模块执行模块内擦除操作时，在存储器控制器和存储器模块之间提供操作协调的信号序列500的示例实施例。图5B描绘了根据本文所公开的主题，当存储器模块执行模块内擦除操作时，在存储器控制器和存储器模块之间提供操作协调的信号序列510的另一示例实施例。图5C描绘了根据本文所公开的主题，当存储器模块执行模块内擦除操作时，在存储器控制器和存储器模块之间提供操作协调的信号序列520的又一示例实施例。

[0061] 在一个实施例中，图5A-5C的相应信号序列可在存储器模块的初始化时选择。在图5A的信号序列中，所示的模块内擦除操作是基本操作，其中存储器模块提供指示擦除操作正在进行以及当完成擦除操作时的反馈状态消息。在图5B的信号序列中，模块内擦除操作包括指示擦除操作正在进行的反馈状态消息。擦除操作可以通过正常访问中断。在擦除操作被中断的位置处恢复擦除操作，并且发送指示正在执行擦除操作的RAS反馈状态消息。在图5C的信号序列中，模块内擦除操作具有高于正常访问的优先级。响应于指示擦除操作正在进行的反馈状态消息，存储器控制器可以在等待启动命令完成时调度其他请求和/或操作和/或上下文切换。在一个实施例中，与模块内损耗均衡控制操作相关的反馈状态消息的具体内容在存储器模块的初始化时也是可选的。

[0062] 在图5A中，顶部部分描绘了从存储器控制器发送到存储器模块的信号或消息，而底部部分描绘了从存储器模块发送到存储器控制器的信号或消息。在图5A中的501处，存储器模块向存储器控制器发送指示正在执行擦除操作的RAS反馈消息。在擦除操作期间，存储器模块周期性地从存储器区域读取数据，使用ECC校正任何错误，并将校正的数据重写到存储器区域。对于信号序列的该实施例，擦除操作具有优先级，并且当正在执行擦除操作时，存储器控制器可以记录擦除事件。存储器控制器可以在擦除操作期间调度其他请求和/或操作和/或上下文切换。在502，存储器模块向存储器控制器发送完成擦除操作的RAS反馈消息。如果RAS反馈消息指示完成擦除操作并且还指示检测到一个或多个错误（以及它们各自的地址）但未校正，则存储器控制器可以采取适当的动作。

[0063] 在图5B中，顶部部分描绘了从存储器控制器发送到存储器模块的信号或消息，而底部部分描绘了从存储器模块发送到存储器控制器的信号或消息。在图5B中的511处，存储器模块向存储器控制器发送指示正在执行擦除操作的RAS反馈消息。在512，存储器控制器向中断擦除操作的存储器模块发送启动命令。在513，存储器模块发送存储器模块准备用于读取RD命令的RAS反馈状态消息。在514，存储器控制器向存储器模块发送读取命令。在515，存储器模块通过输出与接收到的读取命令相对应的数据来进行响应。在516，存储器模块在擦除操作被中断的位置处恢复擦除操作，并且向存储器控制器发送指示正在执行擦除操作的RAS反馈状态消息。存储器控制器可以再次中断擦除操作，如512和513处所示。在517，存

储器模块向存储器控制器发送完成擦除操作的RAS反馈消息。如果RAS反馈消息指示完成擦除操作并且还指示检测到一个或多个错误(以及它们各自的地址)但未校正,则存储器控制器可以采取适当的动作。

[0064] 在图5C中,顶部部分描绘了从存储器控制器发送到存储器模块的信号或消息,而底部部分描绘了从存储器模块发送到存储器控制器的信号或消息。在图5C中的521处,存储器模块向存储器控制器发送指示正在执行擦除操作的RAS反馈消息。对于信号序列的该实施例,当正在执行擦除操作时,擦除操作具有优先级。存储器控制器可以记录擦除事件,并且可以调度其他请求和/或操作和/或上下文切换。在522,存储器控制器向存储器模块发送启动命令。在523,存储器模块向存储器控制器发送指示正在执行擦除操作的RAS反馈状态消息。RAS反馈状态消息可以包括指示在完成擦除操作之前的时间长度(延迟)的信息。存储器控制器可基于所指示的延迟而等待或可进行上下文切换。在524,存储器模块向存储器控制器发送完成擦除操作的RAS反馈消息。如果RAS反馈状态消息指示完成擦除操作并且还指示检测到一个或多个错误(以及它们各自的地址)但未校正,则存储器控制器可以采取适当的动作。在525,存储器控制器向存储器模块发送启动命令。在526,存储器模块发送存储器模块准备好用于读取命令的RAS反馈状态消息。在527,存储器控制器向存储器模块发送读取RD命令。在528,存储器模块通过输出与接收到的读取命令相对应的数据来进行响应。

[0065] 图6A描绘了根据本文所公开的主题,当存储器模块执行模块内损耗均衡控制操作时,在存储器控制器和存储器模块之间提供操作协调的信号序列600的示例实施例。图6B描绘了根据本文所公开的主题,当存储器模块执行模块内擦除操作时,在存储器控制器和存储器模块之间提供操作协调的信号序列610的另一示例实施例。

[0066] 在一个实施例中,图6A和6B的相应信号序列可在存储器模块的初始化时选择。在图6A的信号序列中,所描绘的模块内损耗均衡控制操作具有高于正常访问的优先级。存储器模块发送指示损耗均衡控制操作正在进行的反馈状态消息,并且存储器控制器可以在等待完成启动命令时调度其他请求和/或操作和/或上下文切换。在图6B的信号序列中,模块内损耗均衡控制操作提供反馈状态消息,指示响应于启动命令正在进行损耗均衡控制操作,但是损耗均衡控制操作具有优先级,并且不中断损耗均衡控制操作。响应于反馈状态,存储器控制器可以在等待启动命令完成时调度其他请求和/或操作和/或上下文切换。当完成损耗均衡控制操作时,由存储器模块发送反馈状态消息,并且存储器控制器可以开始正常访问。在一个实施例中,与模块内损耗均衡控制操作相关的反馈状态消息的具体内容在存储器模块的初始化时是可选的。

[0067] 在图6A中,顶部部分描绘了从存储器控制器发送到存储器模块的信号或消息,而底部部分描绘了从存储器模块发送到存储器控制器的信号或消息。在图6A中的601处,存储器模块向存储器控制器发送指示正在执行损耗均衡控制操作的RAS反馈消息。在损耗均衡控制操作期间,存储器模块使用例如写计数表和重映射表来重映射非易失性存储器的存储器页,以交换存储器页来平衡非易失性存储器中的损耗。对于信号序列的该实施例,损耗均衡控制操作具有优先级。当正在执行损耗均衡控制操作时,存储器控制器可以记录损耗均衡事件。另外,存储器控制器可以调度其他请求和/或操作。在602,存储器模块向存储器控制器发送完成损耗均衡控制操作的RAS反馈消息。

[0068] 在图6B中,顶部部分描绘了从存储器控制器发送到存储器模块的信号或消息,而

底部部分描绘了从存储器模块发送到存储器控制器的信号或消息。在图6B中的611处,存储器模块向存储器控制器发送指示正在执行损耗均衡控制操作的RAS反馈消息。对于信号序列的该实施例,损耗均衡控制操作具有优先级,并且当正在执行损耗均衡控制操作时,存储器控制器可以记录损耗均衡事件,并且可以调度其他请求和/或操作和/或上下文切换。在612,存储器控制器向存储器模块发送启动命令。在613,存储器模块向存储器控制器发送RAS反馈状态消息,指示正在执行损耗均衡控制操作并且在损耗均衡控制操作完成之后重试。RAS反馈消息可以包括指示在完成损耗均衡控制操作之前的时间长度(延迟)的信息。存储器控制器可基于所指示的延迟而等待或可进行上下文切换。在此信号序列中的614,存储器模块向存储器控制器发送完成损耗均衡控制操作的RAS反馈消息。在615,存储器控制器向存储器模块发送启动命令。在616,存储器模块发送存储器模块准备好用于读取命令的RAS反馈状态消息。在617,存储器控制器向存储器模块发送读取RD命令。在618,存储器模块通过输出与接收到的读取命令相对应的数据来进行响应。

[0069] 表2包括可以包含在RAS反馈状态消息中的示例信息以及可由CPU/MC(即,主机)采取的潜在对应动作。

[0070] 表2-示例性RAS状态信息

无效访问通知:

- 由于缓存读取遗漏 (主机操作: 等待 NVM 访问)
- 由于刷新 (主机操作: 等待刷新完成或 NVM 访问)
- 由于损耗均衡 (主机操作: 在 NVDIMM 指定时间后重试)
- 由于垃圾收集 (主机操作: 在 NVDIMM 指定的时间后重试)
- 由于数据迁移到备用内存 (主机操作: 在 NVDIMM 指定时间后重试)

[0071] 由于不可恢复的错误

报告日志:

- 检测到的错误数
- 纠正的错误数
- 写入故障次数
- 故障的列数
- 损耗均衡事件数
- 垃圾收集事件数

[0072] 返回参考其中五个(5)连接器引脚被改用的示例,可以由五个改用的连接器引脚传送并且使用四(4)个周期的示例的RAS反馈状态消息可以如表3所示进行布置。

[0073] 表3-RAS反馈状态消息的示例。

位	4	3	2	1	0
周期 0	同步	TID[5:4]	成功	奇偶校验	
周期 1		TID[3:0]		奇偶校验	
周期 2	状态代码类型[1:0]		状态代码[5:4]	奇偶校验	
周期 3		状态代码[3:0]		奇偶校验	

[0075] 在表3所示的示例RAS反馈状态消息中,同步(sync)指示RAS状态消息是新的反馈分组。TID指示交易标识(ID),其可以类似于地址。奇偶校验指示可以用于保护RAS反馈状态

消息的信息。应当理解,已经为表3的RAS反馈状态消息改用的五个引脚的标识可以被定义为方便的。

[0076] 表4-7包括可以包含在RAS反馈状态消息中的附加示例信息。

[0077] 表4-示例的RAS反馈状态消息信息。

成功	状态代码类型 [1:0]	状态代码 (操作) [5:3]	状态代码 (重 试) [2:1]	说明
[0078]	0x0	0x00	0x00	具有特定 TID 的内存 中的致命错误
			0x01 - 0x11	RFU
			0x00 - 0x11	RFU
	0x0	0x000	0x000	RFU
			0x00	具有不可校正错误 的启动故障
			0x01 - 0x11	RFU
		0x001	0x00	GC 后的启动故障 (容量故障, 致命)
			0x01	RFU
			0x10	GC 引起的启动故 障, 以小延迟重试
			0x11	GC 引起的启动故 障, 以大延迟重试
	0x01	0x010	0x00	WL 后的启动故障 (容量故障, 致命)
			0x01	RFU
			0x10	WL 引起的启动故 障, 以小延迟重试
			0x11	WL 引起的启动故 障, 以大延迟重试
		0x011	0x00 - 0x01	RFU
			0x10	刷新引起的启动故 障, 以小延迟重试
			0x11	刷新引起的启动故 障, 以大延迟重试
			0x101 - 0x11	0x00 - 0x11
				RFU

[0079] 表5-示例的RAS反馈状态消息信息。

成功	状态代码类型 [1:0]	状态代码 (操作) [5:3]	状态代码 (重 试) [2:1]	说明
[0080]	0x0	0x10	0x000	0x00-0x11
			0x00	具有不可校正错误 的写入故障
		0x001	0x01-0x11	RFU
			0x00	GC 后的写入故障 (容量故障, 致命)
		0x010	0x01	RFU

[0081]		0x011	0x10	GC 引起的写入故障, 以小延迟重试
			0x11	GC 引起的写入故障, 以大延迟重试
			0x00	WL 后的写入故障(容量故障, 致命)
			0x01	RFU
			0x10	WL 引起的写入故障, 以小延迟重试
			0x11	WL 引起的写入故障, 以大延迟重试
		0x100	0x00-0x01	RFU
			0x10	刷新引起的写入故障, 以小延迟重试
			0x11	刷新引起的写入故障, 以大延迟重试
		0x101-0x111	0x00-0x11	RFU
		0x11	0x000	0x00-0x11 RFU
			0x001	0x00 具有不可校正错误的动作+写入故障
			0x01-0x11	RFU
			0x10-0x111	0x01-0x11 RFU

[0082] 表6-示例的RAS反馈状态消息信息。

成功	状态代码类型[1:0]	状态代码[5:1]	说明
[0083]	0x00	0x00000	具有特定 TID 的存储器准备就绪
		0x00001-0x11111	RFU
	0x01	0x00000	有/没有错误的启动成功
		0x00100	有可校正错误的启动成功
		0x01000	GC 后启动成功
		0x01100	WL 后启动成功
		0x10000	刷新后启动成功
		其他	RFU

[0084] 表7-示例的RAS反馈状态消息信息。

成功	状态代码类型[1:0]	状态代码 [4:0]	说明
[0085]	0x10	0x00000	有/没有错误的写入成功
		0x00100	有可校正错误的写入成功
		0x01000	GC 后写入成功
		0x01100	WL 后写入成功
		0x1000	刷新后写入成功
		其他	RFU
	0x11	0x00000	动作+写入成功
		0x00100	有可校正错误的动作+写入成功
		0x01000	GC 后动作+写入成功
		0x01100	WL 后动作+写入成功
		0x1000	刷新后动作+写入成功
		其他	RFU

[0086] 图7描绘了根据本文所公开的主题的在CPU/MC 701以及其中RAS反馈状态消息经由DQ(数据)总线传送的存储器模块702之间的接口700的示例实施例。图8描绘了根据本文公开的主题的经由DQ总线传送RAS反馈状态消息的方法的流程图800。在该替代的示例实施例中,可以在图8中的操作801处使用一个改用的连接器引脚,以发送由存储器模块702使用的D_RDY反馈信号以请求来自CPU/MC 701的关注。在CPU/MC 701接收到D_RDY反馈信号之后,在操作802,CPU/MC701通过第二改用的连接器引脚发送D_SEND信号,以在操作803从存储器模块702拉取(pull)RAS反馈状态信息。三个改用的引脚用于传送TID。在该替代的示例实施例中,经由DQ总线传送RAS反馈状态消息。DQ总线的相对大小允许将大量信息位从存储器模块传送到CPU/MC。

[0087] 在另一示例实施例中,主机(即系统CPU/MC)可以通过发送特殊的模式寄存器设置(MRS)命令来主动地请求存储器模块的RAS反馈状态信息。图9描绘了根据本文所公开的主题的使用MRS命令来配置存储器模块以读取RAS反馈状态消息的方法900的流程图。MRS命令通常被定义用于DDR4DIMM,然而,根据本文公开的主题,MRS命令中的未使用的位可以被编程为用信号通知或触发存储器模块进入特殊模式,这里称为MPR读取模式,其也是常规地为DDR4DIMM定义的模式。在901,主机向存储器模块发送MRS (MR3) 命令。在902,主机向存储器模块发送读取(RD)命令。在903,存储器模块返回无效+记录消息而不是正常数据。在904,CPU/MC主机发出被配置为用信号通知或触发存储器模块以退出特殊MPR模式的另一个MRS命令。

[0088] 图10描绘了根据本文所公开的主题的当使用DQ总线来传送反馈状态信息时的RAS反馈状态消息1000的示例布置。如图10所描绘的,如1001处所示,通过DQ总线从存储器模块输出八个64位字WD0-WD7,并且从存储器模块输出四个3位字作为在1002处指示的TID+无效消息。3位字可以通过改用的连接器引脚被传送。

[0089] 前两个64位字WD0和WD1的位[6:0]分别包含无效原因代码和重试时间代码。无效原因代码的位5指示是否发生错误。无效原因代码的位4指示是否正在进行迁移。无效原因代码的位3指示是否发生垃圾收集(GC)操作。无效原因代码的位2指示是否发生损耗均衡(WL)操作。无效原因代码的位1指示是否正在进行刷新操作。无效原因代码的位0指示是否发生了遗漏。

[0090] 重试时间代码的位5-2指示二进制基本乘数，并且重试时间代码的位1-0指示乘以基本乘数的时间单位。在一个实施例中，二进制00的单位码表示100ns的基本时间；二进制01的单位码表示1μs的基本时间；二进制10的单位码表示10μs的基本时间；并且二进制11的单位码表示100μs的基本时间。例如，如果重试时间码的位5-2是二进制0100(即，十进制4)，并且单位码是二进制00，则重试时间码指示400ns的重试时间。

[0091] 在另一实施例中，如果存储器模块通过将定时(timing)定义添加到现有 ALERT_n 连接器而处于NVDIMM-P模式，则 ALERT_n 连接器引脚可用作 D_RDY 信号。在现有 DDR4 规范中，ALERT_n 信号用于用信号通知发生两种类型的错误：写入循环冗余校验(CRC)错误和命令地址(CA)奇偶校验错误。这两个错误可以通过 ALERT_n 信号的脉冲宽度来区分。例如，如果发生写入CRC错误，则按照DDR4-2400规范，存储器模块使得ALERT_n信号在约6到约10个时钟周期之间变为低。如果发生命令地址(CA)奇偶校验错误，则按照DDR4-2400规范，存储器模块使得ALERT_n信号在约72到约144个时钟周期之间变为低。根据本文所公开的主题，约2和约3个周期之间的短ALERT_n脉冲宽度可以用于表示D_RDY信号，从而允许ALERT_n信号根据DDR4-2400规范对发生CRC写入和CA奇偶校验作出反应。在一个实施例中，如果ALERT_n信号用于D_RDY，则D_RDY将始终具有最低的优先级，以使得确保检测到发生写入CRC或CA奇偶校验。

[0092] 表8列出了根据本文所公开的主题的一个实施例的DRAM DIMM模式和NVDIMM-P模式中的存储器模块的连接器引脚。如表8所示，如果存储器模块处于DRAM DIMM模式，ALERT_n*引脚(引脚208)以公知的方式操作，以从存储器控制器的角度提供发送(Tx)和接收(Rx)功能。信号CS_n[1]、ODT[1]和CKE[1](分别为引脚89、91和203)也以众所周知的方式操作，以从存储器控制器的角度提供发送功能。如果存储器模块处于NVDIMM-P模式，则引脚208被定义为ALERT_n/D_RDY信号，并且从存储器控制器的观点来看，提供发送(Tx)和接收(Rx)功能。引脚89、91和203被定义为MSG[2:0]，并从存储器控制器的角度提供接收功能。在一个实施例中，ALERT_n/D_RDY信号和MSG[2:0]可以以单个数据速率操作。在另一实施例中，ALERT_n/D_RDY信号和MSG[2:0]可以在DDR上操作。

[0093] 表8-DRAM DIMM模式和NVDIMM-P模式下内存模块的连接器引脚。

引脚	DRAM DIMM 模式		NVDIMM-P 模式	
	名称	Tx、 Rx	名称	Tx、 Rx
89	CS_n[1]	Tx	MSG[2:0]	Rx
91	ODT[1]	Tx		
203	CKE[1]	Tx		
208	ALERT_n*	Tx/Rx	ALERT_n/D_RDY	Tx/Rx

[0095] 表9阐述了根据本文公开的主题的当在NVDIMM-P模式中被用作D_RDY信号时的ALERT_n连接器引脚的定时和消息定义。在NVDIMM-P模式中, ALERT_n连接器引脚的脉冲宽度被定义为对于D_RDY信号在大约2和大约3个时钟周期之间。对于大约6到10个时钟周期之间的脉冲宽度, ALERT_n连接器引脚被定义为发生写入CRC错误, 并且对于72和144个时钟周期之间的脉冲宽度, ALERT_n连接器引脚被定义为发生命令地址(CA)奇偶校验错误。

[0096] 表9-当在NVDIMM-P模式下用作D_RDY信号的ALERT_n连接器引脚的时序和消息定义

[0097]	ALERT_n脉冲宽度	定义
	2~3	D_RDY(对于NVDIMM-P模式)
	6~10	写入CRC错误
	72~144	CA奇偶校验错误

[0098] 在一个实施例中, ALERT_n引脚在被用作D_RDY信号之前对至少一个周期应当为高。此外, Alert_n引脚在每个D_RDY信号后对至少一个周期应该为高, 以便可以被主机系统识别。图11描绘了根据本文所公开的主题的用作D_RDY信号的ALERT_n引脚的信号图1100的实例。在图11中, 信号流被指示为从存储器模块1102朝向存储器控制器1101。

[0099] 图12描绘了根据本文所公开的主题的存储器信道1200中的存储器模块连接器的另一示例实施例的引脚分配, 其中所选择的引脚已被重新用于传达与D_RDY信号相关联的状态信息, 例如但不限于缓存信息。特别地, 图12描绘了通信信道1200的一个存储器模块1201的示例实施例的引脚分配, 其中存储器模块连接器的三(3)个引脚已被改用以传送状态信息, 例如但不限于, 缓存信息、存储器控制器(未示出)、CPU(未示出)或具有集成存储器控制器(未示出)的CPU。

[0100] 如图12所示, 三个示例连接器引脚ODT[1]、CKE[1]和CS_n[1]已被改用以将缓存状态信息传送到存储器控制器。应当理解, 根据本文所公开的主题, 存储器模块的其它连接器引脚可被改用以将缓存状态信息传送到存储器控制器。在另一个实施例中, 示例连接器引脚ODT[1]和CKE[1]分别用于将缓存状态信息作为MSG[0]和MSG[1], 以使得消息是两位宽, 但是包括消息选通信号MSG_S以使能双倍数据速率(DDR)。

[0101] 在一个实施例中, 专用引脚不用于D_SEND。相反, 使用用于D_SEND的未定义的DDR4命令, 并且在本文中将其称为交易突发(TB)命令, 其发起交易数据突发, 以便通过使用现有的命令和地址引脚提供相同的功能。交易突发命令在NVM直接模式和DRAM+NVM缓存模式中是有效的(operative)。表10阐述了交易突发命令的定义。

[0102] 表10-交易突发命令。

[0103]	交易突发	功能
	第一时钟	CKE的前一个周期
	H	CKE的当前周期
	H	ACT_n
	H	RAS_n/A16
	L	CAS_n/A15
	H	WE_n/A14
	H	BG0-BG1

L	BA0-BA1
L	C0-C2
H	BC_n/A12
RFU	A17;A13;A11,A10
突发计数	A9-A0

[0104] 图13描绘了根据本文公开的主题的用于交易突发(TB)命令的信号流1300。如图13所示,主机1301可以在1303处将两个TRD命令发送到CA总线上的存储器模块1302。存储器模块1302通过指示在1304处准备以供获取两个读取来进行响应。稍后,主机1301然后在1305发送TB命令,指示存储器模块1302形成两个数据段的两个突发1306。附加的每个分组包括有效(V)位和相应的ID(RID)。除非主机接收到D_RDY信号,否则主机不发出TB命令。TB命令和数据返回之间的时间可以是固定的,并且在一个实施例中,可以与tSND相同。

[0105] 图14描绘了根据本文公开的主题的用于读取状态(RS)消息的信号流程1400。类似于结合图7-9描述的实施例,主机可以从存储器模块主动地读取状态信息,或者存储器模块1402可以使用tSN消息主动地请求来自主机1401的注意,并且向主机1401发送状态信息,如图14所示。如果主机1401想要读取存储器模块1402的状态,则主机在1403发送RS命令。如果存储器模块1402想获得主机1401注意,则存储器模块1402发送D_RDY信号(图14中未指示),并且在1404,主机1401向存储器模块1402发送TB命令以读取状态。

[0106] 在一个实施例中,RAS反馈状态信息的定义可以与结合图7-9所描述的相同。除了RAS反馈状态信息之外,状态信息消息还可以包括写入信用(WC)和写入ID(WID)信息以使得存储器模块可以返回用于写入状态的信息(例如,通过检查WID来确定写入是否成功,或者通过检查WC来确定是否存在足够的空间来接受更多的写入数据)。在一个实施例中,CRC可以用于分组完整性保护。

[0107] 主机1401可以通过读取“MSG[0],周期1”来区分正常分组和状态分组。也就是说,如果MSG[0]位是“0”,则主机1401将该分组解码为正常数据。如果MSG[0]位为“1”,则主机1401将分组解码为状态分组。

[0108] 在一个实施例中,可以如表11所示定义读取状态消息。

[0109] 表11-读取状态消息。

读取状态	功能
H	CKE 的前一个周期
H	CKE 的当前周期
H	ACT_n
L	RAS_n/A16
H	CAS_n/A15
H	WE_n/A14
L	BG0 - BG1
H	BA0 - BA1
L	C0-C2
RFU	BC_n/A12
	A17, A13, A11, A10
	A9 - A0

[0110] 表12阐述了根据本文公开的主题的读取状态分组的示例定义。

[0112] 表12-读取分组-“读取状态”

交易分组 - “读取状态”				
	周期 1	周期 2	周期 3	周期 4
DQ[63:0]	WID0 ~ WID7, RAS, CRC			
ECC[7:0]				
MSG[0]	1	WC[5]	WC[3]	WC[1]
MSG[1]	WC[6]	WC[4]	WC[2]	WC[0]
MSG[2]	CRC	CRC	CRC	CRC

[0113] 在一个实施例中,读取状态(RS)命令可以用于读取存储器模块的状态,包括写入信用(WC)和存储器模块响应信息。读取状态命令可以在NVM直接模式和DRAM+NVM缓存模式中可用。图15描绘了根据本文公开的主题的读取状态(RS)返回消息的示例性布置。

[0114] 图16描绘了根据本文公开的实施例的包括存储器模块并提供与主机设备的操作协调的电子设备1600,该存储器模块支持和/或管理模块内刷新特征、模块内ECC功能、模块内擦除和/或模块内损耗均衡管理。电子设备1600可以用于但不限于计算设备、个人数字助理(PDA)、膝上型计算机、移动计算机、网络平板电脑、无线电话、蜂窝电话、智能电话、数字音乐播放器、或有线或无线电子设备。电子设备1600可以包括:控制器1610;输入/输出设备1620,例如但不限于小键盘、键盘、显示器或触摸屏显示器;存储器1630;和无线接口1640,它们通过总线1650彼此耦合。控制器1610可以包括例如至少一个微处理器、至少一个数字

信号处理、至少一个微控制器等。存储器1630可以被配置为存储要由控制器1610使用的命令代码或用户数据。在一个实施例中，存储器1630包括存储器模块并提供根据本文公开的实施例的与主机设备的操作协调的电子设备，该存储器模块支持和/或管理模块内刷新特征、模块内ECC功能、模块内擦除和/或模块内损耗均衡管理。电子设备1600可以使用无线接口1640，其被配置为使用RF信号向无线通信网络发送数据或从无线通信网络接收数据。无线接口1640可以包括例如天线、无线收发器等。电子系统1600可以用在通信系统的通信接口协议中，例如但不限于，码分多址(CDMA)、全球移动通信系统(GSM)、北美数字通信(NADC)、扩展时分多址(E-TDMA)、宽带CDMA(WCDMA)、CDMA2000、Wi-Fi、市政Wi-Fi(Muni Wi-Fi)、蓝牙、数字增强无绳电信(DECT)、无线通用串行总线(无线USB)、具有无缝切换的快速低延迟接入正交频分复用(Flash-OFDM)、IEEE 802.20、通用分组无线服务(GPRS)、iBurst、无线宽带(WiBro)、WiMAX、WiMAX高级、通用移动电信服务-时分双工(UMTS-TDD)、高速分组接入(HSPA)、演进数据优化(EVDO)、长期演进-高级(LTE-高级)、多信道多点分布服务(MMDS)等。

[0116] 图17描绘了根据本文公开的实施例的可以包括存储器模块并提供与主机设备的操作协调的存储器系统1700，该存储器模块支持和/或管理模块内刷新特征、模块内ECC功能、模块内擦除和/或模块内损耗均衡管理。存储器系统1700可以包括用于存储大量数据的存储器设备1710和存储器控制器1720。存储器控制器1720响应于主机1730的读取/写入请求，控制存储器装置1710读取存储在存储器装置1710中的数据或将数据写入存储器装置1710。存储器控制器1730可以包括用于将从主机1730(例如，移动设备或计算机系统)提供的地址映射到存储器设备1710的物理地址的地址映射表。存储器装置1710可以包括存储器模块并提供根据本文公开的实施例的与主机设备的操作协调的存储器系统，该存储器模块支持和/或管理模块内刷新特征、模块内ECC功能、模块内擦除和/或模块内损耗均衡管理。

[0117] 如本领域技术人员将认识到的，可以在宽范围的应用中修改并改变本文描述的创新概念。因此，所要求保护的主题的范围不应限于上面讨论的任何具体示例性教导，而是由所附权利要求限定。

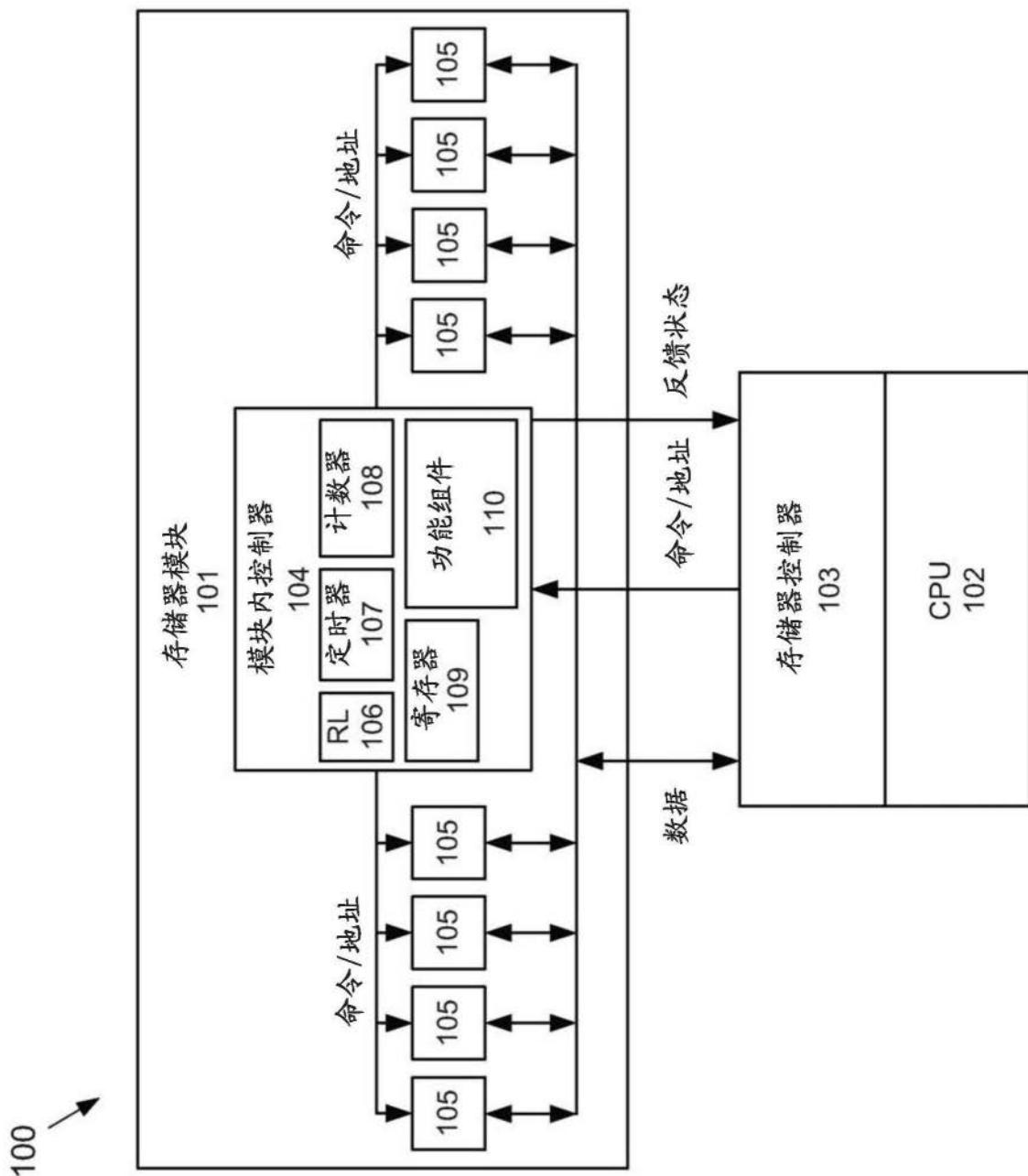
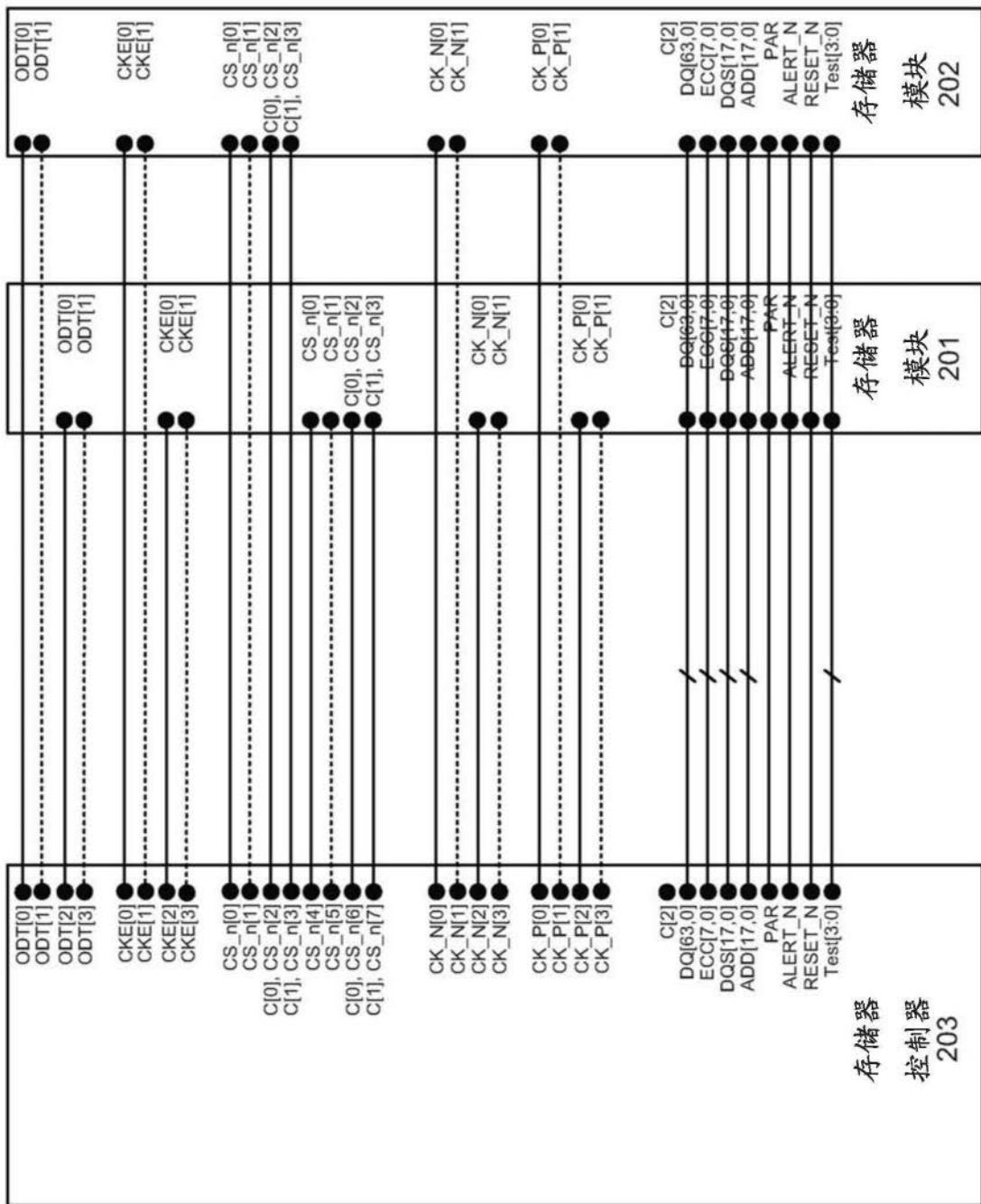


图1

200
↗

图2



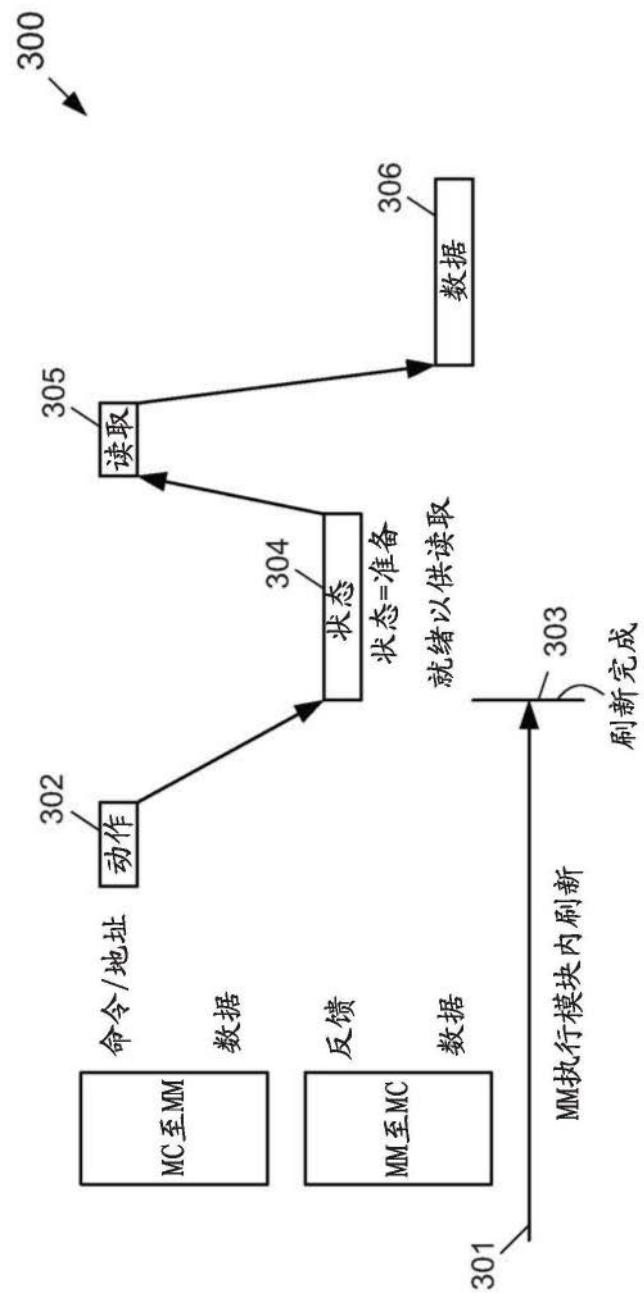


图3A

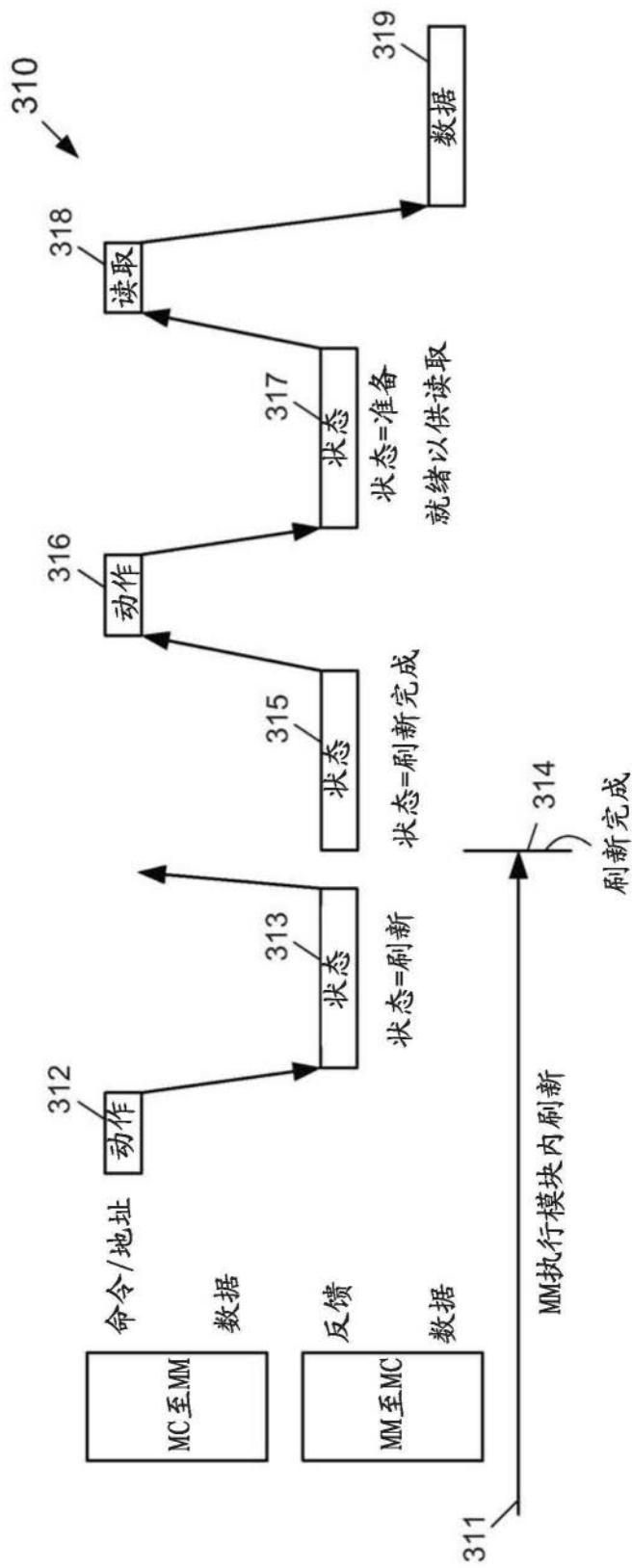


图3B

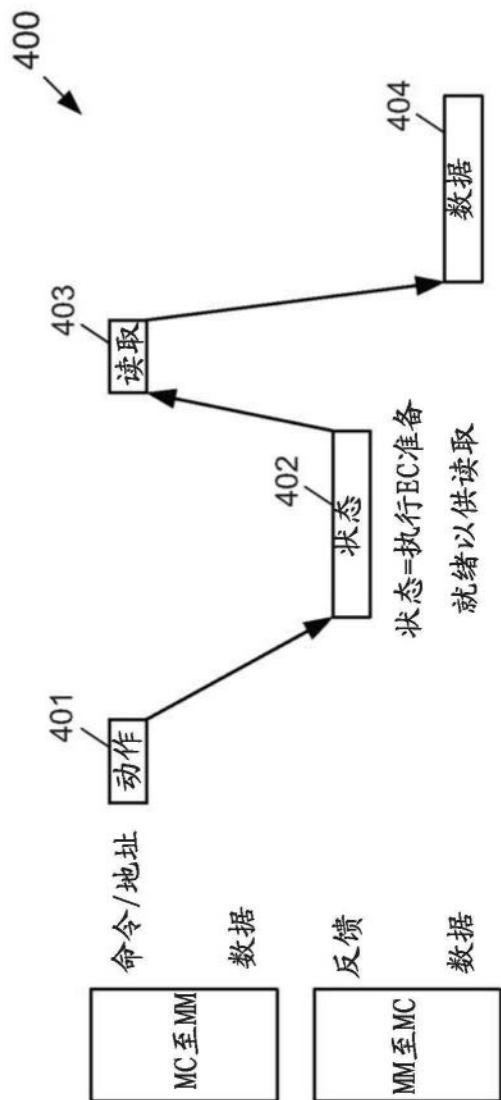


图4A

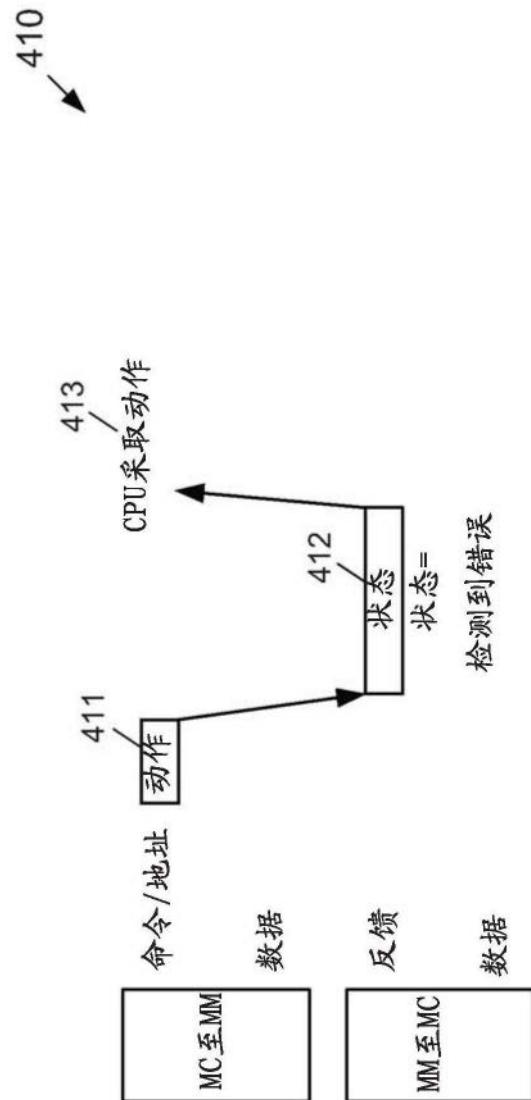


图4B

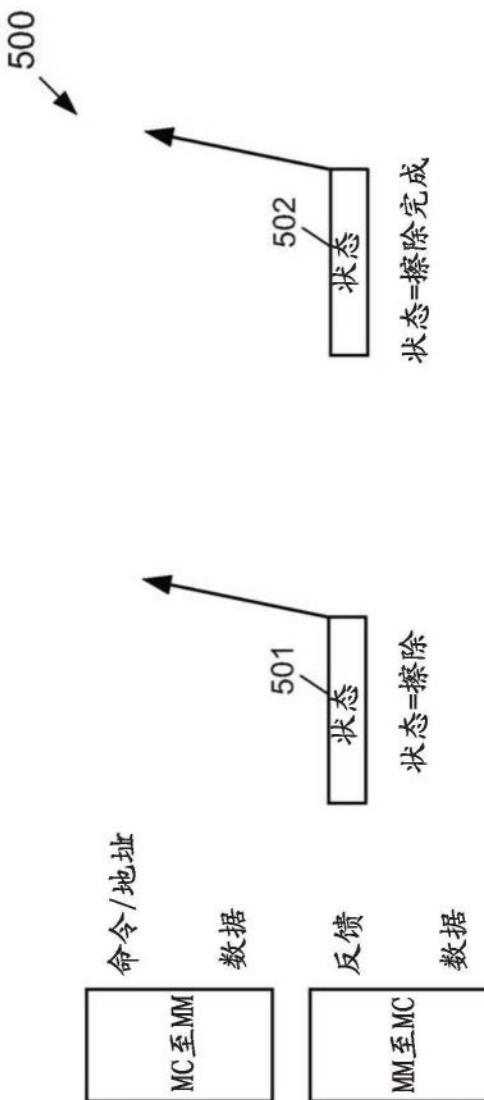


图5A

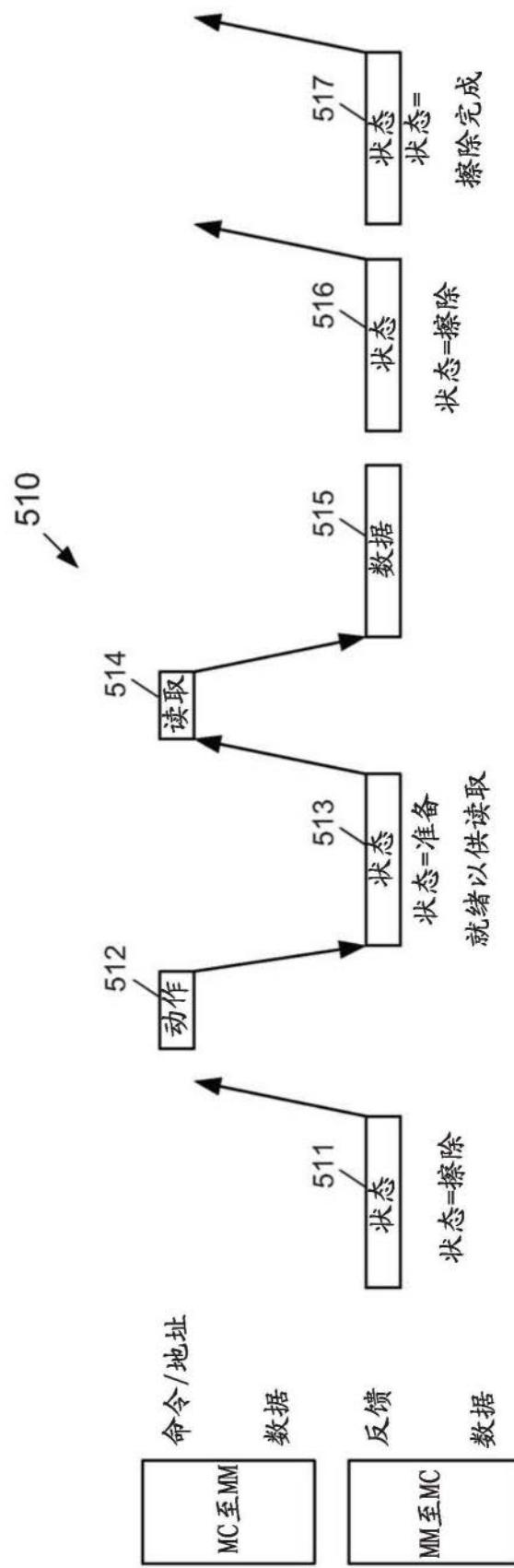


图5B

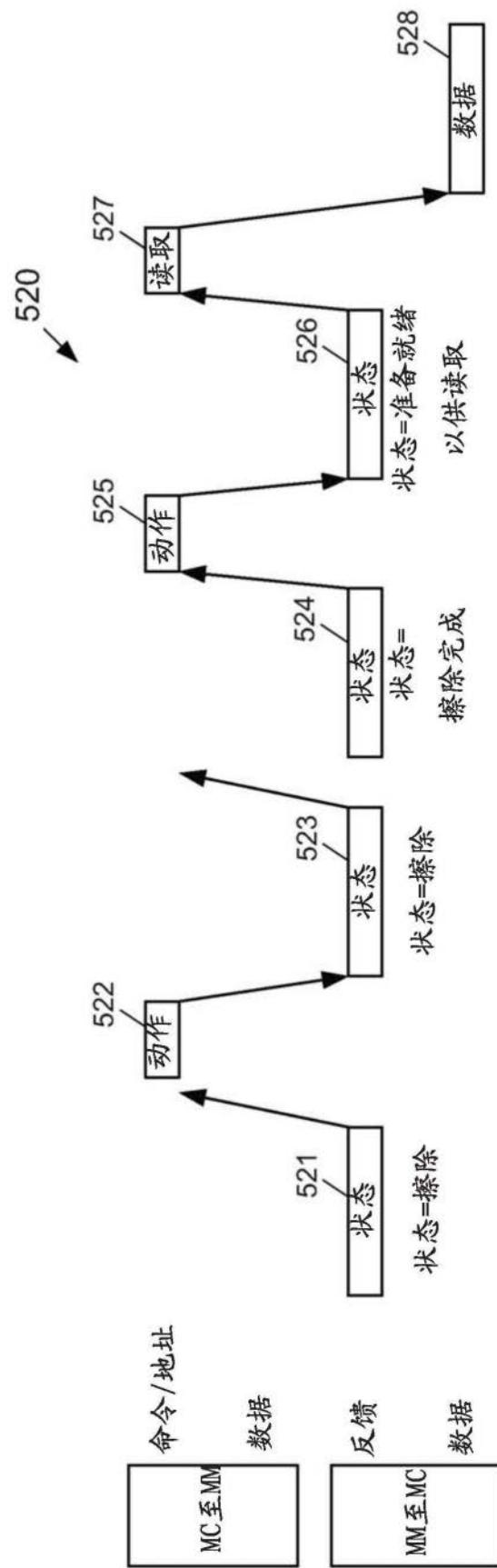


图5C

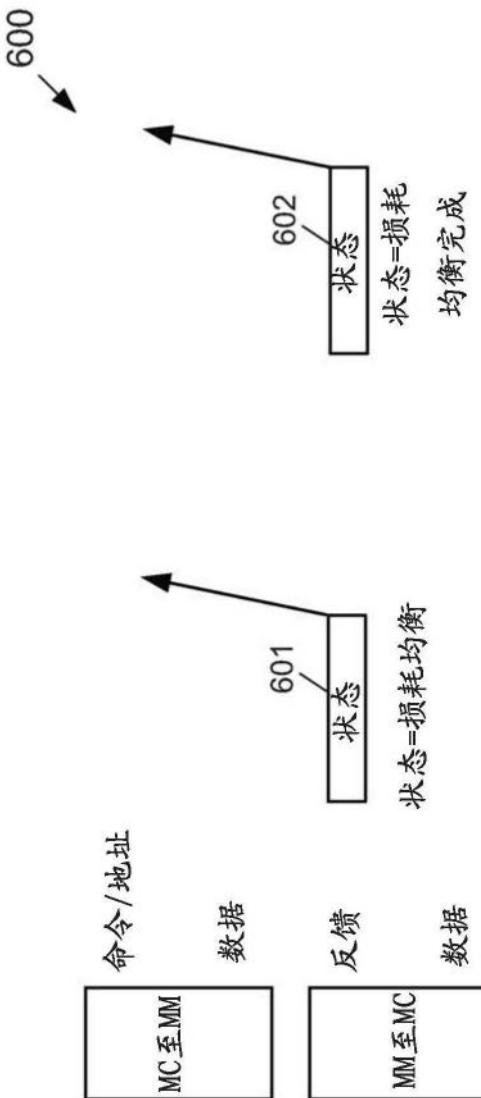


图6A

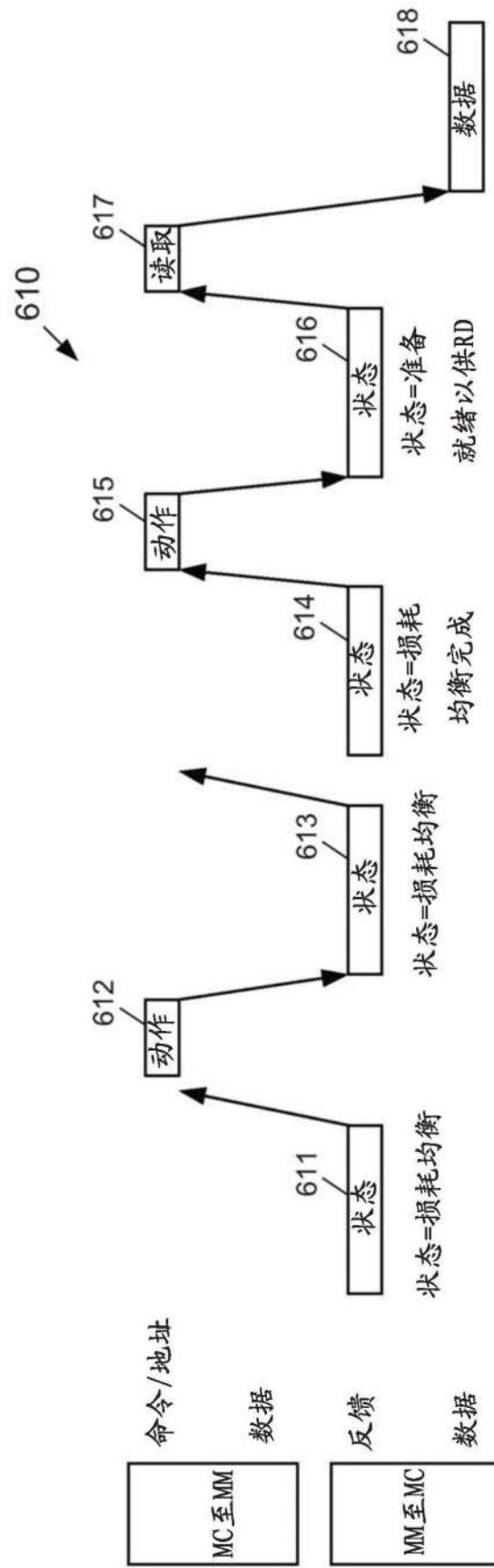


图6B

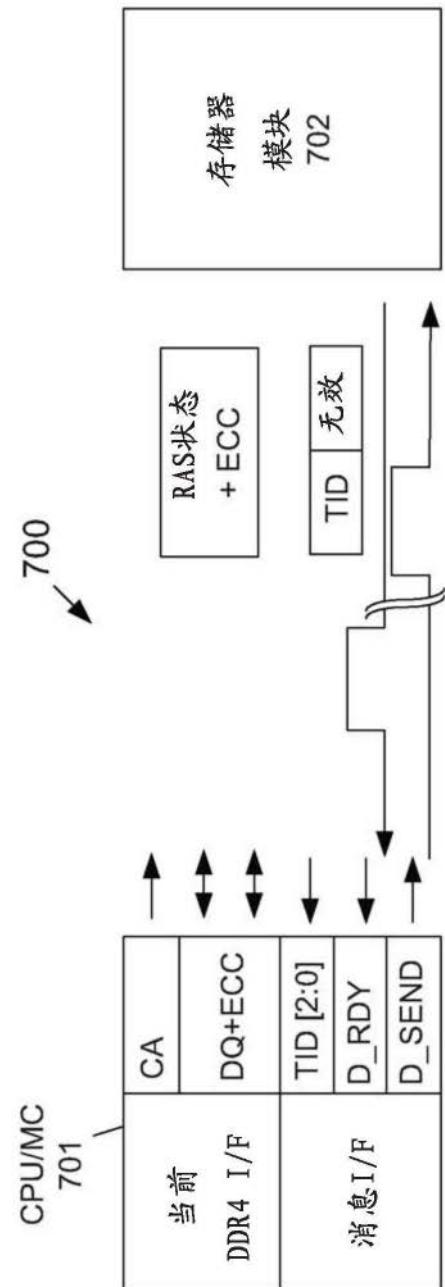


图7

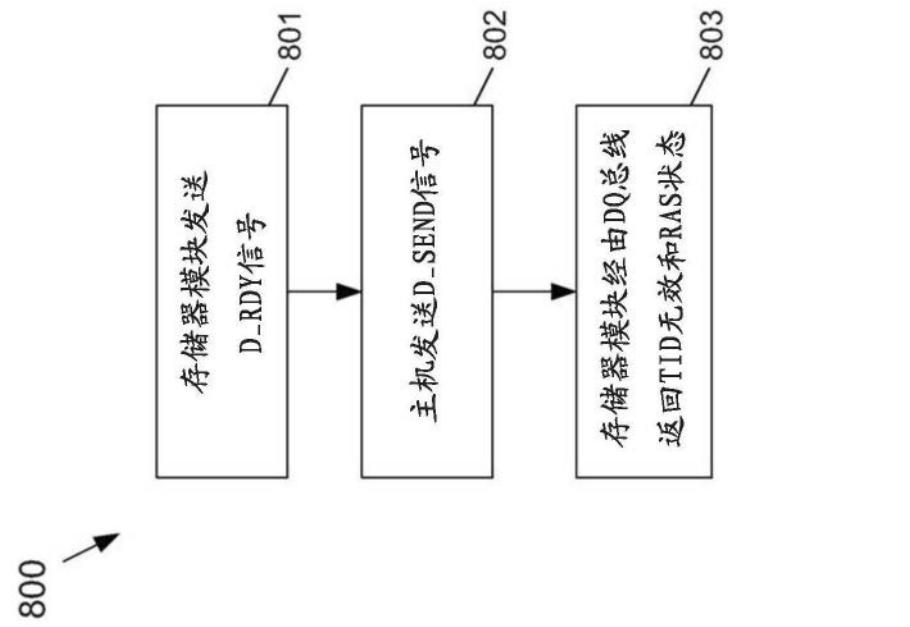


图8

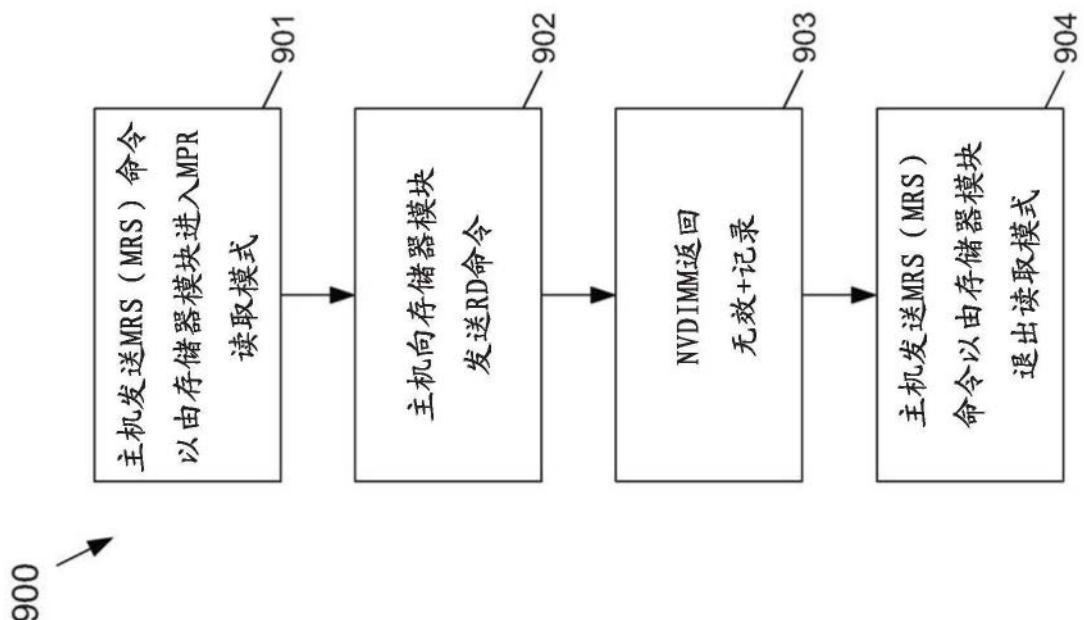


图9

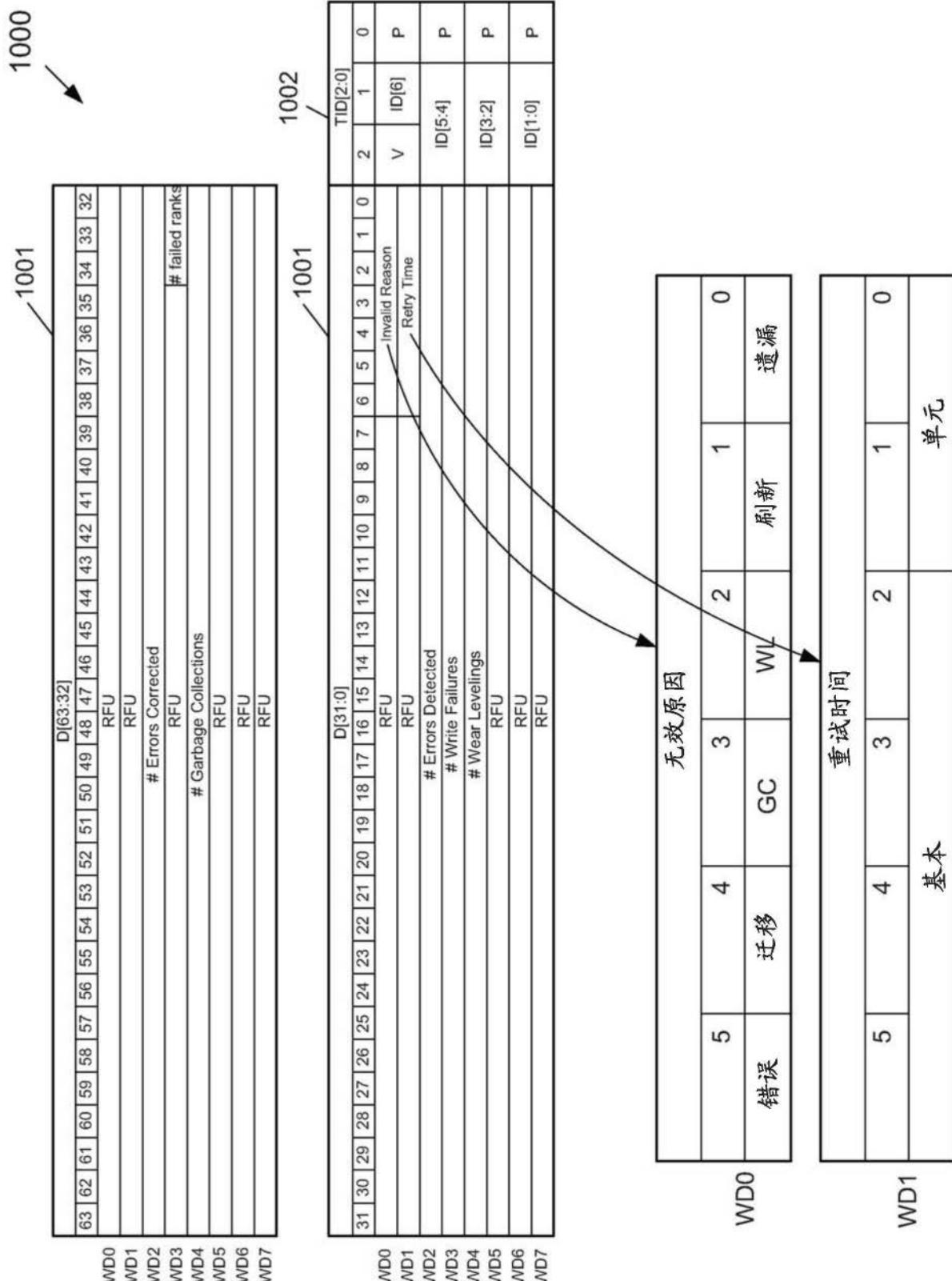


图10

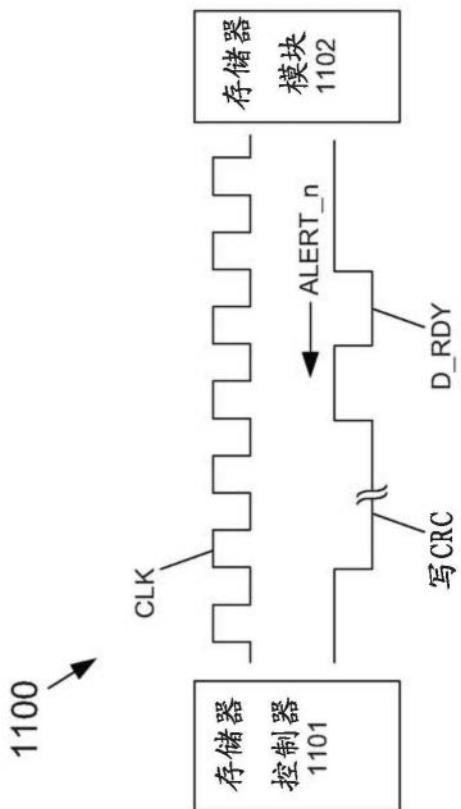


图 11

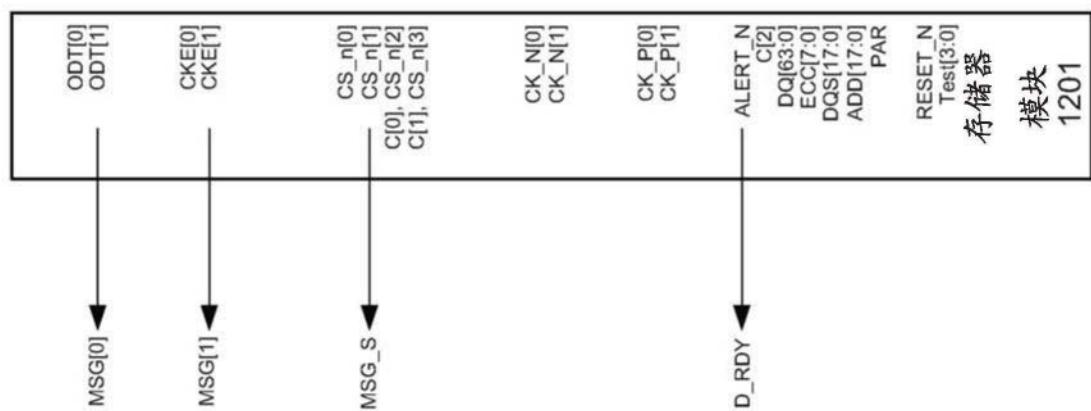


图 12

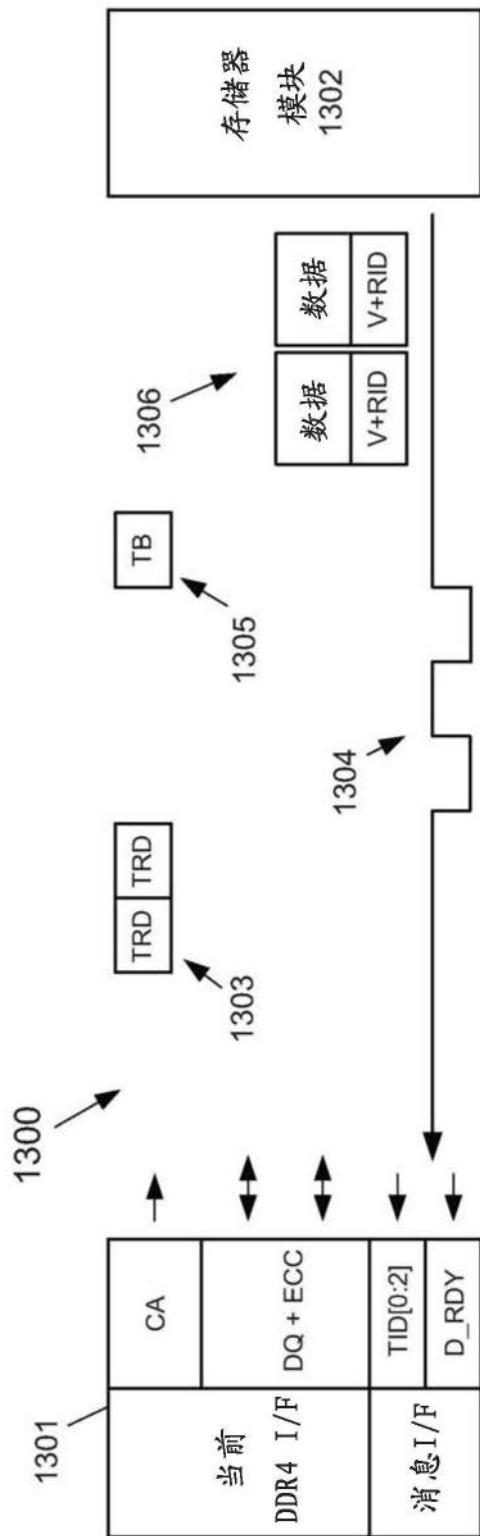


图13

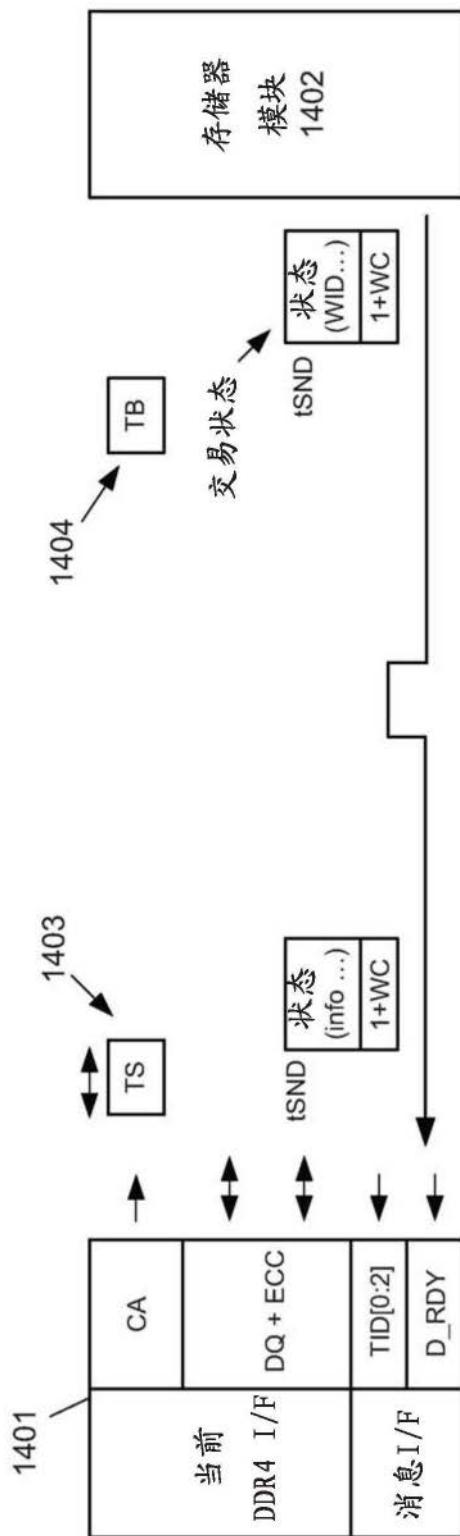


图14

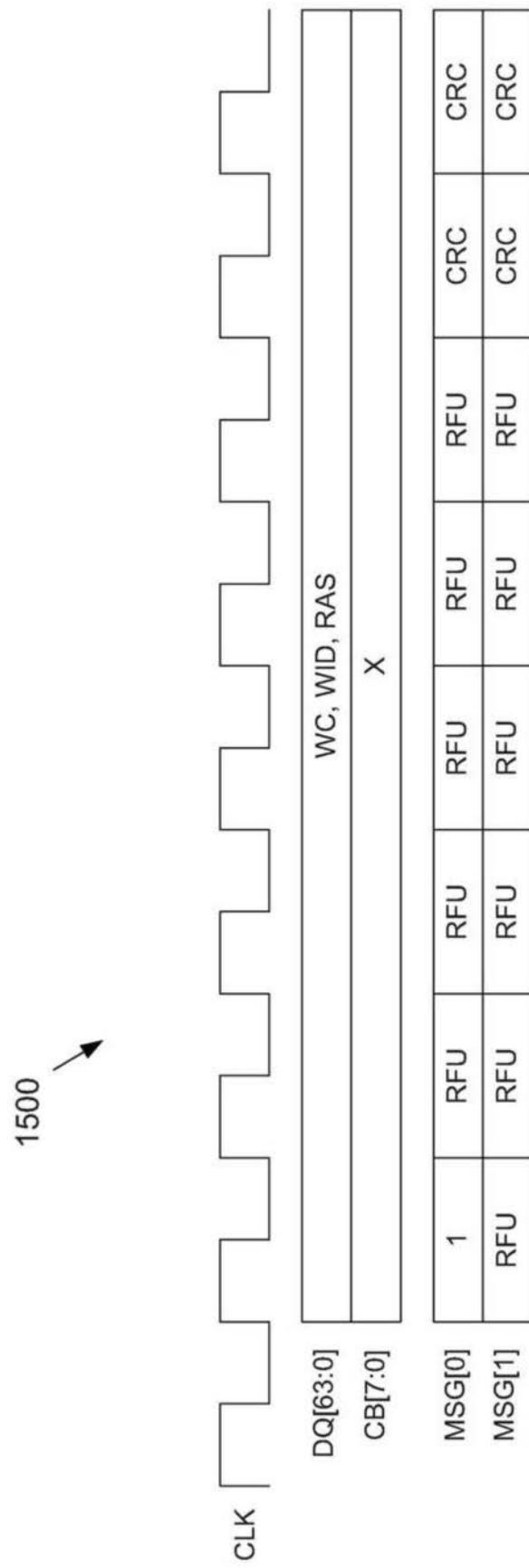


图15

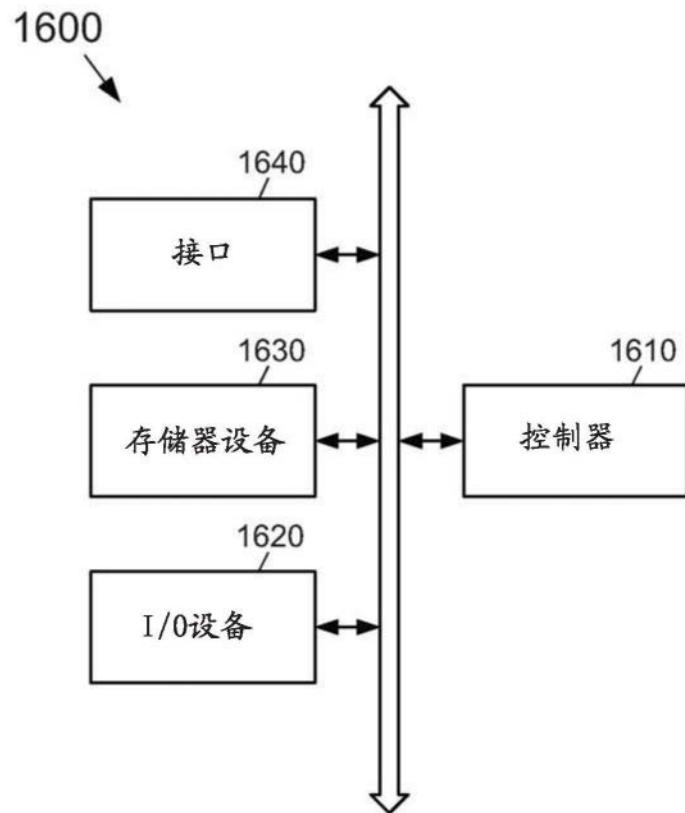


图16

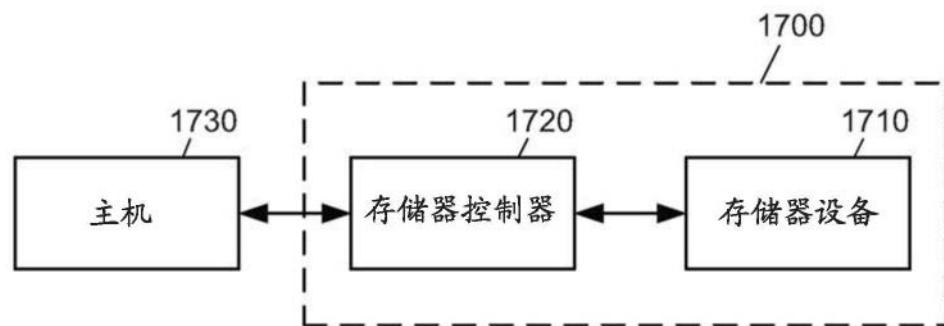


图17