

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6061587号
(P6061587)

(45) 発行日 平成29年1月18日(2017.1.18)

(24) 登録日 平成28年12月22日(2016.12.22)

(51) Int.Cl.			F I		
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	A
HO 4 N	5/369	(2011.01)	HO 4 N	5/335	6 9 0
HO 1 L	31/10	(2006.01)	HO 1 L	31/10	G
GO 2 B	7/30	(2006.01)	GO 2 B	7/30	

請求項の数 17 (全 18 頁)

(21) 出願番号	特願2012-212541 (P2012-212541)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成24年9月26日(2012.9.26)	(74) 代理人	100126240 弁理士 阿部 琢磨
(65) 公開番号	特開2014-67887 (P2014-67887A)	(74) 代理人	100124442 弁理士 黒岩 創吾
(43) 公開日	平成26年4月17日(2014.4.17)	(72) 発明者	衣笠 友壽 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
審査請求日	平成27年7月30日(2015.7.30)	審査官	今井 聖和

最終頁に続く

(54) 【発明の名称】 光電変換装置、光電変換装置の駆動方法、撮像システム

(57) 【特許請求の範囲】

【請求項1】

入射光を光電変換して生じた電荷を蓄積する光電変換部と、
 一方の入力ノードが前記光電変換部と電気的に接続された差動増幅部と、
 スイッチMOSトランジスタと、
 前記スイッチMOSトランジスタを介して前記差動増幅部の出力ノードに電気的に接続された入力ノード、および、前記差動増幅部の他方の入力ノードに電気的に接続された出力ノードを有する出力回路と、
 電位制御部と、を有し、
 前記スイッチMOSトランジスタの一方の主ノードが、前記差動増幅部の前記出力ノードに電気的に接続され、
 前記スイッチMOSトランジスタの他方の主ノードが、前記出力回路の前記入力ノードに電気的に接続され、
 前記スイッチMOSトランジスタをオフするために、前記スイッチMOSトランジスタの制御ノードと前記一方の主ノードとの間の電圧を前記スイッチMOSトランジスタの閾値電圧以下とする所定電位が前記スイッチMOSトランジスタの前記制御ノードに与えられていて、かつ、前記光電変換部の前記電荷に基づく信号が前記差動増幅部の前記一方の入力ノードに与えられている期間に、前記電位制御部は、前記スイッチMOSトランジスタの前記制御ノードと前記一方の主ノードとの間の電圧が前記スイッチMOSトランジスタのオンする方向に変化することを抑制するように、前記スイッチMOSトランジスタの

10

20

前記一方の主ノードの電位を制御することを特徴とする光電変換装置。

【請求項 2】

前記差動増幅部の前記一方の入力ノードに与えられた前記電荷に基づく前記信号に基づいて、前記差動増幅部が前記差動増幅部の前記出力ノードに信号を出力することによって、前記期間に前記スイッチMOSトランジスタに流れるサブスレッシュولدリーク電流よりも少ないサブスレッシュولدリーク電流となるように、前記電位制御部が前記スイッチMOSトランジスタの前記一方の主ノードの電位を制御することを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】

前記スイッチMOSトランジスタの前記制御ノードと、前記スイッチMOSトランジスタの前記一方の主ノードとの間の電圧が、前記差動増幅部が前記光電変換部の出力した前記電荷に基づいて信号を出力する時よりも大きくなるように、前記電位制御部が前記スイッチMOSトランジスタの前記一方の主ノードに電位を与えることを特徴とする請求項 1 または 2 に記載の光電変換装置。

10

【請求項 4】

前記光電変換装置はさらに、
前記スイッチMOSトランジスタと前記出力回路の前記入力ノードとの間の電氣的経路に容量素子を有し、
前記容量素子は前記差動増幅部が出力する信号を保持し、
前記出力回路が、前記容量素子が蓄積した信号に基づく信号を出力することを特徴とする請求項 1 ~ 3 のいずれかに記載の光電変換装置。

20

【請求項 5】

前記出力回路の前記出力ノードと前記差動増幅部の前記他方の入力ノードとの間の電氣的経路に、前記電位制御部が電氣的に接続されていることを特徴とする請求項 1 ~ 4 のいずれかに記載の光電変換装置。

【請求項 6】

前記光電変換装置はさらに、前記出力回路が出力する信号からノイズ成分を差し引いた信号を出力するノイズ処理回路を有することを特徴とする請求項 1 ~ 5 のいずれかに記載の光電変換装置。

【請求項 7】

前記差動増幅部は、
第 1 の MOS トランジスタと、
前記第 1 の MOS トランジスタと同じ導電型の第 2 の MOS トランジスタと、
前記第 1 の MOS トランジスタと反対の導電型の第 3 の MOS トランジスタと、
前記第 3 の MOS トランジスタと同じ導電型の第 4 の MOS トランジスタと、
電流源と、
を有し、
前記第 3 の MOS トランジスタの制御ノードは前記差動増幅部の前記一方の入力ノードであり、
前記第 4 の MOS トランジスタの制御ノードは前記差動増幅部の前記他方の入力ノードであり、
前記第 1 の MOS トランジスタと前記第 2 の MOS トランジスタのそれぞれの制御ノードが第 1 のノードに電氣的に接続され、
前記第 3 の MOS トランジスタの一方の主ノードが前記電流源に、前記第 3 の MOS トランジスタの他方の主ノードが前記第 1 の MOS トランジスタの一方の主ノードに電氣的に接続され、
前記第 1 のノードが前記第 3 の MOS トランジスタの前記他方の主ノードに電氣的に接続され、
前記第 4 の MOS トランジスタの一方の主ノードが前記電流源に、前記第 4 の MOS トランジスタの他方の主ノードが前記差動増幅部の前記出力ノードと前記第 2 の MOS トラ

30

40

50

ンジスタの前記一方の主ノードに電氣的に接続され、

前記電位制御部が前記第 1 のノードに電氣的に接続されていることを特徴とする請求項 1 ~ 6 のいずれかに記載の光電変換装置。

【請求項 8】

前記電位制御部が、第 5 の MOS トランジスタを含み、

前記第 5 の MOS トランジスタの一方の主ノードが前記第 1 のノードに電氣的に接続され、

前記第 5 の MOS トランジスタの他方の主ノードに基準電圧が与えられていることを特徴とする請求項 7 に記載の光電変換装置。

【請求項 9】

前記電位制御部が、第 5 の MOS トランジスタを含み、

前記第 5 の MOS トランジスタの一方の主ノードが前記第 1 のノードに電氣的に接続され、

前記第 5 の MOS トランジスタの他方の主ノードが前記差動増幅部の前記出力ノードに電氣的に接続されていることを特徴とする請求項 7 に記載の光電変換装置。

【請求項 10】

前記電位制御部が、第 5 の MOS トランジスタを含み、

前記第 5 の MOS トランジスタの一方の主ノードが、前記差動増幅部の前記出力ノードと前記スイッチ MOS トランジスタの前記一方の主ノードとの間の電氣的経路に電氣的に接続され、

前記第 5 の MOS トランジスタの他方の主ノードに基準電位が与えられていることを特徴とする請求項 1 ~ 6 のいずれかに記載の光電変換装置。

【請求項 11】

前記光電変換装置はさらに、

前記差動増幅部の前記一方の入力ノードに対して前記光電変換部と並列して電氣的に接続された第 6 の MOS トランジスタと、

前記第 6 の MOS トランジスタを介して前記差動増幅部の前記一方の入力ノードに電氣的に接続された容量素子と、

を有することを特徴とする請求項 1 ~ 10 のいずれかに記載の光電変換装置。

【請求項 12】

前記光電変換部の蓄積する前記電荷が正孔であり、

前記スイッチ MOS トランジスタが PMOS トランジスタであり、

前記スイッチ MOS トランジスタのオンする方向が、前記スイッチ MOS トランジスタの前記一方の主ノードに対する前記スイッチ MOS トランジスタの前記制御ノードの電圧が低くなる方向であることを特徴とする請求項 1 ~ 11 のいずれかに記載の光電変換装置。

【請求項 13】

前記光電変換部の蓄積する前記電荷が電子であり、前記スイッチ MOS トランジスタが NMOS トランジスタであり、

前記スイッチ MOS トランジスタのオンする方向が、前記スイッチ MOS トランジスタの前記一方の主ノードに対する前記スイッチ MOS トランジスタの前記制御ノードの電圧が高くなる方向であることを特徴とする請求項 1 ~ 11 のいずれかに記載の光電変換装置。

【請求項 14】

請求項 1 ~ 13 のいずれかに記載の光電変換装置と、

入射光に基づく画像信号を生成する撮像装置と、

前記光電変換装置と前記撮像装置に入射光を集光する光学系と、を有することを特徴とする撮像システム。

【請求項 15】

前記光電変換装置は前記光電変換部と、前記スイッチ MOS トランジスタと、前記差動

10

20

30

40

50

増幅部と、を有する画素部を複数有し、

さらに前記光電変換装置は、信号処理部と、A G C回路と、を有し、

前記撮像システムはさらに制御部を有し、

前記信号処理部が、複数の前記画素部が出力する信号の最大値と最小値を前記A G C回路に出力し、

前記A G C回路は前記最大値と前記最小値との差に基づいて、複数の前記画素部の前記電荷の蓄積を終了させ、

前記信号処理部は、複数の前記画素部の各々が出力する信号を前記制御部に出力し、

前記制御部は前記信号処理部が出力する信号に基づいて焦点を検出し、

前記制御部が焦点を検出した後、前記撮像装置が、前記画像信号の生成を行うことを特徴とする請求項14に記載の撮像システム。 10

【請求項16】

入射光を光電変換して生じた電荷を蓄積する光電変換部と、

一方の入力ノードが前記光電変換部と電氣的に接続された差動増幅部と、

スイッチM O Sトランジスタと、

前記スイッチM O Sトランジスタを介して前記差動増幅部の出力ノードに電氣的に接続された入力ノード、および、前記差動増幅部の他方の入力ノードに電氣的に接続された出力ノードを有する出力回路部と、を有し、

前記スイッチM O Sトランジスタの一方の主ノードが、前記差動増幅部の前記出力ノードに電氣的に接続され、 20

前記スイッチM O Sトランジスタの他方の主ノードが、前記出力回路部の前記入力ノードに電氣的に接続された光電変換装置の駆動方法であって、

前記スイッチM O Sトランジスタをオフするために、前記スイッチM O Sトランジスタの制御ノードと前記一方の主ノードとの間の電圧を前記スイッチM O Sトランジスタの閾値電圧以下とする所定電位が前記スイッチM O Sトランジスタの前記制御ノードに与えられていて、かつ、前記光電変換部の前記電荷に基づく信号が前記差動増幅部の前記一方の入力ノードに与えられている期間に、前記スイッチM O Sトランジスタの前記制御ノードと前記一方の主ノードとの間の電圧が前記スイッチM O Sトランジスタのオンする方向に変化することを抑制するように、前記スイッチM O Sトランジスタの前記一方の主ノードの電位を制御することを特徴とする光電変換装置の駆動方法。 30

【請求項17】

前記光電変換装置は、入射光の光量に基づいて、前記光電変換部と前記差動増幅部の前記一方の入力ノードの間の容量値を切り替えることを特徴とする請求項16に記載の光電変換装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入射光を光電変換する光電変換装置、光電変換装置の駆動方法、光電変換装置を有する撮像システムに関する。

【背景技術】 40

【0002】

入射光を光電変換した信号を出力する光電変換装置が知られている。この光電変換装置の一例として特許文献1のように、入射光を光電変換する光電変換部と、光電変換部が出力する信号に基づく信号を出力する差動増幅部と、差動増幅部が出力する信号に基づく信号を出力する出力回路と、を有する光電変換装置がある。この光電変換装置はさらに、出力回路と差動増幅部との間の電氣的経路に設けられ、差動増幅部が出力する信号を保持する信号保持部と、信号保持部と差動増幅部との間の電氣的経路の導通、非導通を切り替えるスイッチM O Sトランジスタと、を有している形態が記載されている。さらに、特許文献1には、光電変換部、差動増幅部、差動増幅部のフィードバック経路に設けられたスイッチM O Sトランジスタを有する画素部を複数有する光電変換装置が記載されている。 50

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2000-78472号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1の光電変換装置では、スイッチMOSトランジスタのソース、ゲート間の電圧を閾値電圧以下としている期間も、差動増幅部には光電変換部の電荷に基づく信号が与えられている。この期間に差動増幅部が出力する信号によっては、スイッチMOSトランジスタのソースの電位がゲートの電位にスイッチMOSトランジスタをオンする方向で近づき、スイッチMOSトランジスタにサブスレッショルドリーク電流が流れ得る。

10

【課題を解決するための手段】

【0005】

本発明は上記の課題を解決するために為されたものであり、一の態様は、入射光を光電変換して生じた電荷を蓄積する光電変換部と、一方の入力ノードが前記光電変換部と電気的に接続された差動増幅部と、スイッチMOSトランジスタと、前記スイッチMOSトランジスタを介して前記差動増幅部の出力ノードに電気的に接続された入力ノード、および、前記差動増幅部の他方の入力ノードに電気的に接続された出力ノードを有する出力回路と、電位制御部と、を有し、前記スイッチMOSトランジスタの一方の主ノードが、前記差動増幅部の前記出力ノードに電気的に接続され、前記スイッチMOSトランジスタの他方の主ノードが、前記出力回路の前記入力ノードに電気的に接続され、前記スイッチMOSトランジスタをオフするために、前記スイッチMOSトランジスタの制御ノードと前記一方の主ノードとの間の電圧を前記スイッチMOSトランジスタの閾値電圧以下とする所定電位が前記スイッチMOSトランジスタの前記制御ノードに与えられていて、かつ、前記光電変換部の前記電荷に基づく信号が前記差動増幅部の前記一方の入力ノードに与えられている期間に、前記電位制御部は、前記スイッチMOSトランジスタの前記制御ノードと前記一方の主ノードとの間の電圧が前記スイッチMOSトランジスタのオンする方向に変化することを抑制するように、前記スイッチMOSトランジスタの前記一方の主ノードの電位を制御することを特徴とする光電変換装置である。

20

30

【0006】

別の態様は、入射光を光電変換して生じた電荷を蓄積する光電変換部と、一方の入力ノードが前記光電変換部と電気的に接続された差動増幅部と、スイッチMOSトランジスタと、前記スイッチMOSトランジスタを介して前記差動増幅部の出力ノードに電気的に接続された入力ノード、および、前記差動増幅部の他方の入力ノードに電気的に接続された出力ノードを有する出力回路部と、を有し、前記スイッチMOSトランジスタの一方の主ノードが、前記差動増幅部の前記出力ノードに電気的に接続され、前記スイッチMOSトランジスタの他方の主ノードが、前記出力回路部の前記入力ノードに電気的に接続された光電変換装置の駆動方法であって、前記スイッチMOSトランジスタをオフするために、前記スイッチMOSトランジスタの制御ノードと前記一方の主ノードとの間の電圧を前記スイッチMOSトランジスタの閾値電圧以下とする所定電位が前記スイッチMOSトランジスタの前記制御ノードに与えられていて、かつ、前記光電変換部の前記電荷に基づく信号が前記差動増幅部の前記一方の入力ノードに与えられている期間に、前記スイッチMOSトランジスタの前記制御ノードと前記一方の主ノードとの間の電圧が前記スイッチMOSトランジスタのオンする方向に変化することを抑制するように、前記スイッチMOSトランジスタの前記一方の主ノードの電位を制御することを特徴とする光電変換装置の駆動方法である。

40

【発明の効果】

【0007】

本発明は、スイッチMOSトランジスタにサブスレッショルドリーク電流が流れにくい

50

光電変換装置を提供することができる。

【図面の簡単な説明】

【0008】

【図1】画素部の一例を示すブロック図、画素部の一例を示す等価回路図、光電変換装置の動作の一例を示すタイミング図。

【図2】スイッチMOSトランジスタの電位の説明図、画素部の他の一例を示す等価回路図。

【図3】画素部の他の一例を示す等価回路図。

【図4】画素部の他の一例を示す等価回路図、光電変換装置の動作の他の一例を示すタイミング図。

【図5】画素部の他の一例を示す等価回路図と光電変換装置の動作の他の一例を示すタイミング図。

【図6】画素部の他の一例を示す等価回路図。

【図7】光電変換装置の動作の他の一例を示すタイミング図、撮像システムの一例を示すブロック図。

【発明を実施するための形態】

【0009】

[実施例1]

図面を参照しながら、本実施例の形態について説明する。

【0010】

図1(a)は光電変換装置の一例を示した模式図である。光電変換装置は、複数の画素部101と、複数の画素部101の各々から出力される信号を処理する信号処理部103とを有する。各々の画素部101は、光電変換部と信号保持部とを有する。光電変換部は入射光に基づく電荷を生成し、信号保持部はその電荷に基づく信号を保持する。画素部101から信号が出力された後も信号保持部は信号を保持し続ける。

【0011】

信号処理部103は、複数の画素部101から出力された信号のうち最大値と最小値をAGC回路104(AGCはAuto Gain Controlの頭文字を取ったものである。)に出力する。AGC回路104は、信号処理部103から出力された最大値、最小値の信号に基づいて、複数の画素部101の信号蓄積動作を継続するか終了するかを選択し、選択した結果を示す選択結果信号を信号蓄積制御部105に出力する。この複数の画素部101、信号処理部103、AGC回路104の動作を第1の動作と表記する。信号蓄積制御部105はAGC回路104から出力された選択結果信号に基づいて、複数の画素部101の信号蓄積動作を継続させか終了させるかを制御する。複数の画素部101が信号蓄積動作を継続する制御を行う場合には、画素部101、信号処理部103、AGC回路104は先の第1の動作と同様の動作を行う。一方、信号蓄積制御部105が複数の画素部101の信号蓄積動作を終了させる制御を行う場合には、シフトレジスタ102が複数の画素部101の各々が保持している先の第1の動作時に出力した信号を信号処理部103に順次出力させる。信号処理部103は複数の画素部101の各々の出力する信号を順次外部出力部106に出力する。

【0012】

外部出力部106は、信号処理部103から出力された信号を光電変換装置の外部に信号SEN_outとして出力する。

【0013】

図1(b)は、本実施例の光電変換装置が有する画素部101の等価回路の一例を示したものである。

【0014】

光電変換部1は入射光を光電変換して生成する電荷を蓄積する。光電変換部1は蓄積した電荷に基づく電位を、MOSトランジスタ11に与える。

【0015】

10

20

30

40

50

図1(b)に記載の画素部101の光電変換部1は入射光に基づいて生成する正孔を蓄積する。

【0016】

MOSトランジスタ2は、ゲートに与えられるリセットパルスPRSをHighレベル(以下、Hレベルと表記する。Lowレベルについても同様にLレベルと表記する。)とすると、光電変換部1とMOSトランジスタ11のゲートの電位をリセット電圧VRSに基づいてリセットする。

【0017】

以下、本明細書では理解を容易にするために、MOSトランジスタがPMOSトランジスタ、NMOSトランジスタのいずれであっても、ゲートに印加するパルスをHレベルとするとオンとなり、Lレベルとするとオフとなると統一して説明する。また、本明細書では信号の信号値の大小関係の表記について、理解を容易にするために、信号の絶対値を基に大小関係を規定する。例えば、光電変換部1の蓄積する電荷が正孔と電子のいずれであっても、光電変換部1の出力する信号は入射光の光量の増大と共に大きくなる、と表記する。この信号値の大小関係の表記について、光電変換部1のみならず、他の素子が出力する信号についても同様である。

【0018】

差動増幅回路10は、MOSトランジスタ11、MOSトランジスタ12、MOSトランジスタ13、MOSトランジスタ14、電流源のMOSトランジスタ15、出力ノード16を有する。MOSトランジスタ13、MOSトランジスタ14は電源電圧VDDが与えられ、カレントミラー回路を構成している。つまり、MOSトランジスタ13とMOSトランジスタ14の双方のゲートと、MOSトランジスタ13の一方の主ノードとが第1のノードに電氣的に接続されている。MOSトランジスタ13とMOSトランジスタ14とによって、差動増幅回路10の能動負荷が構成されている。差動増幅回路10は本実施例の差動増幅部である。また、MOSトランジスタ11のゲートは、差動増幅部の入力ノードである。また、出力ノード16は差動増幅部の出力ノードである。また、MOSトランジスタ13は、差動増幅部が有する第1のMOSトランジスタである。また、MOSトランジスタ14は、差動増幅部が有する第2のMOSトランジスタである。また、MOSトランジスタ11は、差動増幅部が有する第3のMOSトランジスタである。また、MOSトランジスタ12は、差動増幅部が有する第4のMOSトランジスタである。

【0019】

出力ノード16は、スイッチMOSトランジスタ20を介して容量素子CMと、フォロワ回路40の入力ノードに電氣的に接続されている。フォロワ回路40は本実施例の出力回路である。

【0020】

また、フォロワ回路40の出力ノードは、MOSトランジスタ12に電氣的に接続されており、フォロワ回路40の出力S I G O U Tが差動増幅回路10にフィードバックされる。つまり、スイッチMOSトランジスタ20は差動増幅回路10のフィードバック経路に設けられている。フォロワ回路40は出力S I G O U Tを信号処理部103に出力する。容量素子CMは本実施例の信号保持部である。フォロワ回路40の出力S I G O U Tは、本実施例の出力回路が出力する出力信号である。

【0021】

さらに本実施例の画素部は、電位制御部50として、MOSトランジスタ51を有している。MOSトランジスタ51は一方の主ノードに電源電圧VDDが与えられている。他方の主ノードは、MOSトランジスタ13とMOSトランジスタ14の双方のゲートと、MOSトランジスタ13の一方の主ノードとが共通に電氣的に接続されたノードに電氣的に接続されている。MOSトランジスタ51は、電位制御部50が含む第5のMOSトランジスタである。

【0022】

次に、図1(c)を参照しながら図1(b)に示した画素部を有する光電変換装置の動

10

20

30

40

50

作について説明する。

【 0 0 2 3 】

図 1 (c) に示したパルス P C H はスイッチ M O S トランジスタ 2 0 の制御ノードであるゲートに与えられるパルスである。パルス P C H が H レベルの時に出力ノード 1 6 の容量素子 C M とフォロワ回路 4 0 の入力ノードとが導通する。パルス P C H _ E N D は M O S トランジスタ 5 1 のゲートに与えられるパルスである。パルス P C H _ E N D が H レベルの時に、電源電圧 V D D に基づく電位が、M O S トランジスタ 1 3 の一方の主ノードと、M O S トランジスタ 1 3、M O S トランジスタ 1 4 のそれぞれのゲートに与えられる。パルス H S R はシフトレジスタ 1 0 2 が各画素部 1 0 1 の信号に基づく信号を信号処理部 1 0 3 に出力させるパルスである。

10

【 0 0 2 4 】

時刻 t_1 まで、パルス P R S、パルス P C H は H レベルである。よって、光電変換部 1、差動増幅回路 1 0、容量素子 C M がリセットされている。また、パルス P C H _ E N D は L レベルである。

【 0 0 2 5 】

時刻 t_1 にパルス P R S を L レベルとし、光電変換部 1、差動増幅回路 1 0 のそれぞれのリセットを解除する。光電変換部 1 が入射光を光電変換して蓄積した電荷に基づく電位を M O S トランジスタ 1 1 のゲートに与える。

【 0 0 2 6 】

時刻 t_2 に、パルス P C H を L レベル、即ちスイッチ M O S トランジスタ 2 0 のゲートをオフ電位とする。L レベルのパルス P C H は、スイッチ M O S トランジスタ 2 0 のゲートとソースとの間の電圧を閾値電圧以下とする所定電位である。これにより、容量素子 C M はこの時刻 t_2 に出力ノード 1 6 から出力される信号に基づく電荷を保持する。光電変換部 1 は露光され続けており、M O S トランジスタ 1 3 のゲートの電位は高くなるが、スイッチ M O S トランジスタ 2 0 がオフとなっているため、容量素子 C M が保持する電荷量は変わらない。

20

【 0 0 2 7 】

時刻 t_3 にパルス P C H _ E N D を H レベルとする。これにより、M O S トランジスタ 1 3 と M O S トランジスタ 1 4 のゲートの電位が電源電圧 V D D にクリップされる。これにより、出力ノード 1 6 から出力される信号は、フォロワ回路 4 0 の出力する信号から M O S トランジスタ 1 4 の閾値電圧分低下した信号レベルに低下する。図 2 (a) に、出力ノード 1 6 と電気的に接続されたスイッチ M O S トランジスタ 2 0 の主ノード (以下、スイッチ M O S トランジスタ 2 0 のゲートの電位について示す。) と、スイッチ M O S トランジスタ 2 0 のゲートの電位について示す。図 2 (a) のスイッチ M O S トランジスタ 2 0 のゲートの電位は実際に与えられる電位を示している。図 1 (c) のタイミング図に示したパルス P C H は、本明細書のタイミング図では M O S トランジスタのオン時を H レベル、オフ時を L レベルとしているため、逆となっていることに注意されたい。スイッチ M O S トランジスタ 2 0 のオン時、オフ時のスイッチ M O S トランジスタ 2 0 の入力ノードの電位について説明する。スイッチ M O S トランジスタ 2 0 のオフ時は、M O S トランジスタ 1 2 には、フォロワ回路 4 0 の出力する固定の信号 S I G O U T が与えられる。つまり、差動増幅回路 1 0 はオープンループ状態となっており、コンパレータとして動作し得る。M O S トランジスタ 1 1 のゲートに与えられる電荷はフォトダイオード 1 が露光され続けていることにより増加する。従って、オープンループ状態にある差動増幅回路 1 0 の出力ノード 1 6 の電位は、特許文献 1 に記載の光電変換装置の場合、スイッチ M O S トランジスタ 2 0 のオン時の電位から電源電圧 V D D 付近に上昇する。つまり、スイッチ M O S トランジスタ 2 0 の入力ノードの電位は、スイッチ M O S トランジスタ 2 0 がオフすることによって、スイッチ M O S トランジスタをオンする方向に上昇する。これにより、スイッチ M O S トランジスタ 2 0 で生じるサブスレッショルドリーク電流が増加する。従って、スイッチ M O S トランジスタ 2 0 のゲートにオフ電位を与えている期間であっても、容量素子 C M が保持する電荷量が増加しやすくなってしまう。一方で、本実施例の光電変換装

30

40

50

置では、スイッチMOSトランジスタ20の入力ノードとゲートとの電位差を、スイッチMOSトランジスタ20がオフする方向に大きくする。つまり、本実施例では、スイッチMOSトランジスタ20の入力ノードの電位を電源電圧VDDよりも小さい電位とする。これにより、本実施例の撮像装置は、スイッチMOSトランジスタ20のゲートにオフ電位を与えている期間のサブスレッショルドリーク電流を低減することができる。本実施例の光電変換装置では、一方の入力ノードに与えられた電荷に基づく信号に基づいて差動増幅部が出力ノードに信号を出力することによってスイッチMOSトランジスタに流れるサブスレッショルドリーク電流よりも少ないサブスレッショルドリーク電流となるように、電位制御部がスイッチMOSトランジスタの一方の主ノードの電位を制御している。つまり、スイッチMOSトランジスタ20の制御ノードに与えられている所定電位に、スイッチMOSトランジスタ20の入力ノードの電位が近づくのを抑制するように、入力ノードの電位を制御している。そして、本実施例の撮像装置は、容量素子CMの保持する電荷量が変化しにくい効果を有する。

10

【0028】

時刻t4以降、シフトレジスタ102が順次、画素部101の各々から信号を信号処理部103に出力させる。

【0029】

次に図2(b)に、他の形態の画素部101の等価回路を示す。図2(b)に示した画素部101では、図1(b)に示した画素部101と同じ機能を有する部材については同じ符号を付して表している。図1(b)に示した画素部101は、光電変換部1が入射光に基づいて正孔を蓄積する形態であった。一方、図2(b)に示した画素部101は、光電変換部1が入射光に基づいて電荷を蓄積する形態である。この形態の画素部101が有する各MOSトランジスタの導電型は、図1(b)の画素部101が有する各MOSトランジスタの導電型を反対とすれば良い。この形態の場合、時刻t3以降、MOSトランジスタ13とMOSトランジスタ14のゲートの電位がグラウンドレベルの電位にクリップされる。

20

【0030】

本実施例では、光電変換部1とMOSトランジスタ11とが直結されている形態を基に説明した。しかし、本実施例はこの形態に限定されるものではなく、光電変換部1とMOSトランジスタ11との電氣的経路にスイッチが設けられている形態であっても良い。この形態の場合、スイッチが図1(c)に示した動作において、時刻t1以前から、少なくとも時刻t4までオンしている形態であれば良い。

30

【0031】

また、容量素子CMは、MOS容量やPN接合容量などの独立した素子であってもよいし、フォロワ回路40の入力ノードのMOSトランジスタのゲートに付随する寄生容量であってもよい。

【0032】

また、本実施例では、差動増幅回路10の出力する信号を差動増幅回路10にフィードバックする構成の一例として、画素部101がフォロワ回路を有する形態を基に説明した。しかし、差動増幅回路10の出力する信号をフィードバックする構成はフォロワ回路以外であっても良く、差動増幅回路10の出力する信号がMOSトランジスタ12に与えられる構成を有していれば良い。

40

【0033】**[実施例2]**

図面を参照しながら、実施例1と異なる点を中心に本実施例の光電変換装置について説明する。

【0034】

図3(a)は本実施例の光電変換装置が有する画素部101の等価回路図である。図3(a)では、図1(b)に示した画素部101と同じ機能を有する部材について同一の符号を付して表している。

50

【0035】

本実施例では、MOSトランジスタ13、MOSトランジスタ14の双方のゲートと、MOSトランジスタ13の一方の主ノードとが電氣的に接続されたノードに、電位制御部50のMOSトランジスタ51の一方の主ノードが電氣的に接続されている。また、MOSトランジスタ51の他方の主ノードが、出力ノード16に電氣的に接続されている。

【0036】

図3(a)に示した画素部101を有する光電変換装置の動作は、実施例1で述べた図1(c)と同様とすることができる。

【0037】

時刻 t_3 にパルスPCH_ENDをHレベルとする。これにより、MOSトランジスタ13、MOSトランジスタ14のそれぞれのゲートと、MOSトランジスタ11と、MOSトランジスタ12とのそれぞれの一方の主ノードとがショートされる。MOSトランジスタ13、MOSトランジスタ14には電流源のMOSトランジスタ15から電流が流れている。

【0038】

出力ノード16の電位は、電源電圧VDDから、MOSトランジスタ14の閾値電圧およびオーバードライブ電圧を加算した電圧分低下した値となる。従って、スイッチMOSトランジスタ20の入力ノードの電位とゲートとの電位差が特許文献1に記載の光電変換装置に比して、スイッチMOSトランジスタ20がオフする方向に大きくなる。よって、実施例1の光電変換装置と同様の効果を得ることができる。

【0039】

また、本実施例では光電変換部1が入射光に基づいて正孔を蓄積する形態を説明した。光電変換部1が入射光に基づいて電子を蓄積する形態であっても、光電変換装置の各MOSトランジスタの導電型を反対にすることにより、好適に実施することができる。

【0040】

[実施例3]

図面を参照しながら、実施例1と異なる点を中心に本実施例の光電変換装置を説明する。

【0041】

図3(b)は本実施例の光電変換装置が有する画素部101の等価回路図である。図3(b)では、図1(b)に示した画素部101と同じ機能を有する部材について同一の符号を付して表している。

【0042】

本実施例の光電変換装置が有する画素部101は、電位制御部50のMOSトランジスタ51の一方の主ノードがスイッチMOSトランジスタ20の入力ノードに電氣的に接続されている。また、MOSトランジスタ51の他方の主ノードにグラウンドレベルの電位が与えられている。

【0043】

図3(b)に示した画素部101は、実施例1で述べた図1(c)の動作と同様とすることができる。

【0044】

時刻 t_3 にパルスPCH_ENDをHレベルとすると、スイッチMOSトランジスタ20の入力ノードの電位がグラウンドレベルにクリップされる。これにより、スイッチMOSトランジスタの入力ノードとゲートとの電位差が特許文献1に記載の光電変換装置に比してスイッチMOSトランジスタ20がオフする方向に大きくなる。よって、実施例1、2と同様の効果を得ることができる。

【0045】

また、本実施例では光電変換部1が入射光に基づいて正孔を生成する形態を説明した。光電変換部1が入射光に基づいて電子を蓄積する形態であっても、画素部101の各MOSトランジスタの導電型を反対にすることにより、好適に実施することができる。この形

10

20

30

40

50

態の場合には、MOSトランジスタ51をPMOSトランジスタとする。MOSトランジスタ51に与える電位をグラウンドレベルの電位の代わりに電源電圧VDDとし、スイッチMOSトランジスタ20の入力ノードの電位を電源電圧VDD付近とすれば良い。

【0046】

[実施例4]

図面を参照しながら、実施例1と異なる点を中心に本実施例の光電変換装置を説明する。

【0047】

図4(a)は本実施例の光電変換装置が有する画素部101の等価回路図である。図4(a)では、図1(b)に示した画素部101と同じ機能を有する部材について同一の符号を付して表している。

10

【0048】

本実施例の光電変換装置が有する画素部101は、電位制御部50のMOSトランジスタ51の一方の主ノードがMOSトランジスタ12のゲートに電気的に接続されている。MOSトランジスタ51の他方の主ノードに電源電圧VDDが与えられている。また、MOSトランジスタ12のゲートはMOSトランジスタ60を介してフォロワ回路40の出力ノードと電気的に接続されている。

【0049】

本実施例の光電変換装置の動作を、図4(b)を参照しながら説明する。

【0050】

20

パルスB_PCH_ENDはMOSトランジスタ60のゲートに与えられるパルスであり、パルスPCH_ENDを反転したパルスである。パルスB_PCH_ENDは時刻t1以前からHレベルであり、時刻t3にLレベルとなる。その他のパルスの動作は図1(c)に示した動作と同様とすることができる。

【0051】

時刻t3に、パルスPCH_ENDがHレベルとなると、MOSトランジスタ51によってMOSトランジスタ12のゲートの電位が電源電圧VDDとし、スイッチMOSトランジスタ20の入力ノードの電位をグラウンドレベル付近とする。よって、スイッチMOSトランジスタ20の入力ノードとゲートの電位差が、特許文献1に記載の光電変換装置に比して、スイッチMOSトランジスタ20がオフする方向に大きくなる。従って、実施例1~3と同様の効果を得ることができる。また、MOSトランジスタ60がオフすることで、MOSトランジスタ51からフォロワ回路40への電流を遮断できるため、MOSトランジスタ51をオンすることによる消費電流の増大を抑制することができる。

30

【0052】

実施例3の画素部101では、MOSトランジスタ51がオンすることにより出力ノード16からMOSトランジスタ51に電流が流れ、消費電流が増加していた。一方、本実施例の光電変換装置が有する画素部101は、MOSトランジスタ51がオンすることによる電流経路の増加は生じないため、実施例3の画素部101に比して消費電流を低減する効果を有する。

【0053】

40

また、本実施例では光電変換部1が入射光に基づいて正孔を生成する形態を説明した。光電変換部1が入射光に基づいて電子を蓄積する形態であっても、画素部101の各MOSトランジスタの導電型を反対にすることにより、好適に実施することができる。この形態の場合には、MOSトランジスタ51をNMOSトランジスタとする。MOSトランジスタ51に与える電位を電源電圧VDDの代わりにグラウンドレベルの電位とすれば良い。

【0054】

[実施例5]

図面を参照しながら、実施例1と異なる点を中心に本実施例の光電変換装置を説明する。

50

【 0 0 5 5 】

図 5 (a) は本実施例の光電変換装置が有する画素部 1 0 1 の等価回路図である。

【 0 0 5 6 】

本実施例の光電変換装置が有する画素部 1 0 1 は図 1 (b) に示した実施例 1 で示した画素部 1 0 1 に、M O S トランジスタ 7 0 と容量素子 C L を設けた形態である。

【 0 0 5 7 】

M O S トランジスタ 7 0 は、M O S トランジスタ 1 1 に対して光電変換部 1 と並列に電氣的に接続されている。M O S トランジスタ 7 0 は本実施例の第 6 の M O S トランジスタである。容量素子 C L の一方の主ノードは M O S トランジスタ 7 0 に電氣的に接続され、他方の主ノードに電源電圧 V D D が与えられている。

10

【 0 0 5 8 】

本実施例の光電変換装置の動作を、図 5 (b) を参照しながら説明する。

【 0 0 5 9 】

パルス P S W は M O S トランジスタ 7 0 のゲートに与えられるパルスである。時刻 t 1 まで、パルス P S W は H レベルであり、容量素子 C L の電荷がリセットされている。

【 0 0 6 0 】

時刻 t 2 から時刻 t 3 の期間、パルス P S W を H レベルとするか L レベルとするかによって、容量素子 C L の容量分だけ電荷変換係数を変えることができる。これにより、入射光に対する画素部 1 0 1 の感度を切り替えることができる。

【 0 0 6 1 】

時刻 t 4 に、シフトレジスタ 1 0 2 は各信号処理部 1 0 3 から順次、画素部 1 0 1 の出力する信号に基づく信号を出力させる。

20

【 0 0 6 2 】

本実施例の光電変換装置では、例えば、パルス P S W を H レベルとして時刻 t 1 から時刻 t 4 の動作を行い、信号処理部から出力された信号が基準値よりも小さいと判定されたとする。この場合には、再び時刻 t 1 から時刻 t 4 の動作を、時刻 t 1 から時刻 t 3 の期間、パルス P S W を L レベルとして行う。このように、本実施例の光電変換装置は、入射光の光量に応じて、光電変換部 1 と M O S トランジスタ 1 1 との間の電氣的経路の容量値を切り替えて感度を異ならせることのできる構成を有している。

【 0 0 6 3 】

本実施例の光電変換装置においても、実施例 1 と同様の電位制御部 5 0 を有することにより、実施例 1 と同様の効果を得ることができる。

30

【 0 0 6 4 】

また、本実施例では光電変換部 1 が入射光に基づいて正孔を生成する形態を説明した。光電変換部 1 が入射光に基づいて電子を蓄積する形態であっても、画素部 1 0 1 の各 M O S トランジスタの導電型を反対にすることにより、好適に実施することができる。

【 0 0 6 5 】

[実施例 6]

本実施例の光電変換装置の形態について説明する。

【 0 0 6 6 】

図 6 は本実施例の光電変換装置が有する画素部 1 0 1 の一例を示した等価回路図である。図 6 の画素部 1 0 1 では、図 1 (a) の画素部 1 0 1 の 3 列を抜き出して示したものである。信号処理部 1 0 3 は出力部 4 0 0、ノイズ処理回路 3 0 0 - 1、3 0 0 - 2 を有している。各々の画素部 1 0 1 のフォロワ回路 4 0 の出力は、各々が画素部 1 0 1 に対応して設けられたノイズ処理回路 3 0 0 - 1、3 0 0 - 2 に与えられる。ノイズ処理回路 3 0 0 - 1 の各々は、最大値検出部 5 0 0 に電氣的に接続されている。ノイズ処理回路 3 0 0 - 2 の各々は、O R 回路 9 2 を介して最小値検出部 6 0 0 に電氣的に接続されている。信号蓄積制御部 1 0 5 が出力するパルス B o t t o m が H レベルとなると、ノイズ処理回路 3 0 0 - 2 の各々から出力される信号の最小値が最小値検出部 6 0 0 に与えられる。また、シフトレジスタ 1 0 2 がノイズ処理回路 3 0 0 - 2 を順次選択すると、最小値検出部 6

40

50

00に各ノイズ処理回路300-2が出力する信号が与えられる。最小値検出部600は、このノイズ処理回路300-2の各々の信号を順次、外部出力部106に出力する。

【0067】

出力部400は最大値検出部500、最小値検出部600を有している。最大値検出部500には、信号蓄積制御部105が出力するパルスPEAKがHレベルの時、各ノイズ処理回路300-1が出力する信号のうち、最大値の信号が与えられる。最大値検出部500は、この最大値の信号をAGC回路104に出力する。最小値検出部600には、信号蓄積制御部105が出力するパルスBottomがHレベルの時、各ノイズ処理回路300-2が出力する信号のうち、最小値の信号が与えられる。最小値検出部600は、この最小値の信号をAGC回路104に出力する。出力部400の信号出力動作は、先の実施例1で述べたように、信号蓄積制御部105の信号に基づいて行われる。本実施例の光電変換装置の画素部101は実施例1~5で述べたいずれの形態であっても良いが、本実施例では実施例5の画素部101を設けた形態について説明する。

10

【0068】

ノイズ処理回路300-1の差動アンプ80と、ノイズ処理回路300-2の差動アンプ86は出力を反転入力ノードにフィードバックさせて電圧フォロワで動作する。ノイズ処理回路300-1, 300-2は、MOSトランジスタ81、クランプ容量素子CN、MOSトランジスタ82、MOSトランジスタ85によってクランプ回路を構成している。ノイズ処理回路300-1, 300-2のMOSトランジスタ81は、画素部101と差動アンプ80の非反転入力ノードとの導通、非導通を切り替える。ノイズ処理回路300-1, 300-2のMOSトランジスタ82はクランプ容量素子CNの一方の主ノードに電位VGRを与えるか否かを切り替える。ノイズ処理回路300-1, 300-2のMOSトランジスタ85は差動アンプ80の出力ノードとクランプ容量素子CNとの導通、非導通を切り替える。

20

【0069】

ノイズ処理回路300-1, 300-2のMOSトランジスタ83は画素部101とクランプ容量素子CNとの導通、非導通を切り替える。ノイズ処理回路300-1, 300-2のMOSトランジスタ84はクランプ容量素子CNと差動アンプ80の非反転入力ノードとの導通、非導通を切り替える。ノイズ処理回路300-1のMOSトランジスタ90は差動アンプ80と最大値検出部500との導通、非導通を切り替える。ノイズ処理回路300-2のMOSトランジスタ91は差動アンプ86と最小値検出部600との導通、非導通を切り替える。

30

【0070】

ノイズ処理回路300-2のMOSトランジスタ91はシフトレジスタ102が出力するパルスHSRと、信号蓄積制御部105が出力するパルスBottomの一方がHレベルの時に導通状態となる。

【0071】

次に、図7(a)を参照しながら図6に示したノイズ処理回路300-1, 300-2の動作について説明する。

【0072】

時刻t10まで、パルスPRS, PSW, PCH, PTN1, PTN2, PGR, PEAK, BottomはHレベルである。これにより、光電変換部1、差動増幅回路10、容量素子CL, 容量素子CM、クランプ容量素子CNがリセットされている。パルスPCH_END, PTS2, PTS1はLレベルである。

40

【0073】

時刻t10にパルスPRSをLレベルとし、光電変換部1、差動増幅回路10のリセットを解除する。パルスPSWは実施例5と同様に入射光の光量に応じて、HレベルかLレベルとすれば良い。

【0074】

時刻t11にパルスPTN2をLレベルとする。続いて、時刻t12にパルスPTN1

50

をLレベルとする。そして、時刻t13にパルスPTS1をHレベルとする。さらに、時刻t14にパルスPGRをLレベルとする。この時刻t11～t14の動作により、クランプ容量素子CNにフォロワ回路40が出力するノイズ信号に基づく電荷が保持される。

【0075】

時刻t15にパルスPTS2をHレベルとする。これにより、フォロワ回路40の出力はMOSトランジスタ83を介してクランプ容量素子CNに与えられる。クランプ容量素子CNにはノイズ信号に基づく電荷が保持されている。よって、差動アンプ80の非反転入力ノードには、フォロワ回路40の出力する信号からノイズ信号を差し引いた信号が与えられる。従って、差動アンプ80はフォロワ回路40の出力する信号からノイズ信号を差し引いた信号を増幅して出力する。従って、本実施例の光電変換装置は、ノイズ成分の少ない信号を信号処理部103から出力させることができる。

10

【0076】

時刻t16に、パルスPCH、PEAK、BottomをLレベルとする。

時刻t17にパルスPCH_ENDをHレベルとする。これにより、実施例1の光電変換装置と同様に、スイッチMOSトランジスタ20をオフとしている時のフォロワ回路40の出力する信号レベルの変動を特許文献1に記載の光電変換装置に比して抑制することができる。

【0077】

時刻t18以降、シフトレジスタ102はパルスHSRを各MOSトランジスタ90に与え、各ノイズ処理回路300から信号を出力させる。

20

【0078】

ノイズ処理回路300の構成は、図6に示したものに限るものではない。例えばフォロワ回路40の出力ノードとMOSトランジスタ90との電氣的経路にクランプ容量素子を設け、クランプ容量素子のフォロワ回路のノイズ信号を保持させる形態であっても良い。

【0079】

[実施例7]

図7(b)は、本実施例の撮像システムの構成の一例を示すブロック図である。

【0080】

本実施例の撮像システムは、バリア901、被写体の光学像を結像するレンズ902、レンズ902を通過した光量を調整するための絞り903を有する。さらに撮像システムは、レンズ902で結像された被写体の光学像を画像信号として取得する撮像装置904を有する。さらに撮像システムは、実施例1～5で説明した光電変換装置905を有する。バリア901、レンズ902、絞り903は撮像装置904と光電変換装置905に入射光を集光する光学系である。

30

【0081】

さらに撮像システムは、撮像装置904と光電変換装置905から出力される信号を処理するアナログ信号処理装置906、アナログ信号処理装置906から出力された信号をアナログデジタル変換するA/D変換器907を有する。さらに撮像システムは、A/D変換器907より出力された画像データに対して各種の補正や、データを圧縮するデジタル信号処理部908を有する。

40

【0082】

さらに撮像システムは、画像データを一時記憶するためのメモリ部909、外部コンピュータなどと通信するための外部I/F回路910、デジタル信号処理部908などに各種タイミング信号を出力するタイミング発生部911を有する。さらに撮像システムは、各種演算とカメラ全体を制御する全体制御・演算部912、記録媒体制御I/F部913、取得した画像データを記録、又は読み出しを行うための半導体メモリなどの着脱可能な記録媒体914、外部コンピュータ915を有する。

【0083】

次に、上記の撮像システムの撮影時の動作について説明する。

【0084】

50

バリア901がオープンされ、光電変換装置905から出力された信号をもとに、全体制御・演算部912は前記したような位相差検出により被写体までの距離を演算する。その後、演算結果に基づいてレンズ902を駆動し、再び焦点が合っているか否かを判断し、焦点が合っていないと判断したときには、再びレンズ902を駆動するオートフォーカス制御を行う。次いで、合焦が確認された後に撮像装置904による蓄積動作が始まる。撮像装置904の蓄積動作が終了すると、撮像装置904から出力された画像信号はA/D変換器907でアナログデジタル変換され、デジタル信号処理部908を通り全体制御・演算によりメモリ部909に書き込まれる。その後、メモリ部909に蓄積されたデータは全体制御・演算部912の制御により記録媒体制御I/F部913を介して記録媒体914に記録される。また、外部I/F部910を通して直接コンピュータなどに与えてもよい。

10

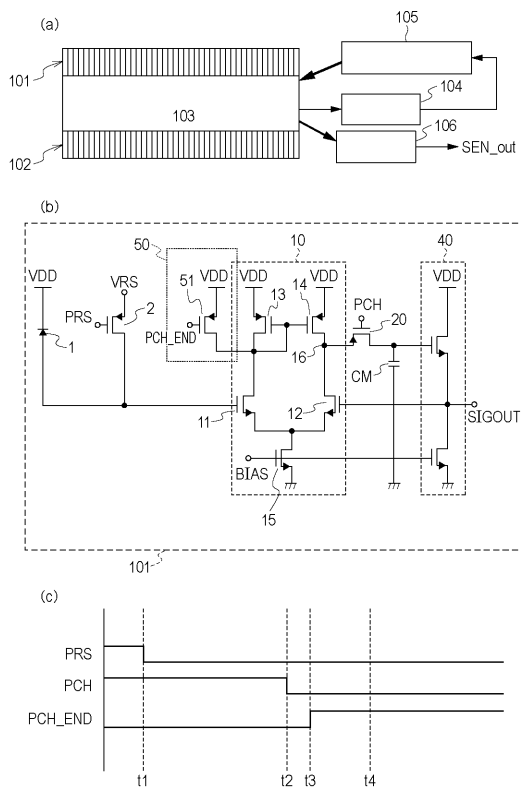
【符号の説明】

【0085】

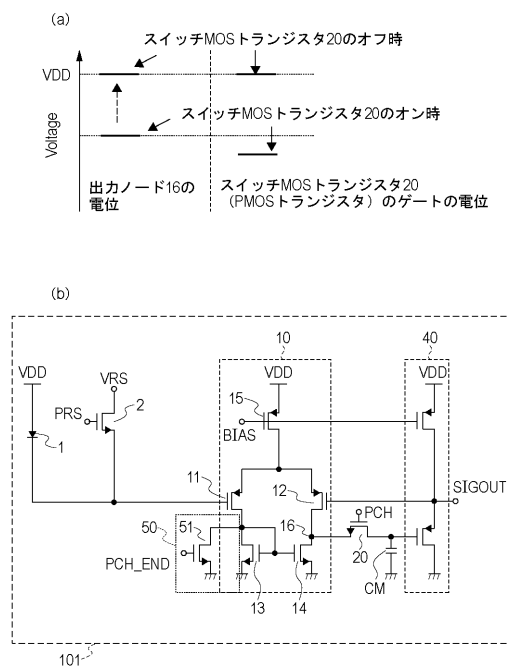
- 1 光電変換部
- 2、11、12、13、14、15、51 MOSトランジスタ
- 10 差動増幅回路
- 16 出力ノード
- 20 スイッチMOSトランジスタ
- CM 容量素子
- 40 フォロワ回路
- 50 電位制御部

20

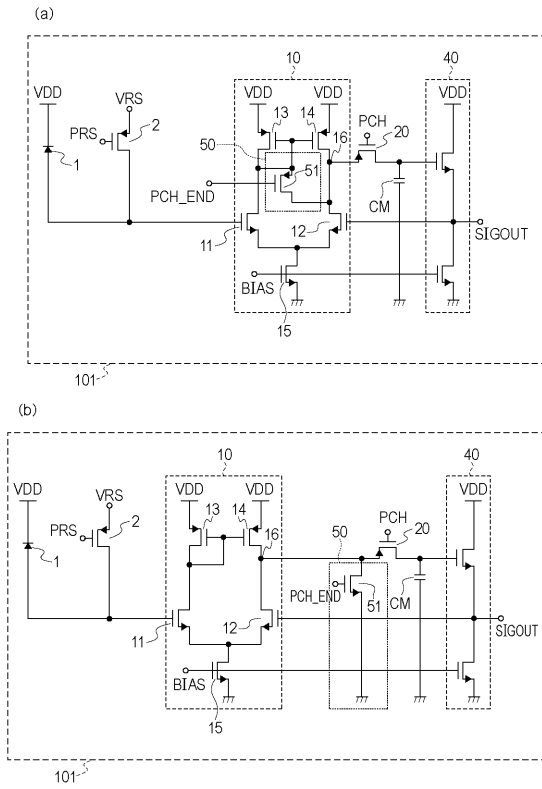
【図1】



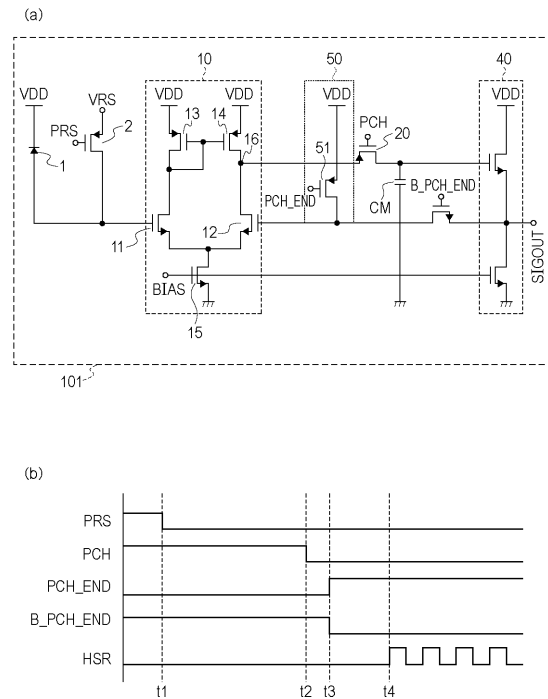
【図2】



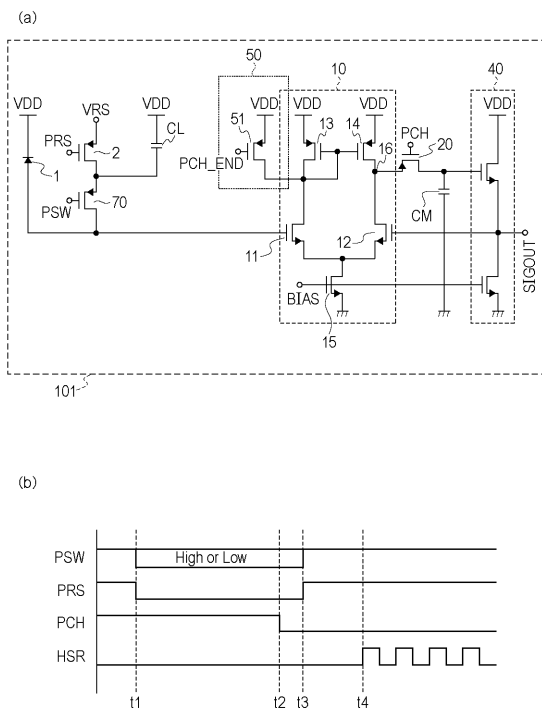
【図3】



【図4】



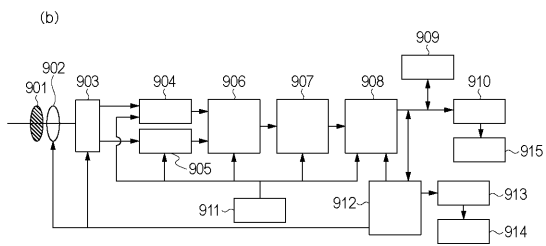
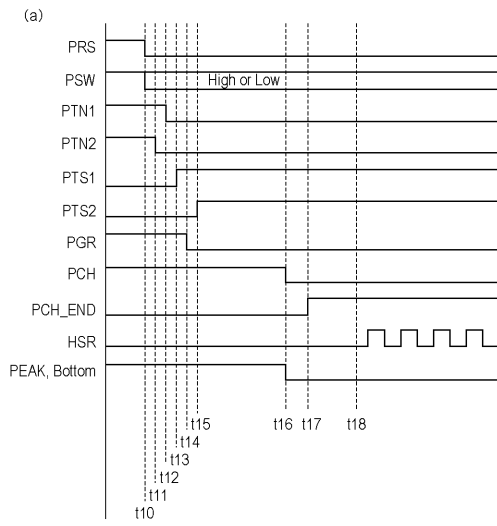
【図5】



【図6】



【 図 7 】



フロントページの続き

- (56)参考文献 特開2011-124894(JP,A)
特開2001-320630(JP,A)
特開2000-078472(JP,A)
特開2008-085862(JP,A)
国際公開第2010/116974(WO,A1)
米国特許出願公開第2009/0321613(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146
G02B 7/30
H01L 31/10
H04N 5/369