



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

198 386

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 02 12 75
(21) PV 8144-75

(51) Int. Cl.³ G 06 F 9/06

(40) Zveřejněno 17 09 79
(45) Vydáno 01 7 82

(75)

Autor vynálezu

BUGÁR JÁN ing., PŘÍBRAM A SCHLEMMER ARNOŠT, DOBŘÍŠ

(54)

Operační blok, zejména pro řídicí procesory

1

Vynález řeší operační blok, zejména pro řídicí procesory.

Obdobné bloky pro řídicí automatická zařízení jsou běžně sestavovány z logických prvků. Způsob skladby je dán charakterem koncepčního řešení těchto automatických zařízení. V rámci dané koncepce potom používané způsoby skladby umožňují bezpečný provoz automatického zařízení i řízeného objektu, avšak neumožňují činnost příslušného stupně řízení s omezenou činností automatiky v případě poruchy méně důležitého čidla.

Uvedený nedostatek odstraňuje operační blok pro řídicí procesory podle vynálezu, jehož podstata spočívá v tom, že první vnější vypínací vstup prvního blokovacího součtového členu je spojen s druhým vstupem druhého blokovacího součtového členu, první výstup prvního paměťového členu je spojen s prvním vstupem druhého zábranového členu, první vstup prvního zábranového členu je napojen na první výstup druhého paměťového členu, druhý vstup prvního výběrového členu je spojen s druhým vstupem druhého výběrového členu a s výstupem výstupního zábranového členu, třetí vstup prvního výběrového členu je spojen se třetím vstupem druhého výběrového členu a s výstupem výstupního blokovacího členu, výstup prvního blokovacího členu je spojen s druhým vstupem výstupního zábranového členu a s druhým vstupem výstupního blokovacího členu, výstup druhého blokovacího členu je spojen s prvním vstupem výstupního zábranového členu a s prvním vstupem výstupního blokovacího členu, na první

188 388

výstup prvního blokovacího součtového členu je napojen třetí vstup prvního zábránového členu, na druhý výstup prvního blokovacího součtového členu je napojen první vstup prvního paměťového členu, na jehož třetí výstup je napojen první vstup prvního výběrového členu, na první výstup prvního součtového členu jsou napojeny pátý vstup prvního výběrového členu a třetí vstup prvního blokovacího členu, na druhý výstup prvního součtového členu jsou napojeny druhý vstup prvního paměťového členu, čtvrtý vstup prvního výběrového členu, druhý vstup prvního zábránového členu a první vstup prvního blokovacího členu, na druhý výstup prvního paměťového členu je napojen vstup prvního signalizačního členu, na výstup prvního výběrového členu je napojen první vstup prvního výstupního paměťového členu, na jehož druhý vstup je napojen výstup prvního zábránového členu, a na jehož výstup jsou napojeny vstup prvního zesilovače a druhý vstup prvního blokovacího členu, na první výstup druhého blokovacího součtového členu je napojen třetí vstup druhého zábránového členu, na druhý výstup druhého blokovacího součtového členu je napojen první vstup druhého paměťového členu, na jehož druhý výstup je napojen vstup druhého signalizačního členu, a na jehož třetí výstup je napojen první vstup druhého výběrového členu. Na první výstup druhého součtového členu je napojen vstup druhého blokovacího členu, na jehož výstup jsou napojeny pátý vstup druhého výběrového členu a třetí vstup druhého blokovacího členu. Na druhý výstup druhého součtového členu jsou napojeny třetí vstup druhého blokovacího součtového členu, druhý vstup druhého paměťového členu, čtvrtý vstup druhého výběrového členu, druhý vstup druhého zábránového členu a první vstup druhého blokovacího členu, na výstup druhého výběrového členu je napojen první vstup druhého výstupního paměťového členu, na jehož druhý vstup je napojen výstup druhého zábránového členu, a na jehož výstup jsou napojeny vstup druhého zesilovače a druhý vstup druhého blokovacího členu.

Operační blok umožňuje činnost řídícího procesoru, případně jiné binární automatiky, se zajištěním bezpečné činnosti automatiky i v případě její omezené funkce. Operační blok dále svou vnitřní strukturou a návazností na ostatní bloky umožňuje použití automatiky jako trenažéru pro obsluhu zařízení. Operační blok umožňuje bezpečný přechod z ručního řízení technologie na automatizovaný provoz, a to v obecném stavu řídícího procesoru, kdy struktura bloku spolu s návaznou částí procesoru současně zmenšuje rozsah řízení a umožňuje jednodušší způsob programování automatiky.

Na výkresech je schematicky znázorněno příkladné uspořádání operačního bloku podle vynálezu. Na obr. 1 je blokové schéma operačního bloku, na obr. 2 blokové schéma startovací sekce a na obr. 3 blokové schéma odatavovací sekce.

Operační blok je tvořen startovací sekcí A, odatavovací sekcí B, výstupním zábránovým členem C a výstupním blokovacím členem D. Operační blok má vnější vstupy a výstupy na propojení s ostatními bloky řídícího procesoru a dále vnitřní přenosové cesty mezi jednotlivými členy. Startovací sekce A obsahuje první blokovací součtový člen 1 s prvním vnějším vypínacím vstupem 1.1, vstupem 1.2, prvním výstupem 1.3 a druhým výstupem 1.4, první součtový člen 2 s vnějším startovacím vstupem 2.1, prvním vnějším přeskokovým vstupem 2.2, prvním výstupem 2.3 a druhým výstupem 2.4, první paměťový člen 3 s prvním vstupem 3.1,

druhým vstupem 3.2, prvním vnějším vyhledávacím výstupem 3.3, prvním výstupem 3.4, druhým výstupem 3.5 a třetím výstupem 3.6, první výběrový člen 4 s prvním vstupem 4.1, druhým vstupem 4.2, třetím vstupem 4.3, čtvrtým vstupem 4.4, pátým vstupem 4.5 a výstupem 4.6, první výstupní paměťový člen 5 s prvním vstupem 5.1, druhým vstupem 5.2 a výstupem 5.3, první zesilovač 6 se vstupem 6.1 a prvním vnějším ovládacím výstupem 6.2, první signalizační člen 7 se vstupem 7.1, prvním vnějším signalizačním výstupem 7.2 a prvním vnějším cílovým vstupem 7.3, první zábranový člen 8 s prvním vnějším krokovacím vstupem 8.2, druhým vstupem 8.3, třetím vstupem 8.4 a výstupem 8.5 a první blokovací člen 9 s prvním vstupem 9.1, druhým vstupem 9.2, třetím vstupem 9.3 a výstupem 9.4. Odstavovací sekce B obsahuje druhý blokovací součtový člen 10 s prvním vstupem 10.1, druhým vstupem 10.2, třetím vstupem 10.3, prvním výstupem 10.4 a druhým výstupem 10.5, druhý součtový člen 11 s vnějším odstavovacím vstupem 11.1, vnějším zabezpečovacím vstupem 11.2, prvním výstupem 11.3 a druhým výstupem 11.4, druhý paměťový člen 12 s prvním vstupem 12.1, druhým vstupem 12.2, druhým vnějším vyhledávacím výstupem 12.3, druhým výstupem 12.5, třetím výstupem 12.6 a prvním výstupem 12.4, druhý výběrový člen 13 s prvním vstupem 13.1, druhým vstupem 13.2, třetím vstupem 13.3, čtvrtým vstupem 13.4, pátým vstupem 13.5 a výstupem 13.6, druhý výstupní paměťový člen 14 s prvním vstupem 14.1, druhým vstupem 14.2 a výstupem 14.3, druhý zesilovač 15 se vstupem 15.1 a druhým vnějším ovládacím výstupem 15.2, druhý blokovací člen 16 s druhým vnějším přeskokovým vstupem 16.1, vstupem 16.2 a výstupem 16.3, druhý signalizační člen 17 se vstupem 17.1, druhým vnějším signalizačním výstupem 17.2 a druhým vnějším cílovým vstupem 17.3, druhý zábranový člen 18 s druhým vnějším krokovacím vstupem 18.1, prvním vstupem 18.2, druhým vstupem 18.3, třetím vstupem 18.4 a výstupem 18.5 a druhý blokovací člen 19 s prvním vstupem 19.1, druhým vstupem 19.2, třetím vstupem 19.3 a výstupem 19.4. Výstupní zábranový člen C obsahuje vnější zábranový vstup C.1, první vstup C.2, druhý vstup C.3, vnější uvolňovací vstup C.4, výstup C.5 a vnější zábranový výstup C.6. Výstupní blokovací člen D obsahuje vnější blokovací vstup D.1, první vstup D.2, druhý vstup D.3, výstup D.4 a vnější blokovací výstup D.5. Vnitřní struktura jednotlivých členů je vyznačena logickými značkami, směry předávaných informací šipkami. První signalizační člen 7 a druhý signalizační člen 17 obsahují logiku, která zabezpečuje přechod z kmitavé na klidovou indikaci průběhu řízení v ovládací dozorně po dosažení cílového stavu. První vnější vypínací vstup 1.1 prvního blokovacího součtového členu 1 je spojen s druhým vstupem 10.1 druhého blokovacího součtového členu 10. Vstup 1.2 prvního blokovacího součtového členu 1 je spojen s vnějším odstavovacím vstupem 11.1 druhého součtového členu 11. Vnější startovací vstup 2.1 prvního součtového členu 2 je spojen s druhým vstupem 10.2 druhého blokovacího součtového členu 10. První výstup 3.4 prvního paměťového členu 3 je spojen s prvním vstupem 18.2, druhého zábranového členu 18. První vstup 8.2 prvního zábranového členu 8 je napojen na první výstup 12.4 druhého paměťového členu 12. Druhý vstup prvního výběrového členu 4 je spojen s druhým vstupem 13.2 druhého výběrového členu 13 a s výstupem C.5 výstupního zábranového členu C. Třetí vstup 4.3 prvního výběrového členu 4 je spojen se třetím vstupem 13.3

188 388

druhého výběrového členu 13 a s výstupem D.4 výstupního blokovacího členu D. Výstup 9.4 prvního blokovacího členu 9 je spojen s druhým vstupem C.3 výstupního zábranového členu C a s druhým vstupem D.3 výstupního blokovacího členu D. Výstup 19.4 druhého blokovacího členu 19 je spojen s prvním vstupem C.2 výstupního zábranového členu C a s prvním vstupem D.2 výstupního blokovacího členu D. Na první výstup 1.3 prvního blokovacího součtového členu 1 je napojen třetí vstup 8.4 prvního zábranového členu 8. Na druhý výstup 1.4 prvního blokovacího součtového členu 1 je napojen první vstup 3.1 prvního paměťového členu 3, na jehož třetí výstup 3.6 je napojen první vstup 4.1 prvního výběrového členu 4. Na první výstup 2.3 prvního součtového členu 2 jsou napojeny pátý vstup 4.5 prvního výběrového členu 4 na třetí vstup 9.3 prvního blokovacího členu 9. Na druhý výstup 2.4 prvního součtového členu 2 jsou napojeny druhý výstup 3.2 prvního paměťového členu 3, čtvrtý vstup 4.4 prvního výběrového členu 4, druhý vstup 8.3 prvního zábranového členu 8 a první vstup 9.1 prvního blokovacího členu 9. Na druhý výstup 3.5 prvního paměťového členu 3 je napojen vstup 7.1 prvního signalizačního členu 7. Na výstup 4.6 prvního výběrového členu 4 je napojen první vstup 5.1 prvního výstupního paměťového členu 5, na jehož druhý vstup 5.2 je napojen výstup 8.5 prvního zábranového členu 8, a na jehož výstup 5.3 jsou napojeny vstup 6.1 prvního zesilovače 6 a druhý vstup 9.2 prvního blokovacího členu 9. Na první výstup 10.4 druhého blokovacího součtového členu 10 je napojen třetí vstup 18.4 druhého zábranového členu 18. Na druhý výstup 10.5 druhého blokovacího součtového členu 10 je napojen první vstup 12.1 druhého paměťového členu 12, na jehož druhý výstup 12.5 je napojen vstup 17.1 druhého signalizačního členu 17, a na jehož třetí výstup 12.6 je napojen první vstup 13.1 druhého výběrového členu 13. Na první výstup 11.3 druhého součtového členu 11 je napojen vstup 16.2 druhého krokovacího členu 16, na jehož výstup 16.3 jsou napojeny pátý vstup 13.5 druhého výběrového členu 13 a třetí vstup 19.3 druhého blokovacího členu 19. Na druhý výstup 11.4 druhého součtového členu 11 jsou napojeny třetí vstup 10.3 druhého blokovacího součtového členu 10, druhý vstup 12.2 druhého paměťového členu 12, čtvrtý vstup 13.4 druhého výběrového členu 13, druhý vstup 18.3 druhého zábranového členu 18 a první vstup 19.1 druhého blokovacího členu 19. Na výstup 13.6 druhého výběrového členu 13 je napojen první vstup 14.1 druhého výstupního paměťového členu 14, na jehož druhý vstup 14.2 je napojen výstup 18.5 druhého zábranového členu 18, a na jehož výstup 14.3 jsou napojeny vstup 15.1 druhého zesilovače 15 a druhý vstup 19.2 druhého blokovacího členu 19.

Signály z tlačítek ovládací dozorny jsou přivedeny prvním vnějším vypínacím vstupem 1.1 a 1.2 prvního blokovacího součtového členu 1, vnějším startovacím vstupem 2.1 prvního součtového členu 2, prvním vstupem 10.1 a druhým vstupem 10.2 druhého blokovacího součtového členu 10, vnějším odatavovacím vstupem 11.1 druhého součtového členu 11, vnějším zábranovým vstupem C.1 a vnějším uvolňovacím vstupem C.4 výstupního zábranového členu C a vnějším blokovacím vstupem D.1 výstupního blokovacího členu D. Signály na optickou indikaci jsou vyvedeny prvním vnějším signalizačním výstupem 7.2 prvního signalizačního členu 7 a druhým vnějším signalizačním výstupem 17.2 druhého signalizačního členu 17. Prvním vnějším krokovacím vstupem 8.1 prvního zábranového členu 8 jsou přivedeny signály ve formě logického součtu ze všech krokovacích jednotek najížděcí části a druhým vnějším krokovacím

vstupem 18.1 jsou přiváděny signály ve formě logického součtu ze všech krokovacích jednotek odstavovací části nezakresleného krokovacího bloku. Prvním vnějším přeskokovým vstupem 2.2 prvního součtového členu 2 pro automatické spouštění startovací sekce A operačního bloku a druhým vnějším přeskokovým vstupem 16.1 druhého blokovacího členu 16 je přiváděn signál na uvolnění odstavovací sekce B operačního bloku. Signál cílového stavu "najeto" je přiveden prvním vnějším cílovým vstupem 7.3 prvního signalizačního členu 7 a signál cílového stavu "odstaveno" je přiveden vnějším cílovým vstupem 17.3 druhého signalizačního členu 17. Prvním vnějším ovládacím výstupem 6.2 prvního zesilovače 6 je vyveden signál pro uvolnění najížděcí části krokovacího bloku a druhým vnějším ovládacím výstupem 15.2 druhého zesilovače 15 je vyveden signál pro uvolnění činnosti odstavovací části krokovacího bloku. Signály na prvním vnějším vyhledávacím výstupu 3.3 prvního paměťového členu 3 a na druhém vnějším vyhledávacím výstupu 12.3 druhého paměťového členu 12 je podmiňována činnost vyhledávacího bloku řídicího procesoru. Výstupní blokovací člen D obsahuje bistabilní klopný obvod, který lze ručně překlápět vnějším blokovacím vstupem D.1. Bistabilní obvod je v zablokované poloze trvale přidržován prvním vstupem D.2 a druhým vstupem D.3. V zablokovaném stavu je výstupem D.4 vysílán signál na třetí vstup 4.3 prvního výběrového členu 4 a na třetí vstup 13.3 druhého výběrového členu 13. V odblokovaném stavu je signál na výstupu D.5 a uvolňuje povelovou účinnost krokovacího bloku řídicího procesoru. Po naaktivování prvního paměťového členu 3 je uveden do činnosti první signalizační člen 7, kterým je až do stavu "najeto" indikována najížděcí činnost operačního bloku. Současně je přes první blokovací člen 9 zablokován výstupní blokovací člen D a naaktivován výstupní zábránový člen C. Tím se objeví signály na druhém vstupem 4.2 a třetím vstupem 4.3 prvního výběrového členu 4 a dojde k naaktivování prvního výstupního paměťového členu 5 a prvním vnějším ovládacím výstupem 6.2 je uvolněna najížděcí část krokovacího bloku. Funkce odstavovací sekce B je obdobná s tím, že třetím vstupem 10.3 je zajišťována její priorita a druhým blokovacím členem 16 jsou blokovány vstupní obvody druhého výběrového členu 13 a druhého blokovacího členu 19.

Možnost použití operačního bloku je u všech binárních automatik většího rozsahu, kde je nutno zajistit bezpečný přechod z ručního ovládání na automatický provoz zařízení se zabezpečením spolehlivé funkce zařízení. Operační blok umožňuje tento bezpečný přechod i v případě omezené funkce automatiky při zvětšeném podílu ručního ovládání.

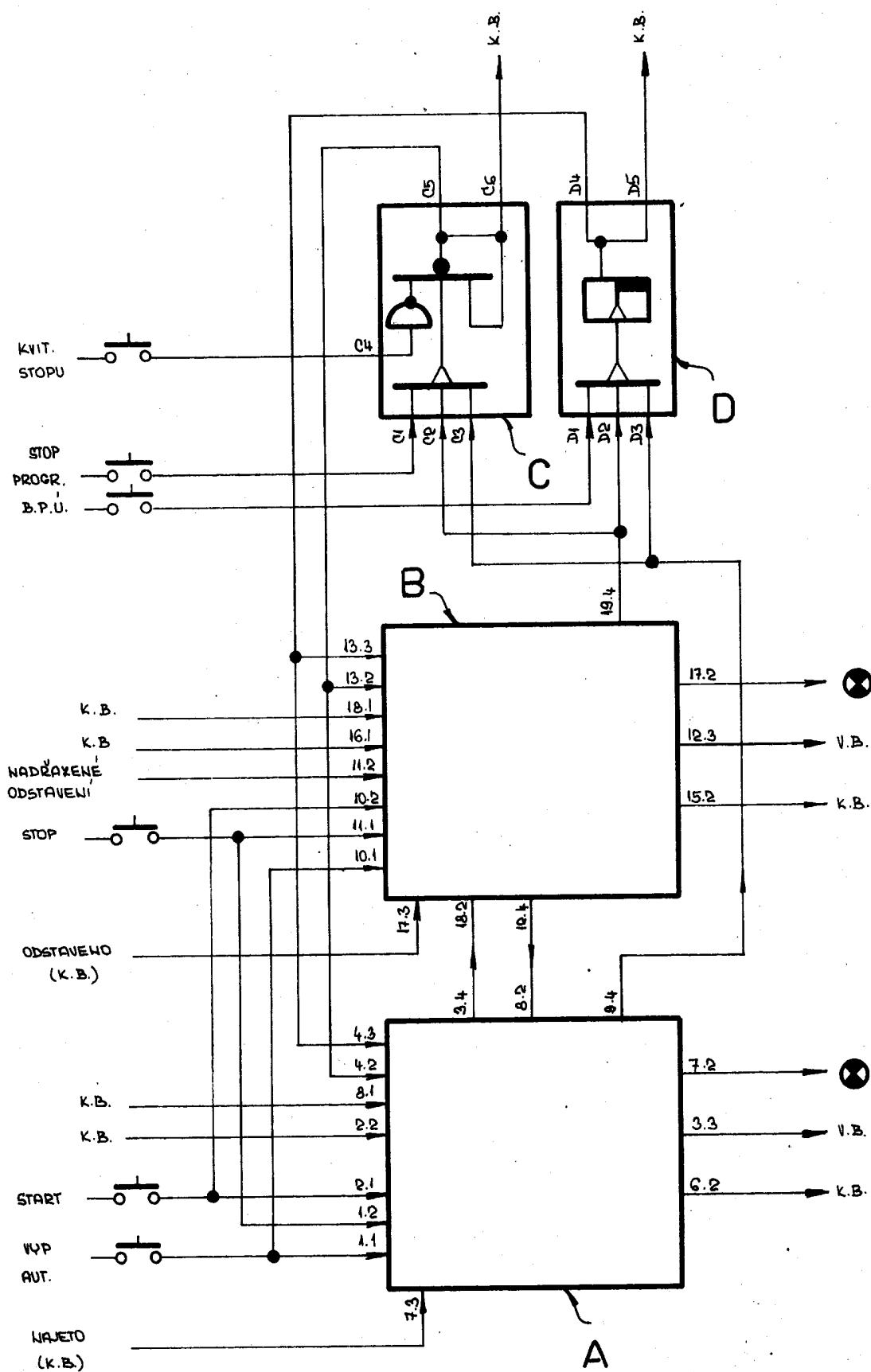
P R E D M Ě T V Y N Á L E Z U

Operační blok, zejména pro řídicí procesory, sestávající ze startovací sekce, odstavovací sekce, výstupního zábránového členu a výstupního blokovacího členu, přičemž startovací sekce obsahuje první blokovací součtový člen, první součtový člen, první paměťový člen, první výběrový člen, první výstupní paměťový člen, první zesilovač, první signalizační člen, první zábránový člen a první blokovací člen, odstavovací sekce obsahuje druhý blokovací součtový člen, druhý součtový člen, druhý paměťový člen, druhý výběrový člen, druhý výstupní paměťový člen, druhý zesilovač, druhý blokovací člen, druhý signalizační člen,

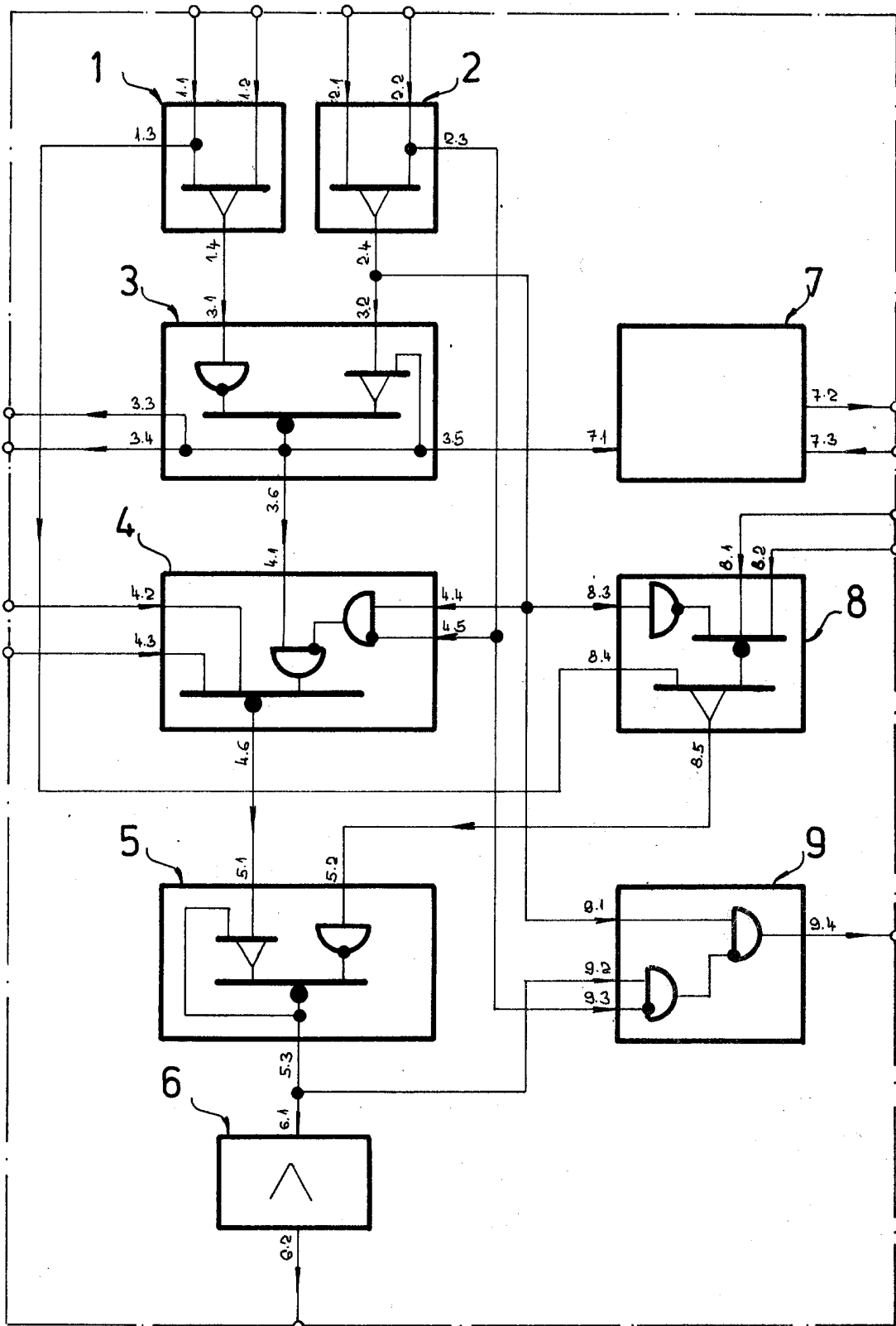
druhý zábranový člen a druhý blokovací člen, vyznačený tím, že první vnější vypínací vstup (1.1) prvního blokovacího součtového členu (1) je spojen s druhým vstupem (10.1) druhého blokovacího součtového členu (10), vstup (1.2) prvního blokovacího součtového členu (1) je spojen s vnějším odestavovacím vstupem (11.1) druhého součtového členu (11), vnější startovací vstup (2.1) prvního součtového členu (2) je spojen s druhým vstupem (10.2) druhého blokovacího součtového členu (10), první výstup (3.4) prvního paměťového členu (3) je spojen s prvním vstupem (18.2) druhého zábranového členu (18), první vstup (8.2) prvního zábranového členu (8) je napojen na první výstup (12.4) druhého paměťového členu (12), druhý vstup (4.2) prvního výběrového členu (4) je spojen s druhým vstupem (13.2) druhého výběrového členu (13) a s výstupem (C.5) výstupního zábranového členu (C), třetí vstup (4.3) prvního výběrového členu (4) je spojen se třetím vstupem (13.3) druhého výběrového členu (13) a s výstupem (D.4) výstupního blokovacího členu (D), výstup (9.4) prvního blokovacího členu (9) je spojen s druhým vstupem (C.3) výstupního zábranového členu (C) a s druhým vstupem (D.3) výstupního blokovacího členu (D), výstup (19.4) druhého blokovacího členu (19) je spojen s prvním vstupem (C.2) výstupního zábranového členu (C) a s prvním vstupem (D.2) výstupního blokovacího členu (D), na první výstup (1.3) prvního blokovacího součtového členu (1) je napojen třetí vstup (8.4) prvního zábranového členu (8), na druhý výstup (1.4) prvního blokovacího součtového členu (1) je napojen první vstup (3.1) prvního paměťového členu (3), na jehož třetí výstup (3.6) je napojen první vstup (4.1) prvního výběrového členu (4), na první výstup (2.3) prvního součtového členu (2) jsou napojeny pátý vstup (4.5) prvního výběrového členu (4) a třetí vstup (9.3) prvního blokovacího členu (9), na druhý výstup (2.4) prvního součtového členu (2) jsou napojeny druhý vstup (3.2) prvního paměťového členu (3), čtvrtý vstup (4.4) prvního výběrového členu (4), druhý vstup (8.3) prvního zábranového členu (8) a první vstup (9.1) prvního blokovacího členu (9), na druhý výstup (3.5) prvního paměťového členu (3) je napojen vstup (7.1) prvního signalizačního členu (7), na výstup (4.6) prvního výběrového členu (4) je napojen první vstup (5.1) prvního výstupního paměťového členu (5), na jehož druhý vstup (5.2) je napojen výstup (8.5) prvního zábranového členu (8), a na jehož výstup (5.3) jsou napojeny vstup (6.1) prvního zesilovače (6) a druhý vstup (9.2) prvního blokovacího členu (9), na první výstup (10.4) druhého blokovacího součtového členu (10) je napojen třetí vstup (18.4) druhého zábranového členu (18), na druhý výstup (10.5) druhého blokovacího součtového členu (10) je napojen první vstup (12.1) druhého paměťového členu (12), na jehož druhý výstup (12.5) je napojen vstup (17.1) druhého signalizačního členu (17), a na jehož třetí výstup (12.6) je napojen první vstup (13.1) druhého výběrového členu (13), na první výstup (11.3) druhého součtového členu (11) je napojen vstup (16.2) druhého blokovacího členu (16), na jehož výstup (16.3) jsou napojeny pátý vstup (13.5) druhého výběrového členu (13) a třetí vstup (19.3) druhého blokovacího členu (19), na druhý výstup (11.4) druhého součtového členu (11) jsou napojeny třetí vstup (10.3) druhého blokovacího součtového členu (10), druhý vstup (12.2) druhého paměťového členu (12), čtvrtý vstup (13.4) druhého výběrového členu (13), druhý vstup (18.3) druhého zábranového členu (18) a první vstup (19.1) druhého

blokovacího členu (19), na výstup (13.6) druhého výběrového členu (13) je napojen první vstup (14.1) druhého výstupního paměťového členu (14), na jehož druhý vstup (14.2) je napojen výstup (18.5) druhého zábranového členu (18), a na jehož výstup (14.3) jsou napojeny vstup (15.1) druhého zesilovače (15) a druhý vstup (19.2) druhého blokovacího členu (19).

3 výkresy



Obr. 1



Obr. 2

