

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成20年2月14日(2008.2.14)

【公表番号】特表2003-503872(P2003-503872A)

【公表日】平成15年1月28日(2003.1.28)

【出願番号】特願2001-506136(P2001-506136)

【国際特許分類】

H 03 J 7/18 (2006.01)

H 04 B 1/18 (2006.01)

【F I】

H 03 J 7/18

H 04 B 1/18 A

【誤訳訂正書】

【提出日】平成19年12月21日(2007.12.21)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

マイクロプロセッサ(μP)と協調し、受信信号を検出するための集積回路であって、シリアルデータ語としての電界強度設定値(la8-14)および特定のマルチパス設定値(la0-6)と、中間周波数(fZF)に対する特定の範囲(win)とを受け取るための、少なくとも一つの検出回路入力端子と、

上記中間周波数(fZF)を検出する中間周波数検波器(ZFZ)であって、2つの論理状態のうちの一方を示す第1の検索実行停止信号(cent)を出力し、上記第1の検索実行停止信号(cent)は、上記中間周波数(fZF)が上記特定の範囲(win)内で検出された場合と、上記中間周波数(fZF)が上記特定の範囲(win)内で検出されなかった場合とで互いに異なる論理状態を示す、上記中間周波数検波器(ZFZ)と

電界強度比較器(FSK)であって、2つの論理状態のうちの一方を示す第2の検索実行停止信号(Fsc)を出力し、上記第2の検索実行停止信号(Fsc)は、上記受信信号の電界強度(Fs)が上記電界強度設定値(la8-14)よりも大きい場合と、上記電界強度比較器(FSK)によって上記受信信号が検出されなかった場合とで互いに異なる論理状態を示す、上記電界強度比較器(FSK)と、

マルチパス比較器(Mpk)であって、2つの論理状態のうちの一方を示す第3の検索実行停止信号(Mpc)を出力し、上記第3の検索実行停止信号(Mpc)は、マルチパス信号(Mp)が上記特定のマルチパス設定値(la0-6)よりも大きい場合と、上記マルチパス比較器(Mpk)によって上記受信信号が検出されなかった場合とで互いに異なる論理状態を示す、上記マルチパス比較器(Mpk)と、

上記第1の検索実行停止信号(cent)、上記第2の検索実行停止信号(Fsc)、および、上記第3の検索実行停止信号(Mpc)を互いに組み合わせて2つの論理状態のうちの一方を示す二進停止信号(stop)を生成する論理ゲート(AND)であって、上記二進停止信号(stop)は、上記受信信号が上記中間周波数検波器(ZFZ)、上記電界強度比較器(FSK)、および、上記マルチパス比較器(Mpk)のそれぞれによって検出された場合と、上記受信信号が上記中間周波数検波器(ZFZ)、上記電界強度比較器(FSK)、および、上記マルチパス比較器(Mpk)のうちの少なくとも1

つによって検出されなかった場合とで、互いに異なる論理状態を示し、上記論理ゲート(AND)の出力端子から出力された上記二進停止信号(stop)が上記マイクロプロセッサ(μP)に入力信号として受け取られる上記論理ゲート(AND)と、

上記電界強度比較器(FSK)の上流側に接続された、電界強度信号(FS)をデジタル化する第1のアナログ/デジタル変換器(ADW1)と、

上記第1のアナログ/デジタル変換器(ADW1)と上記電界強度比較器(FSK)との間に接続された第1のシリアル/パラレル変換器(SR1)と、

上記マルチバス比較器(MPK)の上流側に接続された、上記マルチバス信号(MP)をデジタル化する第2のアナログ/デジタル変換器(ADW2)と、

上記第2のアナログ/デジタル変換器(ADW2)と上記マルチバス比較器(MPK)との間に接続された第2のシリアル/パラレル変換器(SR2)と、

上記マルチバス比較器(MPK)に上記マルチバス設定値(1a0-6)を供給するために、第1の部分の出力ビットが上記マルチバス比較器(MPK)に接続され、上記電界強度比較器(FSK)に上記電界強度設定値(1a8-14)を供給するために、第2の部分の出力ビットが上記電界強度比較器(FSK)に接続された、第3のシリアル/パラレル変換器(SR3)とを備える集積回路。

#### 【請求項2】

单一の配線に接続されたマイクロプロセッサ入力端子、および、少なくとも一つのマイクロプロセッサ出力端子を備えたマイクロプロセッサと、

検出回路とを備えている回路であって、

上記検出回路は、

少なくとも一つの検出回路入力端子と、

上記マイクロプロセッサ入力端子の上記单一の配線に接続された検出回路出力端子と、  
中間周波数を検出する中間周波数検波器であって、2つの論理状態のうちの一方を示す  
第1の検索実行停止信号を出力し、上記第1の検索実行停止信号は、上記中間周波数が特定の範囲内で検出された場合と、上記中間周波数が上記特定の範囲内で検出されなかった場合とで互いに異なる論理状態を示す、上記中間周波数検波器と、

電界強度比較器であって、2つの論理状態のうちの一方を示す第2の検索実行停止信号を出力し、上記第2の検索実行停止信号は、受信信号の電界強度が電界強度設定値よりも大きい場合と、上記電界強度比較器によって上記受信信号が検出されなかった場合とで互いに異なる論理状態を示す、上記電界強度比較器と、

マルチバス比較器であって、2つの論理状態のうちの一方を示す第3の検索実行停止信号を出力し、上記第3の検索実行停止信号は、マルチバス信号が特定のマルチバス設定値よりも大きい場合と、上記マルチバス比較器によって上記受信信号が検出されなかった場合とで互いに異なる論理状態を示す、上記マルチバス比較器と、

上記第1の検索実行停止信号、上記第2の検索実行停止信号、および、上記第3の検索実行停止信号を互いに組み合わせて2つの論理状態のうちの一方を示す二進停止信号を生成して上記検出回路出力端子において出力する論理ゲートであって、上記二進停止信号は、上記受信信号が上記中間周波数検波器、上記電界強度比較器、および、上記マルチバス比較器のそれぞれによって検出された場合と、上記受信信号が上記中間周波数検波器、上記電界強度比較器、および、上記マルチバス比較器のうちの少なくとも1つによって検出されなかった場合とで、互いに異なる論理状態を示す、上記論理ゲートと、

上記電界強度比較器の上流側に接続され、電界強度信号をデジタル化する第1のアナログ/デジタル変換器と、

上記第1のアナログ/デジタル変換器と上記電界強度比較器との間に接続された第1のシリアル/パラレル変換器と、

上記マルチバス比較器の上流側に接続され、上記マルチバス信号をデジタル化する第2のアナログ/デジタル変換器と、

上記第2のアナログ/デジタル変換器と上記マルチバス比較器との間に接続された第2のシリアル/パラレル変換器と、

上記マルチパス比較器に上記マルチパス設定値を供給するために、第1の部分の出力ビットが上記マルチパス比較器に接続され、上記電界強度比較器に上記電界強度設定値を供給するために、第2の部分の出力ビットが上記電界強度比較器に接続された、第3のシリアル／パラレル変換器と  
を含んでおり、

上記少なくとも一つのマイクロプロセッサ出力端子は、上記電界強度設定値、上記マルチパス設定値、および、上記中間周波数のあるべき上記特定の範囲を送るために、上記少なくとも一つの検出回路入力端子に接続されている回路。

【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【発明の詳細な説明】

【発明の名称】受信信号を検出するための集積回路、および回路構造

【発明の詳細な説明】

【0001】

本発明は、例えば、無線受信機、特に、移動無線受信機に用いられる受信信号を検出するための集積回路、並びに集積回路の回路構造に関するものである。

【0002】

位相ロックループ(PLL)用に調整された電圧制御発振器(VCO)は、無線受信技術として確立されている。ヨーロッパの周波数変調型の無線における周波数のステップサイズは100KHzであるが、そういった特定のステップサイズに、位相ロックループを用いることによって、電圧制御発振器の振動周波数は調整されている。送信機の検索を実行するときは、FMバンド全体(87.5MHzから108MHz)は、100KHzごとに増加させて走査されることが好ましい。電圧制御発振器の振動周波数fOscは、入力周波数を受信するために、一般的に10.7MHz高くし、すなわち、98.2MHzから118.7MHzの間にある。

【0003】

送信機の検索を実行するときは、できる限り、受信する価値のある送信機を確認し、それらの入力周波数、または、該当する電圧制御発振器の振動周波数fOscを記憶すべきである。どんなに特殊な受信周波数の送信機を検出したとしても、マイクロコントローラは、位相ロックループをそのときの値でとめる。その値は、これらの測定された送信機を後で直接設定できるように、マイクロコントローラに記憶される。送信機の場所を検出可能にすることを目的として、該当する振動周波数で電圧制御発振器をとめるための判定基準(kriterien)が、1つ、または、検出精度を上げるならば複数必要になる。よって、受信する価値のある入力信号の存在を精確に検出するためには、受信機に、1つの、または、好ましくは複数の評価用基準を用いることが必要になる。

【0004】

送信機を精確に検出できるという信頼性を向上させるために、電界強度信号(受信された信号のレベル)だけでなく、受信された信号がマルチパスの受信によって散乱しているかどうかを示すマルチパス信号もまた用いられる。このために、電界強度信号およびマルチパス信号は、マイクロプロセッサに送り込まれる。このマイクロプロセッサは、これらの信号をデジタル化し、あらかじめマイクロプロセッサにて定義された基準によってこれらを評価するものである。最終的には、マイクロプロセッサにおいて、送信機が受信する価値のあるものであるか否かが判断される。このような回路構造においては、受信機のモジュールからマイクロプロセッサへ複数のラインが要求されるため、送信機の検索を実行するときに、データバスに避けられないデータトラフィックが生じてしまうという問題がある。さらに、このことはマイクロプロセッサに不要な負担を過度にかけてしまうだけでなく、敏感な受信システムにとっては、データトラフィックが永続的な干渉源となる。

したがって、データトラフィックを可能な限り低く抑えるために、送信機の識別に対する正確性が低くなるという問題はあるものの、中間周波数の計数という送信機の検索基準を、たびたび行わないようにしている。多くの場合、より確かな検索実行停止のためには、電界強度信号、マルチパス信号、Sカーブのゼロ交差点、および、中間周波数増幅器の入力ミクサ(Eingangsmischer)から限定される中間周波数、を含む基準のひとつを評価するだけでは十分ではない。電界強度を用いるだけでは、受信しにくい送信機を確実に検出することは難しい。

#### 【0005】

欧洲特許出願公報第0430469号(EP-A2-0 430 469)では、FM受信機に対する受信信号を検出するための回路が開示されている。ここで、検波器は、中間周波数検波器、電界強度比較器、および、信号路を形成する論理スイッチング素子内の出力信号を互いに結合させるノイズ信号検波器、を含んでいる。マイクロプロセッサは、これらの機能を有し、動作している。

#### 【0006】

特開昭60-096913号公報の要約、9巻、248号(E-347)(公開日:1985年10月4日)(JP-A-60-096913)においては、マルチパス信号に基づくノイズを検出するためのノイズ検波器の使用方法が開示されている。

#### 【0007】

また、欧洲特許出願公報第0335141号(EP-A2-0 335 141)では、マルチパス受信を含む種々の受信特性変数を検出し、その変数を論理素子に結合させて出力する構造が開示されている。

#### 【0008】

本発明の1つの目的は、受信された信号を検出するための集積回路であって、干渉を防止するとともに、迅速に、かつ確実に送信機を識別できる集積回路を提供することにある。

#### 【0009】

その目的は、特許請求の範囲に記載の、受信信号を検出するための集積回路、を用いて達成される。

#### 【0010】

本発明の第1の集積回路は、マイクロプロセッサと協調し、受信信号を検出するための集積回路であって、シリアルデータ語としての電界強度設定値および特定のマルチパス設定値と、中間周波数に対する特定の範囲とを受け取るための、少なくとも一つの検出回路入力端子と、上記中間周波数を検出する中間周波数検波器であって、2つの論理状態のうちの一方を示す第1の検索実行停止信号を出力し、上記第1の検索実行停止信号は、上記中間周波数が上記特定の範囲内にある場合と、上記中間周波数が上記特定の範囲内で検出されなかった場合とで互いに異なる論理状態を示す、上記中間周波数検波器と、電界強度比較器であって、2つの論理状態のうちの一方を示す第2の検索実行停止信号を出力し、上記第2の検索実行停止信号は、上記受信信号の電界強度が上記電界強度設定値よりも大きい場合と、上記電界強度比較器によって上記受信信号が検出されなかった場合とで互いに異なる論理状態を示す、上記電界強度比較器と、マルチパス比較器であって、2つの論理状態のうちの一方を示す第3の検索実行停止信号を出力し、上記第3の検索実行停止信号は、マルチパス信号が上記特定のマルチパス設定値よりも大きい場合と、上記マルチパス比較器によって上記受信信号が検出されなかった場合とで互いに異なる論理状態を示す、上記マルチパス比較器と、上記第1の検索実行停止信号、上記第2の検索実行停止信号、および、上記第3の検索実行停止信号を互いに組み合わせて2つの論理状態のうちの一方を示す二進停止信号を生成する論理ゲートであって、上記二進停止信号は、上記受信信号が上記中間周波数検波器、上記電界強度比較器、および、上記マルチパス比較器のそれぞれによって検出された場合と、上記受信信号が上記中間周波数検波器、上記電界強度比較器、および、上記マルチパス比較器のうちの少なくとも1つによって検出されなかった場合とで、互いに異なる論理状態を示し、上記論理ゲートの出力端子から出力された上記

二進停止信号が上記マイクロプロセッサに入力信号として受け取られる上記論理ゲートと、上記電界強度比較器の上流側に接続された、電界強度信号をデジタル化する第1のアナログ／デジタル変換器と、上記第1のアナログ／デジタル変換器と上記電界強度比較器との間に接続された第1のシリアル／パラレル変換器と、上記マルチパス比較器の上流側に接続された、上記マルチパス信号をデジタル化する第2のアナログ／デジタル変換器と、上記第2のアナログ／デジタル変換器と上記マルチパス比較器との間に接続された第2のシリアル／パラレル変換器と、上記マルチパス比較器に上記マルチパス設定値を供給するために、第1の部分の出力ビットが上記マルチパス比較器に接続され、上記電界強度比較器に上記電界強度設定値を供給するために、第2の部分の出力ビットが上記電界強度比較器に接続された、第3のシリアル／パラレル変換器とを備えることを特徴としている。

#### 【0011】

本発明の第2の集積回路は、第1の集積回路において、上記電界強度比較器および上記マルチパス比較器は、受信状態がより弱くなれば上記電界強度設定値および上記マルチパス設定値がより小さく設定され、受信状態がより強くなれば上記電界強度設定値および上記マルチパス設定値がより大きく設定されるように構成されていることを特徴としている。

#### 【0012】

本発明の第3の集積回路は、第2の集積回路において、上記電界強度設定値、上記マルチパス設定値、および、上記中間周波数のあるべき上記特定の範囲は、上記マイクロプロセッサによって決定されることを特徴としている。

#### 【0013】

本発明の回路は、単一の配線に接続されたマイクロプロセッサ入力端子、および、少なくとも一つのマイクロプロセッサ出力端子を備えたマイクロプロセッサと、検出回路とを備えている回路であって、上記検出回路は、少なくとも一つの検出回路入力端子と、上記マイクロプロセッサ入力端子の上記単一の配線に接続された検出回路出力端子と、中間周波数を検出する中間周波数検波器であって、2つの論理状態のうちの一方を示す第1の検索実行停止信号を出力し、上記第1の検索実行停止信号は、上記中間周波数が特定の範囲内にある場合と、上記中間周波数が上記特定の範囲内で検出されなかった場合とで互いに異なる論理状態を示す、上記中間周波数検波器と、電界強度比較器であって、2つの論理状態のうちの一方を示す第2の検索実行停止信号を出力し、上記第2の検索実行停止信号は、受信信号の電界強度が電界強度設定値よりも大きい場合と、上記電界強度比較器によって上記受信信号が検出されなかった場合とで互いに異なる論理状態を示す、上記電界強度比較器と、マルチパス比較器であって、2つの論理状態のうちの一方を示す第3の検索実行停止信号を出力し、上記第3の検索実行停止信号は、マルチパス信号が特定のマルチパス設定値よりも大きい場合と、上記マルチパス比較器によって上記受信信号が検出されなかった場合とで互いに異なる論理状態を示す、上記マルチパス比較器と、上記第1の検索実行停止信号、上記第2の検索実行停止信号、および、上記第3の検索実行停止信号を互いに組み合わせて2つの論理状態のうちの一方を示す二進停止信号を生成して上記検出回路出力端子において出力する論理ゲートであって、上記二進停止信号は、上記受信信号が上記中間周波数検波器、上記電界強度比較器、および、上記マルチパス比較器のそれによつて検出された場合と、上記受信信号が上記中間周波数検波器、上記電界強度比較器、および、上記マルチパス比較器のうちの少なくとも1つによつて検出されなかった場合とで、互いに異なる論理状態を示す、上記論理ゲートと、上記電界強度比較器の上流側に接続され、電界強度信号をデジタル化する第1のアナログ／デジタル変換器と、上記第1のアナログ／デジタル変換器と上記電界強度比較器との間に接続された第1のシリアル／パラレル変換器と、上記マルチパス比較器の上流側に接続され、上記マルチパス信号をデジタル化する第2のアナログ／デジタル変換器と、上記第2のアナログ／デジタル変換器と上記マルチパス比較器との間に接続された第2のシリアル／パラレル変換器と、上記マルチパス比較器に上記マルチパス設定値を供給するために、第1の部分の

出力ビットが上記マルチパス比較器に接続され、上記電界強度比較器に上記電界強度設定値を供給するために、第2の部分の出力ビットが上記電界強度比較器に接続された、第3のシリアル／パラレル変換器とを含んでおり、上記少なくとも一つのマイクロプロセッサ出力端子は、上記電界強度設定値、上記マルチパス設定値、および、上記中間周波数のあるべき上記特定の範囲を送るために、上記少なくとも一つの検出回路入力端子に接続されていることを特徴としている。

#### 【0014】

また、本発明によれば、受信信号を検出するための集積回路は、中間周波数が特定の範囲(Bereichs)内にある場合は、第1の検索実行停止信号(Suchlaufstoppsignal)を出力する中間周波数検波器を備えている。さらに、集積回路は、受信信号の電界強度が電界強度設定値よりも大きい場合は、第2の検索実行停止信号を出力する電界強度比較器を備えている。加えて、本発明は、マルチパス信号が特定のマルチパス設定値よりも大きい場合は、第3の検索実行停止信号を出力するマルチパス比較器を備えている。さらに、組合せ装置の出力内に静的に存在する二進停止信号であって、マイクロプロセッサに入力信号として適用できる二進停止信号を形成するために、上記3つの検索実行停止信号どうしを論理的に組み合せる組合せ装置を備えている。

#### 【0015】

これにより、マイクロプロセッサと集積回路との間のデータトラフィックを、有利に大きく減少させることができ、その結果、干渉を著しく減少させられる。

#### 【0016】

この集積回路は、第1のアナログ／ディジタル変換器を集積回路内に集積した結果、集積回路の無線受信機に必要な総合空間を減少させられるという利点を有している。この第1のアナログ／ディジタル変換器は、電界強度比較器の上流側に接続されており、電界強度信号をデジタル化するものである。したがって、集積回路の外部へ配線される電気配線も、同様に少なくでき、これにより、干渉の影響を減少させられる。

#### 【0017】

また、マルチパス比較器よりも上流側に接続された、マルチパス信号をデジタル化するための第2のアナログ／ディジタル変換器にも、上述の利点がある。

#### 【0018】

この集積回路は、第1のアナログ／ディジタル変換器と電界強度比較器との間に接続された第1のシリアル／パラレル変換器によって、電界強度比較器の信号処理速度を加速できるという利点を有する。

#### 【0019】

また、第2のアナログ／ディジタル変換器とマルチパス比較器との間に第2のシリアル／パラレル変換器が接続されることでも、上記利点がある。

#### 【0020】

さらに、本発明に係る集積回路の有利な形態が存在する。

#### 【0021】

また、本発明に係る集積回路では、送信機の信号検出をさらに速く行うために、電界強度設定値およびマルチパス設定値を、受信の強い地域よりも受信の弱い地域の方でより低く設定することによって、周囲の状況に適合できるようにするのが有利である。

#### 【0022】

第3の集積回路における具体的な利点の一つは、電界強度設定値、マルチパス設定値、および、中間周波数のあるべき範囲は、マイクロプロセッサによって決定される。これにより、設定値によってマイクロプロセッサの演算容量をそれほど制限してしまうことなく、周囲の状況に応じて、柔軟に、すばやく、簡単に設定値を決定できる。

#### 【0023】

本発明によれば、集積回路と、マイクロプロセッサとからなる回路構造を用いることにより、回路構造に対する課題が解決される。ここで、集積回路は、单一の配線を含むマイクロプロセッサの入力端子に接続される二進停止信号の出力端子を有している。マイクロ

プロセッサは、電界強度設定値と、シリアルデータ語としてのマルチパス信号の値と、中間周波数のあるべき範囲とを、集積回路に送信するために、集積回路の少なくとも1つの入力端子に接続される、少なくとも1つの出力端子を有している。

#### 【0024】

1つの図に基づいて、本発明を詳細に説明すれば、以下の通りである。

図1は、本発明の実施形態に係る、送信機の検索を実行するための構成の要部を示すブロック図である。中間周波数検波器(ZFZ)は、中間周波数検波器(ZFZ)に入力される中間周波数であって、振動周波数fOsZと、所定の範囲win内にある受信信号の受信周波数fEとの差を示す中間周波数fZFを検出するためのものである。範囲winは、要求される精度の関数として、例えばマイクロプロセッサを用いて、あらかじめ定義される設定値である。範囲winは、送信機に関する送信信号を検出するために、中間周波数fZFの範囲で定義される。

#### 【0025】

中間周波数検波器ZFZの出力信号は、異なる2つの論理状態を有する第1の検索実行停止信号centである。第1の論理状態を示す検索実行停止信号centは、中間周波数fZFが範囲win内で検出されたことを示しており、一方、第2の論理状態を示す検索実行停止信号centは、中間周波数fZFが範囲win内で検出されなかつたことを示している。

#### 【0026】

送信機を検出するための中間周波数に加えて、受信信号を検出するための第2の判定基準が、電界強度比較器FSKに設けられている。電界強度比較器FSKでは、第1のアナログ/デジタル変換器ADW1でデジタル化され、次いで、7ビット幅のデータ語Res0に変換された電界強度信号Fsを、同様に7ビット幅である電界強度設定値1a8-14と比較する。シリアルデータ語から、7ビット幅のパラレルデータ語への変換は、シフトレジスタおよびラッチを有する第1のシリアル/パラレル変換器SR1にて行われる。電界強度比較器FSKからも、第1の検索実行停止信号centと同様に、2つの論理状態を示す第2の検索実行停止信号Fscが出力される。第2の検索実行停止信号Fscが第1の論理状態である場合は、電界強度比較器FSKが受信信号を検出したことを意味しており、一方、第2の検索実行停止信号Fscが第2の論理状態である場合は、受信信号は電界強度比較器FSKにより検出されなかつたことを示している。

#### 【0027】

第2のアナログ/デジタル変換器ADW2によってデジタル化され、そして、7ビット幅のデータ語Res1としてマルチパス比較器MPKに送り込まれたマルチパス信号Mpは、受信信号を検出するための第3の基準として提供されるマルチパス設定値1a0-6と、マルチパス比較器MPKにおいて比較される。デジタル化されたマルチパス信号Mpの変換は、第2のアナログ/デジタル変換器ADW2と、マルチパス比較器MPKとの間に接続された、第2のシリアル/パラレル変換器SR2で行われる。マルチパス比較器MPKより出力される第3の検索実行停止信号Mpcもまた、マルチパス比較器MPKにて第1の論理状態として検出される受信信号によって、2つの論理状態を示す。第3の検索実行停止信号Mpcが第2の論理状態である場合は、マルチパス比較器MPKでは受信信号が検出されていないことを意味する。

#### 【0028】

マルチパス設定値と電界強度設定値とは、ともに、シリアルデータ語DINとして第3のシリアル/パラレル変換器SR3に読み込まれ、第3のシリアル/パラレル変換器SR3より14ビット幅のデータ語1aが出力される。ここで、データ語1aにおける初めの7ビットは、マルチパス比較器MPKにマルチパス設定値1a0-6として入力され、後の7ビットは、電界強度比較器FSKに電界強度設定値1a8-14として入力される。

#### 【0029】

3つの上記検索実行停止信号cent、Fsc、およびMpcは、アンドゲートANDによって論理的に組み合わされ、停止信号stopと成り、アンドゲートANDより出

力される。停止信号  $s_{stop}$  は、マイクロプロセッサ  $\mu P$  への入力信号である。ここで、停止信号  $s_{stop}$  には 2 つの論理状態がある。第 1 の論理状態は、中間周波数検波器  $ZFZ$ 、電界強度比較器  $FsK$ 、およびマルチパス比較器  $MpK$  が、それぞれ受信信号を検出していることを示す。停止信号  $s_{stop}$  が第 2 の論理状態である場合は、中間周波数検波器  $ZFZ$ 、電界強度比較器  $FsK$ 、またはマルチパス比較器  $MpK$  の 3 つの部材のいずれか 1 つは受信信号を検出していないことを示す。このように、マイクロプロセッサ  $\mu P$  には、受信信号の有無が直ちに通知される。マイクロプロセッサ  $\mu P$  は、中間周波数の位置しなければならない範囲  $w_{in}$  を予め定義し、そして、シリアルデータ語 DIN の形式で、設定値を予め定義する。この設定値は、電界強度比較器  $FsK$  およびマルチパス比較器  $MpK$  によって、それぞれ電界強度信号  $Fs$  およびマルチパス信号  $Mp$  と比較されるものである。これにより、これら 3 つの検波器の処理を個別化できる。この結果、それらの検索精度への影響は、速く、簡単に、精密に影響を受けやすくなる。受信特性が不十分な環境であっても、周囲の状況に適応できるように、電界強度およびマルチパス信号を減少させることができる。電界強度信号  $Fs$  およびマルチパス信号  $Mp$  の設定値が、シリアルデータ語 DIN によってゼロに設定された場合は、受信信号の検出には中間周波数検波器  $ZF$  のみが用いられるように、電界強度比較器  $FsK$  およびマルチパス比較器  $MpK$  を形成する 2 つの部材は、いわば、スイッチを切った状態にする。

#### 【0030】

もちろん、本発明に係る回路構造において、データ語  $Res0$ 、 $Res1$ 、 $la0-6$ 、および  $la8-14$  は、7 ビット幅に限定されるものではない。つまり、これらデータ語の幅は、要求に応じて選択可能である。

#### 【0031】

本発明は、電界強度、マルチパス、および中間周波数を組み合わせ、測定することにより、送信機に関する受信信号の存否を、単一ビット、つまり、単一ピン（ハウジング端子）を用いて示すことを可能にしている。

#### 【0032】

2 つのアナログ / ディジタル変換器（ADW1 および ADW2）は、2 チャンネルの 7 ビットアナログ / ディジタル変換器として作用する。第 1 のチャンネルでは、受信信号として電界強度信号  $Fs$  を取り扱い、また、第 2 のチャンネルでは、入力信号としてマルチパス信号  $Mp$  を取り扱う。

#### 【0033】

従来、アナログ評価は、電界強度、マルチパス信号、または S カーブによって成されるのが一般的である。このため、アナログ信号は、マイクロプロセッサに入力され、そこで変換されている。これでは、アナログ信号とともに付加的な先行信号をマイクロプロセッサに入力しなければならないという状況になる。アナログ信号がマイクロプロセッサに入力される前に、アナログ信号の変換がなされるならば、あらかじめ変換されたディジタル語をマイクロプロセッサにバスを通じて送信し、さらに、データの送信および評価をマイクロプロセッサに付加的に読み込ませなければならない。したがって、上流側に接続された回路とマイクロプロセッサとの間のデータトラフィックが激しくなる。加えて、この結果、干渉信号が発生する。

#### 【0034】

中間周波数  $fZF$ 、電界強度  $Fs$ 、およびマルチパス信号  $Mp$  の評価に加えて、さらに、S カーブのゼロ交叉点（= FM - 復調信号）の評価、および、そのアンドゲート AND への入力も容易にできるようになる。

#### 【0035】

中間周波数検波器  $ZFZ$  において、認識された入力周波数は、定義された時間内で、カウントされ、それに相応してその値を求められる。その結果、中間周波数 ( $fZF = fOs_z - fE$ ) が予め設定された  $w_{in}$  (ウィンドウ) の範囲にあるかどうかが、示される。範囲  $w_{in}$  内にあると評価された中間周波数の中心周波数における計数時間は、他のものとは独立して設定される。測定された中間周波数  $fZF$  がウィンドウ  $w_{in}$  内にある場

合は、それに相応して、第1の検索実行停止信号 `c e n t` が中間周波数検波器 `Z F Z` より出力される。測定された中間周波数 `f Z F` がウィンドウ `w i n` 内にない場合は、第2の論理状態を示す第1の検索実行停止信号 `c e n t` が中間周波数検波器 `Z F Z` より出力される。さらに、中間周波数検波器 `Z F Z` は、評価された周波数 `f Z F` が高すぎるか、または、低すぎるかを示すことにも用いられる。

【図面の簡単な説明】

【0036】

【図1】本発明の実施形態に係る、送信機の検索を実行するための構成の要部を示すプロック図である。