



(21) 申请号 201811447054.7

(22) 申请日 2018.11.29

(65) 同一申请的已公布的文献号

申请公布号 CN 109671663 A

(43) 申请公布日 2019.04.23

(73) 专利权人 贵州振华风光半导体股份有限公司

地址 550000 贵州省贵阳市新添大道北段
238号

(72) 发明人 谌帅业

(74) 专利代理机构 贵阳中工知识产权代理事务
所 52106

专利代理师 刘安宁

(51) Int. Cl.

H01L 21/687 (2006.01)

(56) 对比文件

CN 207624674 U, 2018.07.17

CN 106298551 A, 2017.01.04

CN 107548277 A, 2018.01.05

CN 105789071 A, 2016.07.20

CN 106180954 A, 2016.12.07

CN 108109948 A, 2018.06.01

审查员 王先宝

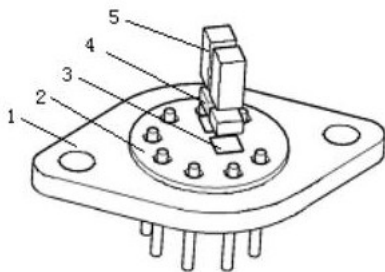
权利要求书1页 说明书2页 附图3页

(54) 发明名称

一种大功率混合集成电路器件的烧结方法

(57) 摘要

一种大功率混合集成电路器件的烧结方法，
该方法是使用一种多芯片定位夹具来定位芯片
和固定压块，并通过验证的算法进行夹具重量设
计，以确保金属表面与焊料紧密接触，减小基片
与外壳间隙，增加填缝长度，将拟烧结的大功率
器外壳、焊片、芯片、陶瓷基片与压块组装成一个
整体放入真空烧结炉进行烧结，使焊料沿着焊面
间隙外溢运动，填充基片底部，避免过多溢出，从
而提高粘接强度。本发明的烧结方法不仅工艺简
单、定位准确、有效固定芯片与压块，又能使基片
与外壳能够更好的浸润铺展，提高产品质量的同
时还能提高工作效率。通过该方法的组装方式以
及夹具重量算法设计可以用于其它微电子组装
上的真空共晶焊。



1. 一种大功率混合集成电路器件的烧结方法,其特征在于该方法是使用一种多芯片定位夹具来定位芯片和固定压块,并通过验证的算法进行夹具重量设计,以确保金属表面与焊料紧密接触,减小基片与外壳间隙,增加填缝长度;将拟烧结的大功率器外壳、焊片、芯片、陶瓷基片与压块组装成一个整体放入真空烧结炉进行烧结,使焊料沿着焊面间隙外溢运动,填充基片底部,避免过多溢出,从而提高粘接强度;具体的组装与烧结步骤是:首先制作多芯片定位夹具,将大功率器件外壳置于石墨板上,再将焊片放置于外壳上,又将陶瓷基片放置于焊片上,之后将芯片定位夹具放置在陶瓷基片之上,接着将焊片与芯片放置在芯片定位夹具内,又将压块放置在芯片上,则组装完成,最后将石墨板放入真空烧结炉之中按照烧结工艺的要求进行烧结作业,直至烧结完成;

所述多芯片定位夹具的制作要求是:(1)根据外壳、基片的形状和尺寸做出大于基片尺寸又小于外壳尺寸的夹具外形;(2)通过基片尺寸挖一个凹槽,用于固定基片,避免基片在摆放芯片时,出现移动情况;(3)通过外壳引线的尺寸对夹具进行镂空,用于外壳引线固定夹具;对夹具需要置放芯片处按照芯片、合金焊片的形状和尺寸镂空;(4)在夹具固定芯片的四角设计一个圆弧以防止芯片崩边,也有助于取出夹具时不会造成芯片四角卡死;

所述多芯片定位夹具用不锈钢材质制成,夹具厚度必须高于芯片而低于芯片与压块总厚度的 $\frac{2}{3}$,有利于夹具固定芯片的镂空处能够同时固定住芯片和压块;

所述多芯片定位夹具的重量是通过公式 $0.05\text{g}/\text{mm}^2 \sim 0.1\text{g}/\text{mm}^2$ 计算基片所需重量减去所有芯片压块重量得出的。

一种大功率混合集成电路器件的烧结方法

技术领域

[0001] 本发明涉及集成电路,具体来说,涉及混合集成电路,进一步来说,涉及混合集成电路的烧结方法。

技术背景

[0002] 在半导体封装行业中,大功率器件的烧结基本采用真空共晶焊,该工艺的过程为:抽真空冲氮气去除杂质气体—预热升温—保温(增加温度均匀性)—升至焊接温度—保温焊接—降温(冷却)。其中大功率混合集成电路器件烧结方法为:第一步先烧结基片在外壳上,以免基片滑动影响芯片摆放,第二步将焊片放在对应的基片上,芯片按照装配图平稳放置于焊片上,用镊子调整芯片位置使芯片与焊片重合,再放置压块,完成组装进行烧结。该方法进行共晶焊存在的问题是:①为避免在共晶焊过程中焊片氧化造成空洞率过大,影响产品散热及粘接强度,通常需要在共晶焊前抽真空充氮气,但过程中会发生芯片偏移或者芯片压块掉落,由于基片导带密度大,芯片稍微偏移就会造成产品短路或者过热烧毁;②多芯片烧结下对装结精度要求过高,且每次必须分为两步进行烧结,装结效率低下。

[0003] 中国专利数据库中,涉及混合集成电路的烧结方法的专利申请件很少,仅有2018105324147号《一种用于混合集成电路外壳的烧结模具》一件。迄今为止,尚无大功率混合集成电路器件烧结方法的专利申请件。

发明内容

[0004] 本发明旨在提供一种大功率混合集成电路器件的烧结方法,以克服现有技术的缺陷,实现精准定位芯片、让基片与芯片能够同时烧结、并且能够固定压块。

[0005] 为实现上述的目标,发明人使用一种多芯片定位夹具来定位芯片和固定压块,并通过验证的算法进行夹具重量设计,以确保金属表面与焊料紧密接触,减小基片与外壳间隙,增加填缝长度;将拟烧结的大功率器外壳、焊片、芯片、陶瓷基片与压块组装成一个整体放入真空烧结炉进行烧结,使焊料沿着焊面间隙外溢运动,填充基片底部,避免过多溢出,从而提高粘接强度;具体的组装与烧结步骤是:首先制作多芯片定位夹具,将拟烧结的大功率器件外壳置于石墨板上,再将焊片放置于外壳上,又将陶瓷基片放置于焊片上,之后将芯片定位夹具放置在陶瓷基片之上,接着将焊片与芯片放置在芯片定位夹具内,又将压块放置在芯片上,则组装完成,最后将石墨板放入真空烧结炉之中按照烧结工艺的要求进行烧结作业,直至烧结完成。

[0006] 上述多芯片定位夹具的制作要求是:(1)根据外壳、基片的形状和尺寸做出大于基片尺寸又小于外壳尺寸的夹具外形;(2)通过基片尺寸挖一个凹槽,用于固定基片,避免基片在摆放芯片时,出现移动情况;(3)通过外壳引线的尺寸对夹具进行镂空,用于外壳引线固定夹具;对夹具需要置放芯片处按照芯片、合金焊片的形状和尺寸镂空;(4)在夹具固定芯片的四角设计一个圆弧以防止芯片崩边,也有助于取出夹具时不会造成芯片四角卡死。

[0007] 上述芯片定位夹具用不锈钢材质制成,夹具厚度必须高于芯片而低于芯片与压块

总厚度的2/3,这样有利于夹具固定芯片的镂空处能够同时固定住芯片和压块。

[0008] 上述芯片定位夹具的重量是通过计算公式 $0.05\text{g}/\text{mm}^2 \sim 0.1\text{g}/\text{mm}^2$ 计算基片所需重量减去所有芯片压块重量得出的。

[0009] 本发明的烧结方法不仅工艺简单、定位准确、有效固定芯片与压块,又能使基片与外壳能够更好的浸润铺展,提高产品质量的同时还能提高工作效率。通过该方法的组装方式以及夹具重量算法设计可以用于其它微电子组装上的真空共晶焊。

附图说明

[0010] 图1为原有T0-3型封装外壳的组装工艺示意图,图2为本发明方法使用的夹具结构示意图,图3 为本发明方法的混合集成电路烧结的组装示意图,图4为本发明方法的混合集成电路烧结组装完成的示意图,图5为本发明方法的组装及烧结工艺流程框图。

[0011] 图中,1为T0-3型封装外壳,2为陶瓷基片,3为焊片,4为芯片,5为压块,6为芯片定位夹具,7为芯片定位腔,8为引线固定腔,9为基片固定槽,10为圆弧。

具体实施方式

[0012] 实施例:夹具的设计以T0-3型外壳、双芯片为例

[0013] 该芯片定位夹具的厚度高于芯片厚度不超过芯片与压块总厚度的2/3,这样固定芯片处的腔体就能同时放置芯片与压块,起到固定两者的作用,也方便取出压块,再通过基片尺寸挖一个凹槽,有利于固定基片,避免基片在摆放芯片时出现移动情况,达到一次性烧结效果,夹具固定芯片的腔体四角分别开有圆弧,主要是避免高精度状态下,易导致芯片四角卡住崩边。而夹具的重量设计主要通过 $0.05\text{g}/\text{mm}^2 \sim 0.1\text{g}/\text{mm}^2$ 算出基片所需重量减去双芯片上压块重量,从而得出夹具重量。

[0014] 将T0-3型外壳、焊片、芯片、陶瓷基片与压块组装成一个整体放入真空烧结炉进行烧结,具体的组装与烧结步骤是:首先制作多芯片定位夹具6,将T0-3型大功率器件封装外壳1置于石墨板上,再将焊片3放置于外壳1上,又将陶瓷基片2放置于焊片3上,之后将芯片定位夹具6放置在陶瓷基片2之上,接着将焊片3放置在芯片定位夹具6内,又将压块5放置在芯片4上,则组装完成,最后将石墨板放入SST5100型真空烧结炉之中按照烧结工艺的要求进行烧结作业,直至烧结完成。

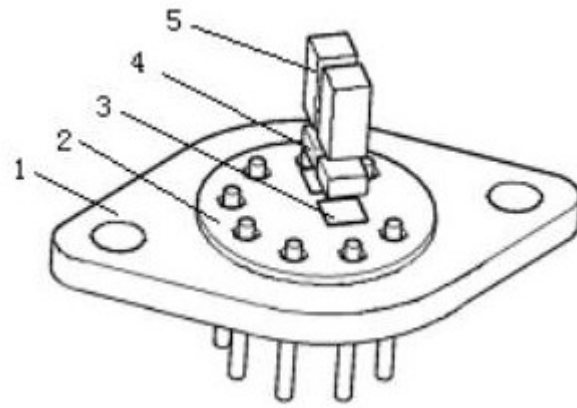


图1

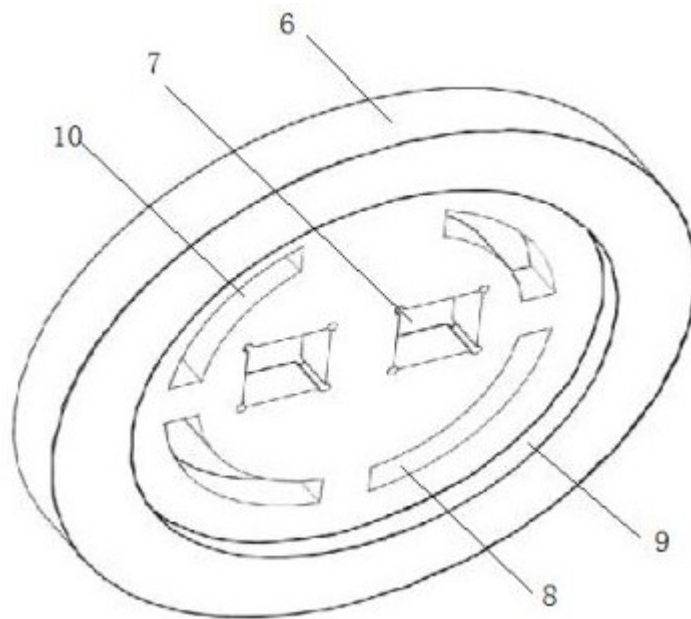


图2

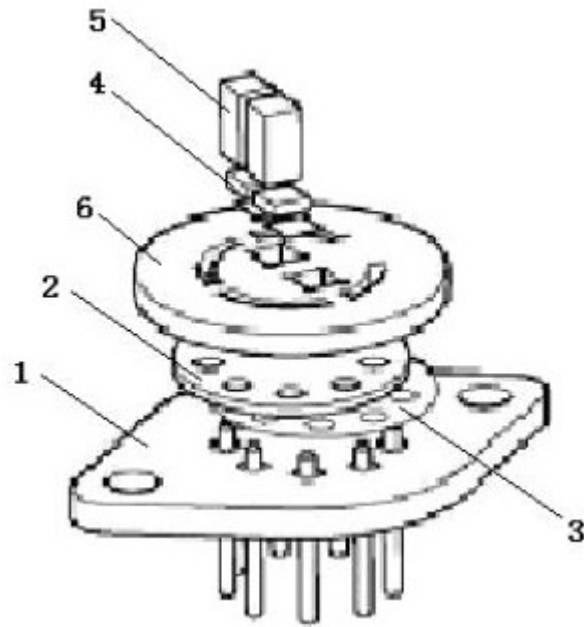


图3

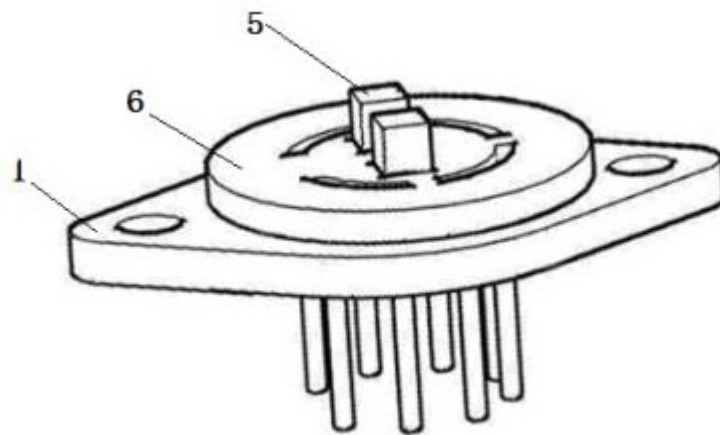


图4

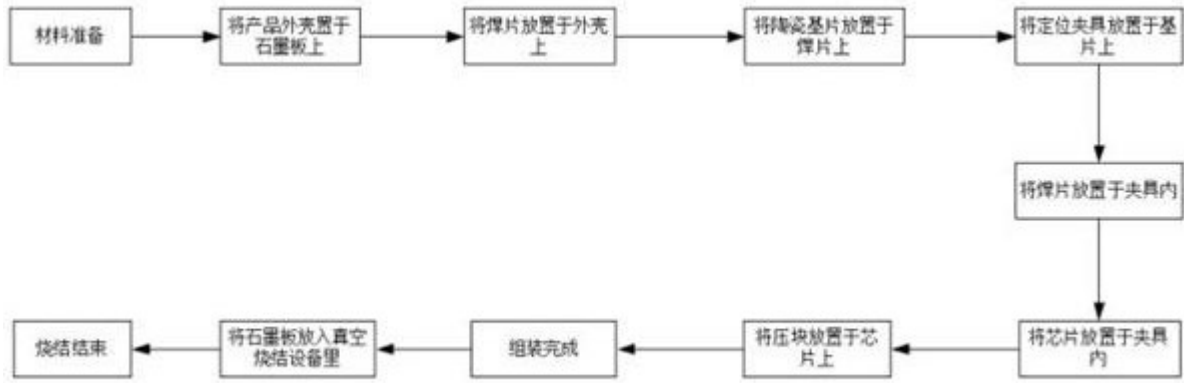


图5