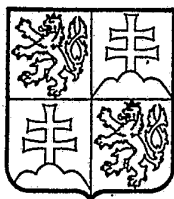


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

(21) PV 8209-88.E
(22) Přihlášeno 12 12 88

(40) Zveřejněno 12 07 90
(45) Vydáno 03 02 92

(11) 273 427

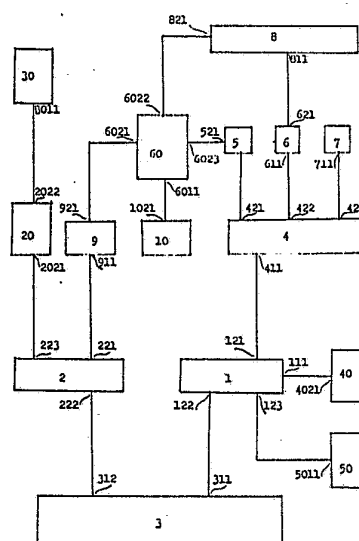
(13) B1

(51) Int. Cl. 5
G 06 F 13/00

(75) Autor vynálezu MIRTES BOHUMIL ing. CSc., PRAHA

(54) Dvojprocesorová řídicí soustava pro
zpracování signálů akustické emise

(57) Řešení má uplatnění v zařízeních pro práci se signály velkého dynamického rozsahu, především se signály akustické emise. Dále v jiných akustických a ultraakustických systémech a popřípadě i v systémech, založených na práci s optickými nebo rentgenovými signály. Umožňuje zvýšení rychlosti řídicích akcí. Známá zapojení řídicích soustav pro zpracování signálů akustické emise mají značné časové ztráty při plnění okrajových funkcí. Tuto nevýhodu odstraňuje soustava zapojená tak, že obsahuje první procesor (1), druhý procesor (2), společnou operační paměť (3), blok (4) styčných obvodů, blok (5) programovatelných obvodů časového měření a řízení, blok (6) programovatelných vstupních a výstupních obvodů, blok (8) paralelních číslicových a číslicově analogových obvodů akustické emise, blok (9) programovatelných obvodů pro měření reálného času, časový generátor (10) a rozdělovač (60) časovacích signálů přesně definovaných kmitočtů. Druhý procesor (2) přejímá od prvního procesoru (1) plnění okrajových funkcí. Soustava je vhodná pro práci se signály akustické emise.



Vynález se týká dvojprocesorové řídicí soustavy pro zpracování signálů akustické emise, snímáných z akustických čidel, technickými i programovanými prostředky této soustavy.

Dosud známá uspořádání a zapojení řídicích soustav pro zpracování signálů akustické emise jsou založena na jediném procesoru, který však na všechny funkce spojené se snímáním a zpracováním signálů akustické emise i při velké výpočetní rychlosti nestačí v důsledku značných časových ztrát při plnění okrajových funkcí, ke kterým patří například styk s vnější pamětí a záznam probíhajícího reálného času k časové definici hodnot zaznamenávaných postupně do operační paměti.

Tyto nedostatky odstraňuje dvojprocesorová řídicí soustava pro zpracování signálů akustické emise se společnou operační pamětí, jejíž podstata spočívá v tom, že styčná svorka prvního procesoru je připojena k řídicí svorce bloku styčných obvodů, jehož vstupní a výstupní svorka je připojena ke styčné svorce bloku programovatelných vstupních a výstupních obvodů, jehož číslicová svorka je připojena ke vstupní a výstupní svorce bloku paralelních číslicových a číslicově analogových obvodů akustické emise. Časovací svorka bloku styčných obvodů je připojena ke styčné svorce bloku programovatelných obvodů časového měření a řízení, jehož kmítočtová svorka je připojena ke třetí distribuční svorce rozdělovače časovacích signálů přesně definovaných kmítočtů, jehož první distribuční svorka je připojena ke kmítočtové svorce bloku programovatelných obvodů pro měření reálného času, jehož řídicí svorka je připojena k časovací svorce druhého procesoru. Výstup časového generátoru je připojen ke vstupu rozdělovače časovacích signálů přesně definovaných kmítočtů, jehož druhá distribuční svorka je připojena ke kmítočtové svorce bloku paralelních číslicových a číslicově analogových obvodů akustické emise. Paměťová svorka prvního procesoru je připojena k první řídicí svorce společné operační paměti, jejíž druhá řídicí svorka je připojena k paměťové svorce druhého procesoru.

Jednotlivé části dvojprocesorové řídicí soustavy mohou být navzájem propojeny pomocí sběrnice prvního procesoru a sběrnice druhého procesoru.

Dvojprocesorová řídicí soustava pro zpracování signálů akustické emise má tyto výhody: Rychlost řídicích akcí je podstatně zvýšena, protože první procesor je odlehčen činností spolupracujícího druhého procesoru; ten od prvního procesoru přejímá zejména styk s vnější pamětí, sledování s záznam průběhu reálného času, popřípadě i styk s operátorem řídicí soustavy.

Na připojeném výkresu je na obr. 1 zapojení dvojprocesorové řídicí soustavy a na obr. 2 je spojení jejich jednotlivých částí pomocí sběrnic obou procesorů.

Styčná svorka 121 prvního procesoru 1 je připojena k řídicí svorce 411 bloku 4 styčných obvodů, jehož vstupní a výstupní svorka 422 je připojena ke styčné svorce 611 bloku 6 programovatelných vstupních a výstupních obvodů, jehož číslicová svorka 621 je připojena ke vstupní a výstupní svorce 811 bloku 8 paralelních číslicových a číslicově analogových obvodů akustické emise. Časovací svorka 421 bloku 4 styčných obvodů je připojena ke styčné svorce 511 bloku 5 programovatelných obvodů časového měření a řízení, jehož kmítočtová svorka 521 je připojena ke třetí distribuční svorce 6023 rozdělovače 60 časovacích signálů přesně definovaných kmítočtů, jehož první distribuční svorka 6021 je připojena ke kmítočtové svorce 921 bloku 9 programovatelných obvodů pro měření reálného času, jehož řídicí svorka 911 je připojena k časovací svorce 221 druhého procesoru 2. Výstup 1021 časového generátoru 10 je připojen ke vstupu 6011 rozdělovače 60 časovacích signálů přesně definovaných kmítočtů, jehož druhá distribuční svorka 6022 je připojena ke kmítočtové svorce 821 bloku 8 paralelních číslicových a číslicově analogových obvodů akustické emise, přičemž paměťová

svorka 122 prvního procesoru 1 je připojena k první řídící svorce 311 společné operační paměti 3, jejíž druhá řídící svorka 312 je připojena k paměťové svorce 222 druhého procesoru 2. Vnější paměťová svorka 223 druhého procesoru 2 je připojena k řídící svorce 2021 řídící elektroniky 20 vnější paměti 30, jejíž paměťová svorka 2022 je připojena k řídící svorce 3011 vnější paměti 30. První vnější svorka 111 prvního procesoru 1 je připojena k výstupu 4021 klávesnice 40, druhá vnější svorka 123 prvního procesoru 1 je připojena ke vstupu 5011 zobrazovací jednotky 50. Ovládací svorka 423 bloku 4 styčných obvodů je připojena ke vstupu 711 bloku 7 vedlejších řízených obvodů.

Funkce dvojprocesorové řídící soustavy podle vynálezu je následující:

Zpracování signálů akustické emise je řízeno činností prvního procesoru 1 a druhého procesoru 2, spojených se společnou operační pamětí 3. Spolupracující druhý procesor 2 přejímá od řídícího prvního procesoru 1 zejména styk s vnější pamětí 30, sledování a záznam signálů z bloku 9 programovatelných obvodů pro měření reálného času, popřípadě i styk s operátorem řídící soustavy prostřednictvím klávesnice 40 a zobrazovací jednotky 50.

Dvojprocesorová řídící soustava může nalézt uplatnění v zařízeních pro práci se signály velkého dynamického rozsahu, především se signály akustické emise. Dále v jiných akustických a ultraakustických systémech a popřípadě i v systémech, založených na práci s optickými nebo rentgenovými signály.

P R Ě D M Ě T V Y N Á L E Z U

1. Dvojprocesorová řídící soustava pro zpracování signálů akustické emise vyznačující se tím, že styčná svorka (121) prvního procesoru (1) je připojena k řídící svorce (411) bloku (4) styčných obvodů, jehož vstupní a výstupní svorka (422) je připojena ke styčné svorce (611) bloku (6) programovatelných vstupních a výstupních obvodů, jehož číslicová svorka (621) je připojena ke vstupní a výstupní svorce (811) bloku (8) paralelních číslicových a číslicově analogových obvodů akustické emise, přičemž časovací svorka (521) bloku (4) styčných obvodů je připojena ke styčné svorce (511) bloku (5) programovatelných obvodů časového měření a řízení, jehož kmitočtová svorka (521) je připojena ke třetí distribuční svorce (6023) rozdělovače (60) časovacích signálů přesně definovaných kmitočtů, jehož první distribuční svorka (6021) je připojena ke kmitočtové svorce (921) bloku (9) programovatelných obvodů pro měření reálného času, jehož řídící svorka (911) je připojena k časovací svorce (221) druhého procesoru (2), přičemž výstup (1021) časového generátoru (10) je připojen ke vstupu (6011) rozdělovače (60) časovacích signálů přesně definovaných kmitočtů, jehož druhá distribuční svorka (6022) je připojena ke kmitočtové svorce (821) bloku (8) paralelních číslicových a číslicově analogových obvodů akustické emise, přičemž paměťová svorka (122) prvního procesoru (1) je připojena k první řídící svorce (311) společné operační paměti (3), jejíž druhá řídící svorka (312) je připojena k paměťové svorce (222) druhého procesoru (2).

2. Dvojprocesorová řídící soustava podle bodu 1, vyznačující se tím, že její jednotlivé části jsou spojeny pomocí sběrnice (100) prvního procesoru (1) a sběrnice (200) druhého procesoru (2).

