

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 20 日(20.12.2012)



(10) 国際公開番号

WO 2012/172645 A1

- (51) 国際特許分類:
G06F 12/16 (2006.01)
- (21) 国際出願番号: PCT/JP2011/063608
- (22) 国際出願日: 2011 年 6 月 14 日(14.06.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高久 和也 (TAKAKU, Kazuya) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 中山 浩志(NAKAYAMA, Hiroshi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 酒巻 秀行(SAKAMAKI, Hideyuki) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 小佐野 秀和(OSANO, Hidekazu) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 日下

田 雅紀(HIGETA, Masanori) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 酒井 宏明(SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目 2 番 5 号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: MEMORY CONTROL DEVICE AND CONTROL METHOD

(54) 発明の名称: メモリ制御装置および制御方法

[図3]

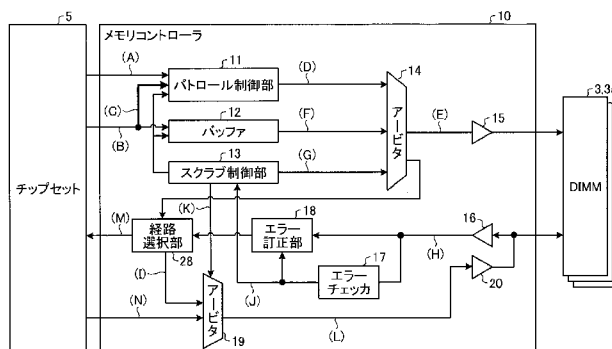


FIG. 3:
5 Chipset
10 Memory controller
11 Patrol controller
12 Buffer
13 Scrap controller
14, 19 Arbiter
17 Error checker
18 Error correction section
28 Path selection section

(57) Abstract: A memory controller (10) receives read requests, and in order to ascertain whether an error has occurred in data stored in a DIMM (3, 3a), issues a patrol request at each of predetermined time intervals. The memory controller (10) also generates a patrol address to be targeted by the patrol request to be issued next. In the event of having received a read request, the memory controller (10) compares the read address targeted by the received read request to the generated patrol address. Then, in the event that the read address and the patrol address match, the memory controller (10) cancels issuance of the next patrol request.

(57) 要約: メモリコントローラ (10) は、リード要求を受信するとともに、DIMM (3, 3a) に記憶されたデータにエラーが生じているか否かを判別するため、パトロール要求を所定の時間毎に発行する。また、メモリコントローラ (10) は、次回発行するパトロール要求の対象となるパトロールアドレスを生成する。また、メモリコントローラ (10) は、リード要求を受信した場合には、受信したリード要求の対象となるリードアドレスと生成したパトロールアドレスとを比較する。そして、メモリコントローラ (10) は、リードアドレスとパトロールアドレスとが一致した場合には、次回のパトロール要求の発行をキャンセルする。

スと生成したパトロールアドレスとを比較する。そして、メモリコントローラ (10) は、リードアドレスとパトロールアドレスとが一致した場合には、次回のパトロール要求の発行をキャンセルする。

WO 2012/172645 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：メモリ制御装置および制御方法

技術分野

[0001] 本発明は、メモリ制御装置および制御方法に関する。

背景技術

[0002] 従来、メモリに記憶されたデータの読み出しや書き込みを制御するメモリ制御装置の技術が知られている。このような制御装置の一例として、訂正不可能なエラーの発生を防ぐため、一定時間おきに、メモリに記憶されたデータのエラー訂正を行うメモリコントローラが知られている。

[0003] このようなメモリコントローラは、OS (Operating System) やアプリケーションがメモリアクセスを行う前に、メモリに記憶されたデータを読み出してデータのエラーを検出するパトロール処理を一定時間おきに実行する。ここで、メモリコントローラは、データの読み取り時における訂正不可能なエラーの発生を防ぐため、パトロール処理を、データの読み取り処理や書き込み処理よりも優先して実行する。そして、メモリコントローラは、パトロール処理によってエラーが検出された場合には、メモリに記憶されたデータの読み出しを行い、読み出したデータのエラーを訂正し、訂正したデータを再度メモリに記憶させるスクラブ処理を実行する。

[0004] このように、メモリコントローラは、パトロール処理を一定時間おきに実行することで、メモリ上のデータにおいて発生したエラーが、データ読み出し時の伝送エラー等により、訂正不可能なエラーに発展するのを防止する。

[0005] 以下、図を用いて、パトロール処理を実行するメモリコントローラの一例について説明する。図13は、従来のメモリコントローラを説明するための図である。図13に示す例では、メモリコントローラ40は、チップセット41、DIMM (Dual Inline Memory Module) 42と接続されている。また、メモリコントローラ40は、パトロール制御部43、バッファ44、スクラブ制御部45、アービタ46、エラーチェッ

カ 4 7、エラー訂正部 4 8、アービタ 4 9を有する。

[0006] チップセット 4 1 は、D I M M 4 2 に格納されたデータに対するリード要求やライト要求を発行する。また、チップセット 4 1 は、メモリコントローラ 4 0 によるパトロール処理の機能を有効とする場合には、パトロール制御部 4 3 に対するイネーブル信号を「ON」とする。D I M M 4 2 は、誤り訂正符号 (E C C : E r r o r C o r r e c t i o n C o d e) が付与されたデータを記憶する。

[0007] パトロール制御部 4 3 は、イネーブル信号が「ON」である場合には、一定時間おきにパトロール処理の実行を要求するパトロール要求を発行する。バッファ 4 4 は、チップセット 4 1 が発行したリード要求とライト要求を一時的に記憶するバッファである。スクラブ制御部 4 5 は、エラーチェッカ 4 7 からエラーが検出された旨の通知を受け付けた場合には、エラーが検出されたデータを再度読み出し、読み出したデータのエラー訂正を要求するスクラブリード要求と、エラー訂正されたデータを D I M M 4 2 に記憶させるスクラブライト要求とを発行する。

[0008] なお、スクラブリード要求とスクラブライト要求は、D I M M 4 2 に記憶されたデータの同一性を保証するため、アトミックに実行される必要がある。このため、スクラブ制御部 4 5 は、エラーチェッカ 4 7 からエラーが検出された旨の通知を受け付けた場合には、パトロール制御部 4 3 とバッファ 4 4 とによる要求の発行を停止させ、スクラブリード要求とスクラブライト要求とを発行する。また、スクラブ制御部 4 5 は、スクラブライト要求を発行すると同時に、アービタ 4 9 に対して、エラーが訂正されたデータの送信を要求する。

[0009] アービタ 4 6 は、パトロール制御部 4 3、バッファ 4 4、スクラブ制御部 4 5 から発行される各要求を、スクラブリード要求、スクラブライト要求、パトロール要求、リード要求、ライト要求の順に優先して発行する調停器である。エラーチェッカ 4 7 は、E C C を用いて、D I M M 4 2 から読み出されたデータからエラーの検出を行い、エラーが検出された場合は、スクラブ

制御部 4 5 とエラー訂正部 4 8 にエラーが検出された旨の通知を送信する。

[0010] エラー訂正部 4 8 は、エラーチェッカ 4 7 からエラーが検出された旨の通知を受け付けた場合には、エラーが検出されたデータが、パトロール要求によるデータであるか、リード要求によるデータであるか、スクラブリード要求に係るデータであるかを判別する。そして、エラー訂正部 4 8 は、エラーが検出されたデータがパトロール要求によるデータであると判別した場合には、データを破棄する。

[0011] また、エラー訂正部 4 8 は、エラーが検出されたデータがリード要求に係るデータである場合には、エラーの訂正を行い、エラーを訂正したデータをチップセット 4 1 へ送信する。また、エラー訂正部 4 8 は、エラーが検出されたデータがスクラブリード要求に係るデータである場合には、エラーの訂正を行い、エラーを訂正したデータをアービタ 4 9 へ送信する。

[0012] アービタ 4 9 は、チップセット 4 1 からライト要求に係るデータを受信する。また、アービタ 4 9 は、エラー訂正部 4 8 からエラーを訂正したデータを受信する。そして、アービタ 4 9 は、アービタ 4 6 がライト要求を発行した場合には、チップセット 4 1 から受信したデータを発行し、スクラブ制御部 4 5 からエラーが訂正されたデータの送信を要求された場合には、エラー訂正部 4 8 から受信したデータを D I M M 4 2 へ送信する。

[0013] 図 1 4 は、パトロール制御部の一例を説明するための図である。図 1 4 に示す例では、パトロール制御部 4 3 は、発行間隔タイマ 5 0 とパトロールアドレス生成部 5 1 とを有する。発行間隔タイマ 5 0 は、イネーブル信号が「ON」である場合は、一定時間おきに、パトロールアドレス生成部 5 1 にタイミング通知を発行するとともに、パトロール要求の発行を示すバリッドを出力する。

[0014] パトロールアドレス生成部 5 1 は、パトロールの対象となるメモリアドレス、すなわち、パトロールアドレスを予め生成し、生成したパトロールアドレスを保持する。そして、パトロールアドレス生成部 5 1 は、発行間隔タイマ 5 0 からタイミング通知を受信した場合には、保持したパトロールアドレ

スを出力する。つまり、パトロールアドレス生成部51は、発行間隔タイマ50が出力したバリッドとともに、パトロールアドレスを出力することで、パトロール要求をアービタ46に発行する。また、パトロールアドレス生成部51は、パトロールアドレスを出力した場合には、新たなパトロールアドレスを生成し、生成したパトロールアドレスを保持する。

[0015] 図15は、従来のパトロール要求の発行処理を説明するためのフローチャートである。例えば、パトロール制御部43は、パトロール要求を発行するタイミングであれば（ステップS1肯定）、予め生成したパトロールアドレスに対するパトロール要求を発行する（ステップS2）。そして、パトロール制御部43は、次回発行するパトロール要求の対象となるパトロールアドレスを生成する（ステップS3）。一方、パトロール制御部43は、パトロール要求を発行するタイミングでないならば（ステップS1否定）、パトロール要求を発行せずに、待機する。

[0016] 図16は、パトロール制御部がパトロール要求を発行するタイミングを説明するための図である。なお、図16中の太線は、各通信および要求が発行されるタイミングを示す。図16に示すように、発行間隔タイマ50は、一定時間おきに、タイミング通知とパトロールバリッドとを送信する。また、パトロールアドレス生成部51は、発行間隔タイマ50がタイミング通知を送信するたびに、異なるメモリアドレスを生成し、記憶する。このため、パトロール制御部43は、一定時間ごとに、それぞれ異なるメモリアドレスに対して、パトロール要求を発行する。

先行技術文献

特許文献

[0017] 特許文献1：特開平04-119442号公報

特許文献2：特開2005-050346号公報

発明の概要

発明が解決しようとする課題

[0018] しかしながら、上述した一定時間おきにパトロール処理を実行する技術では、パトロール処理をデータの読み取り処理よりも優先して実行するので、データの読み取り処理や書き込み処理に係るメモリアクセスが阻害される。この結果、システムの性能が低下するという問題があった。

[0019] 例えば、メモリコントローラ40は、DIMM42に記憶されたデータのエラーが訂正不能なエラーに発展するのを防止するため、DIMM42が有する各メモリアドレスに対して、1日に1回の割合でパトロールを実行する。しかし、DIMM42に容量が増加するにつれて、1日に発行するパトロール要求の数が増加するため、パトロール要求を発行する間隔が短くなる。この結果、メモリコントローラ40は、パトロール要求によるメモリアクセスの回数を増やしてしまい、リード要求やライト要求によるメモリアクセス性能が低下する。

[0020] また、メモリコントローラ40は、パトロール処理を一定の時間間隔で行うことにより、エラーが発生する確率に対応する。このため、メモリコントローラ40は、リード要求やライト要求の発行頻度が低い時間帯に、パトロール処理を片寄せして実行した場合には、訂正不可能なエラーを防ぐという目的を果たすことができない。

[0021] なお、リード要求やライト要求を受信した際に、スクラブ処理の実行を中止することで、リード要求やライト要求によるメモリアクセスの回数を改善する処理も考えられる。しかし、スクラブ処理の実行を中止した場合には、訂正不可能なエラーが発生する確率を増加させてしまうため、DIMMエラーによるシステムダウンの発生率を悪化させてしまう。

[0022] 1つの側面では本発明は、リード要求やライト要求によるメモリアクセスを円滑に行うことを目的とする。

課題を解決するための手段

[0023] 1つの側面では、記憶装置に記憶されたデータに対するリード要求を受信する受信部を有するメモリ制御装置である。また、メモリ制御装置は、記憶装置に記憶されたデータにエラーが生じているか否かを判別するため、当該

データの読出しを要求する検査リード要求を所定の時間毎に発行する検査リード要求発行部を有する。この検査リード要求発行部は、次回発行する検査リード要求の対象となるメモリアドレスを生成する。また、検査リード要求発行部は、所定の時間毎に、生成したメモリアドレスを対象とする検査リード要求を発行する。また、検査リード要求発行部は、受信したリード要求の対象となるメモリアドレスを取得し、生成したメモリアドレスと、取得したメモリアドレスとを比較する。そして、検査リード要求発行部は、両メモリアドレスが一致した場合には、生成したメモリアドレスに対する検査リード要求の発行をキャンセルする。

発明の効果

[0024] 本願に開示の技術は、一つの態様によれば、リード要求やライト要求によるメモリアクセスが円滑に行われ、ひいてはシステムの性能を向上させることも可能となる。

図面の簡単な説明

[0025] [図1]図1は、実施例1に係るシステムボードを説明するための図である。
[図2]図2は、実施例1に係るブリッジチップを説明するための図である。
[図3]図3は、実施例1に係るメモリコントローラの一例を説明するための図である。
[図4]図4は、実施例1に係るパトロール制御部の一例を説明するための図である。
[図5]図5は、実施例1に係るパトロール制御部がパトロール要求を発行するタイミングを説明するためのタイムチャートである。
[図6]図6は、実施例1に係るアービタが実行する処理の一例を説明するための図である。
[図7]図7は、実施例1に係るメモリコントローラが実行する処理の流れ説明するためのフローチャートである。
[図8]図8は、実施例1に係るメモリコントローラがパトロール要求をキャンセルする処理を説明するためのフローチャートである。

[図9]図9は、実施例2に係るパトロール制御部を説明するための図である。

[図10]図10は、実施例2に係るアドレスバッファ回路の一例を説明するための図である。

[図11]図11は、実施例2に係るパトロール制御部が、リードアドレスをバッファに記憶する処理の流れの一例を説明するための図である。

[図12]図12は、実施例2に係るパトロール制御部がパトロール要求の発行をキャンセルするか否かを判別する処理の流れの一例を説明するための図である。

[図13]図13は、従来のメモリコントローラを説明するための図である。

[図14]図14は、パトロール制御部の一例を説明するための図である。

[図15]図15は、従来のパトロール要求の発行処理を説明するためのフローチャートである。

[図16]図16は、パトロール制御部がパトロール要求を発行するタイミングを説明するための図である。

発明を実施するための形態

[0026] 以下に添付図面を参照して本願に係るメモリ制御装置および制御方法について説明する。

実施例 1

[0027] 以下の実施例1では、図1を用いて、メモリ制御装置の一例として、メモリコントローラを有するシステムボードの一例を説明する。図1は、実施例1に係るシステムボードを説明するための図である。

[0028] 図1に示すように、システムボード1は、複数のCPU2～2bと、ブリッジチップ4を有する。また、システムボードは、複数のDIMM3～3gを有する。DIMM3およびDIMM3aは、ブリッジチップ4と接続され、DIMM3b、3cは、CPU2bに接続され、DIMM3d、3eは、CPU2aに接続され、DIMM3f、3gは、CPU2に接続される。また、各DIMM3～3gに格納される各データには、エラーの検出および1ビットのエラーの訂正を行うことができる誤り訂正符号(ECC: Error

r Correction Code) が付与されている。

[0029] このようなシステムボード 1 においては、各 CPU 2 ~ 2 b は、自身に接続された DIMM だけではなく、他の CPU およびブリッジチップ 4 と接続された DIMM 3、3 a に対して、データの読出しおよび書込みを行う事ができる。例えば、CPU 2 は、ブリッジチップ 4 に接続された DIMM 3 に対してデータの読出し又は書込みを行う場合には、ブリッジチップ 4 に対して、データの読出しを要求するリード要求、または、データの書込みを要求するライト要求を送信する。なお、CPU 2 ~ 2 b は、ライト要求を送信する場合には、メモリに書込むデータをライト要求とともに送信する。

[0030] ブリッジチップ 4 は、CPU 2 ~ 2 b から、リード要求を受信した場合には、DIMM 3、3 a からリード要求の対象となるデータの読出しを行い、読み出したデータを要求元の CPU へ送信する。また、ブリッジチップ 4 は、CPU 2 ~ 2 b から、ライト要求と書込むデータとを受信した場合には、DIMM 3、3 a に対して、受信したデータの書込みを行う。

[0031] ここで、ブリッジチップ 4 は、DIMM 3、3 a に格納されたデータにエラーが発生し、エラーが発生したデータを読み出した際にさらなるエラーが付加されることで、訂正不可能なエラーが発生するのを防止するため、一定時間おきにパトロール処理を実行する。具体的には、ブリッジチップ 4 は、パトロール対象となる DIMM 3、3 a のメモリアドレスを生成し、生成したメモリアドレスに対して、一定時間おきに、パトロール要求を発行する。そして、ブリッジチップ 4 は、読み出したデータからエラーが検出されなかった場合には、読出したデータを破棄し、読み出したデータからエラーが検出された場合には、スクラブリード要求とスクラブライト要求とを発行する。その後、ブリッジチップ 4 は、スクラブリード要求によって読み出されたデータの訂正を行い、訂正されたデータをスクラブライト要求により、メモリに格納する。

[0032] 以下、図を用いて、実施例 1 に係るブリッジチップ 4 について説明する。図 2 は、実施例 1 に係るブリッジチップを説明するための図である。図 2 に

示す例では、ブリッジチップは、チップセット5とメモリコントローラ10とを有する。チップセット5は、CPU2、2bからリード要求とライト要求を受信し、受信したリード要求、または、ライト要求をメモリコントローラ10に送信する。

[0033] そして、チップセット5は、リード要求の対象となるデータをメモリコントローラ10から受信した場合には、受信したデータをリード要求の要求元となるCPU（例えば、CPU2）へ、送信する。また、チップセット5は、ライト要求とともに、DIMM3、3aに書込むデータを受信した場合には、ライト要求とともに、データをメモリコントローラ10へ送信する。

[0034] また、チップセット5は、メモリコントローラ10に対して、訂正可能なエラーが訂正不可能なエラーに発展しないように、DIMM3、3aに格納されたデータに対するパトリール処理を実行させる。具体的には、チップセット5は、メモリコントローラ10との間にイネーブル線を有しており、メモリコントローラ10にパトリール処理を実行させる間は、イネーブル線を介して「High」を入力し続ける。また、チップセット5は、パトリール処理を停止させる場合には、イネーブル線を介して「Low」を入力し続ける。

[0035] メモリコントローラ10は、所定の時間おきに、あらかじめ生成されたメモリアドレスに対してパトリール要求を発行する、また、メモリコントローラ10は、所定の時間おきに、次回発行されるパトリール要求の対象となるメモリアドレスを生成する。また、メモリコントローラ10は、リード要求を受信した場合には、リード要求の対象となるメモリアドレスを取得する。また、メモリコントローラ10は、生成したメモリアドレスと、リード要求の対象となるメモリアドレスとを比較する。そして、メモリコントローラ10は、リード要求の対象となるメモリアドレスと生成したメモリアドレスとが一致した場合には、パトリール要求の発行をキャンセルする。

[0036] 以下、図を用いて、実施例1に係るメモリコントローラ10の一例を説明する。図3は、実施例1に係るメモリコントローラの一例を説明するための

図である。図3に示す例では、メモリコントローラ10は、パトロール制御部11、バッファ12、スクラブ制御部13、アービタ14、バッファ15、16、20、エラーチェッカ17、エラー訂正部18、アービタ19、経路選択部28を有する。

[0037] メモリコントローラ10は、図3中(A)に示すイネーブル線を介して、チップセット5からのイネーブル信号をパトロール制御部11に入力する。また、メモリコントローラ10は、図3中(B)に示す経路を介して、チップセット5から受信したリード要求をバッファ12に格納する。ここで、リード要求は、要求する処理の内容が読取りであることを示すRead Command（以下、リードコマンドと記載する）と、読み取り対象となるメモリアドレスであるRead Address（以下、リードアドレスと記載する）とを有する。

[0038] また、メモリコントローラ10は、図3中(C)に示す経路を介して、チップセット5から受信したリード要求をパトロール制御部11に伝達する。つまり、メモリコントローラ10は、リードコマンドとリードアドレスとをパトロール制御部11に伝達する。

[0039] パトロール制御部11は、図3中(A)に示すイネーブル線を介して、チップセット5から「High」のイネーブル信号が入力されている場合には、所定の時間おきに、パトロール要求を発行する。また、パトロール制御部11は、「Low」のイネーブル信号が入力されている場合には、パトロール要求の発行を行わない。

[0040] また、パトロール制御部11は、所定の時間ごとに、次回発行するパトロール要求の対象となるメモリアドレスを生成する。そして、パトロール制御部11は、生成したメモリアドレスに対するパトロール要求を、所定の時間おきに、図3中(D)に示す経路を介して、アービタ14に発行する。また、パトロール制御部11は、また、パトロール制御部11は、図3中(C)に示す経路を介して、受信したリード要求を取得し、取得したリード要求の対象となるメモリアドレスを取得する。

[0041] そして、パトロール制御部 11 は、生成したメモリアドレスと取得したリード要求の対象となるメモリアドレスとを比較し、両メモリアドレスが一致した場合には、次回のパトロール要求の発行をキャンセルする。つまり、パトロール制御部 11 は、次回のパトロール要求の対象となるメモリアドレスを生成してから、パトロール要求を発行するまでの間に、同一メモリアドレスに対するリード要求が受信された場合には、パトロール要求の発行をキャンセルする。

[0042] また、パトロール制御部 11 は、スクラブ制御部 13 から各要求の発行を禁止する旨の通知を受信した場合には、パトロール要求の発行を停止する。また、パトロール制御部 11 は、スクラブ制御部 13 から各要求の発行禁止を解除する旨の通知を受信した場合には、パトロール要求の発行を再開する。また、パトロール制御部 11 は、パトロール要求をアービタ 14 へ発行し、アービタ 14 から各要求を実行した旨を示す「Taken」を受信した場合には、パトロール要求の発行を取り下げる。

[0043] 次に、図 4 を用いて、パトロール制御部 11 の一例について説明する。図 4 は、実施例 1 に係るパトロール制御部の一例を説明するための図である。図 1 に示す例では、パトロール制御部 11 は、発行間隔タイマ 21、パトロールアドレス生成部 22、比較器 23、AND ゲート 24、RS フリップフロップ 25、OR ゲート 26、AND ゲート 27 を有する。なお、図 4 中（A）、（D）に示す経路は、図 3 中（A）、（D）に示す経路であり、図 4 中（R）、（S）に示す経路は、図 3 中（C）に示す経路と対応する。

[0044] また、図 4 に示す例では、パトロール制御部 11 は、図 3 中（A）に示す経路を介して、イネーブル信号を発行間隔タイマ 21 に入力する。また、図 4 に示す例では、パトロール制御部 11 は、図 4 中（R）に示す経路を介してリードアドレスを比較器 23 に入力し、図 4 中（S）に示す経路を介して、リードコマンドを AND ゲート 24 に入力する。ここで、リードコマンドは、リード要求が受信されたことを示すバリッドとして用いられる。

[0045] 発行間隔タイマ 50 は、図 4 中（O）に示すように、イネーブル信号が「

H i g h」である場合は、所定の時間おきに、タイミング通知をパトロールアドレス生成部 22 に送信する。また、発行間隔タイマ 50 は、図 4 中（P）に示すように、タイミング通知を発行すると同時に、パトロール要求の発行を示す P a t r o l V a l i d（以下、パトロールバリッドと記載する）を、発行し、パトロールバリッドを A N D ゲート 27 に入力する。

[0046] パトロールアドレス生成部 22 は、所定の時間おきに、次回発行されるパトロール要求の対象となるメモリアドレスであるパトロールアドレスを生成する。また、パトロールアドレス生成部 22 は、新たなパトロールアドレスを生成する場合には、前回生成したパトロールアドレスとは異なるパトロールアドレスを生成する。具体的には、パトロールアドレス生成部 22 は、発行間隔タイマ 21 からタイミング通知を受信した場合には、前回生成したパトロールアドレスに「1」をインクリメントしたパトロールアドレスを生成する。そして、パトロールアドレス生成部 22 は、生成したパトロールアドレスを図 4 中（Q）に示す経路から出力し続ける。また、パトロールアドレス生成部 22 は、発行間隔タイマ 21 からタイミング通知を受信した場合には、前回生成したパトロールアドレスをパトロールバリッドとともに、A N D ゲート 27 に入力する。

[0047] 比較器 23 は、パトロールアドレス生成部 22 が生成したパトロールアドレスと、図 4 中（R）に示す経路を介して取得したリードアドレスとを比較し、パトロールアドレスとリードアドレスとが一致する場合には、A N D ゲート 24 に対して「1」を出力する。A N D ゲート 24 は、図 4 中（S）に示す経路を介して受信したリードバリッドと比較器 23 との論理積を算出し、算出した論理積を出力する。

[0048] つまり、A N D ゲート 24 は、比較器の出力が「1」でリードバリッドが「1」の場合には、「1」を出力し、それ以外の場合には「0」を出力する。換言すると、A N D ゲート 24 は、メモリコントローラ 10 がリード要求を受信し、かつ、比較器 23 がリードアドレスと次回発行されるパトロール要求のパトロールアドレスとが一致すると判別した場合には、「1」を出力

する。

[0049] RSフリップフロップ25は、ANDゲート24の出力をキャンセルフラグとして保持するフリップフロップである。また、RSフリップフロップ25は、図4中(P)に示す経路を介して、発行間隔タイマ21がパトロールバリッドを出力した場合には、保持した値をリセットする。

[0050] つまり、RSフリップフロップ25は、ANDゲート24の出力が「1」である場合には、Set端子から入力された「1」をキャンセルフラグとして保持し、Q端子から「1」を出力し続ける。また、RSフリップフロップ25は、発行間隔タイマ21がパトロールバリッドとして「1」を出力した場合には、保持した値をリセットしQ端子から「0」を出力する。

[0051] 換言すると、RSフリップフロップ25は、次回発行されるパトロール要求のパトロールアドレスと、パトロールアドレスを発行するまでの間に受信した各リード要求のリードアドレスとが一致した場合には、パトロールキャンセルフラグを保持する。そして、RSフリップフロップ25は、後述するように、発行間隔タイマ21がパトロールバリッドを発行すると、キャンセルフラグを消去する。

[0052] ORゲート26は、RSフリップフロップ25のSet端子に入力される値とRSフリップフロップ25のQ端子から出力される値との論理和を算出し、算出した論理和を出力する。つまり、ORゲート26は、ANDゲート「24」の出力が「1」、または、RSフリップフロップ25の出力が「1」である場合に、「1」を出力する。換言すると、ORゲート26は、メモリコントローラ10がリード要求を受信し、かつ、比較器23がリードアドレスと次回発行されるパトロール要求のパトロールアドレスとが一致する場合、又は、キャンセルフラグが「1」である場合に「1」を出力する。

[0053] つまり、ORゲート26は、RSフリップフロップ25の出力と、RSフリップフロップをバイパスした比較結果との論理和を算出する。このため、パトロール制御部11は、パトロール要求を発行すると同時に受信したリード要求のリードアドレスとパトロールアドレスとが一致する場合にも、パト

ロール要求の発行をキャンセルすることができる。

[0054] ANDゲート27は、発行間隔タイマ21が発行したパトリールバリッドとパトリールアドレスを有するパトリール要求の入力と、ORゲート26の出力の反転入力とを受付ける。そして、ANDゲート27は、ORゲート26の出力が「1」である場合には、パトリール要求を出力せず、ORゲート26の出力が「0」である場合には、図4中(D)に示す経路を介して、パトリール要求をアービタ14へ発行する。

[0055] つまり、ANDゲート27は、リード要求を受信し、かつ、比較器23がリードアドレスと次回発行されるパトリール要求のパトリールアドレスとが一致すると判別した場合、又は、キャンセルフラグが「1」である場合に、パトリール要求をキャンセルする。換言すると、ANDゲート27は、パトリール要求の発行と同時に受信したリード要求のリードアドレスが、発行するパトリール要求のパトリールアドレスと一致する場合、又は、キャンセルフラグが「1」である場合には、パトリール要求の発行をキャンセルする。

[0056] 図5は、実施例1に係るパトリール制御部がパトリール要求を発行するタイミングを説明するためのタイムチャートである。図5には、発行間隔タイマ21がタイミング通知およびパトリールバリッドを発行するタイミング、パトリールアドレス生成部22が生成するパトリールアドレスを示す。また、図5には、リード要求を受信したタイミング、受信したリード要求に係るリードアドレス、RSフリップフロップ25にキャンセルフラグが格納されるタイミング、パトリール要求の発行タイミングを示す。

[0057] 図5中T1において、パトリールアドレス生成部22がパトリールアドレス「0」を保持するとともに、発行間隔タイマ21がタイミング通知とパトリールバリッドとを発行する。このため、パトリール制御部11は、メモリアドレス「0」に対するパトリール要求を発行する。次に、図5中T2において、パトリールアドレス生成部22は、新たなパトリールアドレス「1」を生成する。また、パトリール制御部11は、リードアドレス「3」を対象とするリード要求を受信するが、パトリールアドレスと一致しないため、キ

キャンセルフラグの設定は行わない。

[0058] 次に、図5中T3において、メモリコントローラ10は、リードアドレス「1」を対象とするリード要求を受信する。すると、パトロールアドレス11は、生成したパトロールアドレスとリードアドレスとが一致すると判別し、図5中T4において、キャンセルフラグ「1」をRSフリップフロップ25に格納する。また、メモリコントローラ10は、図5中T4、～T5において、リードアドレス「2」、「8」を対象とするリード要求を受信する。ここで、パトロール制御部11は、図5中T4にて既にキャンセルフラグをRSフリップフロップ25に格納しており、生成したパトロールアドレスとは異なるリードアドレスを取得した場合にも、キャンセルフラグを消去せず、保持する。

[0059] そして、パトロール制御部11は、図5中T6において、タイミング通知とパトロールバリッドを発行するが、キャンセルフラグ「1」がRSフリップフロップ25に格納されているため、パトロール要求の発行をキャンセルする。そして、パトロール制御部11は、図5中T7において、RSフリップフロップ25に格納されたキャンセルフラグを「0」にリセットするとともに、新たなパトロールアドレス「2」を生成する。

[0060] また、パトロール制御部11は、図5中T7～T9にいたるまで、上述した処理と同様の処理を実行する。ここで、図5中T10において、パトロール制御部11は、タイミング通知とパトロールバリッドとが発行されるとともに、メモリコントローラ10がリードアドレス「2」を対象とするリード要求を受信する。

[0061] 図5中T10に示すように、パトロール制御部11は、タイミング通知とパトロールバリッドを発行するが、この時、パトロールアドレスとリードアドレスが一致する為、ORゲート26でRSフリップフロップをバイパスしてANDゲート27にキャンセル信号を入力し、パトロール要求の発行をキャンセルする。そして、パトロール制御部11は、図5中T11において、RSフリップフロップ25に格納されたキャンセルフラグを「0」にリセッ

トするとともに、新たなパトロールアドレス「3」を生成する。

[0062] このように、パトロール制御部11は、次回発行するパトロール要求のパトロールアドレスと、パトロール要求を発行するまでに受信したリード要求のリードアドレスとを比較する。そして、パトロール制御部11は、パトロールアドレスとリードアドレスとが一致する場合には、パトロールアドレスの発行をキャンセルする。また、パトロール制御部11は、パトロール要求のパトロールアドレスと同じリードアドレスを対象とするリード要求をパトロール要求の発行と同時に受信した場合にも、パトロールアドレスの発行をキャンセルする。

[0063] ここで、メモリコントローラ10がリード要求を発行した場合には、リードアドレスに格納されているデータが読み出され、後述するエラーチェッカ17およびエラー訂正部18によりエラーの検出およびエラーの訂正が行われる。このため、パトロール制御部11は、次回発行するパトロール要求と同一のメモリアドレスを対象とするリード要求を受信した場合には、パトロール要求をキャンセルしても、訂正不能なエラーが発生する確率を悪化させることがない。この結果、パトロール制御部11は、データに訂正不能なエラーが発生する確率を悪化させることなく、リード要求に係るメモリアクセス率を向上させるので、システムの性能悪化を防ぐことができる。

[0064] なお、パトロール制御部11が、スクラブ制御部13から各要求の発行を禁止する旨の通知を受信した場合には、任意の方法でパトロール要求の発行を停止してよい。例えば、パトロール制御部11は、図4中(D)に示す経路にFET(Field effect transistor)等のスイッチを設け、スクラブ制御部13から各要求の発行を禁止する旨の通知を受信した場合には、図4中(D)に示す経路を電氣的に断線させることとしてもよい。

[0065] 図3に戻って、バッファ12は、チップセット5から送信されるリード要求およびライト要求を受信し、一時的に記憶するバッファである。例えば、バッファ12は、チップセット5からリード要求を受信した場合には、受信したリード要求を記憶すると共に、図3中(F)に示す経路を介して、アー

ビタ 1 4 に対して、リード要求の発行を行う。そして、バッファ 1 2 は、アービタ 1 4 から、リード要求を発行した旨を示す「T a k e n」を受信した場合には、発行したリード要求を消去する。

[0066] また、バッファ 1 2 は、スクラブ制御部 1 3 から各要求の発行を禁止する旨の通知を受信した場合には、チップセット 5 から受信したリード要求およびライト要求の発行を停止する。また、バッファ 1 2 は、スクラブ制御部 1 3 から各要求の発行禁止を解除する旨の通知を受信した場合には、リード要求またはライト要求の発行を再開する。なお、バッファ 1 2 がリード要求を受信するタイミング、つまり、各 CPU 2 ~ 2 b がリード要求を発行するタイミングは、パトロール要求が発行されるタイミングとは無関係であるため、バッファ 1 2 は、リード要求を不定期に受信することとなる。

[0067] スクラブ制御部 1 3 は、エラーチェッカ 1 7 が D I M M 3、3 a から読み出されたデータからエラーを検出した場合には、エラーを訂正するスクラブ処理を実行する。具体的には、スクラブ制御部 1 3 は、エラーチェッカ 1 7 からエラーを検出した旨を示す通知を受信した場合には、データの同一性を保持するため、パトロール制御部 1 1 とバッファ 1 2 とに、各要求の発行を禁止する旨の通知を送信する。

[0068] そして、スクラブ制御部 1 3 は、図 3 中 (G) に示すように、エラーチェッカ 1 7 がエラーを検出したメモリアドレスに対して、スクラブリード要求を発行する。ここで、スクラブ制御部 1 3 は、エラーチェッカ 1 7 がエラーを検出したメモリアドレスを任意の方法で取得することができる。例えば、スクラブ制御部 1 3 は、アービタ 1 4 から、リード要求または、パトロール要求の対象となるメモリアドレスを取得する。そして、スクラブ制御部 1 3 は、エラーチェッカ 1 7 からエラーを検出した旨の通知を受信した場合には、直前に取得したメモリアドレスに対して、スクラブリード要求を発行することとしてもよい。

[0069] また、スクラブ制御部 1 3 は、スクラブリード要求を発行した結果、エラーチェッカ 1 7 がエラーを検出し、エラー訂正部 1 8 がエラーを訂正した場

合には、図3中（G）に示すように、スクラブライト要求をアービタ14に発行する。これと同時に、スクラブ制御部13は、図3中（K）に示すように、アービタ19に対して、エラー訂正部18から図3中（I）に示す経路を介してアービタ19に入力されるデータを選択する旨の信号を送信する。その後、スクラブ制御部13は、パトリール制御部11およびバッファ12に、各要求の発行禁止を解除する旨の通知を送信する。

[0070] アービタ14は、パトリール制御部11が発行したパトリール要求と、バッファ12が発行したリード要求又はライト要求と、スクラブ制御部13が発行したスクラブリード要求またはスクラブライト要求との調停を行う調停器である。具体的には、アービタ14は、各部11～13が発行した各要求を、スクラブリード要求、スクラブライト要求、パトリール要求、リード要求、ライト要求の順に優先して調停する。そして、アービタ14は、調停に勝利した要求を実行するコマンドを、図3中（E）に示すように、バッファ15を介してDIMM3、3aに対して発行する。

[0071] また、アービタ14は、DIMM3、3aに対して発行したコマンドの内容を経路選択部28に通知する。具体的には、アービタ14は、発行したコマンドの内容が、リード要求であるか、パトリール要求であるか、スクラブリード要求であるかを経路選択部28に通知する。

[0072] 以下、図6を用いて、アービタ14が実行する調停の一例について説明する。図6は、実施例1に係るアービタが実行する処理の一例を説明するための図である。図6に示す例では、パトリール制御部11が発行したパトリール要求とバッファ12が発行したリード要求との調停を行う処理について説明する。

[0073] 図6に示す例では、アービタ14は、パトリール制御部11からパトリール要求の発行を受付けると同時に、バッファ12からリード要求の発行を受付ける（図6中（1））。このような場合には、パトリール要求とリード要求とが競合するので、アービタ14は、パトリール要求とリード要求との調停を行う（図6中（2））。ここで、アービタ14は、パトリール要求をリ

ード要求よりも優先して発行するので、パトリール要求を実行するコマンドをD I M M 3、3 aに対して発行する（図6中（3））。そして、アービタ14は、パトリール要求を実行したことを示す「T a k e n」をパトリール制御部11へ送信する（図6中（4））。

[0074] なお、スクラブリード要求およびスクラブライト要求は、スクラブ制御部13が、パトリール制御部11およびバッファ12に各要求の発行を禁止してから発行される要求であるため、実際にアービタ14で競合することは無い。しかし、アービタ14における回路として矛盾状態が生じないようにするため、スクラブリード要求およびスクラブライト要求を他の要求よりも優先する優先度がアービタ14に設定されている。

[0075] また、リード要求は、連続的に発行されるため、パトリール要求の優先度をリード要求の優先度よりも低くした場合には、一向にパトリール要求が実行されなくなる。この結果、D I M M 3、3 aに記憶されたデータに訂正不可能なエラーが生じる確立が高くなるので、パトリール要求は、リード要求よりも優先して実行される。

[0076] バッファ15は、アービタ14が発行したコマンドをD I M M 3、3 aに送信するバッファである。また、バッファ16は、バッファ20とともに双方向バッファの一部であり、D I M M 3、3 aと送受信されるデータの流れを制御する。また、バッファ16は、D I M M 3、3 aから読み出されたデータ（以下、リードデータと記載）を、図3中（H）に示す経路を介して、エラーチェッカ17とエラー訂正部18へ送信するバッファである。ここで、リードデータには、ビット反転等のエラーの検出およびエラーの訂正を行うためのE C Cが付与されている。また、バッファ16は、エラーチェッカ17、および、エラー訂正部18側からのデータがD I M M 3、3 a側に流れないようにするため、設置される。

[0077] エラーチェッカ17は、D I M M 3、3 aから読み出されたリードデータからエラーを検出する。具体的には、エラーチェッカ17は、バッファ16からリードデータを受信する。そして、エラーチェッカ17は、受信したり

ードデータに付与されているECCを用いて、受信したリードデータにエラーが発生しているか否かを判別する。そして、エラーチェッカ17は、読み出されたデータからエラーを検出した場合には、図3中(J)に示すように、エラー訂正部18およびスクラブ制御部13にエラーが検出された旨を通知する。

[0078] エラー訂正部18は、バッファ16からリードデータを受信するとともに、エラーチェッカ17からエラーを検出した旨の通知を受信した場合には、バッファ16から受信したリードデータに付与されたECCを用いて、エラーの訂正を行う。そして、エラー訂正部18は、エラーを訂正したリードデータを経路選択部28に送信する。また、エラー訂正部18は、エラーチェッカ17からエラーを検出した旨の通知を受信しなかった場合には、バッファ16から受信したリードデータを経路選択部28に送信する。

[0079] アービタ19は、スクラブ制御部13から何ら通知を受けていない場合には、図3中(N)に示す経路を介して、チップセット5から送信されたDIMM3、3aに書込まれるデータを受信する。そして、アービタ19は、受信したデータを図3中(L)に示す経路を介して、バッファ20に送信する。また、アービタ19は、スクラブ制御部13から図3中(I)に示す経路を介してアービタ19に入力されるデータを選択する旨の通知を受信した場合には、図3中(I)に示す経路から受信するデータ、つまり、スクラブリード要求に係るデータを受信する。そして、アービタ19は、受信したデータを図3中(L)に示す経路を介して、バッファ20に送信する。ここで、アービタ19が送信するデータには、ECCが付与されているものとする。

[0080] バッファ20は、アービタ19から受信したデータをライトデータとしてDIMM3、3aに送信する。また、バッファ20は、DIMM3、3aから読み出されたデータがアービタ19側に流れないようにするため、設置される。

[0081] 経路選択部28は、エラー訂正部18からリードデータを受信する。また、経路選択部28は、アービタ14から、受信したリードデータがリード要

求によって読み出されたものであるか、パトロール要求によって読み出されたものであるか、スクラブリード要求によって読み出されたものであるかを示す通知を受信する。

[0082] そして、経路選択部 28 は、エラー訂正部 18 から受信したリードデータがリード要求によって読み出されたリードデータである場合には、図 3 中 (M) に示す経路を介して、チップセット 5 に受信したリードデータを送信する。また、経路選択部 28 は、エラー訂正部 18 から受信したリードデータがパトロール要求によって読み出されたリードデータである場合には、受信したリードデータを破棄する。また、経路選択部 28 は、エラー訂正部 18 から受信したリードデータがスクラブリード要求によって読み出されたリードデータである場合には、図 3 中 (I) に示す経路を介して、アービタ 19 へ受信したリードデータを送信する。

[0083] 例えば、メモリコントローラ 10、パトロール制御部 11、スクラブ制御部 13、アービタ 14、エラーチェッカ 17、エラー訂正部 18、アービタ 19、経路選択部 28、発行間隔タイマ 21、パトロールアドレス生成部 22 とは、電子回路である。ここで、電子回路の例として、ASIC (Application Specific Integrated Circuit) や FPGA (Field Programmable Gate Array) などの集積回路などを適用する。また、バッファ 12 とは、RAM (Random Access Memory)、フラッシュメモリ (flash memory) などの半導体メモリ素子などの記憶装置である。

[0084] [メモリコントローラ 10 が実行する処理の流れ]

次に、図を用いて、メモリコントローラ 10 が実行する処理の流れについて説明する。まず、図 7 を用いて、メモリコントローラ 10 が DIMM 3、3a からデータを読み込み、データを訂正する処理について説明する。図 7 は、実施例 1 に係るメモリコントローラが実行する処理の流れ説明するためのフローチャートである。図 7 に示す例では、メモリコントローラ 10 は、チップセット 5 からリード要求を受信した場合、または、パトロール要求を発行するタイミングとなったことを契機として、処理を開始する。

[0085] まず、メモリコントローラ 10 は、リード要求またはパトリール要求を発行する（ステップ S 1 1）。次に、メモリコントローラ 10 は、D I M M 3、3 a から読み出されたリードデータにエラーが発生しているか否かを判別する（ステップ S 1 2）。そして、メモリコントローラ 10 は、エラーが発生していると判別した場合には（ステップ S 1 2 肯定）リードデータがパトリール要求により読み出されたデータであるか否かを判別する（ステップ S 1 3）。

[0086] また、メモリコントローラ 10 は、リードデータがパトリール要求により読み出されたリードデータではないと判別した場合には（ステップ S 1 3 否定）、リードデータのエラーを訂正する（ステップ S 1 4）。そして、メモリコントローラ 10 は、エラーを訂正したリードデータをチップセット 5 に送出する（ステップ S 1 5）。一方、メモリコントローラ 10 は、リードデータがパトリール要求により読み出されたリードデータであると判別した場合には（ステップ S 1 3 肯定）、リードデータを破棄する（ステップ S 1 6）。

[0087] 続いて、メモリコントローラ 10 は、スクラブリード要求を発行し（ステップ S 1 7）、D I M M 3、3 a から読み出されたデータのエラーを訂正する（ステップ S 1 8）。その後、メモリコントローラ 10 は、エラーを訂正したデータを D I M M 3、3 a に格納するため、スクラブライト要求を発行し（ステップ S 1 9）、エラーを訂正したデータを D I M M 3、3 a に格納した後、処理を終了する。

[0088] また、メモリコントローラ 10 は、エラーが検出されなかった場合には（ステップ S 1 2 否定）、リードデータがパトリール要求により読み出されたデータであるか否かを判別する（ステップ S 2 0）。そして、メモリコントローラ 10 は、リードデータがパトリール要求により読み出されたデータであると判別した場合には（ステップ S 2 0 肯定）、リードデータを破棄し（ステップ S 2 1）、処理を終了する。一方、メモリコントローラ 10 は、リードデータがパトリール要求により読み出されたデータではないと判別した

場合には（ステップS 2 0 否定）、リードデータをチップセット 5 に出力し（ステップS 2 2）、処理を終了する。

[0089] 次に、図 8 を用いて、メモリコントローラ 1 0 が、受信したリード要求のリードアドレスと、生成したパトロールアドレスとを比較し、一致する場合には、パトロール要求の発行をキャンセルする処理について説明する。図 8 は、実施例 1 に係るメモリコントローラがパトロール要求をキャンセルする処理を説明するためのフローチャートである。なお、図 8 に示す処理は、上述した実施例 1 を適宜一般化した処理の流れについて説明するフローチャートである。

[0090] なお、図 8 に示す例では、メモリコントローラ 1 0 は、リード要求を受信したか否かを判別し（ステップS 1 0 0）、リード要求を受信したことを契機として（ステップS 1 0 0 肯定）処理を開始する。まず、メモリコントローラ 1 0 は、受信したリード要求のリードアドレスと、生成したパトロールアドレスとが一致するか否かを判別する（ステップS 1 0 1）。そして、メモリコントローラ 1 0 は、リードアドレスとパトロールアドレスとが一致すると判別した場合には（ステップS 1 0 1 肯定）、以下の処理を実行する。すなわち、メモリコントローラ 1 0 は、パトロール要求発行のキャンセルフラグを生成し、生成したキャンセルフラグをレジスタ、すなわち R S フリップフロップ 2 5 に格納する（ステップS 1 0 2）。

[0091] 次に、メモリコントローラ 1 0 は、パトロール要求を発行するタイミングであるか否かを判別し（ステップS 1 0 3）、パトロール要求を発行するタイミングである場合には（ステップS 1 0 3 肯定）、以下の処理を実行する。すなわち、メモリコントローラ 1 0 は、パトロール要求発行のキャンセルフラグがレジスタに保持されているか否かを判別する（ステップS 1 0 4）。

[0092] そして、メモリコントローラ 1 0 は、キャンセルフラグがレジスタに保持されていると判別した場合には（ステップS 1 0 4 肯定）、パトロール要求の発行をキャンセルする（ステップS 1 0 5）。また、メモリコントローラ

10は、パトロール要求発行のキャンセルフラグがレジスタに保持されていないと判別した場合には（ステップS104否定）、パトロール要求を発行する（ステップS106）。

[0093] その後、メモリコントローラ10は、次回発行するパトロール要求の対象となるパトロールアドレスを生成し（ステップS107）、再度リード要求を受信したか否かを判別する（ステップS100）。また、メモリコントローラ10は、リード要求を受信していない場合には（ステップS100否定）、再度リード要求を受信したか否かを判別する。また、メモリコントローラは、パトロール要求を発行するタイミングではない場合には（ステップS103否定）、リード要求を受信したか否かを判別する（ステップS100）。

[0094] [実施例1の効果]

上述したように、メモリコントローラ10は、次回発行するパトロール要求の対象となるパトロールアドレスを生成し、所定の時間おきに生成したパトロールアドレスに対するパトロール要求を発行する。また、メモリコントローラ10は、リード要求を受信した場合には、受信したリード要求の対象となるリードアドレスと、生成したパトロールアドレスとを比較する。そして、メモリコントローラ10は、リードアドレスとパトロールアドレスとが一致した場合には、パトロール要求の発行をキャンセルする。このため、メモリコントローラ10は、データに訂正不能なエラーが発生する確率を悪化させることなく、リード要求に係るメモリアクセスの阻害を防止し、システムの性能劣化を防ぐことができる。

[0095] つまり、パトロール要求は、DIMM3、3aに格納されたデータを利用するアプリケーション等の動作とは関係が無い検査リード要求であるため、パトロール要求の回数が増えると、リード要求の実行が阻害される結果、システムの性能が悪化する。しかし、メモリコントローラ10は、リードアドレスとパトロールアドレスとが一致する場合には、パトロール要求の発行をキャンセルする。このため、メモリコントローラ10は、リード要求が調

停負けせずに発行される結果、リード要求に係るメモリアクセス性能を向上させ、システムの性能低下を防ぐことができる。

[0096] また、メモリコントローラ 10 は、リード要求により読み出されたリードデータについても、エラーが検出された場合には、パトロール要求により読み出されたリードデータ同様、スクラブライト要求とスクラブリード要求によるエラーの検出および訂正を行う。このため、メモリコントローラ 10 は、次回発行するパトロールアドレスと同じメモリアドレスを対象とするリード要求を発行した場合には、パトロール要求を発行するのと同等の効果を得ることができる。

[0097] この結果、メモリコントローラ 10 は、リードアドレスとパトロールアドレスとが一致した場合は、パトロール要求の発行をキャンセルするので、D I M M エラーによるシステムダウンの発生率を悪化させることなく、D I M M アクセスの時間を増やすことができる。

[0098] また、メモリコントローラ 10 は、リード要求を受信する毎に、受信したリード要求の対象となるリードアドレスと次回発行するパトロールアドレスとを比較し、リードアドレスとパトロールアドレスとが一致する場合には、パトロール要求の発行をキャンセルする。このため、メモリコントローラ 10 は、リード要求が連続して発行される場合にも、適切にパトロール要求のキャンセルを行うことができる。

実施例 2

[0099] 以下の実施例 2 では、複数のメールアドレスとパトロールアドレスとを比較するパトロール制御部を有するメモリコントローラ 10 a について説明する。なお、メモリコントローラ 10 a は、実施例 1 に係るメモリコントローラ 10 と同様の機能および構成を有するものとし、図面での説明を省略する。すなわち、メモリコントローラ 10 a は、パトロール制御部 11 に対応するパトロール制御部 11 a を有する点以外は、実施例 1 に係るメモリコントローラ 10 と同様の装置である。

[0100] 図 9 を用いて、メモリコントローラ 10 a が有するパトロール制御部 11

aについて説明する。図9は、実施例2に係るパトロール制御部を説明するための図である。なお、図9に示す例では、図4に示す各部と同様の機能を有する部、および、図9に示す経路と同一の信号が送受信される経路については、同一の符号を付し、以下の説明を省略する。

[0101] 図9に示すように、パトロール制御部11aは、アドレスバッファ回路30を有する。アドレスバッファ回路30は、図9中(Q)に示すように、パトロールアドレス生成部22が生成したパトロールアドレスを取得する。また、アドレスバッファ回路30は、図9中(U)に示すように、発行間隔タイマ21が発行したパトロールバリッドを取得する。また、アドレスバッファ回路30は、図9中(S)に示すように、リードコマンドを取得する。また、アドレスバッファ回路30は、図9中(R)に示すように、リードアドレスを取得する。

[0102] アドレスバッファ回路30は、リード要求の対象となるリードアドレスを一定の時間記憶しうる複数の記憶部を有する。そして、アドレスバッファ回路30は、パトロールバリッドを受信した場合には、各記憶部に格納されたリードアドレスと、パトロールアドレスとを比較する。その後、アドレスバッファ回路30は、いずれかの記憶部に格納されたリードアドレスと、パトロールアドレスとが一致した場合には、ANDゲート27に「1」を反転入力し、パトロール要求の発行をキャンセルする。

[0103] 以下、図を用いて、アドレスバッファ回路30の具体例を説明する。図10は、実施例2に係るアドレスバッファ回路の一例を説明するための図である。なお、図10中(a)に示す経路は、図9中(S)に示す経路と対応し、図10中(c)に示す経路は、図9中(R)に示す経路と対応する。また、図10中(P)、(Q)、(U)に示す経路は、図9中の(P)、(Q)、(U)に示す経路と対応する。

[0104] 図10に示す例では、アドレスバッファ回路30は、Read determination 31、Duplication Compare 32、ANDゲート33、Counter 34、アドレスバッファ35を有する。

また、アドレスバッファ回路30は、Patrol Address Compare36、Timer37 Counter38、バリッドバッファ39を有する。

[0105] アドレスバッファ35は、セクタ#1と10個のバッファ#1～#10とを有し、バリッドバッファ39は、セクタ#2と10個のバリッド#1～#10とを有する。各バッファ#1～#10は、それぞれ、各バリッド#1～#10対応付けられている。各バッファ#1～#10には、リード要求の対象となるリードアドレスが格納され、各バリッド#1～#10のうち、リードアドレスが格納されたバッファと対応するバリッドには、バリッドビットが格納される。つまり、バリッドビットは、有効なリードアドレスを示すバリッドビットである。

[0106] Read determination31は、図10中(a)に示す経路を介して、リードコマンド、または、ライトコマンドを受信する。そして、Read determination31は、受信したコマンドがリードコマンドである場合には、図10中(b)に示す経路を介して、バリッドビットを出力し、ANDゲート33に入力する。また、Read determination31は、ライトコマンドを受信した場合には、バリッドビットを出力しない。

[0107] ここで、Read determination31がバリッドビットを出力しない場合には、各バッファ#1～#10にリードアドレスが格納されることが無い。このため、以下の説明においては、パトロール制御部11aが、リードコマンドとリードアドレスとを取得したものとして、説明を行う。

[0108] Duplication Compare32は、図10中(c)に示す経路を介して、リードアドレスを取得する。また、Duplication Compare32は、図10中(d)に示す経路を介して、アドレスバッファ35の各バッファ#1～#10に格納されたリードアドレスを取得する。また、Duplication Compare32は、図10中(e)に示す経路を介して、バリッドバッファ39の各バリッド#1～#10

に格納されたバリッドビットを取得する。

[0109] そして、Duplication Compare 32は、各バッファ# 1～# 10に格納されたリードアドレスのうち、バリッドビットが格納されたバリッドと対応付けられたバッファに格納されていたリードアドレスと、受信したリードアドレスとを比較する。そして、Duplication Compare 32は、いずれかのリードアドレスと受信したリードアドレスとが一致した場合には、図10中（f）に示す経路を介して、ANDゲート33に「1」を出力する。ここで、ANDゲート33は、Duplication Compare 32からの出力を反転した状態で取得する。

[0110] このため、Duplication Compare 32は、受信したリードアドレスと同一のリードアドレスがアドレスバッファ35に記憶されていた場合には、新たに受信したリードアドレスの記憶をキャンセルする。この結果、アドレスバッファ回路30は、アドレスバッファ35およびバリッドバッファ39の容量を節約し、回路規模の小型化や、回路構成の簡易化を図ることができる。

[0111] ANDゲート33は、Duplication Compare 32が「0」を出力した場合には、Read determination 31から出力されたバリッドビットを出力する。また、ANDゲート33は、Duplication Compare 32が「1」を出力した場合には、Read determination 31から出力されたバリッドビットの出力を行わない。また、ANDゲート33は、バリッドビットをアドレスバッファ35のセクタ# 1とバリッドバッファ39のセクタ# 2に送信する。なお、ANDゲート33が各セクタ# 1、# 2に送信したバリッドビットは、ライトイネーブル信号として用いられる。

[0112] Counter 34は、図10中（g）に示す経路を介して、バリッドビットを取得した場合には、アドレスバッファ35が有する各バッファ# 1～# 10のうち、受信したリード要求のリードアドレスを格納するバッファを選択する。例えば、Counter 34は、「1」～「10」までの数値を

反復的にカウントするカウンタであり、バリッドビットを取得した場合には、カウンタの値を「1」だけインクリメントする。

[0113] そして、Counter 34は、図10中(h)に示す経路を介して、カウンタの値をアドレスバッファ35のセクタ#1と、バリッドバッファ39のセクタ#2に送信する。具体例で説明すると、Counter 34は、カウンタの値が「4」である際に、バリッドビットを取得した場合には、カウンタの値を「5」とし、カウンタの値「5」をアドレスバッファ35のセクタ#1とバリッドバッファ39のセクタ#2に送信する。

[0114] セクタ#1は、図10中(i)に示す経路を介して、リードアドレスを取得する。また、セクタ#1は、図10中(h)に示す経路を介して、Counter 34の値を取得する。そして、セクタ#1は、ANDゲート33からバリッドビット、すなわち、ライトイネーブル信号を受信した場合には、受信したリードアドレスを、Counter 34の値が示すバッファに格納する。例えば、セクタ#1は、Counter 34から「5」を受信した際に、リードアドレスと、ライトイネーブル信号とを受信した場合には、バッファ#5にリードアドレスを格納する。つまり、セクタ#1は、バリッドビットが格納されていないバリッドと対応するバッファにリードメモリを格納する。

[0115] セクタ#2は、図10中(h)に示す経路を介して、Counter 34の値を取得するとともに、ANDゲート33から、バリッドビット、つまり、ライトイネーブル信号を受信した場合には、以下の処理を実行する。すなわち、Counter 34から受信した値が示すバリッドに、バリッドビットを格納する。例えば、セクタ#2は、Counter 34から「5」を取得し、ANDゲート33からバリッドビットを取得した場合には、バリッド#5にバリッドビットを格納する。なお、図10中(j)に示す接続は、バリッドバッファ39が有する各バリッド#1～#10をセットするための信号経路を示す。

[0116] Timer 37は、各バッファ#1～#10のいずれかがリードアドレス

を記憶してから所定の時間が経過した場合には、リードアドレスを記憶したバッファと対応付けられたバリッドに格納されたバリッドビットを消去する。例えば、T i m i e r 3 7 は、バリッドバッファ 3 9 が有するバリッド # 1 ~ # 1 0 のいずれかにバリッドビットが格納された場合には、カウントを開始し、カウントがあらかじめ設定された値となった場合には、図 1 0 中 (k) に示す経路にバリッドを出力する。

[0117] C o u n t e r 3 8 は、図 1 0 中 (k) に示す経路にバリッドビットが出力された場合には、バリッドバッファ 3 9 が有する各バリッド # 1 ~ # 1 0 のうち、バリッドビットを消去するバリッドを選択する。例えば、C o u n t e r 3 8 は、C o u n t e r 3 4 と同様に、「1」~「10」までの数値を反復的にカウントするカウンタであり、バリッドビットを取得した場合には、カウンタの値を「1」だけインクリメントする。

[0118] そして、C o u n t e r 3 8 は、図 1 0 中 (l) に示す経路を介して、カウンタの値をバリッドバッファ 3 9 のセクタ # 2 へ送信する。具体例で説明すると、C o u n t e r 3 8 は、カウンタの値が「4」である際に、T i m i e r 3 7 がバリッドビットを出力した場合には、カウンタの値を「5」とし、カウンタの値「5」をバリッドバッファ 3 9 のセクタ # 2 へ送信する。また、T i m e r 3 7 および C o u n t e r 3 8 は、全バリッド # 1 ~ # 1 0 にバリッドビットが格納されていない場合には、カウントおよびインクリメントを停止する。

[0119] セクタ # 2 は、上述した処理に加えて、図 1 0 中 (k) に示す経路を介してバリッドビットを受信し、図 1 0 中 (l) に示す経路を介してカウンタの値を受信した場合には、カウンタの値が示すバリッドに格納されたバリッドビットを消去する。例えば、セクタ # 2 は、図 1 0 中 (k) に示す経路を介してバリッドビットを受信するとともに、図 1 0 中 (l) に示す経路から「5」を受信した場合には、バリッド # 5 に格納されたバリッドビットを消去する。

[0120] つまり、セクタ # 2 は、バリッド # 5 に格納されたバリッドビットを消

去することで、アドレスバッファ35が有するバッファ#5に格納されたりリードアドレスを無効化する。換言すると、Counter38は、バリッドビットを格納してから、所定の時間が経過した後に、バリッドビットを消去する。このように、インクリメントにて生成した値を用いて、バリッドビットを消去する対象を決定するので、各バリッド#1～#10に記憶されたバリッドビットに歯抜けが存在する場合にも、歯抜けとなっているバリッドビットを消去させ、回路を簡略化する。

[0121] また、セレクト#2は、図10中(m)に示す経路を介して、Patrol Address Compare36から信号を受信した場合には、バリッドバッファ39が有する各バリッド#1～#10に格納されたバリッドビットを消去する。なお、図10中(n)に示す複数の接続は、各バリッド#1～#10に格納されたバリッドビットを消去するための信号線となる。

[0122] Patrol Address Compare36は、図10中(Q)に示す経路を介して、パトロールアドレスを取得する。また、Patrol Address Compare36は、図10中(o)に示す経路を介して、アドレスバッファ35が有する各バッファ#1～#10に格納されたりリードアドレスを取得する。また、Patrol Address Compare36は、図10中(p)に示す経路を介して、バリッドバッファ39が有する各バリッド#1～#10に格納されたバリッドビットを取得する。なお、Patrol Address Compare36は、これらパトロールアドレス、リードアドレス、バリッドビットは、常に取得し続けている。

[0123] また、Patrol Address Compare36は、図10中(U)に示す経路を介して、パトロールバリッドを受信した場合には、以下の処理を実行する。すなわち、Patrol Address Compare36は、各バッファ#1～#10のうち、対応付けられたバリッドにバリッドビットが格納されたバッファに格納された1つまたは複数のリードアドレスと、パトロールアドレスとを比較する。そして、Patrol Ad

dress Compare 36は、リードアドレスとパトロールアドレスとが一致した場合には、図10中(q)に示す経路を介して、ANDゲート27に「1」を入力する。つまり、Patrol Address Compare 36は、リードアドレスとパトロールアドレスとが一致した場合には、パトロール要求の発行をキャンセルする。

[0124] なお、例えば、Patrol Address Compare 36の機能は、以下のように実現することができる。例えば、各バッファ#1～#10と各バリッド#1～#10とをそれぞれXORゲートで接続することで、バリッドビットが格納されたバリッドと対応付けられたバッファに格納されたリードアドレスのみを有効化する。そして、この10個のXORゲートの出力とパトロールアドレスとを比較器により比較し、10個の比較結果をORゲートによって集合させることで、Patrol Address Compare 36が出力する信号を生成することができる。

[0125] 例えば、Read determination 31、Duplication Compare 32、Counter 34、38、Patrol Address Compare 36、Timer 37とは、電子回路である。ここで、電子回路の例として、ASIC (Application Specific Integrated Circuit) やFPGA (Field Programmable Gate Array) などの集積回路などを適用する。また、アドレスバッファ35、バリッドバッファ39とは、RAM (Random Access Memory)、フラッシュメモリ (flash memory) などの半導体メモリ素子などの記憶装置である。

[0126] [パトロール制御部11aが実行する処理の流れ]

次に、図を用いて、パトロール制御部11aが実行する処理の流れについて説明する。まず、図11を用いて、パトロール制御部11aがリードアドレスをバッファに記憶する処理の流れの一例について説明する。図11は、実施例2に係るパトロール制御部が、リードアドレスをバッファに記憶する処理の流れの一例を説明するための図である。

[0127] 図11に示す例では、パトロール制御部11aは、リード要求を受信した

ことをトリガとして処理を開始する（ステップS200肯定）。まず、パトロール制御部11aは、受信したリード要求のリードアドレスと、パトロールアドレス生成部22が生成したパトロールアドレスとが一致するか否かを判別する（ステップS201）。そして、パトロール制御部11aは、リードアドレスとパトロールアドレスとが一致すると判別した場合には（ステップS201肯定）、アドレスバッファ35にリードアドレスを蓄積する（ステップS202）。また、パトロール制御部11aは、リードアドレスとパトロールアドレスとが一致しないと判別した場合には（ステップS201否定）、リードアドレスの蓄積を行わずに、新たなリード要求を受信したか否かを判別する（ステップS200）。

[0128] 次に、図12を用いて、パトロール制御部11aが蓄積したリードアドレスとパトロールアドレスとを比較し、パトロールをキャンセルするか否かを判別する処理の流れについて説明する。図12は、実施例2に係るパトロール制御部がパトロール要求の発行をキャンセルするか否かを判別する処理の流れの一例を説明するための図である。なお、パトロール制御部11aは、図12に示す処理を、図11に示す処理とは独立して実行する。

[0129] 図12に示す例では、パトロール制御部11aは、パトロール要求の発行タイミングであるか否かを判別する（ステップS301）。次に、パトロール制御部11aは、パトロール要求の発行タイミングであると判別した場合には（ステップS301肯定）、蓄積したリードアドレスとパトロールアドレスとが一致するか否かを判別する（ステップS302）。

[0130] そして、パトロール制御部11aは、蓄積したいずれかのリードアドレスとパトロールアドレスとが一致すると判別した場合には（ステップS302肯定）、パトロール要求の発行をキャンセルする（ステップS303）。次に、パトロール制御部11aは、次回発行するパトロール要求のパトロールアドレスを生成し（ステップS304）、アドレスバッファ35に蓄積されたリードアドレスを消去する（ステップS305）。その後、パトロール制御部11aは、再度、パトロール要求を発行するタイミングであるか否かを

判別する（ステップS301）。

[0131] また、パトロール制御部11aは、蓄積した全てのリードアドレスとパトロールアドレスとが一致しないと判別した場合には（ステップS302否定）、パトロール要求を発行する（ステップS306）。その後、パトロール制御部11aは、次回発行するパトロール要求のパトロールアドレスを生成し（ステップS307）、再度、パトロール要求を発行するタイミングであるか否かを判別する（ステップS301）。また、パトロール制御部11aは、パトロール要求の発行タイミングではないと判別した場合には（ステップS301否定）、パトロール要求の発行タイミングであるか否かを再度判別する（ステップS301）。

[0132] [実施例2の効果]

上述したように、メモリコントローラ10aは、複数のバッファ#1～#10と、各バッファ#1～#10に対応付けられたバリッド#1～#10を有する。そして、メモリコントローラ10aは、リードアドレスをバッファ#1～#10のうち、いずれかのバッファに格納する。また、メモリコントローラ10aは、パトロール要求を発行するタイミングで、各バッファ#1～#10に格納されたリードアドレスと、生成したパトロールアドレスとを比較する。そして、メモリコントローラ10aは、いずれかのリードアドレスと生成したパトロールアドレスとが一致した場合には、パトロール要求の発行をキャンセルする。

[0133] つまり、メモリコントローラ10aは、パトロール要求を発行するよりも長い周期で、パトロールアドレスと同じリードアドレスを対象とするリード要求が発行されていた場合には、パトロール要求の発行をキャンセルする。このため、メモリコントローラ10aは、DMMエラーの発生を押さえつつ、リード要求によるDMMアクセスの阻害を防止し、リード要求やライト要求によるメモリアccessを円滑に行う。

[0134] また、メモリコントローラ10aは、各バッファ#1～#10と対応付けられた複数のバリッド#1～#10を有し、リードアドレスを格納したバッ

ファと対応付けられたバリッドにバリッドビットを格納する。そして、メモリコントローラ 10 a は、各バッファ # 1 ~ # 10 のうち、対応付けられたバリッドにバリッドビットが格納されているバッファに格納されたリードアドレスとパトロールアドレスとを比較する。このため、メモリコントローラ 10 a は、各バッファ # 1 ~ # 10 に格納されたリードアドレスの更新を容易にすることができる。

[0135] また、メモリコントローラ 10 a は、バリッドビットを格納してから所定の時間が経過した場合には、格納したバリッドビットを消去する。つまり、メモリコントローラ 10 a は、リードアドレスをバッファに格納してから所定の時間が経過した場合には、リードアドレスを無効化し、パトロールアドレスとの比較を行わない。このため、メモリコントローラ 10 a は、複数のリードアドレスとパトロールアドレスとの比較を、簡易な回路構成で行うことができる。

[0136] 具体的には、メモリコントローラ 10 a は、バッファ # 1 とバリッド # 1 との排他的論理和と、バッファ # 2 とバリッド # 2 との排他的論理和といったように、各バッファ # 1 ~ # 10 と各バリッド # 1 ~ # 10 との排他的論理和を取る。そして、メモリコントローラ 10 a は、各排他的論理和の結果の論理和を取ることで、所定の時間間隔以内に受信した複数のリード要求のリードアドレスと、パトロールアドレスとが一致するか否かの結果を取得することができる。このように、メモリコントローラ 10 a は、簡易な回路構成で、リードアドレスとパトロールアドレスとを比較することができる。

[0137] また、メモリコントローラ 10 a は、新たに受信したリード要求の対象となるリードアドレスが、いずれかのバッファに格納されている場合には、新たに受信したリード要求のリードアドレスを格納しない。このため、メモリコントローラ 10 a は、アドレスバッファ 35 とバリッドバッファ 39 との容量を削減することができる。

[0138] すなわち、通常のシステムにおいては、同じメモリアドレスに対するリード要求が連続して発行される。ここで、メモリコントローラ 10 a は、同じ

リードアドレスを対象とするリード要求が連続した場合には、後続のリード要求の対象となるリードアドレスを重複して記憶することなく、破棄する。このため、メモリコントローラ 10a は、アドレスバッファ 35 とバリッドバッファ 39 との容量を削減することができる。

[0139] なお、メモリコントローラ 10a は、後続のリード要求の対象となるリードアドレスを重複して記憶しなかったとしても、先に受信したリード要求によって、データの読み出しを行う。この結果、メモリコントローラ 10a は、読み出したデータからエラーの検出および訂正を行う結果、訂正不可能なエラーの発生を防ぐことができる。

[0140] なお、メモリコントローラ 10a は、パトリール要求の発行と同時にパトリールアドレスと同一のリードアドレスを蓄積した場合には、パトリール要求をキャンセルするとともに、蓄積したリードアドレスによって次回のパトリール要求をキャンセルする。つまり、メモリコントローラ 10a は、パトリール要求の発行と同時に同一のメモリアドレスを対象とするリード要求のリードアドレスを受信した場合には、このメモリアドレスに対するパトリール要求が 2 週分出力されない。

[0141] しかし、メモリコントローラ 10a は、リード要求を発行する結果、エラーが発生している場合には、スクラブリード要求およびスクラブライト要求を発行し、エラーの訂正を行うので、訂正不可能なエラーを防ぐことができる。

実施例 3

[0142] これまで本発明の実施例について説明したが実施例は、上述した実施例以外にも様々な異なる形態にて実施されてよいものである。そこで、以下では実施例 3 として本発明に含まれる他の実施例を説明する。

[0143] (1) バッファについて

上述したアドレスバッファ回路 30 は、10 個のバッファ #1 ~ #10 を有するアドレスバッファ 35 と、10 個のバリッド #1 ~ #10 を有するバリッドバッファ 39 とを有していた。しかし、実施例は、これに限定される

ものではなく、アドレスバッファ 35 は、任意の数のバッファを有してよく、バリッドバッファ 39 は、任意の数のバリッドを有しても良い。

[0144] また、アドレスバッファ回路 30 は、アドレスバッファ 35 とバリッドバッファ 39 とを異なるバッファとして有するが、実施例はこれに限定されるものではない。例えば、アドレスバッファ 35 は、リードアドレスとバリッドビットを記憶する複数のバッファラインを有し、各バッファラインに格納されたリードアドレスとバリッドビットとを用いて、上述した処理を行うこととしてもよい。

[0145] (2) システムボードについて

上述したメモリコントローラ 10 は、システムボード 1 上に設置されたブリッジチップ 4 に搭載された。しかし、実施例はこれに限定されるものではない。例えば、メモリコントローラ 10 は、各 CPU 2 ~ 2b の内部に搭載されてもよい。すなわち、メモリコントローラ 10 は、ブリッジチップ 4 のみならず、DIMM に対してアクセスを行う任意の装置内に設置することができる。

符号の説明

[0146] 1 システムボード
 2 ~ 2b CPU
 3 ~ 3g DIMM
 4 ブリッジチップ
 5 チップセット
 10 メモリコントローラ
 11 パトロール制御部
 12 バッファ
 13 スクラブ制御部
 14 アービタ
 15、16、20 バッファ
 17 エラーチェッカ

- 1 8 エラー訂正部
- 1 9 アービタ
- 2 1 発行間隔タイマ
- 2 2 パトロールアドレス生成部
- 2 8 経路選択部

請求の範囲

[請求項1] 記憶装置に記憶されたデータに対するリード要求を受信する受信部と、記憶装置に記憶されたデータにエラーが生じているか否かを判別するため、当該データの読出しを要求する検査リード要求を所定の時間毎に発行する検査リード要求発行部とを有するメモリ制御装置であって、

前記検査リード要求発行部は、

次回発行する検査リード要求の対象となるメモリアドレスを生成するアドレス生成部と、

所定の時間毎に、前記アドレス生成部が生成したメモリアドレスを対象とする検査リード要求を発行する発行部と、

前記受信部が受信したリード要求の対象となるメモリアドレスを取得するアドレス取得部と、

前記アドレス生成部が生成したメモリアドレスと、前記アドレス取得部が取得したメモリアドレスとを比較し、両メモリアドレスが一致した場合には、前記発行部に当該メモリアドレスに対する検査リード要求の発行をキャンセルさせる取消部と

を有することを特徴とするメモリ制御装置。

[請求項2] 前記取得部は、前記受信部がリード要求を受信する毎に、当該リード要求の対象となるメモリアドレスを取得し、

前記取消部は、前記取得部がメモリアドレスを取得する毎に、当該リード要求の対象となるメモリアドレスと、前記アドレス生成部が生成したメモリアドレスとを比較することとを特徴とする請求項1に記載のメモリ制御装置。

[請求項3] 前記検査リード要求発行部は、

前記取得部が取得したメモリアドレスを一定の時間記憶する複数のアドレス記憶部と、

前記取得部が取得したメモリアドレスを、いずれかのアドレス記憶

部に格納するアドレス格納部とをさらに有し、

前記取消部は、前記アドレス生成部が生成したメモリアドレスと、各アドレス記憶部に記憶されたメモリアドレスとを比較し、いずれかのアドレス記憶部に格納されたメモリアドレスと前記アドレス生成部が生成したメモリアドレスとが一致した場合には、前記発行部による当該メモリアドレスに対する検査リード要求の発行をキャンセルさせることを特徴とする請求項 1 に記載のメモリ制御装置。

[請求項4]

前記検査リード要求発行部は、

前記複数のアドレス記憶部のいずれかとそれぞれ対応付けられた複数のバリッド記憶部と、

前記アドレス格納部がメモリアドレスを格納したアドレス記憶部と対応するバリッド記憶部にバリッドビットを格納するバリッド格納部と、

前記バリッド格納部がバリッドビットを格納してから、所定の時間が経過した後に、当該バリッドビットを消去するバリッドビット消去部とをさらに有し、

前記アドレス格納部は、前記バリッドビットが格納されていないバリッド記憶部と対応するアドレス記憶部に前記メモリアドレスを格納し、

前記取消部は、前記バリッドビットが格納されていないバリッド記憶部と対応するアドレス記憶部に格納されたメモリアドレスと、前記生成部が生成したメモリアドレスとを比較することを特徴とする請求項 3 に記載のメモリ制御装置。

[請求項5]

前記アドレス格納部は、前記取得部が新たに取得したメモリアドレスと同一のメモリアドレスが既にいずれかのアドレス記憶部に格納されていた場合には、当該新たに取得したメモリアドレスを前記アドレス記憶部に格納しないことを特徴とする請求項 3 または 4 に記載のメモリ制御装置。

[請求項6] 前記生成部は、毎回異なるメモリアドレスを生成することを特徴とする請求項1～4のいずれか1つに記載のメモリ制御装置。

[請求項7] 当該記憶装置に記憶されたデータにエラーが生じているか否かを判別するため、当該データの読出しを要求する検査リード要求を所定の時間毎に発行する制御装置が実行する制御方法であって、

記憶装置に記憶されたデータに対するリード要求を受信し、

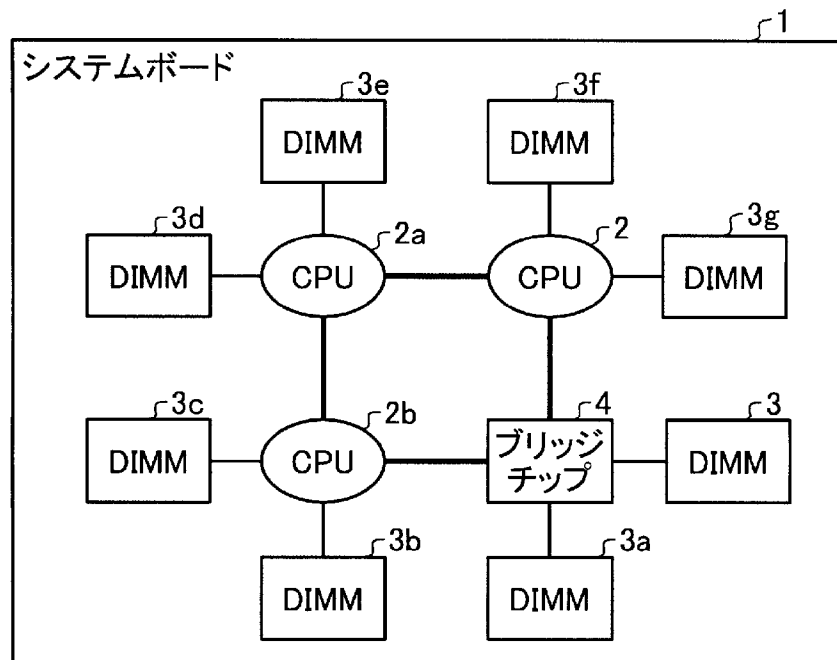
前記受信したリード要求の対象となるメモリアドレスを取得し、

次回発行する検査リード要求の対象となるメモリアドレスを生成し

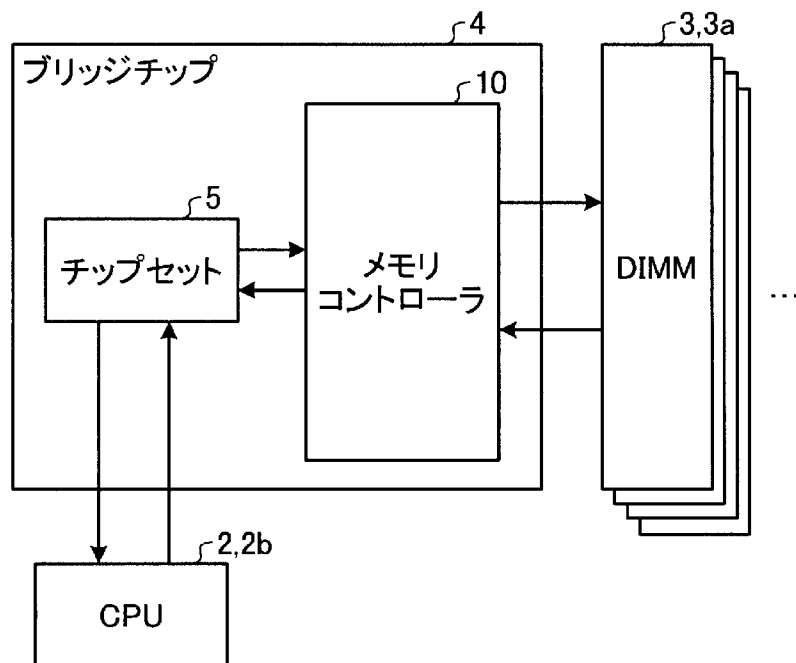
、

前記生成したメモリアドレスと、前記取得したメモリアドレスとを比較し、両メモリアドレスが一致した場合には、当該メモリアドレスに対する検査リード要求の発行をキャンセルする処理を実行させることを特徴とする制御方法。

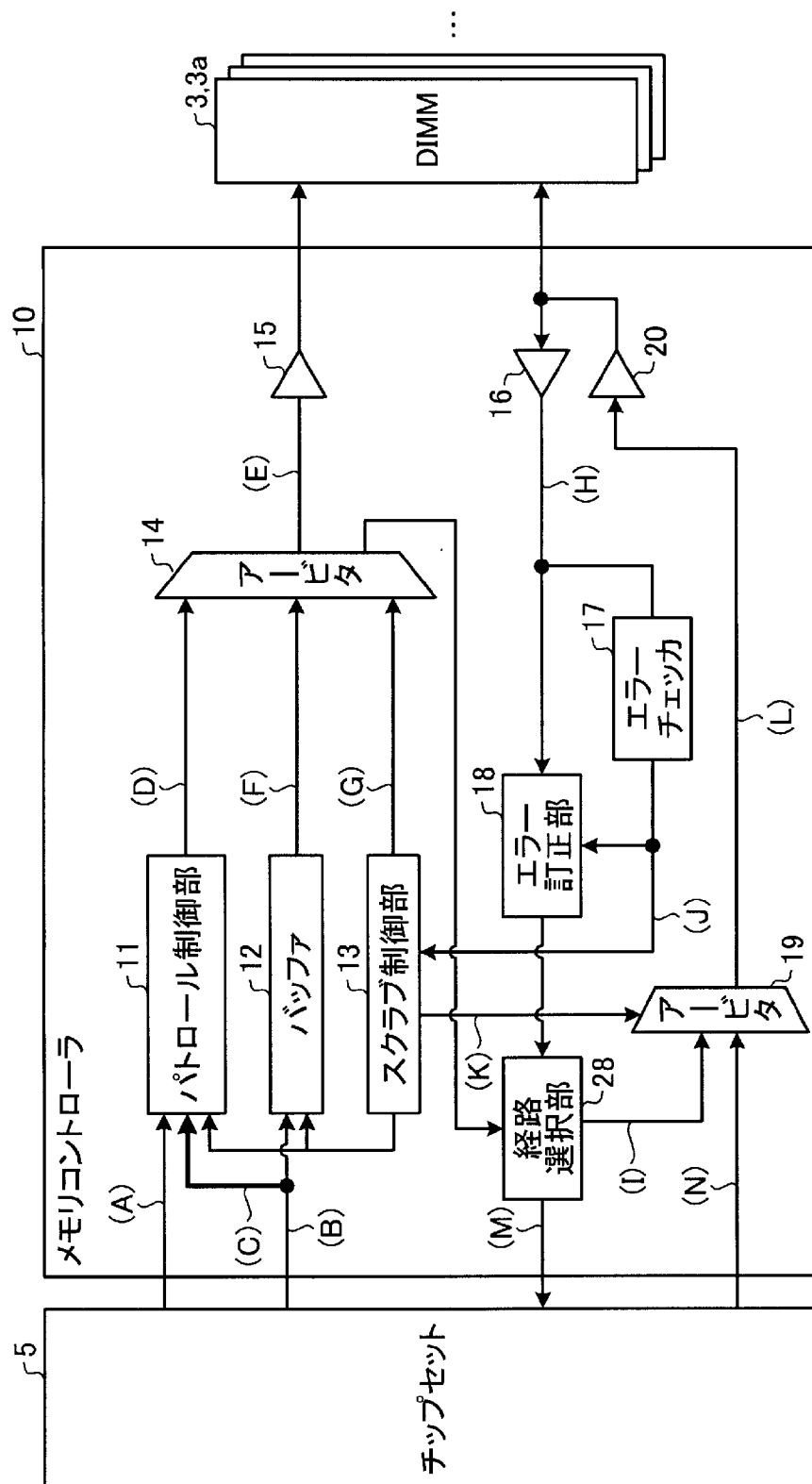
[図1]



[図2]



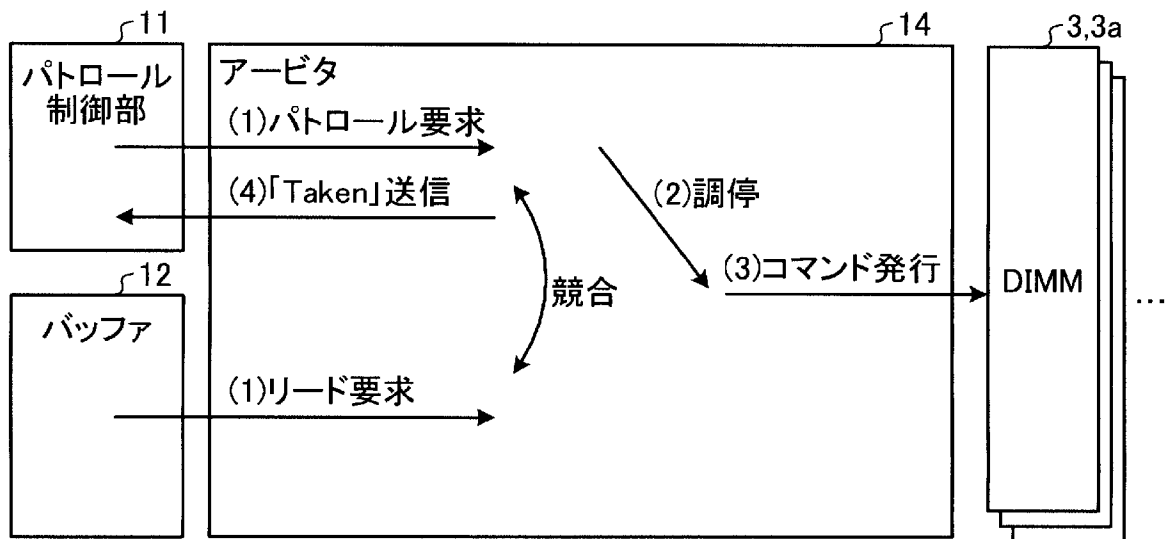
[図3]



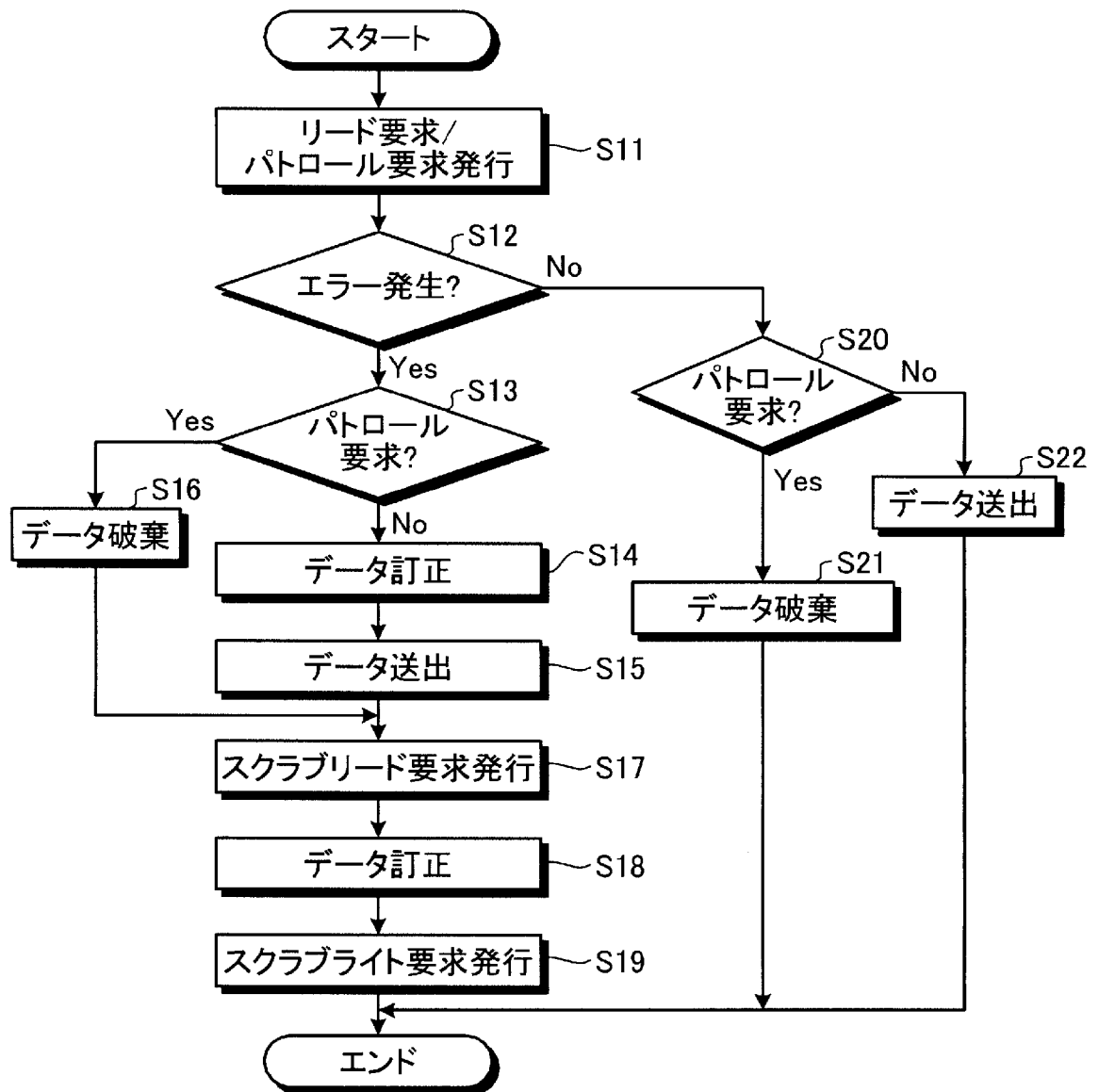
Timing diagram for the read operation of the 74VHC163. The diagram shows signals over time from T1 to T11.

- タイミング通知** (Timing Notice): High at T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11.
- パトロールバリッド** (Patrol Valid): High at T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11.
- パトロールアドレス** (Patrol Address): 0 (T1-T2), 1 (T3-T4), 2 (T5-T6), 3 (T7-T8).
- リード要求** (Read Request): High at T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11.
- リードアドレス** (Read Address): 3 (T1), 1 (T2), 2 (T3), 8 (T4), 7 (T5), 1 (T6), 3 (T7), 1 (T8), 2 (T9).
- キャンセルフラグ** (Cancel Flag): High at T4, T5, T6, T7, T8, T9, T10, T11.
- パトロール要求発行** (Patrol Request Issued): High at T6, T10.

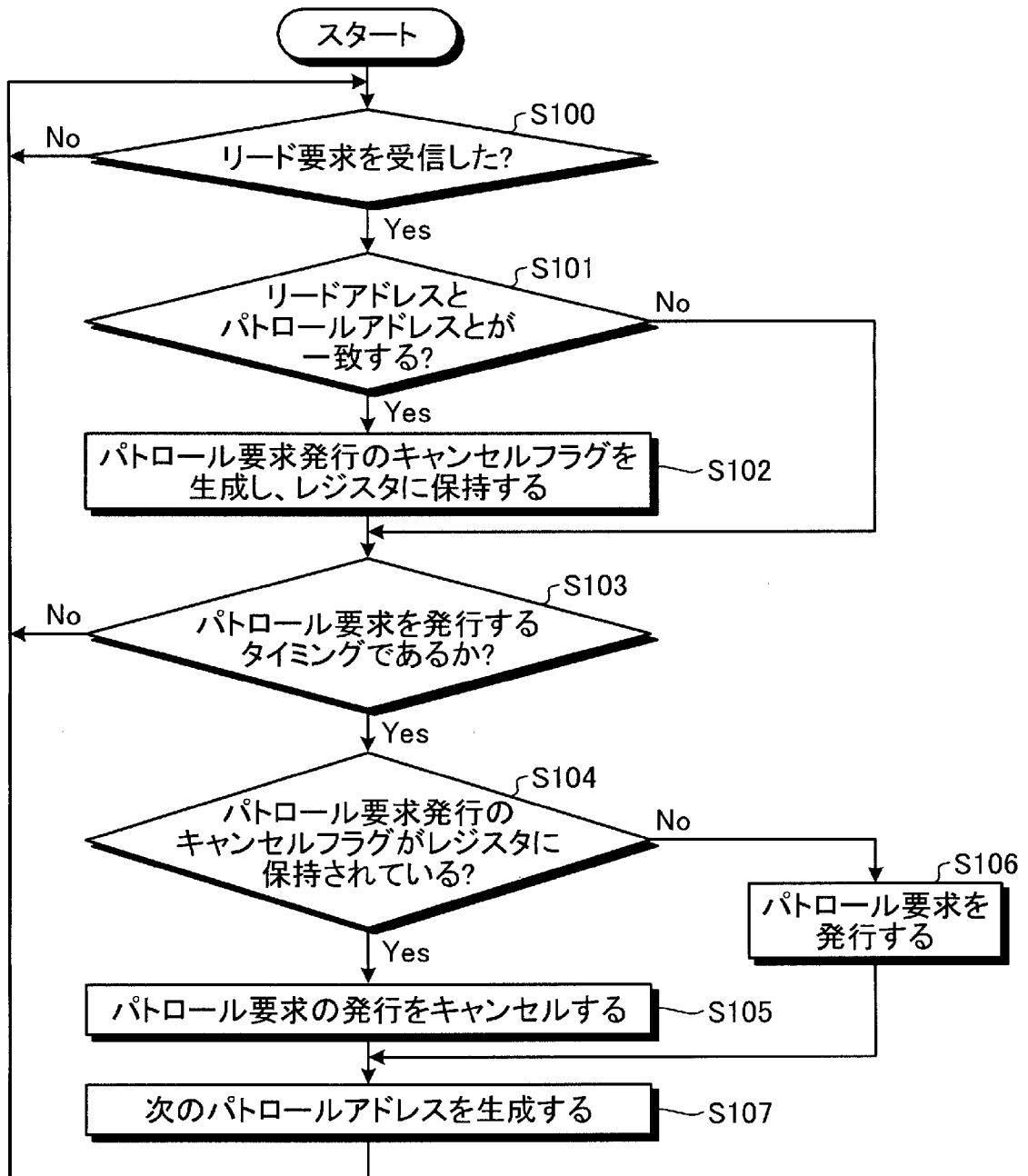
[図6]



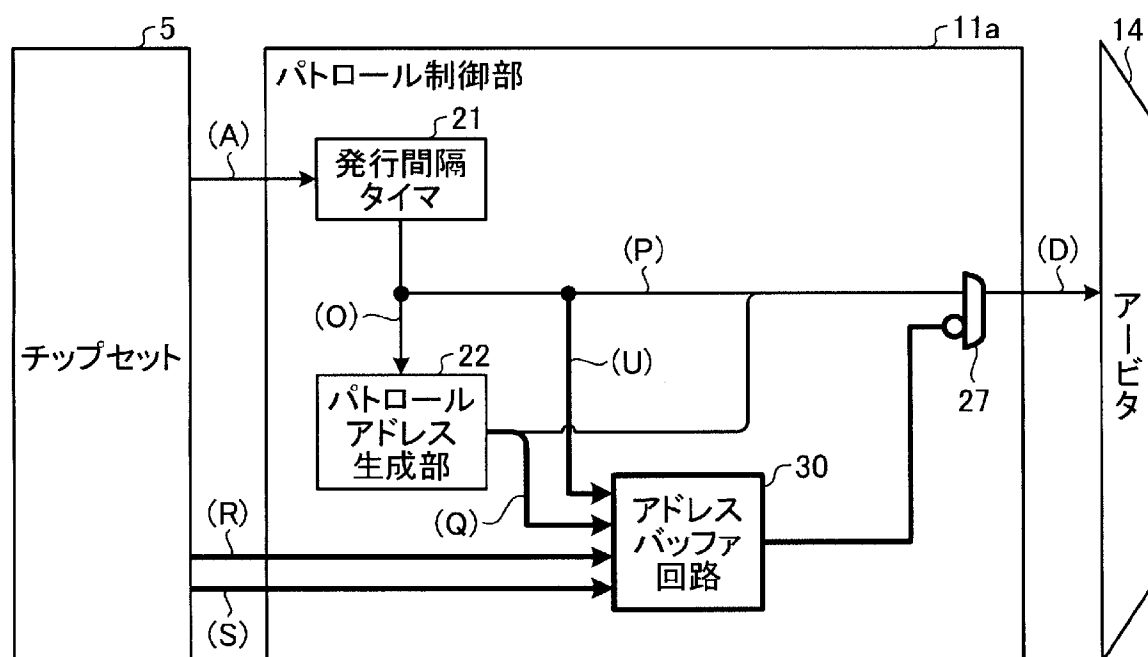
[図7]



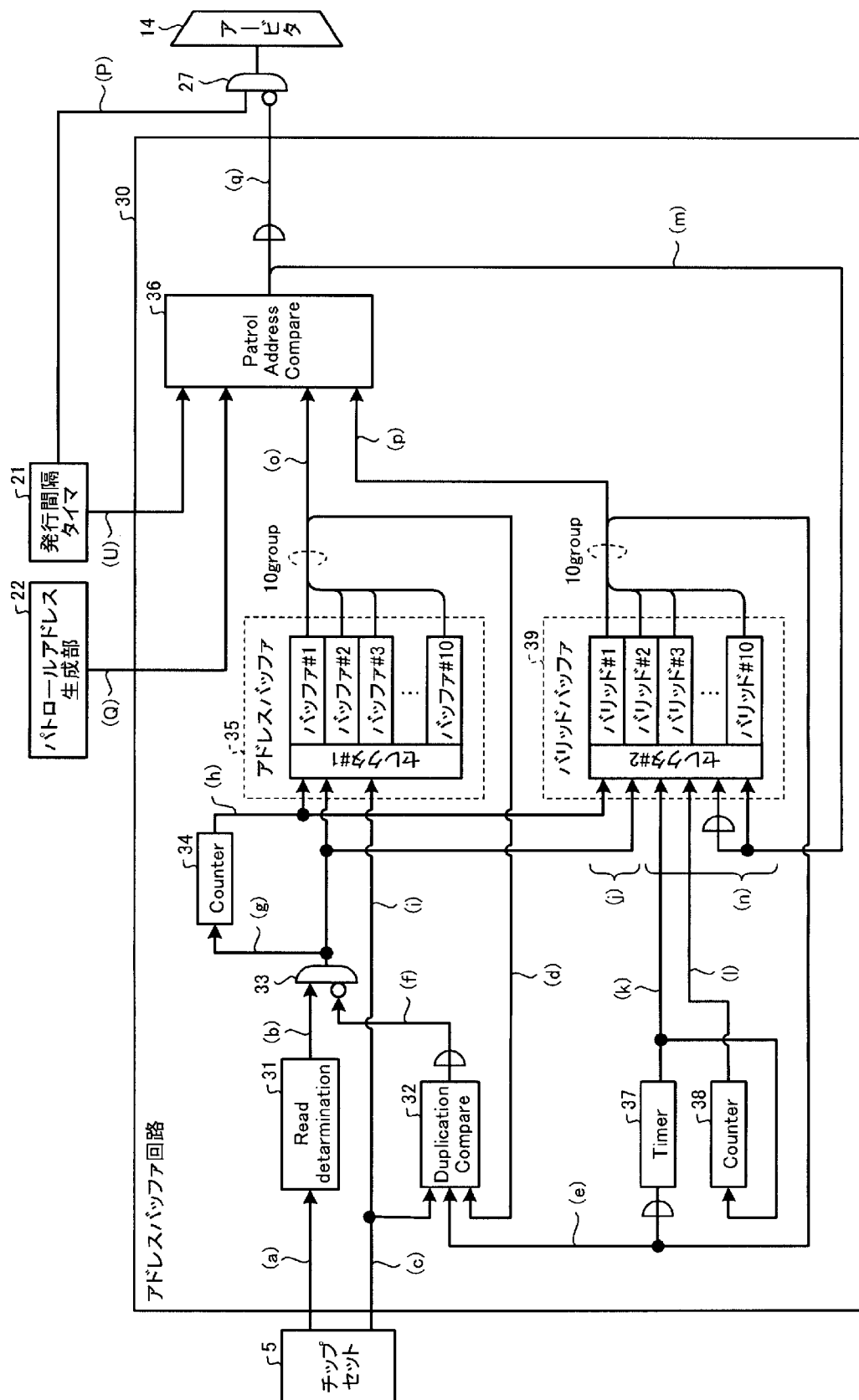
[図8]



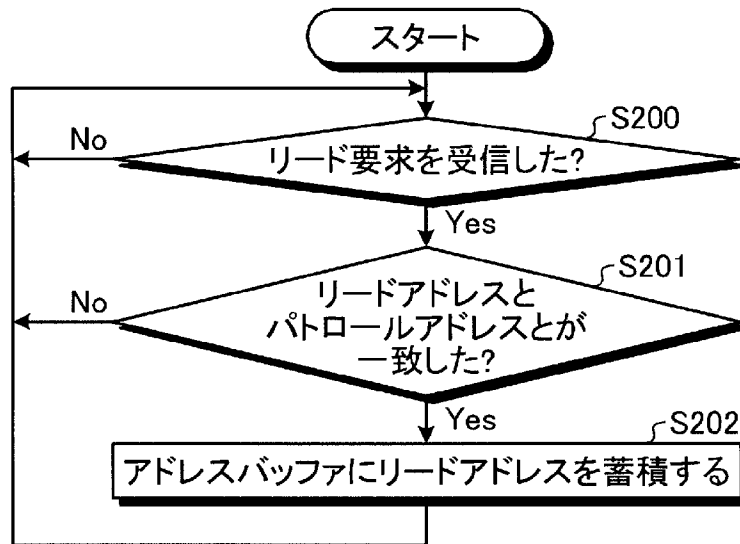
[図9]



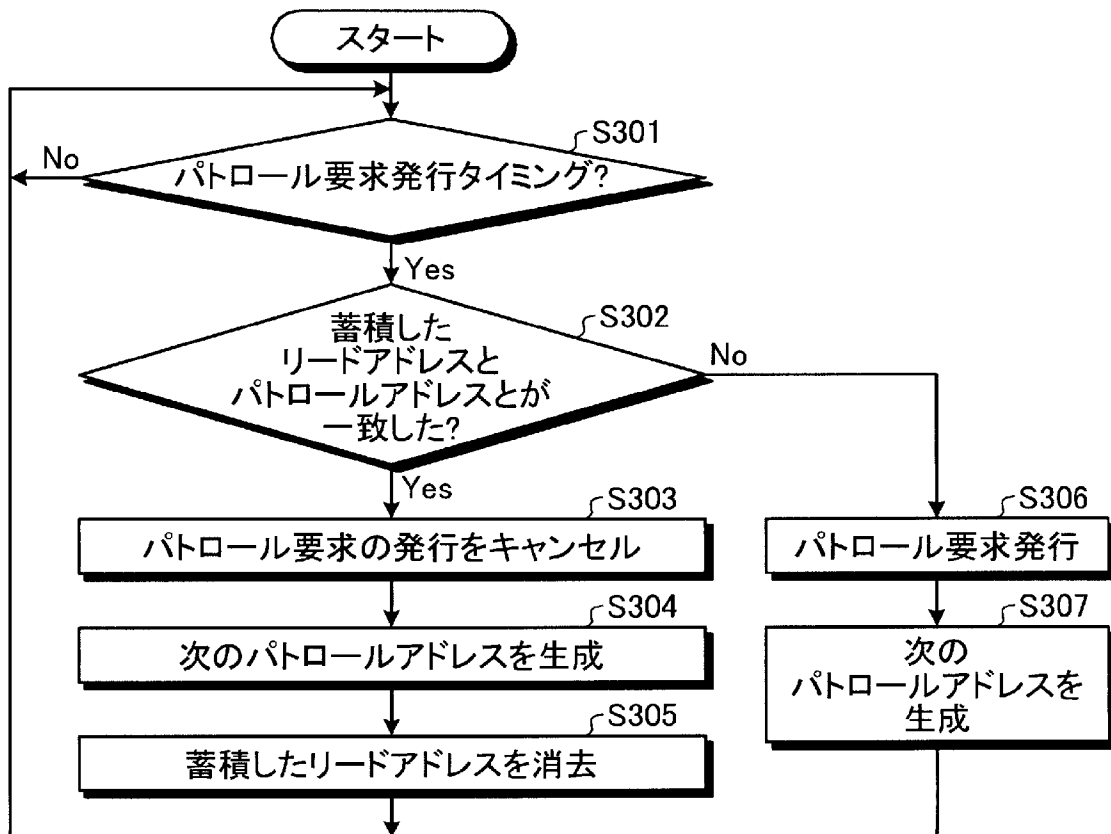
[図10]



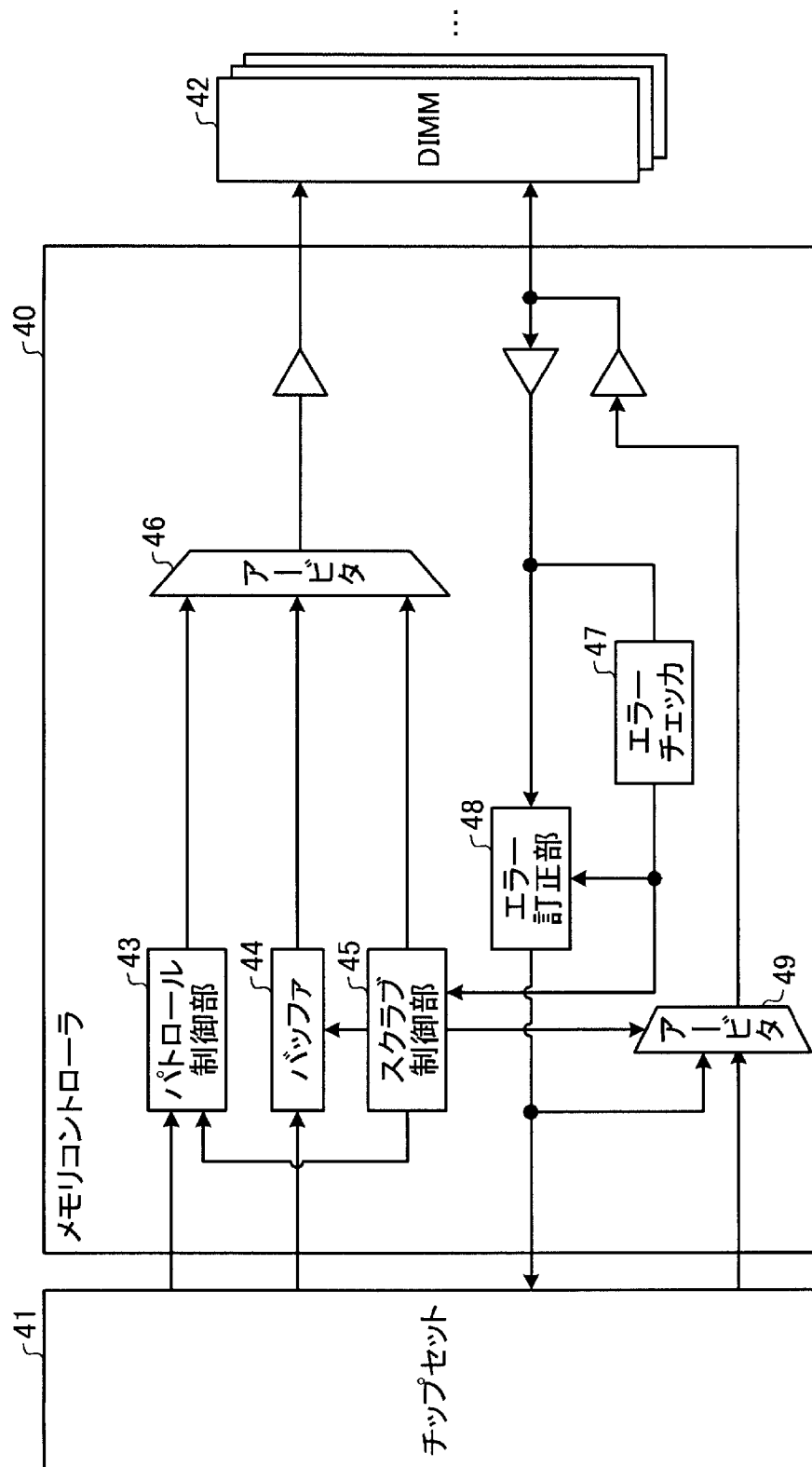
[図11]



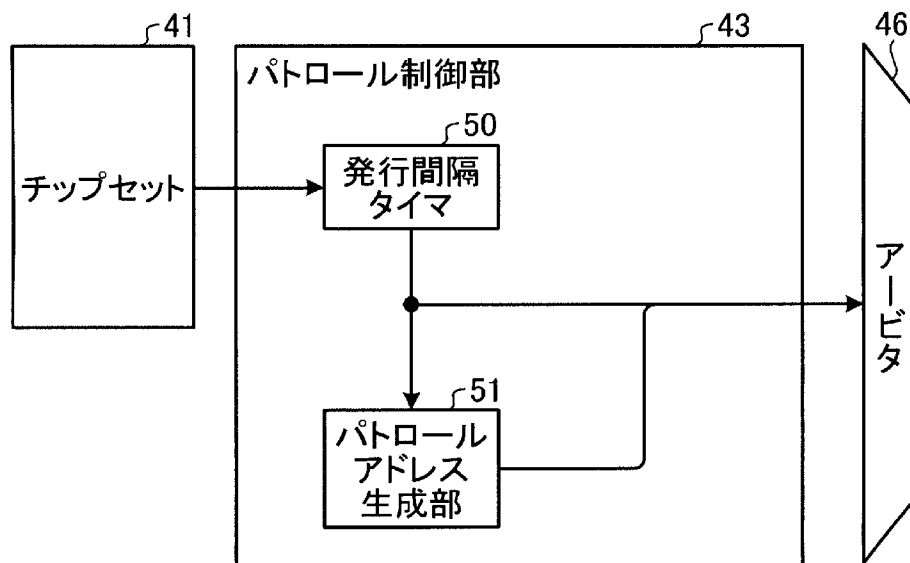
[図12]



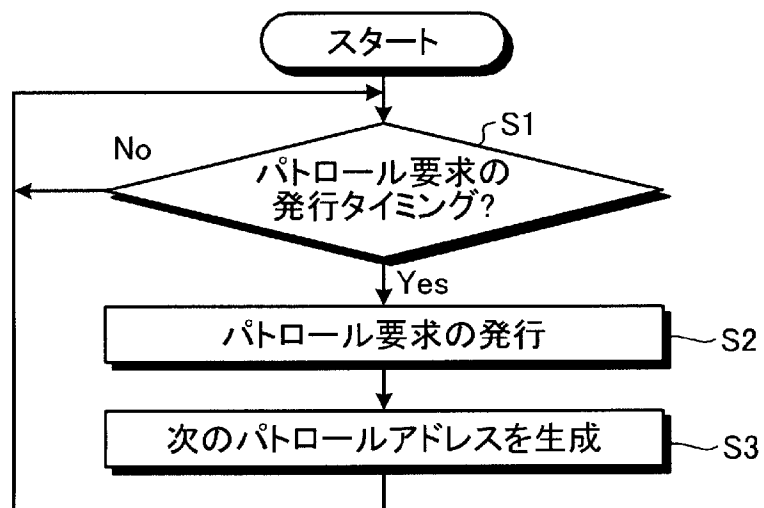
[図13]



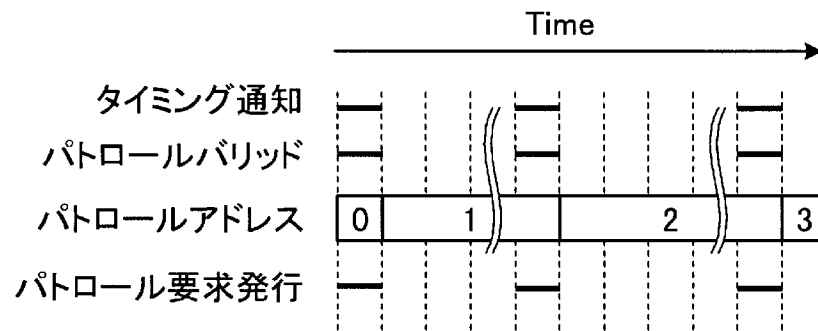
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/063608

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/16 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-53267 A (NEC Corp.), 26 February 1999 (26.02.1999), paragraphs [0003] to [0006]; all drawings (Family: none)	1-7
A	JP 4-119442 A (Fujitsu Ltd.), 20 April 1992 (20.04.1992), entire text; all drawings (Family: none)	1-7
A	JP 63-187500 A (Hitachi, Ltd.), 03 August 1988 (03.08.1988), entire text; all drawings (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 July, 2011 (14.07.11)Date of mailing of the international search report
26 July, 2011 (26.07.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/063608

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-48224 A (Fujitsu Ltd.), 05 March 2009 (05.03.2009), entire text; all drawings & US 2009/0049254 A1	1-7
A	JP 6-149685 A (NEC Kofu Ltd.), 31 May 1994 (31.05.1994), entire text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F12/16 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F12/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-53267 A (日本電気株式会社) 1999.02.26, 段落【0003】-【0006】, 全図 (ファミリーなし)	1-7
A	JP 4-119442 A (富士通株式会社) 1992.04.20, 全文, 全図 (ファミリーなし)	1-7
A	JP 63-187500 A (株式会社日立製作所) 1988.08.03, 全文, 全図 (ファミリーなし)	1-7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 7 . 2 0 1 1

国際調査報告の発送日

2 6 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

野田 佳邦

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 9

5 M

3 4 5 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-48224 A (富士通株式会社) 2009.03.05, 全文, 全図 & US 2009/0049254 A1	1-7
A	JP 6-149685 A (甲府日本電気株式会社) 1994.05.31, 全文, 全図 (ファミリーなし)	1-7