

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5078902号
(P5078902)

(45) 発行日 平成24年11月21日 (2012.11.21)

(24) 登録日 平成24年9月7日 (2012.9.7)

(51) Int.Cl.	F I
H O 1 L 31/10 (2006.01)	H O 1 L 31/10 G
G O 1 T 1/17 (2006.01)	G O 1 T 1/17 A
G O 1 T 1/24 (2006.01)	G O 1 T 1/24
G O 1 J 1/44 (2006.01)	G O 1 T 1/17 G
	G O 1 J 1/44 P

請求項の数 6 (全 7 頁)

(21) 出願番号	特願2008-540528 (P2008-540528)	(73) 特許権者	501494414
(86) (22) 出願日	平成18年11月20日 (2006.11.20)		パウル・シェラー・インスティトゥート
(65) 公表番号	特表2009-519585 (P2009-519585A)		スイス国、5 2 3 2 ヴィリゲン・ペー
(43) 公表日	平成21年5月14日 (2009.5.14)		エスイー
(86) 国際出願番号	PCT/EP2006/011098	(74) 代理人	100069556
(87) 国際公開番号	W02007/057213		弁理士 江崎 光史
(87) 国際公開日	平成19年5月24日 (2007.5.24)	(74) 代理人	100111486
審査請求日	平成20年6月27日 (2008.6.27)		弁理士 鍛冶澤 實
(31) 優先権主張番号	05025326.9	(72) 発明者	シュミット・ベルント
(32) 優先日	平成17年11月21日 (2005.11.21)		ドイツ連邦共和国、8 0 5 5 チューリッ
(33) 優先権主張国	欧州特許庁 (EP)		ヒ、イム・ティーアガルテン、5 9

審査官 加藤 万里子

最終頁に続く

(54) 【発明の名称】 単一光子計数用の読み出しチップ

(57) 【特許請求の範囲】

【請求項 1】

単一光子計数用の読み出しチップ (2) において、

a) 前記読み出しチップ (2) は、個々に動作する N 個のチャネルを有し、当該各チャネルは、それぞれの検出器ダイオードに割り当てられていて、当該各チャネルは、M ビットのビット長と複数のプログラマブルビットのビット長 (p b 1 ~ p b 1 2 8) とを有するバイナリカウンタとして構成された 1 つのカウンタ (8₁ ~ 8_{1 2 8}) を有し、

b) 前記読み出しチップ (2) は、前記カウンタ (8₁ ~ 8_{1 2 8}) 及び前記プログラマブルビット (p b 1 ~ p b 1 2 8) に対する値を入力するためのシリアルシフトレジスタ又はパラレルデータ入力レジスタ (4) を有し、及び

c) 前記読み出しチップ (2) は、複数のデータ出力シフトレジスタ (1 6) を有し、当該各データ出力シフトレジスタ (1 6) は、前記 M ビットのビット長と K 個のデータ出力 (2 0) とを有し、前記 K 個のデータ出力 (2 0) の各々を、前記データ出力シフトレジスタ (1 6) の選択可能なビットに選択的にマルチプレクスするための手段 (1 8) が設けられている、読み出しチップ (2)。

【請求項 2】

前記データ入力シフトレジスタ (4)、前記データ出力シフトレジスタ (1 6)、チャネル選択シフトレジスタ (1 2) 及び前記カウンタ (8₁ ~ 8_{1 2 8}) が、クリア信号命令及びセット制御信号命令を受け取る、請求項 1 に記載の読み出しチップ (2)。

【請求項 3】

10

20

制御信号が、マルチプレクスされ、読み出しに必要な制御信号が、マルチプレクスされることなしでも利用可能である、請求項 1 又は 2 に記載の読み出しチップ (2)。

【請求項 4】

前記プログラマブルビット (pb1 ~ pb128) は、DAC のために、すなわちコンパレータの閾値を微調整するために、較正パルスをイネーブル/ディスエーブルするために、チャンネルのアナログ出力をイネーブル/ディスエーブルするために及びチャンネルのコンパレータの出力をイネーブルするために使用される、請求項 1 ~ 3 のいずれか 1 項に記載の読み出しチップ (2)。

【請求項 5】

前記データ入力シフトレジスタ (4) 及び前記データ出力シフトレジスタ (16) は、前記カウンタ (8₁ ~ 8₁₂₈) のビット長を少なくとも有する、請求項 1 ~ 4 のいずれか 1 項に記載の読み出しチップ (2)。

【請求項 6】

前記カウンタ (8₁ ~ 8₁₂₈) の前記ビット長は、前記 K 個のデータ出力 (20) の奇数倍又は偶数倍である、請求項 1 ~ 5 のいずれか 1 項に記載の読み出しチップ (2)。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は単一光子計数用の読み出しチップに関する。

【0002】

X 線回折パターンは、有機結晶構造及び無機結晶構造の両方の分析に有用である。特に、X 線源が、放射線損傷に対して実験を迅速に行うことを可能にしかつそのことを必要とする高線束シンクロトロン放射線である場合に、特に、タンパク質結晶等の有機材料は、X 線検出器に厳しい要求を課す。さらに、重要かつ発展する分野は、結晶回折分析及び/又は粉末回折分析等の、シンクロトロン放射線を用いた時間分割回折実験である。試料、すなわち結晶又は粉末の、時間に依存する反応を監視することにより、化学反応で発生する、時間に依存する結晶/分子変化を解明できる。高い時間分解能は、多くの場合、このような監視に重要である。

【背景技術】

【0003】

上記目的用の単一の高速光子計数画像装置は、(特許文献 1) に開示されている。この引例は、単一 X 線計数用の光子計数画像装置を詳細に開示しており、この光子計数画像装置は、

- a) 感光材料層と、
- b) バイアス電位源と、
- c) 閾値電圧供給源と、

d) 前記感光材料層に配置された N x M アレイの光検出器ダイオードであって、前記光検出器ダイオードの各々がバイアス電位インターフェースとダイオード出力インターフェースとを有し、各光検出器ダイオードの前記バイアス電位インターフェースが前記バイアス電位に接続される N x M アレイの光検出器ダイオードと、

e) 各光検出器ダイオードのためにユニットセルを読み出す、高利得で低雑音の N x M アレイの読み出しユニットセルと、

f) 前記ダイオード出力インターフェースに接続された入力インターフェースと、コンパレータユニットを備える高利得電圧増幅手段と、デジタルカウンタ及び直列に接続されたデジタルカウンタ出力インターフェースを備えるデジタルカウンタユニットとを備える各読み出しユニットセルであって、各デジタルカウンタユニットがコンパレータユニットの出力信号を計数し、前記デジタルカウンタ出力信号が、それぞれの光検出器ダイオードの吸収された入射光子の数に比例する各読み出しユニットセルと、

g) 読み出しセルユニットの各々にアクセスすること、すなわち、デジタルカウンタに実際に記憶されたものとしてのデジタルデータをデジタルカウンタ出力インターフェース

10

20

30

40

50

に読み出すことを可能にする行選択及び列選択を含むマルチプレクス手段と、

h) 出力バスに接続された各デジタルカウンタ出力インターフェースと、

i) マルチプレクス手段を制御するデータ処理手段に接続される前記出力バスと、
を備える。

【0004】

これらの措置によって、読み出し回路の構成を有する光子計数画像装置が形成され、この光子計数画像装置は、高速光子計数画像装置を実現するために、検出器ダイオード及び／又は読み出しユニットセルの局所的な欠陥に対する耐性を可能にし、また各検出器ダイオード及び／又は読み出しユニットセルのプログラム及び／又は状態を制御及び再構成することを可能にする。

10

【0005】

しかし、この高速光子計数画像装置でも、データ読み出し速度を向上させることが望ましい。これまで、上記引例のカウンタは、XORフィードバックを有する18ビットのシフトレジスタ等の擬似ランダムカウンタとして構成されてきた。このカウンタからのデータは、読み出し中に1つのデジタル出力ピンに連続的に伝送される。18ビットのシフトレジスタでは、少なくとも1+18+1サイクルの読み出し時間が必要となる。

【特許文献1】国際公開第2004/064168号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0006】

20

したがって、本発明の課題は、計数精度を損なうことなく、読み出し電子回路の特性及び速度を非常に向上させることである。

【課題を解決するための手段】

【0007】

この課題は、本発明にしたがって、単一光子計数用の読み出しチップ2において、

a) 前記読み出しチップ2は、個々に動作するN個のチャンネルを有し、当該各チャンネルは、それぞれの検出器ダイオードに割り当てられていて、当該各チャンネルは、Mビットのビット長と複数のプログラマブルビットのビット長 $p_{b1} \sim p_{b128}$ とを有するバイナリカウンタとして構成された1つのカウンタ $8_1 \sim 8_{128}$ を有し、

b) 前記読み出しチップ2は、前記カウンタ $8_1 \sim 8_{128}$ 及び前記プログラマブルビット $p_{b1} \sim p_{b128}$ に対する値を入力するためのシリアルシフトレジスタ又はパラレルデータ入力レジスタ4を有し、及び

30

c) 前記読み出しチップ2は、複数のデータ出力シフトレジスタ16を有し、当該各データ出力シフトレジスタ16は、前記Mビットのビット長とK個のデータ出力20とを有し、前記K個のデータ出力20の各々を、前記データ出力シフトレジスタ16の選択可能なビットに選択的にマルチプレクスするための手段18が設けられている、読み出しチップ2によって解決される。

【0008】

これらの特徴により、カウンタをKビットの並列群で読み出すことができるので、カウンタをはるかに速く読み出すことが可能になる。さらに、各チャンネルの各カウンタについて、読み出し速度を極めて向上させる重要性のビットにK個のデータ出力をマルチプレクスすることによって、選択可能な可変長ビットのみを読み出すことができ、すなわち、結晶の研究では、試料の規則的な格子構造の故に、より高い計数率を有するいくつかの希少領域と、同等に低い計数率を有する大部分の領域とが考慮される。

40

【0009】

さらに、動作速度を上げるために、データ入力シフトレジスタ、データ出力シフトレジスタ、ならびにチャンネル選択シフトレジスタ及びカウンタは、信号毎の1つのサイクル内でレジスタをクリア及びセットすることを可能にするクリア信号及びセット制御信号を含む。制御信号の生成を簡単にするためにまた制御信号の数を低減するために、制御信号は、データ入力シフトレジスタ、データ出力シフトレジスタ及びチャンネル選択シフトレジスタ

50

タ、ならびにカウンタにマルチプレクスされる。しかし、読み出し速度を損なわないようにするために、読み出しに必要な信号をマルチプレクスせずに利用することもできる。

【 0 0 1 0 】

読み出し電子回路のアナログ部分に干渉できるようにするために、プログラマブルビットは、DACのために、すなわち、コンパレータの閾値を微調整するために、較正パルスをイネーブル/ディスエーブルするために、チャンネルのアナログ出力をイネーブル/ディスエーブルするために、チャンネルのコンパレータの出力をイネーブルするために用いられることができる。

【 0 0 1 1 】

本発明の好ましい実施形態では、データ入力シフトレジスタ及びデータ出力シフトレジスタは、少なくともカウンタの長さを有し得る。さらに、データ入力シフトレジスタは、上記のように用いられるプログラマブルビットに関する複数のビットを有することが好ましい。当然、カウンタの長さはデータ出力の数Kの奇数倍又は偶数倍であり得る。倍数値に応じて、それぞれの複数の整数サイクルが、完全なデータ出力シフトレジスタを読み出すために用いられる。例えば、24ビットのバイナリカウンタと4ビットの平行データ出力とを想定すると、1つのチャンネルのカウンタ値を読み出すために、データ出力シフトレジスタを選択し、制御しまたリセットするための3つのサイクルを加えた、24ビットのストリング計数値を読み取るための6つのサイクルが必要となる。重要性の低い4つのビット0～3のような4つのビットのみが読み出しに必要であった場合、全体で4つのサイクルのみが必要となる。これらの特徴により、それらの「重要性の低いチャンネル」(より低い計数率)について、読み出し時間を50%以上短縮することが可能になる。

【 0 0 1 2 】

本発明の好ましい実施形態の別の有利な特徴は他の従属請求項から理解することができる。

【発明を実施するための最良の形態】

【 0 0 1 3 】

以下の図面を参照して、本発明の実施例について詳細に説明する。図は、光子計数画像装置に使用するための読み出しチップ2の構成の概略図を示している。本実施例では、読み出しチップ2は、33ビットの長さを有するデータ入力シフトレジスタ4を備える。24ビットのデータ入力シフトレジスタ4は、選択可能なカウンタ $8_1 \sim 8_{128}$ に接続される24ビットのデータ入力バス6に接続される。残りの9ビットのデータ入力シフトレジスタ4は、128チャンネルの各々のプログラマブルビット $pb_1 \sim pb_{128}$ を有する9ビットのデータ入力バス10を介して接続される。チャンネルを選択するために、チャンネル選択シフトレジスタ12が設けられる。プログラマブルビット $pb_1 \sim pb_{128}$ は、例えば、それぞれのチャンネルをイネーブル/ディスエーブルするために、アナログ信号(各ダイオードの入射光子の数及びエネルギーを反映する)をチップのアナログ出力に送信するために(すなわち較正及びデバッグ目的のために)用いられ、他のビットは、DAC(6ビット)をプログラムするために、コンパレータの閾値を微調整するために、較正パルスをイネーブル/ディスエーブルするため等に用いられる。

【 0 0 1 4 】

カウンタ $8_1 \sim 8_{128}$ は、24ビットのデータ出力バス14を介してデータ出力シフトレジスタ16に選択的に接続可能である。マルチプレクサ18によって、24ビットのデータ出力シフトレジスタを4ビットのデータ出力20に選択的に割り当てることができ、この4ビットのデータ出力により、本実施例において、データ出力シフトレジスタ16の選択可能な4ビットを並列に読み出すことが可能になる。本実施例では、マルチプレクサは、データ入力シフトレジスタのビットによって制御される。規則的な結晶格子を有する試料の回折パターンを具体的に考慮すると、チャンネルの大部分は、4又は8ビットの読み出しがこれらのチャンネルに対して十分であると思われる同等に低い計数率を有し、試料の格子構造に対応した位置を有するそれらのチャンネルのみが、それぞれのチャンネルのカウンタの24ビットの全てを読み出す非常に高い計数率を受け取る。さらに、動作速度を上

げるために、全てのレジスタ4、12、 $8_1 \sim 8_{128}$ 及び16は、クリア信号及びセット制御信号命令を受け取る。これらの制御信号はさらにマルチプレクスされ、このことは、動作をさらに簡単にしつつ、制御信号の数が低減されることを意味する。このことは、例えば、それぞれの制御信号をモードマルチプレクスすることによってなされることができる。

【0015】

図面に示されている実施例は、種々の修正も可能にする読み出しチップ2の基本設計を有する。1つの好ましい態様は、データ出力シフトレジスタ16に関する構成の乗算であることができ、このために、複数のデータ出力シフトレジスタを設けることができる。この特徴により、複数のチャンネルの読み出しが同時に可能になり、例えば、第2のデータ出力シフトレジスタにより、セットアップにおいて、 1×128 チャンネルの代わりに、 2×64 チャンネルを読み出すことが可能になる。2次元マトリックス（例えば、2次元検出器用の）として、チャンネルを構成することも可能である。

10

【0016】

他の好ましい態様は、カウンタ $8_1 \sim 8_{128}$ の最大長までの、4以上のビットを有するデータ出力20を提供することが可能であり、前記カウンタ $8_1 \sim 8_{128}$ の最大長により、1つのみのサイクル（制御信号サイクルを加える）内において、カウンタ及びデータ出力の両方について長さが同一であった場合に、はるかに速くまた並列モードでカウンタを読み出すことが可能になる。

【0017】

20

別個のチャンネルのカウンタを任意の値にセットできる。カウンタの完全長のパラレルデータ入力レジスタであることもできるシリアルデータ入力シフトレジスタ4によって、プログラマブルビットの値及びカウンタの値を読み出しチップ2に入力できる。さらに、入力シフトレジスタは、データ出力用のマルチプレクサをプログラムするために用いられる。

【図面の簡単な説明】

【0018】

【図1】光子計数画像装置に使用するための読み出しチップ2の構成の概略図である。

【符号の説明】

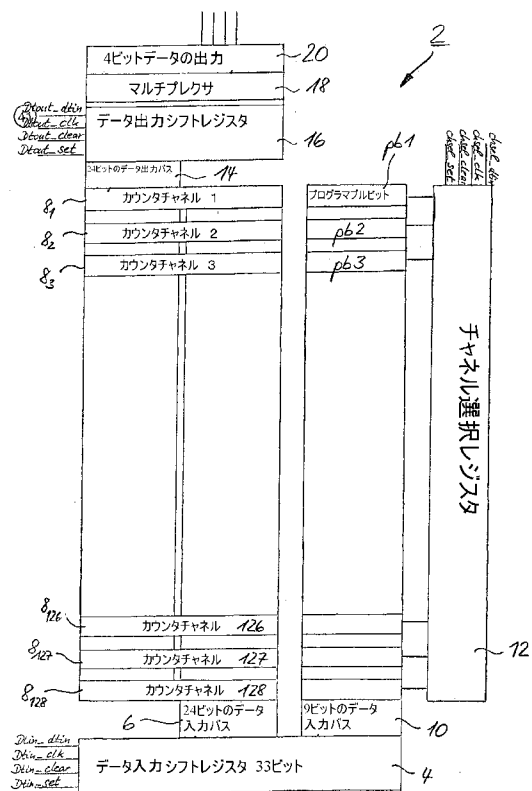
【0019】

30

- 2 読み出しチップ
- 4 データ入力シフトレジスタ 33ビット
- 6 24ビットのデータ入力バス
- 8_{126} カウンタチャンネル126
- 8_{127} カウンタチャンネル127
- 8_{128} カウンタチャンネル128
- 10 9ビットのデータ入力バス
- 12 チャンネル選択シフトレジスタ
- 14 24ビットのデータ出力バス
- 16 データ出力シフトレジスタ
- 18 マルチプレクサ
- 20 4ビットのデータ出力

40

【図 1】



フロントページの続き

- (56)参考文献 国際公開第2004/064168(WO, A1)
米国特許第05665959(US, A)
特開平06-165040(JP, A)
特開昭59-122180(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 31/10 - 31/119
G01J 1/44
G01T 1/17
G01T 1/24