

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-56139

(P2010-56139A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl. F I テーマコード (参考)
H O 1 L 25/065 (2006.01) H O 1 L 25/08 Z
H O 1 L 25/07 (2006.01)
H O 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2008-216822 (P2008-216822)
(22) 出願日 平成20年8月26日 (2008.8.26)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100075672
弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 積層型半導体装置

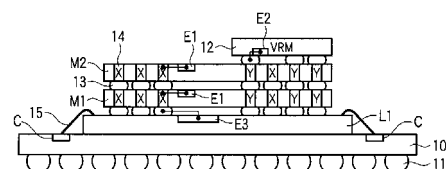
(57) 【要約】

【課題】 実用化可能なスルーシリコンビアを提案する。

【解決手段】 本発明の例に係る積層型半導体装置は、第一の機能を有する第一のチップM2と、第一のチップM2上に積み重ねられ、第一の機能とは異なる第二の機能を有する第二のチップ12とを備える。第一のチップM2は、第一の半導体基板の一面側から他面側に突き抜け、第一の半導体集積回路E1に接続される第一の導電層14(X)と、第一の半導体基板の一面側から他面側に突き抜け、第一の半導体集積回路E1に接続されない第二の導電層14(Y)とを備える。第一及び第二の導電層14(X), 14(Y)の形状及び構造は、同一である。第一のチップM2の第二の導電層14(Y)は、第二のチップ12の第二の半導体集積回路E2に接続される。

【選択図】 図2

図2



【特許請求の範囲】

【請求項 1】

半導体基板と、前記半導体基板の一面側に形成される半導体集積回路と、前記半導体基板の前記一面側から他面側に突き抜け、前記半導体集積回路に接続される第一の導電層と、前記半導体基板の前記一面側から前記他面側に突き抜け、前記半導体集積回路に接続されない第二の導電層とを具備し、前記第一及び第二の導電層は、形状及び構造が同一であることを特徴とするスルーシリコンビアチップ。

【請求項 2】

第一の機能を有する第一のチップと、前記第一のチップ上に積み重ねられ、前記第一の機能とは異なる第二の機能を有する第二のチップとを具備し、

10

前記第一のチップは、

第一の半導体基板と、前記第一の半導体基板の一面側に形成される第一の半導体集積回路と、前記第一の半導体基板の前記一面側から他面側に突き抜け、前記第一の半導体集積回路に接続される第一の導電層と、前記第一の半導体基板の前記一面側から前記他面側に突き抜け、前記第一の半導体集積回路に接続されない第二の導電層とを備え、前記第一及び第二の導電層の形状及び構造が同一であるスルーシリコンビアチップであり、

前記第二のチップは、

第二の半導体基板と、前記第二の半導体基板の一面側に形成される第二の半導体集積回路とを備えるチップであり、

前記第一のチップの前記第二の導電層は、前記第二のチップの前記第二の半導体集積回路に接続されることを特徴とする積層型半導体装置。

20

【請求項 3】

前記第二のチップは、

前記第二の半導体基板の前記一面側から他面側に突き抜け、前記第二の半導体集積回路に接続される第三の導電層を備えるスルーシリコンビアチップであることを特徴とする請求項 2 に記載の積層型半導体装置。

【請求項 4】

前記第一及び第二の機能とは異なる第三の機能を有する第三のチップをさらに具備し、

前記第一及び第二のチップは、前記第三のチップ上に積み重ねられ、

前記第三のチップは、

30

第三の半導体基板と、前記第三の半導体基板の一面側に形成される第三の半導体集積回路とを備えるチップであり、

前記第一のチップの前記第二の導電層は、前記第三のチップの前記第三の半導体集積回路に接続されることを特徴とする請求項 2 に記載の積層型半導体装置。

【請求項 5】

前記第三のチップは、

前記第三の半導体基板の前記一面側から他面側に突き抜け、前記第三の半導体集積回路に接続される第三の導電層を備えるスルーシリコンビアチップであることを特徴とする請求項 4 に記載の積層型半導体装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、スルーシリコンビアに関する。

【背景技術】

【0002】

LSI の小型化及び高速化を実現する一つの手法として CoC (Chip on chip) 技術が知られている。CoC 技術は、異なる機能を有する複数のチップを積み重ね、これらを一つのパッケージ内に収める技術である。

【0003】

この技術では、複数のチップ相互間の電氣的接続は、バンプ又はボンディングワイヤに

50

より行われる。この技術の問題点は、一つのパッケージ内に収められるチップ数が三つ以上になると、パンプのみでの電氣的接続が不可能になり、チップ数が多くなるに従い、性能の低下及び製造コストの増加が発生する、ということにある。

【 0 0 0 4 】

この問題を解決すべく、C o C 技術の改良版として、積み重ねられる複数のチップ相互間の電氣的接続を、シリコン基板を貫通するビアにより行う技術が開発されている（例えば、特許文献 1 ～ 2 を参照）。

【 0 0 0 5 】

この明細書では、この技術のことを「スルーシリコンビア（TSV: Through Si Via）」と称し、この技術に用いられるチップのことを「スルーシリコンビアチップ」と称することにす。これら用語中には「シリコン」という文言が含まれているが、これは、一般名称を表すもので、これらの用語を使用した場合にシリコンチップのみが対象となることを意味するものではないことをここで定義しておく。

10

【 0 0 0 6 】

スルーシリコンビアによれば、例えば、一つのパッケージ内の複数のチップ相互間の信号伝送は、半導体基板を貫通するビアにより行われるため、一つのパッケージ内に収められるチップ数が三つ以上になっても、これら複数のチップの電氣的接続のためにボンディングワイヤを用いる必要がない。このため、一つのパッケージ内に収められるチップの数が多くなっても、性能の低下及び製造コストの増加が発生することがない。

【 0 0 0 7 】

20

このようなことから、スルーシリコンビアは、これからの電子機器の多機能化に対応できる技術として非常に有望な技術である。

【 0 0 0 8 】

しかし、この技術を実際の製品に適用する場合には、一つのパッケージ内に収められる複数のチップの種類に応じて、シリコン基板を貫通するビアの機能やレイアウトなどについて、その製品に適した仕様を検討しなければならない。

【特許文献 1】特開 2 0 0 5 - 2 1 7 0 7 1 号公報

【特許文献 2】特開 2 0 0 2 - 7 6 2 4 7 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【 0 0 0 9 】

本発明は、スルーシリコンビアの汎用性と製造コストの低下とを図るために必要な構成について提案する。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の例に係るスルーシリコンビアチップは、半導体基板と、前記半導体基板の一面側に形成される半導体集積回路と、前記半導体基板の前記一面側から他面側に突き抜け、前記半導体集積回路に接続される第一の導電層と、前記半導体基板の前記一面側から前記他面側に突き抜け、前記半導体集積回路に接続されない第二の導電層とを備え、前記第一及び第二の導電層は、形状及び構造が同一である。

40

【 0 0 1 1 】

本発明の例に係る積層型半導体装置は、第一の機能を有する第一のチップと、前記第一のチップ上に積み重ねられ、前記第一の機能とは異なる第二の機能を有する第二のチップとを備える。前記第一のチップは、第一の半導体基板と、前記第一の半導体基板の一面側に形成される第一の半導体集積回路と、前記第一の半導体基板の前記一面側から他面側に突き抜け、前記第一の半導体集積回路に接続される第一の導電層と、前記第一の半導体基板の前記一面側から前記他面側に突き抜け、前記第一の半導体集積回路に接続されない第二の導電層とを備え、前記第一及び第二の導電層の形状及び構造が同一である。前記第二のチップは、第二の半導体基板と、前記第二の半導体基板の一面側に形成される第二の半導体集積回路とを備えるチップである。前記第一のチップの前記第二の導電層は、前記第

50

二のチップの前記第二の半導体集積回路に接続される。

【発明の効果】

【0012】

本発明によれば、スルーシリコンビアの汎用性と製造コストの低下とを図ることが可能になる。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0014】

10

1. 概要

スルーシリコンビアは、C o C 技術、即ち、複数のチップを積み重ねて、例えば、これら一つのパッケージ内に収めることを前提とする。ここで、それぞれ異なる機能を有する三つ以上のチップを積み重ねる場合、一般的には、それらチップの大きさを考慮して、積み重ねる順番を決定する。

【0015】

例えば、制御チップ（CPUなど）、メモリチップ（DRAMなどの揮発性メモリやフラッシュメモリなどの不揮発性メモリ）及びVRM(Voltage Regulator Module)チップを積み重ねる場合、最も下に制御チップを配置し、最も上にVRMチップを配置し、それらの間にメモリチップを配置する。

20

【0016】

一方、積み重ねられる全てのチップをスルーシリコンビアチップにするのは現実的ではないため、例えば、メモリチップをスルーシリコンビアチップとし、その他の制御チップ、VRMチップなどのロジックチップを汎用構造（スルーシリコンビアを有しない構造）とする。

【0017】

このような状況の下、最も上のチップと最も下のチップとを、その間に配置される中間チップ内の半導体集積回路を介さずに接続したい場合がある。

【0018】

例えば、上述の例でいうと、VRMは、制御チップ内の半導体集積回路に電源電圧を安定的に供給し、その半導体集積回路の信頼性を向上させるために開発されたものであるから、VRMチップと制御チップとを直接的に接続したい。

30

【0019】

しかし、VRMチップと制御チップとの間に配置されるメモリチップには両者を直接的に接続する手段が存在しない。このため、電源電圧を外部からVRMチップに供給する経路及び電源電圧をVRMチップから制御チップに供給する経路は、それぞれ、ボンディングワイヤに頼らざるを得ない。

【0020】

そこで、本発明の例では、最も上のチップと最も下のチップとの間に配置される中間チップに、その中間チップ内の半導体集積回路に接続されないダミースルーシリコンビア（導電層）を設ける。ダミースルーシリコンビアは、中間チップに本来設けられるスルーシリコンビア（導電層）に対して、形状及び構造が同じである。

40

【0021】

即ち、ダミースルーシリコンビアには、アライメントマークなどのビアとしての機能を持たない要素が除かれる。

【0022】

これにより、最も上のチップ（例えば、VRMチップ）と最も下のチップ（例えば、制御チップ）とを、それらの間に配置される中間チップのダミースルーシリコンビアを介して直接的に接続することができるため、スルーシリコンビアの実用化が可能になる。

【0023】

50

尚、既に定義したように、スルーシリコンビアの構成要素の一つである半導体基板は、シリコン基板に限定されない。

【 0 0 2 4 】

2. スルーシリコンビア

まず、本発明の前提となるスルーシリコンビアについて説明する。

【 0 0 2 5 】

図 1 は、スルーシリコンビアの概要を示している。

パッケージ基板 1 0 上には、異なる機能を有する複数のチップ L 1 , M 1 , M 2 , 1 2 が搭載される。パッケージ基板 1 0 の下面には、例えば、B G A (Ball Grid Array) 端子 1 1 が配置される。

10

【 0 0 2 6 】

チップ L 1 は、制御チップ (例えば、C P U) である。制御チップ L 1 は、ボンディングワイヤ 1 5 によりパッケージ基板 1 0 上の導電線 C に接続される。

【 0 0 2 7 】

チップ M 1 , M 2 は、メモリチップである。メモリチップ M 1 は、制御チップ L 1 上に積み重ねられ、メモリチップ M 2 は、メモリチップ M 1 上に積み重ねられる。

【 0 0 2 8 】

メモリチップ M 1 , M 2 は、スルーシリコンビアチップであり、半導体基板と、半導体基板の一面側に形成される半導体集積回路 E 1 と、半導体基板の一面側から他面側に突き抜け、半導体集積回路 E 1 に接続される導電層 1 4 を備える。

20

【 0 0 2 9 】

また、制御チップ L 1 とメモリチップ M 1 との間、及び、メモリチップ M 1 とメモリチップ M 2 との間には、パンプ 1 3 が配置される。

【 0 0 3 0 】

チップ 1 2 は、V R Mチップである。V R Mチップ 1 2 は、メモリチップ M 2 上にスペーサ (例えば、絶縁体) 1 6 を介して配置される。

【 0 0 3 1 】

V R Mチップ 1 2 は、ボンディングワイヤ 1 5 によりパッケージ基板 1 0 上の導電線 C に接続される。

【 0 0 3 2 】

30

ここで、半導体集積回路 E 1 について次のように定義する。この定義は、以下で説明する実施形態においても適用されるものとする。

【 0 0 3 3 】

半導体集積回路 E 1 とは、半導体基板の一面側に形成される全ての集積回路をいうものとする。即ち、個々の集積回路には関連がなくても、導電層 (スルーシリコンビア) 1 4 がそのうちの一つの集積回路に接続される、と言った場合には、その導電層 1 4 は、半導体集積回路 E 1 に接続される導電層である、とする。

【 0 0 3 4 】

このようなスルーシリコンビアによれば、ボンディングワイヤを用いずに、制御チップ L 1 とその上に配置される二つ以上のメモリチップ M 1 , M 2 とを電氣的に接続することができる。

40

【 0 0 3 5 】

また、制御チップ L 1 とメモリチップ M 1 , M 2 との間における信号伝送及び電源供給は、全て、半導体基板の一面側から他面側に貫通するスルーシリコンビア (導電層) を用いて行うため、パッケージサイズの縮小、高速信号伝送、チップ内での電源電圧降下の抑制などが可能である。

【 0 0 3 6 】

しかし、メモリチップ M 1 , M 2 内のスルーシリコンビアは、メモリチップ M 1 , M 2 内の半導体集積回路 E 1 に接続される。このため、これらメモリチップ M 1 , M 2 は、制御チップ L 1 と V R Mチップ 1 2 とを直接的に接続する手段を持たない。このため、V R

50

Mチップ12は、ボンディングワイヤ15によりパッケージ基板10上の導電線Cに接続される。

【0037】

3. 実施形態

(1) 第一の実施形態

図1は、第一の実施形態に係わるスルーシリコンビアを示している。

【0038】

パッケージ基板10上には、異なる機能を有する複数のチップL1, M1, M2, 12が搭載される。パッケージ基板10の下面には、例えば、BGA端子11が配置される。

【0039】

チップL1は、制御チップ(例えば、CPU)である。制御チップL1は、ボンディングワイヤ15によりパッケージ基板10上の導電線Cに接続される。

【0040】

チップM1, M2は、メモリチップである。メモリチップM1は、制御チップL1上に積み重ねられ、メモリチップM2は、メモリチップM1上に積み重ねられる。

【0041】

チップ12は、VRMチップである。VRMチップ12は、メモリチップM2上に積み重ねられる。

【0042】

また、制御チップL1とメモリチップM1との間、メモリチップM1とメモリチップM2との間、及び、メモリチップM2とVRMチップ12の間には、それぞれ、バンプ13が配置される。

【0043】

メモリチップM1, M2は、スルーシリコンビアチップであり、半導体基板と、半導体基板の一面側に形成される半導体集積回路E1と、半導体基板の一面側から他面側に突き抜け、半導体集積回路E1に接続される導電層14(X)と、半導体基板の一面側から他面側に突き抜け、半導体集積回路E1に接続されない導電層14(Y)とを備える。

【0044】

このスルーシリコンビアチップの特徴は、導電層14(Y)を有している点にある。

【0045】

導電層14(Y)は、導電層14(X)に対して、形状及び構造が同じであるが、メモリチップM1, M2内の半導体集積回路E1に接続されないため、ここでは、ダミースルーシリコンビアと称する。

【0046】

ダミースルーシリコンビアとしての導電層14(Y)の機能は、メモリチップM1, M2の直下にある制御チップL1と、メモリチップM1, M2の直上にあるVRMチップ12とを直接的に接続することにある。

【0047】

即ち、制御チップL1とVRMチップ12の間における信号伝送及び電源供給は、ダミーシリコンビアとしての導電層14(Y)を用いて行う。

【0048】

例えば、電源電位は、ボンディングワイヤ15により、パッケージ基板10から制御チップL1に供給され、導電層14(Y)により、制御チップL1からVRMチップ12へ、又は、VRMチップ12から制御チップL1へ供給される。

【0049】

また、ダミースルーシリコンビアには、ビアとしての機能を持たない要素(例えば、アライメントマーク)が除かれる。

【0050】

尚、VRMチップ12は、半導体集積回路E2が形成される一面側を下にして、メモリチップM2に対してフリップチップボンディングされる(フリップチップ構造)。

10

20

30

40

50

【 0 0 5 1 】

これに対し、メモリチップ M 1 , M 2 については、半導体集積回路 E 1 を有する一面側が上 (V R M チップ 1 2 側) を向いているが、これに代えて、その一面側が下 (制御チップ L 1 側) を向くようにしてもよい。

【 0 0 5 2 】

また、メモリチップ M 1 , M 2 の導電層 1 4 (Y) は、 V R M チップ 1 2 の一面側の半導体集積回路 E 2 に接続され、メモリチップ M 1 , M 2 の導電層 1 4 (X) は、制御チップ L 1 の一面側の半導体集積回路 E 3 に接続される。

【 0 0 5 3 】

このようなスルーシリコンビアによれば、ボンディングワイヤなしに、制御チップ L 1 とその上に配置される二つ以上のメモリチップ M 1 , M 2 とを電氣的に接続することが可能になる。

【 0 0 5 4 】

また、制御チップ L 1 とメモリチップ M 1 , M 2 との間における信号伝送及び電源供給は、全て、半導体基板の一面側から他面側に貫通する導電層 1 4 (X) を用いて行うため、パッケージサイズの縮小、高速信号伝送、チップ内での電源電圧降下の抑制などが可能である。

【 0 0 5 5 】

さらに、制御チップ L 1 と V R M チップ 1 2 とを、それらの間に配置されるメモリチップ M 1 , M 2 内の導電層 1 4 (Y) を介して直接的に接続することができるため、スルーシリコンビアの実用化が可能になる。

【 0 0 5 6 】

(2) 第二の実施形態

図 3 は、第二の実施形態に係わるスルーシリコンビアを示している。

【 0 0 5 7 】

第二の実施形態は、第一の実施形態の応用例に関する。

この実施形態が第一の実施形態と異なる点は、制御チップ L 1 上に積み重ねられるメモリチップ M 1 ~ M 4 の数と、 V R M チップ 1 2 の位置とにある。

【 0 0 5 8 】

スルーシリコンビアによれば、制御チップ L 1 上に積み重ねるメモリチップの数に制限はない。この実施形態では、制御チップ L 1 上に四つのメモリチップ M 1 ~ M 4 を積み重ねている。制御チップ L 1 上に積み重ねるメモリチップの数は、 2^n (n は自然数) 個であるのが好ましい。

【 0 0 5 9 】

また、この実施形態では、 V R M チップ 1 2 は、メモリチップ M 1 ~ M 4 の中央部に配置する。 V R M チップ 1 2 をメモリチップ M 1 ~ M 4 の中央部に配置できるように、メモリチップ M 1 ~ M 4 内のダミースルーシリコンビアとしての導電層 1 4 (Y) のレイアウトを決定する。

【 0 0 6 0 】

(3) 第三の実施形態

図 4 は、第三の実施形態に係わるスルーシリコンビアを示している。

【 0 0 6 1 】

第三の実施形態も、第一の実施形態の応用例に関する。

この実施形態が第一の実施形態と異なる点は、制御チップ (例えば、 C P U) L 1 がスルーシリコンビアチップであることにある。

【 0 0 6 2 】

即ち、制御チップ L 1 は、半導体基板と、半導体基板の一面側に形成される半導体集積回路 E 3 と、半導体基板の一面側から他面側に突き抜け、半導体集積回路 E 3 に接続される導電層 1 4 (X) とを備える。

【 0 0 6 3 】

10

20

30

40

50

制御チップ L 1 内の半導体集積回路 E 3 は、メモリチップ M 1 , M 2 内の導電層 1 4 (X) を介してメモリチップ M 1 , M 2 内の半導体集積回路 E 1 に接続される。

【 0 0 6 4 】

また、制御チップ L 1 内の半導体集積回路 E 3 は、制御チップ L 1 内の導電層 1 4 (X) を介してパッケージ基板 1 0 上の導電線 C に接続される。

【 0 0 6 5 】

尚、制御チップ L 1 については、半導体集積回路 E 3 を有する一面側が上 (メモリチップ M 1 側) を向いているが、これに代えて、その一面側が下 (パッケージ基板 1 0 側) を向くようにしてもよい。

【 0 0 6 6 】

この場合も、制御チップ L 1 と V R M チップ 1 2 との間における信号伝送及び電源供給は、ダミーシリコンビアとしての導電層 1 4 (Y) を用いて行う。

【 0 0 6 7 】

例えば、電源電位は、導電層 1 4 (X) により、パッケージ基板 1 0 から制御チップ L 1 に供給され、導電層 1 4 (Y) により、制御チップ L 1 から V R M チップ 1 2 へ、又は、V R M チップ 1 2 から制御チップ L 1 へ供給される。

【 0 0 6 8 】

このように、第一の実施形態において、さらに、制御チップ L 1 をスルーシリコンビアチップにすることもできる。この場合、制御チップ L 1 とパッケージ基板 1 0 上の導電線 C との接続についても、パンプ 1 3 により行うことが可能である。

【 0 0 6 9 】

(4) 第四の実施形態

図 5 は、第四の実施形態に係わるスルーシリコンビアを示している。

【 0 0 7 0 】

第四の実施形態は、第二の実施形態の応用例に関する。

この実施形態が第二の実施形態と異なる点は、V R M チップ 1 2 がスルーシリコンビアチップであることにある。

【 0 0 7 1 】

即ち、V R M チップ 1 2 は、半導体基板と、半導体基板の一面側に形成される半導体集積回路 E 2 と、半導体基板の一面側から他面側に突き抜け、半導体集積回路 E 2 に接続される導電層 1 4 (X) とを備える。

【 0 0 7 2 】

V R M チップ 1 2 内の半導体集積回路 E 2 は、V R M チップ 1 2 内の導電層 1 4 (X) 及びメモリチップ M 1 , M 2 内の導電層 1 4 (Y) を介して制御チップ L 1 内の半導体集積回路 E 3 に接続される。

【 0 0 7 3 】

V R M チップ 1 2 については、半導体集積回路 E 2 を有する一面側が上 (メモリチップ M 4 側と反対側) を向いているが、これに代えて、その一面側を下 (メモリチップ M 4 側) にしてフリップチップ構造としてもよい。

【 0 0 7 4 】

尚、第三の実施形態と第四の実施形態とを組み合わせることも可能である。

【 0 0 7 5 】

(5) 第五の実施形態

図 6 は、第五の実施形態に係わるスルーシリコンビアを示している。

【 0 0 7 6 】

第五の実施形態は、第一乃至第四の実施形態のスルーシリコンビアの位置に関する。

【 0 0 7 7 】

同図の「○」印は、メモリチップ M 1 ~ M 4 に設けられる導電層 (スルーシリコンビア) を表している。「X」は、図 2 乃至図 5 (第一乃至第四の実施形態) における導電層 1 4 (X) に相当する。また、「Y」は、図 2 乃至図 5 における導電層 1 4 (Y) に相当す

10

20

30

40

50

る。

【 0 0 7 8 】

スルーシリコンビア「 X 」 , 「 Y 」の位置は、 V R Mチップ 1 2 の位置に応じて決定される。

【 0 0 7 9 】

この実施形態では、 V R Mチップ 1 2 は、メモリチップ M 1 ~ M 4 の中央部の上に配置されるため、これに合わせて、スルーシリコンビア「 Y 」もメモリチップ M 1 ~ M 4 の中央部に配置される。

【 0 0 8 0 】

但し、スルーシリコンビア「 X 」については、メモリチップ M 1 ~ M 4 と V R Mチップ 1 2 とのオーバーラップ部分以外の部分、例えば、メモリチップ M 1 ~ M 4 の縁部に配置しても構わない。

10

【 0 0 8 1 】

(6) 第六の実施形態

図 7 は、第六の実施形態に係わるスルーシリコンビアを示している。

【 0 0 8 2 】

第六の実施形態は、チップを積み重ねる順番に関する。

【 0 0 8 3 】

同図 (a) は、上述の第一乃至第五の実施形態に相当する。これに対し、同図 (b) は、 V R Mチップ 1 2 のサイズが、メモリチップ M 1 , M 2 のサイズ以上、制御チップ L 1 のサイズ以下である場合の積み重ね順序を表している。

20

【 0 0 8 4 】

同図 (b) では、制御チップ L 1 上に V R Mチップ 1 2 が配置され、 V R Mチップ 1 2 上にメモリチップ M 1 , M 2 が配置される。この場合、メモリチップ M 1 , M 2 及び V R Mチップ 1 2 をそれぞれスルーシリコンビアチップとする。また、 V R Mチップ 1 2 にも、 V R Mチップ 1 2 内の半導体集積回路に接続されない導電層 (ダミースルーシリコンビア) を設ける。

【 0 0 8 5 】

(7) まとめ

以上、第一乃至第六の実施形態によれば、異なる機能を有する三つ以上のチップを積み重ねてスルーシリコンビアを構成するときのビアの機能やレイアウトについて、製品に適した仕様を提供することができ、スルーシリコンビアを単なるアイデアでなく、実際に製品に適用することが可能になる。

30

【 0 0 8 6 】

4 . 適用例

本発明は、三つ以上のチップからなるスルーシリコンビアに有効である。

【 0 0 8 7 】

例えば、グラフィックチップ、 D R A Mチップ及び V R Mチップをスルーシリコンビアにより積層してもよい。また、モバイルチップ、 D R A Mチップ及び V R Mチップをスルーシリコンビアにより積層してもよい。

40

【 0 0 8 8 】

これらのスルーシリコンビアによれば、 M C M (Multi-chip module) に比べて、パッケージサイズの縮小、低消費電力化及びハイパフォーマンスを実現できる。

【 0 0 8 9 】

6 . むすび

本発明によれば、スルーシリコンビアの汎用性と製造コストの低下とを図ることが可能になる。

【 0 0 9 0 】

本発明の例は、上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施形態に開示されている複数の

50

構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【 0 0 9 1 】

【図 1】スルーシリコンピアを示す図。

【図 2】第一の実施形態のスルーシリコンピアを示す図。

【図 3】第二の実施形態のスルーシリコンピアを示す図。

【図 4】第三の実施形態のスルーシリコンピアを示す図。

【図 5】第四の実施形態のスルーシリコンピアを示す図。

【図 6】第五の実施形態のスルーシリコンピアを示す図。

【図 7】第六の実施形態のスルーシリコンピアを示す図。

【符号の説明】

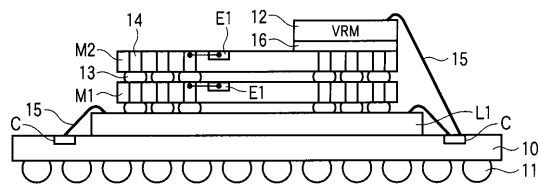
【 0 0 9 2 】

10： パッケージ基板、 11： BGA端子、 12： VRMチップ、 13：
 パンプ、 14： 導電層（スルーシリコンピア）、 15： ボンディングワイヤ、
 L1： 制御チップ、 M1～M4： メモリチップ。

10

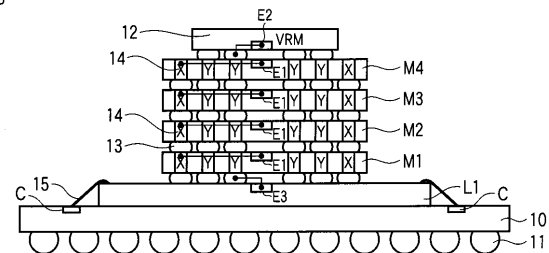
【図 1】

図 1



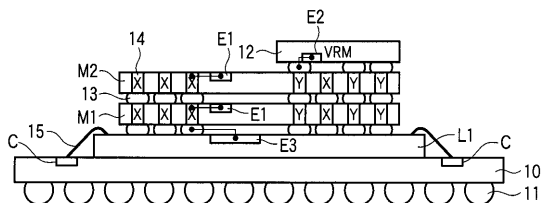
【図 3】

図 3



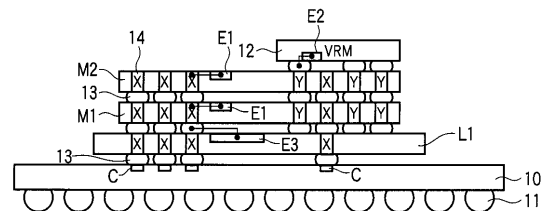
【図 2】

図 2



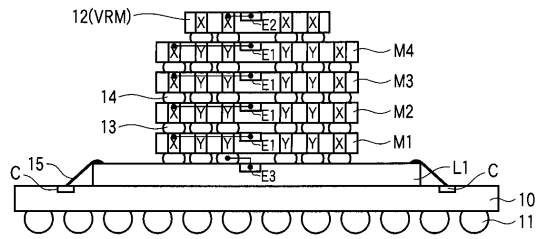
【図 4】

図 4



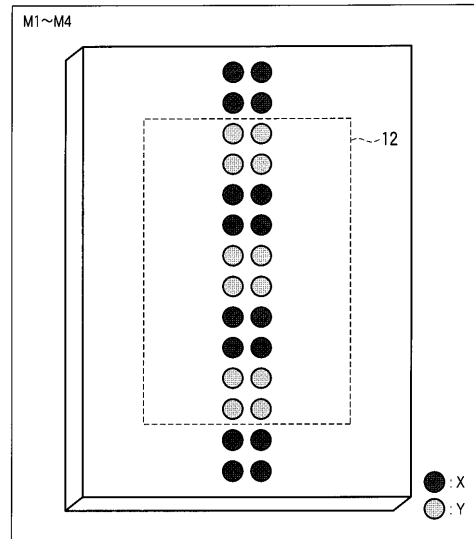
【 図 5 】

図 5



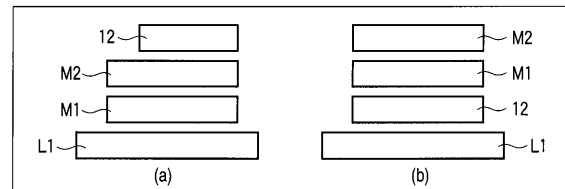
【 図 6 】

図 6



【 図 7 】

図 7



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 浦川 幸宏
東京都港区芝浦一丁目1番1号 株式会社東芝内