(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3597328号

(P3597328)

(45)発行日　平成16年12月8日(2004.12.8)　(24)登録日　平成16年9月17日(2004.9.17)

(51)Int.Cl.[7]	F I		
H01L 21/8242	H01L	27/10	651
H01L 21/316	H01L	21/316	X
H01L 21/822	H01L	27/10	621C
H01L 27/04	H01L	27/04	C
H01L 27/108			

請求項の数 11　(全 31 頁)

(21)出願番号　特願平8-263408
(22)出願日　平成8年10月4日(1996.10.4)
(65)公開番号　特開平9-219501
(43)公開日　平成9年8月19日(1997.8.19)
審査請求日　平成14年8月21日(2002.8.21)
(31)優先権主張番号　特願平7-320596
(32)優先日　平成7年12月8日(1995.12.8)
(33)優先権主張国　日本国(JP)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　田丸　剛
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　飯島　晋平
東京都小平市上水本町五丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　横山　夏樹
東京都国分寺市東恋ヶ窪一丁目２８０番地　株式会社日立製作所　中央研究所内

最終頁に続く

(54)【発明の名称】半導体集積回路装置の製造方法

(57)【特許請求の範囲】

【請求項１】

以下の工程を含むことを特徴とする半導体集積回路装置の製造方法：

（ａ）半導体基板の主面上に、容量素子の下部電極を構成する第１導電膜を形成する工程、

（ｂ）前記第１導電膜上に、高誘電体膜を含む単一または複数の膜からなる容量絶縁膜を形成する工程、

（ｃ）前記容量絶縁膜上に、チタン含有ソースガスと還元性ガスを含まない不活性ガスとを用いた低温ＣＶＤ法により保護膜を形成する工程、

（ｄ）前記保護膜上に、容量素子の上部電極を構成するチタンナイトライド膜を含む単一または複数の膜からなる第２導電膜を、窒素を含む還元性ガスとチタンソースガスにより形成する工程。

【請求項２】

請求項１記載の半導体集積回路装置の製造方法であって、前記容量絶縁膜は、酸化タンタル膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項３】

請求項１記載の半導体集積回路装置の製造方法であって、前記保護膜は、アモルファスチタン膜または多結晶チタン膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項４】

請求項１記載の半導体集積回路装置の製造方法であって、前記容量素子は、ＤＲＡＭのメ

モリセルを構成するメモリセル選択用ＭＩＳＦＥＴの上部に配置された容量素子であることを特徴とする半導体集積回路装置の製造方法。
【請求項５】
請求項４記載の半導体集積回路装置の製造方法であって、前記容量素子の下部電極の少なくとも一部をフィン形または円筒形にパターニングする工程を含むことを特徴とする半導体集積回路装置の製造方法。
【請求項６】
以下の工程を含むことを特徴とする半導体集積回路装置の製造方法：
（ａ）半導体基板の主面上に、ＭＩＳＦＥＴを形成する工程、
（ｂ）前記ＭＩＳＦＥＴの上部に、単一または複数の膜からなる第１導電膜を形成する工程、
（ｃ）前記第１導電膜の少なくとも一部をフィン形または円筒形にパターニングして、容量素子の下部電極を形成する工程、
（ｄ）前記下部電極上に、高誘電体膜を含む単一または複数の膜からなる容量絶縁膜を形成する工程、
（ｅ）前記容量絶縁膜上に、チタン含有ソースガスを含み、窒素含有還元性ガスを含まない不活性ガスの条件下で低温ＣＶＤ法により保護膜を形成する工程、
（ｆ）前記保護膜上に、チタン含有ソースガスと窒素含有還元性ガスとを含む条件下で低温ＣＶＤ法により、チタンナイトライド膜を含む単一または複数の膜からなる第２導電膜を形成する工程、
（ｇ）前記第２導電膜、前記保護膜および前記容量絶縁膜をパターニングして、前記容量素子の上部電極を形成する工程。
【請求項７】
請求項６記載の半導体集積回路装置の製造方法であって、ＣＶＤ装置のチャンバ内に前記チタン含有ソースガスを導入して前記保護膜を形成し、次いで前記窒素含有還元性ガスを導入することにより、前記保護膜の上に前記第２導電膜を連続して成膜することを特徴とする半導体集積回路装置の製造方法。
【請求項８】
請求項６記載の半導体集積回路装置の製造方法であって、前記容量絶縁膜は、酸化タンタル膜を含むことを特徴とする半導体集積回路装置の製造方法。
【請求項９】
請求項６記載の半導体集積回路装置の製造方法であって、前記保護膜は、アモルファスチタン膜または多結晶チタン膜を含むことを特徴とする半導体集積回路装置の製造方法。
【請求項１０】
請求項６記載の半導体集積回路装置の製造方法であって、前記チタン含有ソースガスは、四塩化チタン、テトラキシジメチルアミノチタン、テトラキシジエチルアミノチタンまたはそれらの混合ガスを含むことを特徴とする半導体集積回路装置の製造方法。
【請求項１１】
請求項６記載の半導体集積回路装置の製造方法であって、前記窒素含有還元性ガスは、アンモニア、モノメチルヒドラジンまたはそれらの混合ガスを含むことを特徴とする半導体集積回路装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体集積回路装置およびその製造技術に関し、特に、容量素子（キャパシタ）の容量絶縁膜を高誘電体材料で構成したメモリセルを有する半導体集積回路装置に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
近年の大容量ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）

は、メモリセルの微細化に伴う容量素子の蓄積電荷量の減少を補うために、メモリセル選択用ＭＩＳＦＥＴの上部に容量素子を配置するスタックド・キャパシタ（ｓｔａｃｋｅｄ　ｃａｐａｃｉｔｏｒ）　構造を採用している。さらに、この容量素子の下部電極（蓄積電極）をフィン状あるいは円筒状に加工してその表面積を大きくしたり、容量絶縁膜を誘電率の高い材料で構成したりすることも行われている。特に、高誘電体材料の一つである酸化タンタル（Ta_2O_5）は、誘電率が２０～２５と高く、しかも従来のＤＲＡＭプロセスとの整合性が高いことから、ＤＲＡＭの容量素子への適用が進められている。

【０００３】

容量素子の容量絶縁膜を上記酸化タンタルで構成する場合には、容量絶縁膜上に形成する上部電極（プレート電極）の材料として、酸化タンタルの膜質を劣化させないものを選択する必要がある。このような上部電極材料としては、Ｗ（タングステン）、Ｐｔ（プラチナ）、Ｍｏ（モリブデン）などの高融点金属や、ＴｉＮ（窒化チタン）などの高融点金属窒化物が好適と考えられている。

【０００４】

上部電極材料がアニールの前後において酸化タンタル膜に及ぼすリーク電流への影響を調べた「応用物理（Ｊｐｎ．Ｊ．Ａｐｐｌ．Ｐｈｙｓ．Ｖｏｌ．３３（１９９４）　Ｐｔ．１，Ｎｏ．３Ａ）　」は、上部電極材料の仕事関数と上部電極／酸化タンタル界面の安定性とが酸化タンタル膜の電気特性を決定するという実験結果に基づいて、最適な上部電極材料は、アニールが低温（約４００℃）で行われる場合にはＴｉＮ、高温（約８００℃）で行われる場合にはＭｏまたはＭｏＮ（窒化モリブデン）であると報告している。

【０００５】

ＤＲＡＭの容量素子の下部電極は、前記のように表面形状が複雑なため、その上部に酸化タンタル膜を堆積する場合は、スパッタリング法よりもステップカバレージが良好なＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）　法を用いることが要求される。しかし、ＣＶＤ法で堆積した酸化タンタル膜は、そのままでは所望の誘電率が得られないため、成膜後に約７００～８００℃の高温でアニールを行って膜を結晶化させる必要がある。ところが、このアニールを行うと、下地の下部電極材料（多結晶シリコン膜）との界面に酸化膜が形成されて容量絶縁膜の実効的な誘電率が低下したり、酸化タンタル膜中の酸素が不足して膜の絶縁耐圧が低下し、リーク電流が増加したりするといった問題が生じる。

【０００６】

特開昭６１－３５４８号公報は、半導体基板上にＣＶＤ法で堆積した酸化タンタル膜の表面を乾燥酸素雰囲気中でアニールすることによって、膜中の酸素空位に起因する欠陥を回復させ、膜の絶縁耐圧を向上させる技術を開示している。

【０００７】

「インターナショナル・コンファレンス・オン・ソリッドステイト・デバイセズ・アンド・マテリアルズ（Ｉｎｔｅｒｎａｔｉｏｎａｌ　Ｃｏｎｆｅｒｅｎｃｅ　ｏｎ　Ｓｏｌｉｄｓｔａｔｅ　Ｄｅｖｉｃｅｓ　ａｎｄ　Ｍａｔｅｒｉａｌｓ）　１９９２　」（ｐ５２１～ｐ５２３）は、容量素子の下部電極を構成する多結晶シリコン膜をNH_3（アンモニア）雰囲気中でアニールしてその表面に窒化膜を形成することによって、酸化タンタル膜を堆積する際に多結晶シリコン膜の表面に酸化膜が形成されるのを防ぐ技術を開示している。

【０００８】

特開平７－６６３００号公報に記載されたＤＲＡＭは、容量素子の容量絶縁膜をＣＶＤ法で堆積した酸化タンタル、チタン酸ストロンチウム（$SrTiO_3$）またはチタン酸バリウム（$BaTiO_3$）のいずれかで構成し、上部電極をＣＶＤ法またはスパッタリング法で堆積したＷ、Ｐｔ、ＴｉＮなどで構成している。そして、下部電極を酸化亜鉛（ＺｎＯ）や酸化錫（SnO_2）のような、酸化に対する強い抵抗力示す材料で構成することによって、容量絶縁膜のアニール時に下部電極との界面に酸化膜が形成されるのを防いでいる。

【０００９】
特開平７－６６３６９号公報に記載されたＤＲＡＭは、容量素子の容量絶縁膜をＣＶＤ法で堆積した酸化タンタルで構成している。そして、成膜後のアニールを結晶化温度よりも低い温度（約６００℃以下）で行い、膜をアモルファス構造に保つことによって、リーク電流のパスとなる結晶粒界や亀裂や微少欠陥の発生を抑え、リーク電流特性を改善させている。
【００１０】
特開平１－２２２４６９号公報に記載されたＤＲＡＭは、容量素子の容量絶縁膜をＣＶＤ法で堆積した酸化タンタルまたは酸化ハフニウム（HfO_2）で構成し、この酸化タンタル（または酸化ハフニウム）と多結晶シリコンの電極（上部電極および下部電極）との間にＴｉＮのバリヤ膜を形成することによって、シリコンと酸化タンタルとの反応を防いでいる。
【００１１】
特開平６－２３２３４４号公報に記載されたＤＲＡＭは、容量素子の容量絶縁膜をＣＶＤ法で堆積した酸化タンタルや酸化ハフニウムなどで構成し、上部電極をＴｉＮで構成している。そして、このＴｉＮの上部に多結晶シリコンなどの非金属緩衝膜を形成することによって、容量素子の上部に堆積したＢＰＳＧ（Ｂｏｒｏｎ－ｄｏｐｅｄ　Ｐｈｏｓｐｈｏ　Ｓｉｌｉｃａｔｅ　Ｇｌａｓｓ）膜を高温リフロー（約８５０℃、３０分）する際に容量素子が劣化するのを防いでいる。
【００１２】
【発明が解決しようとする課題】
本発明者は、半導体基板上に多結晶シリコンなどの導電膜を堆積し、その上部に酸化タンタル膜を堆積した後、$TiCl_4$（四塩化チタン）、ＴＤＭＡＴ（テトラキシジメチルアミノチタン）、ＴＤＥＡＴ（テトラキシジエチルアミノチタン）などのチタン含有ソースガスと、NH_3　、ＭＭＨ（モノメチルヒドラジン）などの窒素含有還元性ガスとを用いたＣＶＤ法で酸化タンタル膜上にＴｉＮ膜を堆積した。そして、これらの膜をパターニングして容量素子を形成し、容量絶縁膜（酸化タンタル膜）の絶縁耐圧を調べたところ、絶縁耐圧が劣化してリーク電流が増大する現象が観察された。
【００１３】
その原因は未だ十分に解明されていないが、酸化タンタル膜の表面が高温で還元性ガスに接触すると、膜中の酸素（Ｏ）原子の一部がこの還元性ガスと反応して離脱し、膜中にＴａやＯのダングリングボンド（未結合手）が増えることが原因の一つであると本発明者は推測している。
【００１４】
本発明の目的は、酸化タンタルなどの高誘電体材料で構成された容量絶縁膜の上部に、還元性ガスを含む反応ガスを用いたＣＶＤ法で上部電極材料を堆積する際に容量絶縁膜の耐圧が劣化する不具合を防止することのできる技術を提供することにある。
【００１５】
本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
【００１６】
【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。
【００１７】
本発明の半導体集積回路装置は、下部電極と、前記下部電極上に形成された高誘電体膜を含む単一または複数の膜からなる容量絶縁膜と、前記容量絶縁膜上に形成されたチタンナイトライド膜を含む単一または複数の膜からなる上部電極とで構成された容量素子を有し、前記容量素子の上部電極は、還元性ガスを含まない条件下で低温ＣＶＤ法により形成された保護膜を介在して前記高誘電体膜上に形成されている。

【００１８】
本発明の半導体集積回路装置は、前記容量絶縁膜が酸化タンタル膜を含んでいる。
【００１９】
本発明の半導体集積回路装置は、前記容量素子がＤＲＡＭのメモリセルを構成するメモリセル選択用ＭＩＳＦＥＴの上部に配置されている。
【００２０】
本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。
【００２１】
（ａ）半導体基板の主面上に、容量素子の下部電極を構成する第１導電膜を形成する工程、
（ｂ）前記第１導電膜上に、高誘電体膜を含む単一または複数の膜からなる容量絶縁膜を形成する工程、
（ｃ）前記容量絶縁膜上に、還元性ガスを含まない条件下で低温ＣＶＤ法により保護膜を形成する工程、
（ｄ）前記保護膜上に、容量素子の上部電極を構成するチタンナイトライド膜を含む単一または複数の膜からなる第２導電膜を形成する工程。
【００２２】
本発明の半導体集積回路装置の製造方法は、前記容量絶縁膜が酸化タンタル膜を含んでいる。
【００２３】
本発明の半導体集積回路装置の製造方法は、前記保護膜がアモルファスチタン膜または多結晶チタン膜を含んでいる。
【００２４】
本発明の半導体集積回路装置の製造方法は、前記容量素子がＤＲＡＭのメモリセルを構成するメモリセル選択用ＭＩＳＦＥＴの上部に配置されている。
【００２５】
本発明の半導体集積回路装置の製造方法は、前記容量素子の下部電極の少なくとも一部をフィン形または円筒形にパターニングする工程を含んでいる。
【００２６】
本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。
【００２７】
（ａ）半導体基板の主面上に、ＭＩＳＦＥＴを形成する工程、
（ｂ）前記ＭＩＳＦＥＴの上部に、単一または複数の膜からなる第１導電膜を形成する工程、
（ｃ）前記第１導電膜の少なくとも一部をフィン形または円筒形にパターニングして、容量素子の下部電極を形成する工程、
（ｄ）前記下部電極上に、高誘電体膜を含む単一または複数の膜からなる容量絶縁膜を形成する工程、
（ｅ）前記容量絶縁膜上に、チタン含有ソースガスを含み、窒素含有還元性ガスを含まない条件下で低温ＣＶＤ法により保護膜を形成する工程、
（ｆ）前記保護膜上に、チタン含有ソースガスと窒素含有還元性ガスとを含む条件下で低温ＣＶＤ法により、チタンナイトライド膜を含む単一または複数の膜からなる第２導電膜を形成する工程、
（ｇ）前記第２導電膜、前記保護膜および前記容量絶縁膜をパターニングして、前記容量素子の上部電極を形成する工程。
【００２８】
本発明の半導体集積回路装置の製造方法は、ＣＶＤ装置のチャンバ内に前記チタン含有ソースガスを導入し、次いで前記窒素含有還元性ガスを導入することにより、前記保護膜と前記第２導電膜とを連続して成膜する。
【００２９】

本発明の半導体集積回路装置の製造方法は、前記容量絶縁膜が酸化タンタル膜を含んでいる。

【００３０】

本発明の半導体集積回路装置の製造方法は、前記保護膜がアモルファスチタン膜または多結晶チタン膜を含んでいる。

【００３１】

本発明の半導体集積回路装置の製造方法は、前記チタン含有ソースガスが四塩化チタン、テトラキシジメチルアミノチタン、テトラキシジエチルアミノチタンまたはそれらの混合ガスを含んでいる。

【００３２】

本発明の半導体集積回路装置の製造方法は、前記窒素含有還元性ガスがアンモニア、モノメチルヒドラジンまたはそれらの混合ガスを含んでいる。

【００３３】

【発明の実施の形態】

以下、本発明の実施の形態を図面を用いて詳述する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【００３４】

（実施の形態１）

本実施の形態は、メモリセル選択用ＭＩＳＦＥＴの上部にビット線を配置し、このビット線の上部に情報蓄積用容量素子を配置するキャパシタ・オーバー・ビットライン（Ｃａｐａｃｉｔｏｒ　Ｏｖｅｒ　Ｂｉｔｌｉｎｅ；ＣＯＢ）構造のメモリセルを備えたＤＲＡＭに適用したものである。

【００３５】

このメモリセルを形成するには、まず図１に示すように、ｐ型の単結晶シリコンからなる半導体基板１の主面にｐ型不純物（ホウ素）をイオン打込みしてｐ型ウエル２を形成した後、周知のＬＯＣＯＳ法でｐ型ウエル２の表面に素子分離用のフィールド酸化膜３およびゲート酸化膜４を形成する。次に、フィールド酸化膜３の下部を含むｐ型ウエル２内にｐ型不純物（ホウ素）をイオン打込みして素子分離用のｐ型チャネルストッパ層５を形成する。

【００３６】

次に、図２に示すように、ｐ型ウエル２上にメモリセル選択用ＭＩＳＦＥＴのゲート電極６（およびこのゲート電極６と一体に構成されるワード線ＷＬ）を形成する。ゲート電極６（ワード線ＷＬ）は、ｐ型ウエル２上にＣＶＤ法で多結晶シリコン膜（または多結晶シリコン膜と高融点金属シリサイド膜とを積層したポリサイド膜）と酸化シリコン膜７とを堆積し、フォトレジストをマスクにしたエッチングでこれらの膜をパターニングして形成する。

【００３７】

次に、図３に示すように、ｐ型ウエル２にｎ型不純物（リン）をイオン打込みしてメモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域８（ソース領域、ドレイン領域）を形成する。続いて図４に示すように、ゲート電極６（ワード線ＷＬ）の側壁にサイドウォールスペーサ９を形成した後、ＣＶＤ法で酸化シリコン膜１０を堆積する。サイドウォールスペーサ９は、ＣＶＤ法で堆積した酸化シリコン膜を反応性イオンエッチング法でパターニングして形成する。

【００３８】

次に、図５に示すように、メモリセル選択用ＭＩＳＦＥＴのソース、ドレイン領域（ｎ型半導体領域８）の一方の上部の酸化シリコン膜１０およびゲート酸化膜４を開孔して接続孔１１を形成した後、酸化シリコン膜１０上にＣＶＤ法でｎ型の多結晶シリコン膜１２を堆積し、続いて図６に示すように、この多結晶シリコン膜１２をパターニングする。

【００３９】

次に、図７に示すように、ＣＶＤ法で堆積したＢＰＳＧ膜１３をリフローしてその表面を平坦化した後、メモリセル選択用ＭＩＳＦＥＴのソース、ドレイン領域（ｎ型半導体領域８）の他方の上部のＢＰＳＧ膜１３、酸化シリコン膜１０およびゲート酸化膜４を開孔して接続孔１４を形成する。

【００４０】

次に、図８に示すように、ＢＰＳＧ膜１３上にＣＶＤ法で堆積したｎ型の多結晶シリコン膜をパターニングして、前記接続孔１４を通じてｎ型半導体領域８に接続されるビット線ＢＬを形成する。ビット線ＢＬは、スパッタリング法で堆積したＴｉＮ膜とW膜の積層膜などで構成することもできる。

【００４１】

次に、図９に示すように、ＢＰＳＧ膜１３上にＣＶＤ法で酸化シリコン膜１５、窒化シリコン膜１６および酸化シリコン膜１７を順次堆積した後、図１０に示すように、ｎ型半導体領域８の上部の酸化シリコン膜１７、窒化シリコン膜１６および酸化シリコン膜１５を開孔して前記多結晶シリコン膜１２に達する接続孔１８を形成する。

【００４２】

次に、図１１に示すように、酸化シリコン膜１７上にＣＶＤ法でｎ型の多結晶シリコン膜１９を堆積し、続いてこの多結晶シリコン膜１９上にＣＶＤ法で酸化シリコン膜２０を堆積する。続いて図１２に示すように、酸化シリコン膜２０を円柱状にパターニングして接続孔１８の内部と上部のみに残した後、ＣＶＤ法でｎ型の多結晶シリコン膜２１を堆積する。

【００４３】

次に、図１３に示すように、多結晶シリコン膜２１を反応性イオンエッチング法でパターニングして円柱形の酸化シリコン膜２０の側壁のみに残した後、多結晶シリコン膜２１の下層の多結晶シリコン膜１９をパターニングして、酸化シリコン膜２０およびその側壁の多結晶シリコン膜２１の下部のみに残す。

【００４４】

次に、図１４に示すように、フッ酸水溶液などウェットエッチング液を用いて酸化シリコン膜２０および下層の酸化シリコン膜１７を除去する。このとき、酸化シリコン膜１７の下層の窒化シリコン膜１６がエッチングストッパとなるので、窒化シリコン膜１６よりも下層の酸化シリコン膜１５やＢＰＳＧ膜１３などが除去されることはない。これにより、３層の多結晶シリコン膜１２、１９、２０からなる円筒形（クラウン形）の下部電極２２が得られる。

【００４５】

次に、図１５に示すように、下部電極２２の表面にＣＶＤ法で窒化シリコン膜２３を薄く堆積した後、窒化シリコン膜２３の表面にＣＶＤ法で酸化タンタル膜２４を薄く堆積することにより、窒化シリコン膜２３と酸化タンタル膜２４の積層膜で構成された情報蓄積用容量素子の容量絶縁膜２５を形成する。酸化タンタル膜２４は、例えばＴａ（OC_2H_5）（エトキシタンタル）を反応ガスに用いて４００℃程度の温度で堆積し、その後、電気炉またはランプアニール装置を用いて７００～１０００℃程度の温度でアニールする。酸化タンタル膜２４と蓄積電極との間には窒化シリコン膜が設けられているので、この高温アニール時に酸化タンタル膜２４と下部電極２２（多結晶シリコン膜）とが反応して両者の界面に酸化物が形成されることはない。

【００４６】

次に、上記容量絶縁膜２５の上部に情報蓄積用容量素子の上部電極を形成するために、半導体基板１を図１８に示すＣＶＤ装置４０のチャンバ４１内に搬入する。

【００４７】

同図に示すように、このＣＶＤ装置４０は、$TiCl_4$、ＴＤＭＡＴ、ＴＤＥＡＴなどのチタン含有ソースガスと、ＴｉＮ膜中のＴｉとＮの組成比を１：１に近づけるために使用するNH_3、ＭＭＨなどの窒素含有還元性ガスと、Ｈｅ（ヘリウム）、Ａｒ（アルゴン）、N_2（窒素）などの不活性ガスのそれぞれを個別のガス供給管を通じてチャンバ４

１内に導入する構造になっている。このような構造にすることにより、ガス供給管の途中でガス同士が反応して管内に反応物が堆積する不具合を防止することができる。

【００４８】

また、このＣＶＤ装置４０は、ガス供給管の途中に設けたバルブ４２、４３の開閉を調整することによって、チャンバ４１内に窒素含有還元性ガスまたは不活性ガスのいずれか一方のみを選択的に導入できる構造になっている。

【００４９】

さらに、このＣＶＤ装置４０は、チャンバ４１内に窒素含有還元性ガスを導入するガス供給管の途中に、チャンバ４１内の真空度を調整するための真空ポンプ４４とは別の真空ポンプ４５が接続されている。このような構造にすると、チャンバ４１内に窒素含有還元性ガスを導入する初期段階に真空ポンプ４５でガス供給管内のガスの一部を排気することにより、チャンバ４１内に瞬間的に過剰の窒素含有還元性ガスが導入されてしまう不具合を防止することができる。

【００５０】

本実施の形態では、半導体基板１を上記ＣＶＤ装置４０のチャンバ４１内に搬入した後、まず真空ポンプ４４でチャンバ４１内を所定の真空度になるまで排気し、続いてチャンバ４１内に所定の流量のチタン含有ソースガスと不活性ガスとを導入し、約３００～６００℃、より好ましくは約４００～４５０℃でチタン含有ソースガスを熱分解させることにより、図１６に示すように、酸化タンタル膜２４の表面に沿ってアモルファスＴｉ膜２６を薄く堆積する。なお、不活性ガスとしてN_2　またはN_2　と他の不活性ガスとの混合ガスを使用した場合は、アモルファスＴｉＮを一部含んだアモルファスＴｉ膜２６が形成されることもあるが支障はない。

【００５１】

次に、ＣＶＤ装置４０のチャンバ４１内に所定の流量のチタン含有ソースガス、窒素含有還元性ガスおよび不活性ガスを導入し、図１７に示すように、チタン含有ソースガスと窒素含有還元性ガスとを反応させてアモルファスＴｉ膜２６の上部にＴｉＮ膜２７を堆積することにより、アモルファスＴｉ膜２６とＴｉＮ膜２７の積層膜で構成された情報蓄積用容量素子の上部電極２８を形成する。

【００５２】

上記の方法によれば、酸化タンタル膜２４の表面はアモルファスＴｉ膜２６で覆われているので、窒素含有還元性ガスが酸化タンタル膜２４と接触することはない。従って、窒素含有還元性ガスによる酸化タンタル膜の耐圧劣化が確実に防止される。また、チャンバ４１内に窒素含有還元性ガスを導入する初期段階に真空ポンプ４５でガス供給管内のガスの一部を排気し、チャンバ４１内に瞬間的に過剰の窒素含有還元性ガスが導入されないようにすることにより、ＴｉＮ膜２７中のＴｉとＮの組成を最適値（Ｔｉ：Ｎ＝１：１）に近づけることができる。

【００５３】

このように、本実施の形態によれば、情報蓄積用容量素子の容量絶縁膜２５を構成する酸化タンタル膜２４の上部にＣＶＤ法でＴｉＮ膜２７を堆積して上部電極２８を形成する際、あらかじめ酸化タンタル膜２４の表面に窒素含有還元性ガスを透過しないアモルファスＴｉ膜２６を形成しておくことにより、酸化タンタル膜２４の耐圧劣化（リーク電流の増大）を確実に防止することができるので、リフレッシュ特性の向上したＤＲＡＭを実現することができる。

【００５４】

（実施の形態２）

図１９は、本実施の形態のＤＲＡＭのブロック図、図２０は、このＤＲＡＭのメモリアレイとセンスアンプの回路図である。

【００５５】

本実施の形態のＤＲＡＭは、半導体基板の主面の主要部を占めるメモリアレイＭＡＲＹをその基本構成要素とする。このメモリアレイＭＡＲＹは、図２０に示すように、図の垂直

方向に平行して配置されるｍ＋ｌ本のワード線（Ｗ０　－Ｗｍ　）と、水平方向に平行して配置されるｎ＋ｌ組の相補性ビット線（非反転ビット線ＢＯＴ－ＢＮＴおよび反転ビット線ＢＯＢ－ＢＮＢ）とを含んでいる。これらのワード線および相補ビット線の交点には、情報蓄積用容量素子（Ｃｓ）およびメモリセル選択用ＭＩＳＦＥＴＱａからなる（ｍ＋１）×（ｎ＋ｌ）個のメモリセルが格子状に配置されている。

【００５６】

メモリアレイＭＡＲＹの同一の列に配置されたｍ＋ｌ個のメモリセルのメモリセル選択用ＭＩＳＦＥＴＱａのドレイン領域は、対応する相補ビット線の非反転または反転信号線に所定の規則性をもって交互に結合されている。また、メモリアレイＭＡＲＹの同一の行に配置されたｎ＋ｌ個のメモリセルのメモリセル選択用ＭＩＳＦＥＴＱａのゲート電極は、対応するワード線と一体に結合されているる。メモリアレイＭＡＲＹを構成するすべてのメモリセルの情報蓄積用容量素子（Ｃｓ）の他方の電極には、所定のプレート電圧ＶＰが共通に供給される。

【００５７】

メモリアレイＭＡＲＹを構成するワード線（Ｗ０　－Ｗｍ　）は、その下方においてＸアドレスデコーダＸＤに結合され、択一的に選択状態とされる。ＸアドレスデコーダＸＤには、ＸアドレスバッファＸＢからｉ＋１ビットの内部アドレス信号（Ｘ０　－Ｘｉ　）が供給され、タイミング発生回路ＴＧから内部制御信号ＸＤＧが供給される。また、ＸアドレスバッファＸＢには、アドレス入力端子（Ａ０　－Ａｉ　）を介してＸアドレス信号（ＸＡ０　－ＸＡｉ　）が時分割的に供給され、タイミング発生回路ＴＧから内部制御信号ＸＬが供給される。

【００５８】

ＸアドレスバッファＸＢは、アドレス入力端子（Ａ０　－Ａｉ　）を介して供給されるＸアドレス信号（ＸＡ０　－ＸＡｉ　）を内部制御信号ＸＬに従って取り込み、保持すると共に、これらのＸアドレス信号を元に内部アドレス信号（Ｘ０　－Ｘｉ　）を形成してＸアドレスデコーダＸＤに供給する。また、ＸアドレスデコーダＸＤは、内部制御信号ＸＤＧのハイレベルを受けて選択的に動作状態とされ、内部アドレス信号（Ｘ０　－Ｘｉ　）をデコードして、メモリアレイＭＡＲＹの対応するワード線（Ｗ０　－Ｗｍ　）を択一的にハイレベルの選択状態とする。

【００５９】

メモリアレイＭＡＲＹを構成する相補ビット線（ＢＯＴ－ＢＮＴ、ＢＯＢ－ＢＮＢ）はセンスアンプＳＡに結合され、このセンスアンプＳＡを介して相補共通データ線ＣＤに択一的に接続されている。センスアンプＳＡには、ＹアドレスデコーダＹＤからｎ＋１ビットのビット線選択信号（ＹＳ０　－ＹＳｎ　）が供給され、タイミング発生回路ＴＧから内部制御信号ＰＡが供給される。また、ＹアドレスデコーダＹＤには、ＹアドレスバッファＹＢからｉ＋ｌビットの内部アドレス信号（Ｙ０　－Ｙｉ　）が供給され、タイミング発生回路ＴＧから内部制御信号ＹＤＧが供給される。さらに、ＹアドレスバッファＹＢには、アドレス入力端子（Ａ０　－Ａｉ　）を介してＹアドレス信号（ＡＹ０　－ＡＹｉ　）が時分割的に供給され、タイミング発生回路ＴＧから内部制御信号ＹＬが供給される。

【００６０】

ＹアドレスバッファＹＢは、アドレス入力端子（Ａ０　－Ａｉ　）を介して供給されるＹアドレス信号（ＡＹ０　－ＡＹｉ　）を内部制御信号ＹＬに従って取り込み、保持するとともに、これらのＹアドレス信号を元に内部アドレス信号（Ｙ０　－Ｙｉ　）を形成して、ＹアドレスデコーダＹＤに供給する。また、ＹアドレスデコーダＹＤは、内部制御信号ＹＤＧがハイレベルとされることで選択的に動作状態とされ、内部アドレス信号（Ｙ０　－Ｙｉ　）をデコードして、対応するビット線選択信号（ＹＳ０　－ＹＳｎ　）を択一的にハイレベルの選択状態とする。

【００６１】

センスアンプＳＡは、メモリアレイＭＡＲＹの相補ビット線に対応して設けられるｎ＋１個の単位回路を含んでいる。これらの単位回路は、特に制限されないが、図２０に例示さ

れるように、相補ビット線の非反転および反転信号線間にそれぞれ設けられた一対のｎチャネル型ＭＩＳＦＥＴN_5、N_6からなるビット線プリチャージ回路と、ｐチャネル型ＭＩＳＦＥＴP_1およびｎチャネル型ＭＩＳＦＥＴN_1からなるＣＭＯＳインバータならびにｐチャネル型ＭＩＳＦＥＴP_2およびｎチャネル型ＭＩＳＦＥＴN_2からなるＣＭＯＳインバータが交差結合されてなる単位増幅回路とをそれぞれ含んでいる。このうち、各単位回路のビット線プリチャージ回路を構成するｎチャネル型ＭＩＳＦＥＴN_5、N_6の共通結合されたソース領域には内部電圧ＨＶが共通に供給され、そのゲート電極には内部制御信号ＰＣが共通に供給される。なお、内部電圧ＨＶは、回路の電源電圧および接地電位間の中間電位とされる。また、内部制御信号ＰＣは、メモリセルが非選択状態とされるときに選択的にハイレベルとされる。これにより、ｎチャネル型ＭＩＳＦＥＴN_5、N_6は、メモリセルが非選択状態とされ、内部制御信号ＰＣがハイレベルとされることで選択的に、かつ一斉にオン状態となり、メモリアレイＭＡＲＹの対応する相補ビット線の非反転および反転信号線を内部電圧ＨＶにプリチャージする。

【００６２】

一方、各単位回路の単位増幅回路を構成するｐチャネル型ＭＩＳＦＥＴP_1、P_2のソース領域は、コモンソース線ＳＰに共通結合されている。コモンソース線ＳＰは、そのゲート電極に内部制御信号ＰＡのインバータＶｌによる反転信号つまり反転内部制御信号ＰＡＢを受けるｐチャネル型の駆動用ＭＩＳＦＥＴP_3を介して回路の電源電圧に結合されている。同様に、各単位回路の単位増幅回路を構成するｎチャネル型ＭＩＳＦＥＴN_1、N_2のソース領域は、コモンソース線ＳＮに共通結合されている。コモンソース線ＳＮは、そのゲート電極に内部制御信号ＰＡを受けるｎチャネル型の駆動用ＭＩＳＦＥＴN_7を介して回路の接地電位に結合されている。この結果、各単位増幅回路は、内部制御信号ＰＡがハイレベルとされ、反転内部制御信号ＰＡＢがロウレベルとされることで選択的に、かつ一斉に動作状態とされ、メモリアレイＭＡＲＹの選択されたワード線に結合されるｎ＋１個のメモリセルから対応する相補ビット線を介して出力される微小読み出し信号を増幅し、ハイレベルまたはロウレベルの２値読み出し信号とする。

【００６３】

さらに、センスアンプＳＡの各単位回路は、単位増幅回路の非反転および反転入出力ノードと相補共通データ線ＣＤとの間に設けられるｎチャネル型の一対のスイッチＭＩＳＦＥＴN_3、N_4をそれぞれ含んでいる。これらのスイッチＭＩＳＦＥＴ対のゲート電極はそれぞれ共通結合され、Ｙアドレスデコーダ ＹＤから対応するビット線選択信号（ＹＳ０－ＹＳｎ）がそれぞれ供給される。これにより、各単位回路のスイッチＭＩＳＦＥＴN_3、N_4は、対応するビット線選択信号（ＹＳ０－ＹＳｎ）がハイレベルとされることで選択的にオン状態とされ、センスアンプＳＡの対応する単位増幅回路つまりメモリアレイＭＡＲＹの対応するｌ組の相補ビット線と相補共通データ線ＣＤとを選択的に接続状態とする。

【００６４】

メモリアレイＭＡＲＹの相補ビット線の指定されたｌ組が択一的に接続状態とされる相補共通データ線ＣＤは、データ入出力回路ＩＯに結合されている。データ入出力回路ＩＯは、図示しないライトアンプおよびメインアンプならびにデータ入力バッファおよびデータ出力バッファを含んでいる。このうち、ライトアンプの出力端子およびメインアンプの入力端子は、相補共通データ線ＣＤに共通結合されている。ライトアンプの入力端子は、データ入力バッファの出力端子に結合され、データ入力バッファの入力端子は、データ入力端子Ｄｉｎに結合されている。また、メインアンプの出力端子はデータ出力バッファの入力端子に結合され、データ出力バッファの出力端子はデータ出力端子Ｄｏｕｔに結合されている。

【００６５】

データ入出力回路ＩＯのデータ入力バッファは、メモリセルが書き込みモードで選択状態とされるとき、データ入力端子Ｄｉｎを介して供給される書き込みデータを取り込み、ライトアンプに伝達する。この書き込みデータは、ライトアンプによって所定の相補書き込

み信号とされた後、相補共通データ線ＣＤを介してメモリアレイＭＡＲＹの選択されたｌ個のメモリセルに書き込まれる。一方、データ入出力回路ＩＯのメインアンプは、メモリセルが読み出しモードで選択状態とされるとき、メモリアレイＭＡＲＹの選択されたメモリセルから相補共通データ線ＣＤを介して出力される２値読み出し信号をさらに増幅して、データ出力バッファに伝達する。この読み出しデータは、データ出力バッファからデータ出力端子Ｄｏｕｔ　を介して外部に送出される。

【００６６】

タイミング発生回路ＴＧは、外部から起動制御信号として供給されるロウアドレスストローブ信号ＲＡＳＢ、カラムアドレスストローブ信号ＣＡＳＢおよびライトイネーブル信号ＷＥＢを元に上記各種の内部制御信号を選択的に形成してＤＲＡＭの各部に供給する。

【００６７】

次に、本実施の形態のＤＲＡＭの製造方法を図２１～図４７を用いて説明する。

【００６８】

このＤＲＡＭを製造するには、まず図２１に示すように、ｐ$^-$　型単結晶シリコンからなる半導体基板１の表面を酸化して薄い酸化シリコン膜５３を形成した後、ＣＶＤ法を用いて酸化シリコン膜５３上に窒化シリコン膜５４を堆積し、次いでフォトレジストをマスクにしてこの窒化シリコン膜５４をエッチングすることにより、素子分離領域の窒化シリコン膜５４を除去する。

【００６９】

次に、図２２に示すように、窒化シリコン膜５４をマスクにして半導体基板１をアニールすることにより、フィールド酸化膜３を形成する。次に、窒化シリコン膜５４を除去した後、図２３に示すように、メモリアレイを形成する領域と周辺回路のｎチャネル型ＭＩＳＦＥＴを形成する領域の半導体基板１にｐ型不純物（ホウ素（Ｂ））をイオン注入してｐ型ウエル２を形成する。また、周辺回路のｐチャネル型ＭＩＳＦＥＴを形成する領域の半導体基板１にｎ型不純物（リン（Ｐ））をイオン注入してｎ型ウエル５５を形成する。続いて、ｐ型ウエル２にｐ型不純物（Ｂ）をイオン注入してｐ型チャネルストッパ層５を形成し、ｎ型ウエル５５にｎ型不純物（Ｐ）をイオン注入してｎ型チャネルストッパ層６を形成する。その後、フィールド酸化膜３で囲まれたｐ型ウエル２、ｎ型ウエル５５のそれぞれの活性領域の表面を熱酸化してゲート酸化膜４を形成する。

【００７０】

次に、図２４に示すように、メモリセル選択用ＭＩＳＦＥＴのゲート電極６Ａ（ワード線ＷＬ）、周辺回路のｎチャネル型ＭＩＳＦＥＴのゲート電極６Ｂおよびｐチャネル型ＭＩＳＦＥＴのゲート電極６Ｃを形成する。ゲート電極６Ａ（ワード線ＷＬ）とゲート電極６Ｂ、６Ｃは、ＣＶＤ法を用いて半導体基板１上にタングステン（Ｗ）膜を堆積し、続いてこのＷ膜上にプラズマＣＶＤ法を用いて窒化シリコン膜５７を堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。

【００７１】

次に、図２５に示すように、ｐ型ウエル２にｎ型不純物（Ｐ）をイオン注入し、ｎ型ウエル５５にｐ型不純物（Ｂ）をイオン注入する。後の工程で行うアニールにより、このｎ型不純物（Ｐ）でメモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域８（ソース領域、ドレイン領域）と周辺回路のｎチャネル型ＭＩＳＦＥＴのｎ$^-$　型半導体領域５８とが形成され、ｐ型不純物（Ｂ）で周辺回路のｐチャネル型ＭＩＳＦＥＴのｐ$^-$　型半導体領域５９が形成される。

【００７２】

次に、図２６に示すように、ゲート電極６Ａ（ワード線ＷＬ）とゲート電極６Ｂ、６Ｃのそれぞれの側壁にサイドウォールスペーサ９を形成した後、周辺回路のｐ型ウエル２にｎ型不純物（Ｐ）をイオン注入し、ｎ型ウエル５５にｐ型不純物（Ｂ）をイオン注入する。サイドウォールスペーサ９は、プラズマＣＶＤ法を用いて半導体基板１上に窒化シリコン膜を堆積した後、この窒化シリコン膜を異方性エッチングで加工して形成する。

【００７３】

次に、図２７に示すように、半導体基板１を窒素雰囲気中でアニールして前記ｎ型不純物（Ｐ）とｐ型不純物とを拡散させることにより、メモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域８（ソース領域、ドレイン領域）と、周辺回路のｎチャネル型ＭＩＳＦＥＴのｎ$^{-}$　型半導体領域５８およびｎ$^{+}$　型半導体領域６０と、ｐチャネル型ＭＩＳＦＥＴのｐ$^{-}$　型半導体領域５９およびｐ$^{+}$　型半導体領域６１とを形成する。周辺回路のｎチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域のそれぞれは、ｎ$^{-}$　型半導体領域５８とｎ$^{+}$　型半導体領域６０とからなるＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）構造で構成され、ｐチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域のそれぞれは、ｐ$^{-}$　型半導体領域５９とｐ$^{+}$　型半導体領域６１とからなるＬＤＤ構造で構成される。

【００７４】

次に、図２８に示すように、メモリセル選択用ＭＩＳＦＥＴ、周辺回路のｎチャネル型ＭＩＳＦＥＴおよびｐチャネル型ＭＩＳＦＥＴのそれぞれの上部にプラズマＣＶＤ法を用いて酸化シリコン膜６２を堆積し、続いてこの酸化シリコン膜６２を化学的機械研磨（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ；　ＣＭＰ）法で研磨してその表面を平坦化した後、フォトレジストをマスクにして酸化シリコン膜６２およびゲート酸化膜４をエッチングすることにより、メモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域８（ソース領域、ドレイン領域）の上部に接続孔６３、６４を形成し、周辺回路のｎチャネル型ＭＩＳＦＥＴのｎ$^{+}$　型半導体領域６０（ソース領域、ドレイン領域）の上部に接続孔６５、６６を形成し、ｐチャネル型ＭＩＳＦＥＴのｐ$^{+}$　型半導体領域６１（ソース領域、ドレイン領域）の上部に接続孔６７、６８を形成する。

【００７５】

このとき、メモリセル選択用ＭＩＳＦＥＴのゲート電極６Ａ（ワード線ＷＬ）の上部に形成された窒化シリコン膜５７と側壁に形成された窒化シリコンのサイドウォールスペーサ９は、僅かにエッチングされるだけなので、接続孔６３、６４が自己整合（セルフアライン）で形成される。同様に、周辺回路のｎチャネル型ＭＩＳＦＥＴのゲート電極６Ｂ、ｐチャネル型ＭＩＳＦＥＴのゲート電極６Ｃのそれぞれの上部に形成された窒化シリコン膜５７と側壁に形成された窒化シリコンのサイドウォールスペーサ９は、僅かにエッチングされるだけなので、接続孔６５～６８が自己整合（セルフアライン）で形成される。

【００７６】

メモリセル選択用ＭＩＳＦＥＴ、周辺回路のｎチャネル型ＭＩＳＦＥＴおよびｐチャネル型ＭＩＳＦＥＴの上部に堆積する絶縁膜としては、上記酸化シリコン膜６２の他にも、例えばＣＶＤ法を用いて堆積したオゾン（O_3）－ＢＰＳＧ膜や、ＣＶＤ法を用いて堆積したオゾン－ＴＥＯＳ（Ｔｅｔｒａ　Ｅｔｈｏｘｙ　Ｓｉｌａｎｅ）　などを使用することができる。これらの絶縁膜は、酸化シリコン膜６２と同じく、化学的機械研磨（ＣＭＰ）法でその表面を平坦化する。

【００７７】

次に、図２９に示すように、接続孔６３～６８の内部にＴｉＮとＷの積層膜で構成されたプラグ６９を埋め込む。このプラグ６９は、酸化シリコン膜６２の上部に基板とＷ膜との接着層となるＴｉＮ膜をスパッタリング法を用いて堆積し、続いてＣＶＤ法を用いてこのＴｉＮ膜の上部にＷ膜を堆積した後、このＷ膜とＴｉＮ膜とをエッチバックして形成する。

【００７８】

このとき、プラグ６９と基板のコンタクト抵抗を低減するために、接続孔６３～６８の底部にＴｉシリサイド（$TiSi_2$）層を形成してもよい。Ｔｉシリサイド層は、スパッタリング法を用いて酸化シリコン膜６２の上部にＴｉ膜を堆積し、８００℃程度のアニールでこのＴｉ膜と接続孔６３～６８の底部の基板とを反応させた後、酸化シリコン膜６２上に残った未反応のＴｉ膜をウェットエッチングで除去して形成する。その後、酸化シリコン膜６２の上部に堆積したＴｉＮ膜とＷ膜とをエッチバックしてプラグ６９を形成する。

【００７９】

次に、図３０に示すように、酸化シリコン膜６２の上部にビット線BL_1，BL_2　と周辺回路の配線７０Ａ、７０Ｂとを形成する。ビット線BL_1，BL_2　と配線７０Ａ、７０Ｂは、プラズマＣＶＤ法を用いて酸化シリコン膜６２の上部にW膜を堆積し、続いてこのW膜の上部にＣＶＤ法を用いて窒化シリコン膜７１を堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。

【００８０】

ビット線BL_1　は、前記接続孔６３を通じてメモリセル選択用ＭＩＳＦＥＴのソース領域、ドレイン領域の一方（ｎ型半導体領域８）と電気的に接続される。またビット線BL_2　は、前記接続孔６５を通じて周辺回路のｎチャネル型ＭＩＳＦＥＴＱｎのソース領域、ドレイン領域の一方（n^+　型半導体領域６０）と電気的に接続される。

【００８１】

周辺回路の配線７０Ａの一端は、接続孔６６を通じてｎチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域の他方（n^+　型半導体領域６０）と電気的に接続され、他端は接続孔６７を通じてｐチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域の一方（p^+　型半導体領域６１）と電気的に接続される。また配線７０Ｂは、接続孔６８を通じてｐチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域の他方（p^+　型半導体領域６１）と電気的に接続される。

【００８２】

次に、図３１に示すように、ビット線BL_1，BL_2　と配線７０Ａ、７０Ｂのそれぞれの側壁にサイドウォールスペーサ７２を形成する。サイドウォールスペーサ７２は、プラズマＣＶＤ法を用いて酸化シリコン膜６２の上部に窒化シリコン膜を堆積した後、この窒化シリコン膜を異方性エッチングで加工して形成する。

【００８３】

次に、図３２に示すように、ビット線BL_1，BL_2　と配線７０Ａ、７０Ｂのそれぞれの上部にプラズマＣＶＤ法を用いて酸化シリコン膜７３を堆積し、続いてこの酸化シリコン膜７３を化学的機械研磨（ＣＭＰ）法で研磨してその表面を平坦化した後、フォトレジストをマスクにして酸化シリコン膜７３をエッチングすることにより、メモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域８（ソース領域、ドレイン領域）の一方の上部に形成された前記接続孔６４の上部に接続孔７４を形成する。このとき、ビット線BL_1　の上部に形成された窒化シリコン膜７１と側壁に形成された窒化シリコンのサイドウォールスペーサ７２は、僅かにエッチングされるだけなので、接続孔７４が自己整合（セルフアライン）で形成される。

【００８４】

ビット線BL_1，BL_2　および配線７０Ａ、７０Ｂの上部に堆積する絶縁膜としては、上記酸化シリコン膜７３の他にも、例えば前記のオゾン－ＢＰＳＧ膜やオゾン－ＴＥＯＳ膜、あるいはスピンオングラス（Ｓｐｉｎ　Ｏｎ　Ｇｌａｓｓ；　ＳＯＧ）膜などを使用することができる。オゾン－ＢＰＳＧ膜やオゾン－ＴＥＯＳ膜を使用した場合は、酸化シリコン膜７３と同じく化学的機械研磨（ＣＭＰ）法でその表面を平坦化する。

【００８５】

次に、図３３に示すように、接続孔７４の内部にWのプラグ７５を埋め込んだ後、接続孔７４の上部に情報蓄積用容量素子の下部電極（蓄積電極）７６を形成する。Wのプラグ７５は、ＣＶＤ法を用いて酸化シリコン膜７３の上部にW膜を堆積した後、このW膜をエッチバックして形成する。下部電極７６は、ＣＶＤ法を用いて酸化シリコン膜７３の上部にW膜を堆積した後、フォトレジストをマスクにしたエッチングでこのW膜をパターニングして形成する。

【００８６】

次に、図３４に示すように、下部電極２２の上部に酸化タンタル膜７７を堆積する。酸化タンタル膜７７は、ステップカバレージのよいＣＶＤ法を用いて堆積する。酸化タンタル膜７７は、例えば$Ta(OC_2H_5)$　を反応ガスに用いて４００℃程度の温度で堆積した後、電気炉またはランプアニール装置を用いて７００～１０００℃程度の温度でア

ニールする。

【００８７】

次に、前記実施の形態１で用いたＣＶＤ装置を用いて酸化タンタル膜７７の上部に上部電極用の導電膜を堆積する。このとき使用するチタン含有ソースガスは$TiCl_4$、ＴＤＭＡＴまたはＴＤＥＡＴ、窒素含有還元性ガスはNH_3、ＭＭＨまたはそれらの混合ガス、不活性ガスはＨｅ、Ａｒ、N_2またはそれらの混合ガスである。

【００８８】

本実施の形態では、図３５に示すステップに従ってＣＶＤ装置のチャンバ内にガスを導入する。すなわち、チャンバ内を所定の真空度に排気した後、基板を昇温させながら不活性ガスを導入し、基板温度がほぼ一定になったところでチタン含有ソースガスを導入してこれを熱分解させることにより、図３６に示すように、酸化タンタル膜７７の表面にＴｉを主成分とする膜厚３０～５０Å程度の薄い保護膜７８を形成する。続いて、チャンバ内に窒素含有還元性ガスを導入してチタン含有ソースガスと反応させることにより、図３７に示すように、保護膜７８の表面にＴｉＮ膜７９を堆積する。このときの代表的なチタン含有ソースガスと窒素含有還元性ガスとの反応式を図３８に示す。

【００８９】

チタン含有ソースガスは、図３９に示すように、基板の昇温時に不活性ガスとほぼ同時に導入してもよく、あるいは図４０に示すように、窒素含有還元性ガスを導入する直前に導入してもよいが、いずれの場合も窒素含有還元性ガスに先だってチタン含有ソースガスを導入する。このようにすると、チタン含有ソースガスの熱分解によって酸化タンタル膜７７の表面に保護膜７８が形成され、これがその後に導入される窒素含有還元性ガスと酸化タンタル膜７７との接触を防ぐので、酸化タンタル膜７７の劣化が防止される。

【００９０】

また、酸化タンタル膜７７の上部に保護膜７８とＴｉＮ膜７９とを堆積する際には、窒素含有還元性ガスの透過に対する保護膜７８のバリヤ性が十分高くなるような温度条件で成膜を行う必要がある。具体的には、結晶化温度よりも低い温度で成膜を行い、結晶に比べて膜中にガスの透過するパスが少ないアモルファス状あるいは多結晶状の保護膜７８を形成する。

【００９１】

保護膜７８とＴｉＮ膜７９の成膜温度は、使用するチタン含有ソースガスや窒素含有還元性ガスの種類およびそれらの組み合わせによって最適値が異なるが、一般に窒素含有還元性ガスとしてNH_3を使用する場合は５５０℃以下、より好ましくは５００℃以下であり、ＭＭＨを使用する場合は５００℃以下、より好ましくは４５０℃以下である。

【００９２】

図４１および図４２は、上記保護膜７８およびＴｉＮ膜７９の成膜温度と、酸化タンタル膜７７の電界強度との関係を調べた実験結果を示すグラフである。図４１は、ＴｉＮ膜７９で構成された上部電極に正（＋）の電圧を印加したときの10^{-8}Ａ／cm^2での電界強度を示し、図４２は、上記上部電極に負（－）の電圧を印加したときの10^{-8}Ａ／cm^2での電界強度を示している。図中の白い丸印（○）は、前記図３５に示したステップで成膜を行った場合（不活性ガス＝Ｈｅ＋Ａｒ、チタン含有ソースガス＝$TiCl_4$、窒素含有還元性ガス＝NH_3）、黒い丸印（●）は、前記図３９に示したステップで成膜を行った場合（不活性ガス＝Ｈｅ＋Ａｒ、チタン含有ソースガス＝$TiCl_4$、窒素含有還元性ガス＝NH_3）、白い角印（□）は、前記図４０に示したステップで成膜を行った場合（不活性ガス＝Ｈｅ＋Ａｒ、チタン含有ソースガス＝$TiCl_4$、窒素含有還元性ガス＝NH_3）、黒い角印（■）は、同じく図４０に示したステップで成膜を行った場合（不活性ガス＝Ｈｅ＋Ａｒ、チタン含有ソースガス＝$TiCl_4$、窒素含有還元性ガス＝NH_3＋ＭＭＨ）である。

【００９３】

上記実験結果から、一般に保護膜７８およびＴｉＮ膜７９の成膜温度が低い方が酸化タンタル膜７７の電界強度が増加し、容量絶縁膜のリーク耐圧が向上することが判る。なお、

上記の成膜プロセスでは、チタン含有ソースガス（$TiCl_4$）の分解によって生じた塩素が膜中に取り込まれる。この塩素濃度は、図４３に示すように、成膜温度が低くなるにつれて高くなる。上部電極を構成する導電膜中に高濃度の塩素が取り込まれると、上部電極の上層にＡｌ（アルミニウム）を含む配線を形成した際、上部電極とこの配線とを接続する接続孔を通じて配線中に塩素が取り込まれるため、配線腐蝕を引き起こすポテンシャルが高くなる。従って、保護膜７８およびＴｉＮ膜７９の成膜温度の下限は、この点にも配慮して設定する必要がある。

【００９４】

次に、図４４に示すように、ＴｉＮ膜７９の上部に高選択比膜８０を堆積した後、フォトレジストをマスクにしたドライエッチングで高選択比膜８０、ＴｉＮ膜７９、保護膜７８および酸化タンタル膜７７をパターニングして上部電極（プレート電極）９０および容量絶縁膜（酸化タンタル膜７７）を形成し、情報蓄積用容量素子Ｃｓを完成させる。また同時に周辺回路の配線８１、８２を形成する。高選択比膜８０は、後の工程で酸化シリコン膜や窒化シリコン膜をエッチングする際のエッチングストッパとなる膜であり、酸化シリコン膜や窒化シリコン膜に対するエッチング選択比が大きい材料であれば絶縁膜であっても導電膜であってもよい。

【００９５】

次に、図４５に示すように、情報蓄積用容量素子Ｃｓおよび配線８１、８２の上部に酸化シリコン膜８３を堆積した後、フォトレジストをマスクにして酸化シリコン膜８３をドライエッチングすることにより、情報蓄積用容量素子Ｃｓの上部電極９０の上部に接続孔８４を形成し、配線８１の上部に接続孔８５を形成する。また同時に、配線８２が形成された領域の酸化シリコン膜８３、酸化シリコン膜７３および窒化シリコン膜７１をエッチングして周辺回路の配線７０Ｂの上部に接続孔８６を形成する。このとき、上部電極９０の上部と配線８１、８２の上部は高選択比膜８０で覆われているので、上部電極９０や配線８１、８２がエッチングされて膜厚が薄くなることはない。

【００９６】

次に、図４６に示すように、上部電極９０および配線８１、８２を覆っている高選択比膜８０をエッチングすることにより、接続孔８５の内部に配線８１の一部を露出させ、接続孔８６の内部に配線８２の一端を露出させる。

【００９７】

次に、図４７に示すように、接続孔８４、８５、８６の内部にＴｉＮ（またはW）からなるプラグ８７を埋め込んだ後、酸化シリコン膜８３の上部にＡｌとＴｉＮの積層膜からなる配線８８Ａ、８８Ｂ、８８Ｃを形成する。これにより、周辺回路の配線８１は、配線８８Ｃおよび配線８２を介して下層の配線７０Ｂと接続される。

【００９８】

このように、本実施の形態によれば、情報蓄積用容量素子Ｃｓの容量絶縁膜を構成する酸化タンタル膜７７の上部に低温ＣＶＤ法でＴｉＮ膜７９を堆積して上部電極９０を形成する際、あらかじめ酸化タンタル膜７７の表面に窒素含有還元性ガスを透過しない保護膜７８を形成しておくことにより、酸化タンタル膜７７の耐圧劣化（リーク電流の増大）を確実に防止することができるので、リフレッシュ特性の向上したＤＲＡＭを実現することができる。

【００９９】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【０１００】

前記実施の形態では、容量素子の上部電極をＴｉＮで構成する場合について説明したが、上部電極をＴｉＮ以外の材料例えばＴａＮなどで構成する場合にも本発明を適用することができる。例えば酸化タンタル膜上にＣＶＤ法でＴａＮ膜を堆積する場合は、$Ta(OC_2H_5)$をNH$_3$やMMHなどの窒素含有還元性ガスで還元する方法が用いられ

る。そこで、ＴａＮ膜の形成に先立って酸化タンタル膜の表面に保護膜を形成することにより、窒素含有還元性ガスとの接触による酸化タンタル膜の耐圧劣化を防止することができる。

【０１０１】

また本発明は、容量素子の容量絶縁膜を酸化タンタル以外の高誘電体膜や強誘電体膜、例えば$BaSrTiO_3$、$SrTiO_3$、$BaTiO_3$、ＰＺＴ、Ｂ（ホウ素）あるいはＦ（フッ素）をドープしたＺｎＯなどで構成するＤＲＡＭや不揮発性メモリなどに適用することもできる。

【０１０２】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【０１０３】

本発明によれば、容量素子の容量絶縁膜を構成する酸化タンタル膜の上部にＴｉＮ膜を堆積して上部電極を形成する際、あらかじめ酸化タンタル膜の表面に低温ＣＶＤ法で保護膜を形成しておくことにより、窒素含有還元性ガスと酸化タンタル膜との接触が防止されるので、耐圧特性の向上した容量素子を得ることができる。

【０１０４】

本発明によれば、容量素子の容量絶縁膜を高誘電率体膜で構成することにより、容量素子の蓄積電荷量を増大させることができる。

【図面の簡単な説明】

【図１】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図２】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図３】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図４】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図５】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図６】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図７】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図８】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図９】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図１０】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図１１】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図１２】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図１３】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図１４】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【図１５】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面

図である。
【図１６】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図１７】本発明の一実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図１８】本発明の一実施の形態であるＤＲＡＭの製造に用いるＣＶＤ装置の要部構成図である。
【図１９】本発明の他の実施の形態であるＤＲＡＭのブロック図である。
【図２０】本発明の他の実施の形態であるＤＲＡＭのメモリアレイとセンスアンプの回路図である。
【図２１】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図２２】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図２３】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図２４】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図２５】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図２６】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図２７】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図２８】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図２９】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図３０】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図３１】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図３２】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図３３】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図３４】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図３５】上部電極用ＴｉＮ膜の成膜ステップを示すグラフである。
【図３６】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図３７】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図３８】チタン含有ソースガスと窒素含有還元性ガスとの反応式を示す図である。
【図３９】上部電極用ＴｉＮ膜の成膜ステップを示すグラフである。
【図４０】上部電極用ＴｉＮ膜の成膜ステップを示すグラフである。
【図４１】保護膜およびＴｉＮ膜の成膜温度と、酸化タンタル膜の電界強度との関係を示すグラフである。
【図４２】保護膜およびＴｉＮ膜の成膜温度と、酸化タンタル膜の電界強度との関係を示すグラフである。

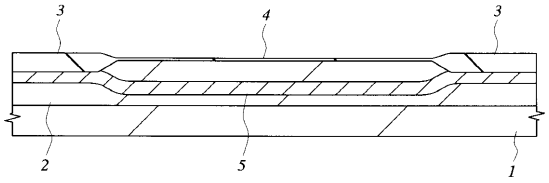
【図４３】保護膜およびＴｉＮ膜の成膜温度と、膜中に取り込まれる塩素濃度との関係を示すグラフである。
【図４４】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図４５】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図４６】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。
【図４７】本発明の他の実施の形態であるＤＲＡＭの製造方法を示す半導体基板の要部断面図である。

【符号の説明】
１　半導体基板
２　ｐ型ウエル
３　フィールド酸化膜
４　ゲート酸化膜
５　ｐ型チャネルストッパ層
６　ゲート電極
６Ａ～６Ｃ　ゲート電極
７　酸化シリコン膜
８　ｎ型半導体領域（ソース領域、ドレイン領域）
９　サイドウォールスペーサ
１０　酸化シリコン膜
１１　接続孔
１２　多結晶シリコン膜
１３　ＢＰＳＧ膜
１４　接続孔
１５　酸化シリコン膜
１６　窒化シリコン膜
１７　酸化シリコン膜
１８　接続孔
１９　多結晶シリコン膜
２０　酸化シリコン膜
２１　多結晶シリコン膜
２２　下部電極（蓄積電極）
２３　窒化シリコン膜
２４　酸化タンタル膜
２５　容量絶縁膜
２６　アモルファスＴｉ膜
２７　ＴｉＮ膜
２８　上部電極
４０　ＣＶＤ装置
４１　チャンバ
４２　バルブ
４３　バルブ
４４　真空ポンプ
４５　真空ポンプ
５３　酸化シリコン膜
５４　窒化シリコン膜
５５　ｎ型ウエル
５６　ｎ型チャネルストッパ層

５７　窒化シリコン膜
５８　n^-　型半導体領域
５９　p^-　型半導体領域
６０　n^+　型半導体領域
６１　p^+　型半導体領域
６２　酸化シリコン膜
６３～６８　接続孔
６９　プラグ
７０Ａ　配線
７０Ｂ　配線
７１　窒化シリコン膜
７２　サイドウォールスペーサ
７３　酸化シリコン膜
７４　接続孔
７５　プラグ
７６　下部電極（蓄積電極）
７７　酸化タンタル膜
７８　保護膜
７９　ＴｉＮ膜
８０　高選択比膜
８１　配線
８２　配線
８３　酸化シリコン膜
８４～８６　接続孔
８７　プラグ
８８Ａ～８８Ｃ　配線
９０　上部電極（プレート電極）
ＢＬ　ビット線
BL_1　ビット線
BL_2　ビット線
Ｃｓ　情報蓄積用容量素子
ＣＡＳＢ　カラムアドレスストローブ信号
ＣＤ　相補共通データ線
ＩＯ　データ入出力回路
ＭＡＲＹ　メモリアレイ
ＲＡＳＢ　ロウアドレスストローブ信号
ＳＡ　センスアンプ
ＳＰ　コモンソース線
ＴＧ　タイミング発生回路
ＶＰ　プレート電圧
ＷＥＢ　ライトイネーブル信号
ＷＬ　ワード線
ＸＢ　Ｘアドレスバッファ
ＸＤ　Ｘアドレスデコーダ
ＹＢ　Ｙアドレスバッファ
ＹＤ　Ｙアドレスデコーダ

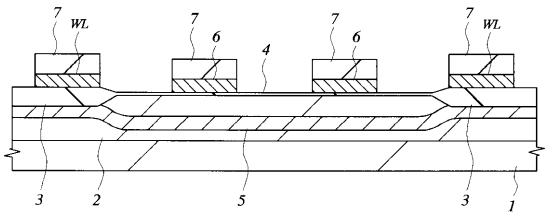
【図１】

図 1



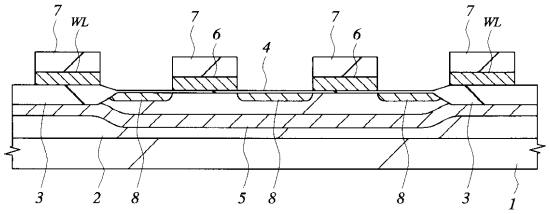
【図２】

図 2



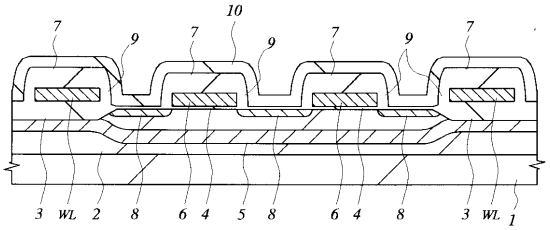
【図３】

図 3



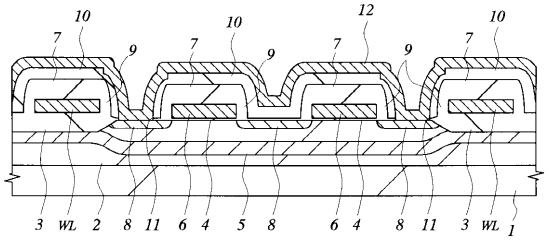
【図４】

図 4



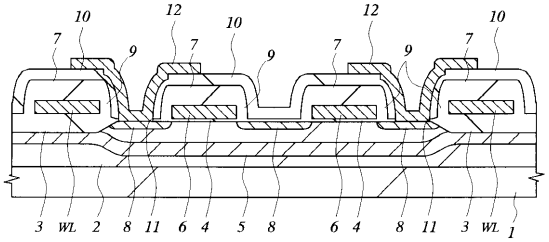
【図５】

図 5



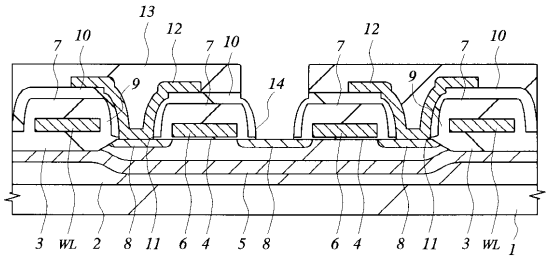
【図６】

図 6



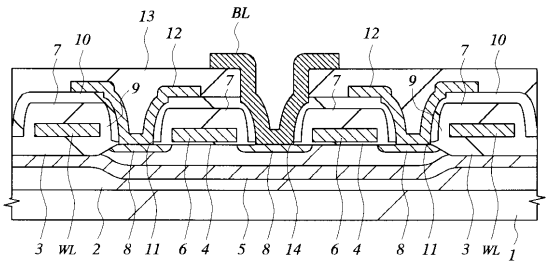
【図７】

図 7



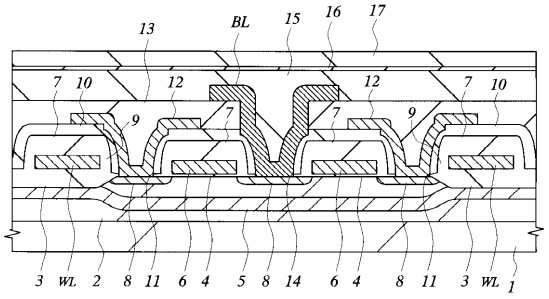
【図８】

図 8



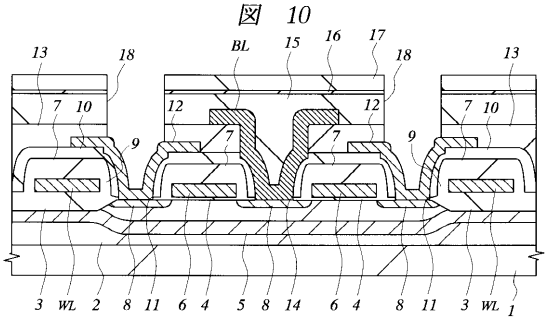
【図９】

図 9



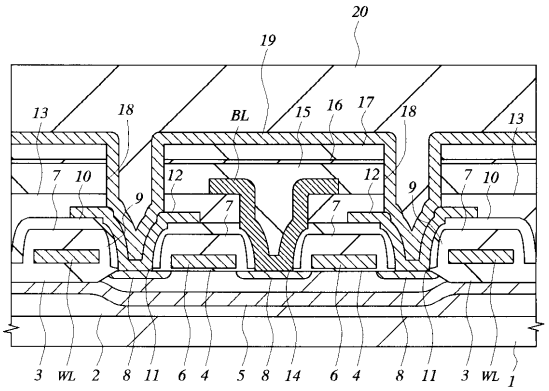
【図１０】

図 10



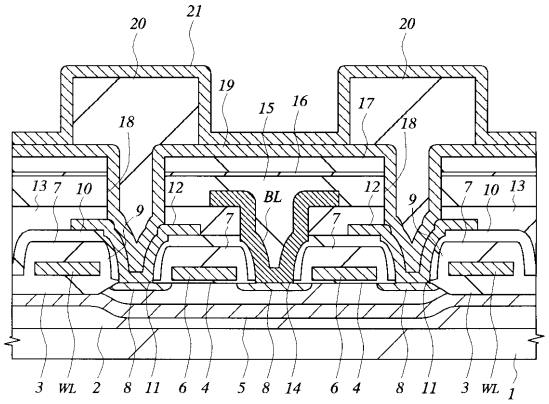
【図１１】

図 11



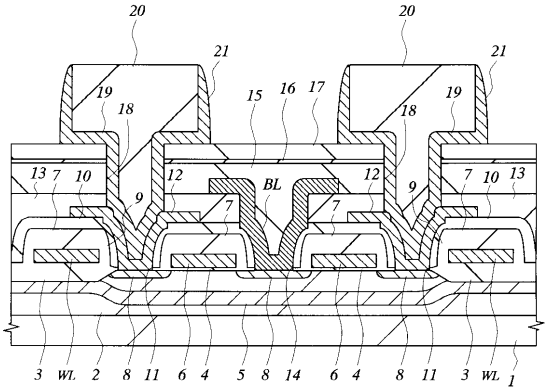
【図１２】

図 12



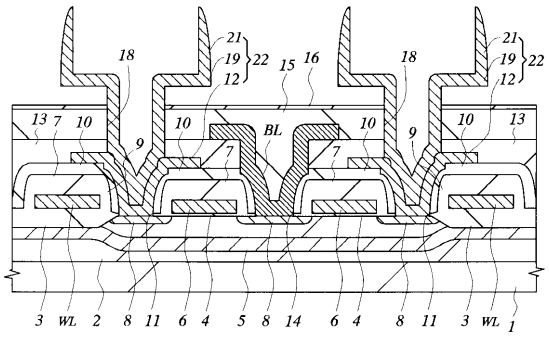
【図１３】

図 13



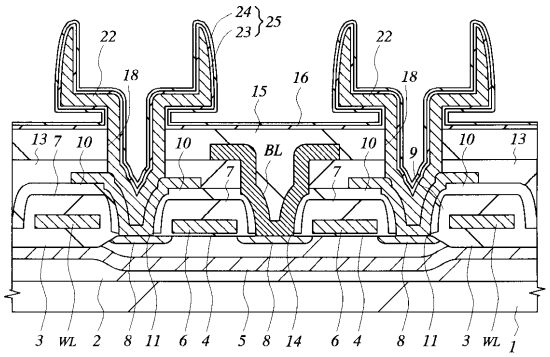
【図１４】

図 14



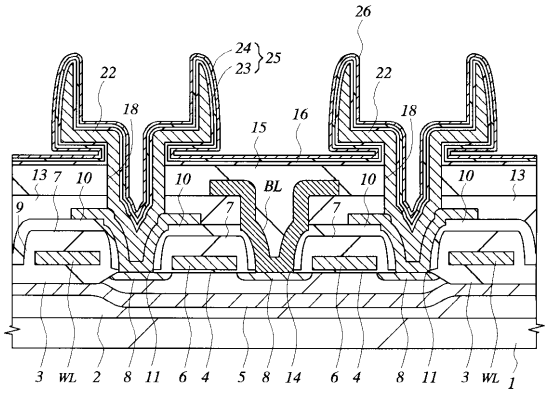
【図１５】

図 15



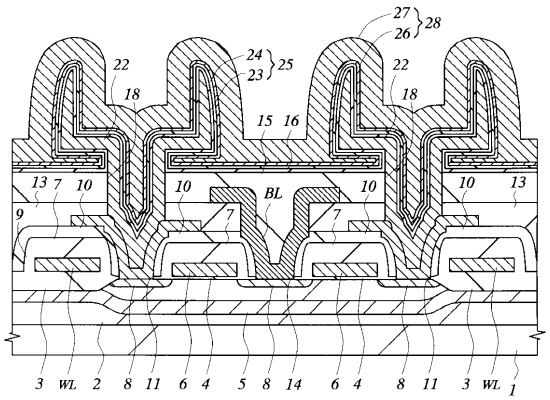
【図１６】

図 16



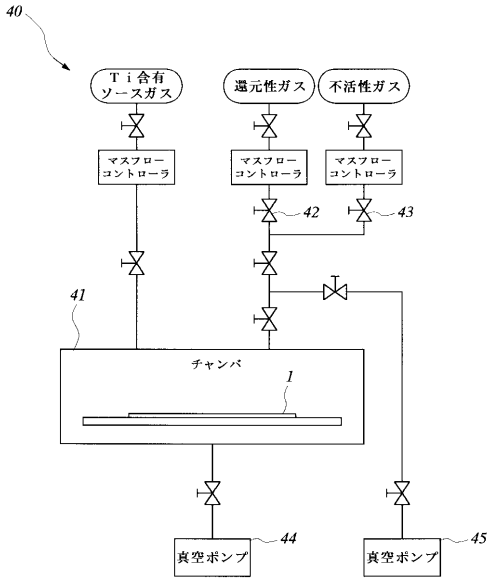
【図１７】

図 17



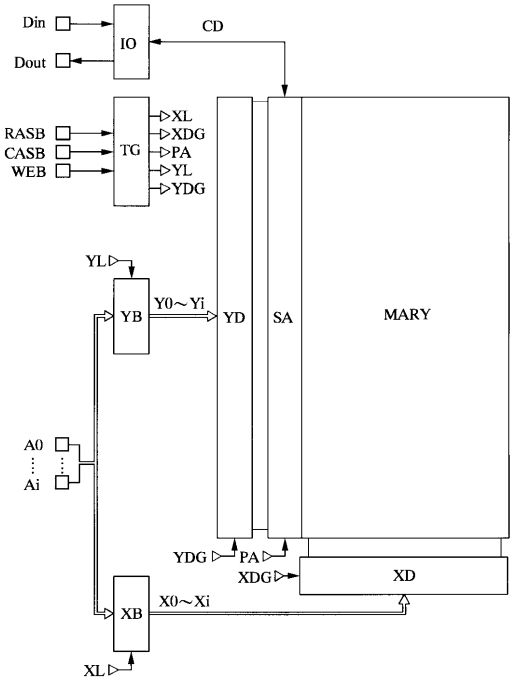
【図１８】

図 18



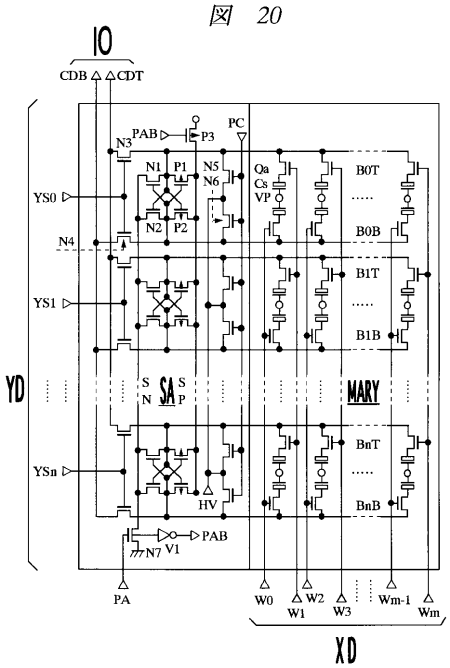
【図１９】

図 19



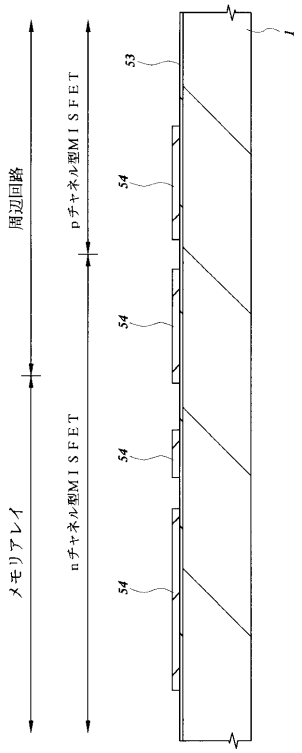
【図２０】

図 20



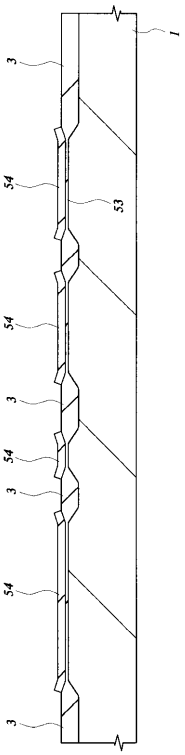
【図２１】

図 21



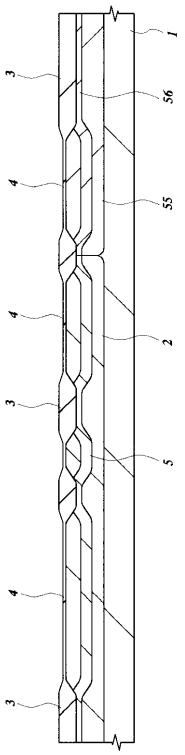
【図２２】

図 22



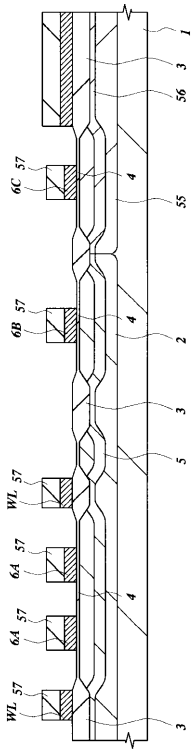
【図２３】

図 23



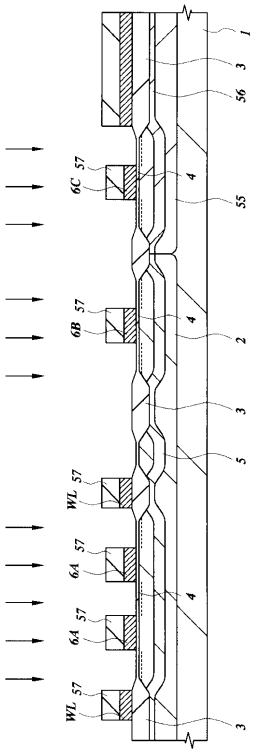
【図２４】

図 24



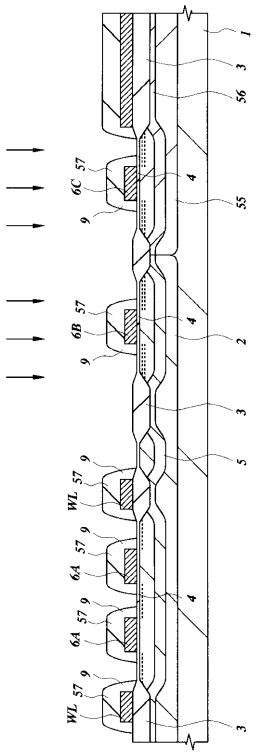
【図２５】

図 25



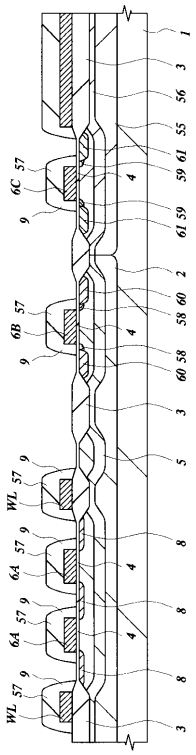
【図２６】

図 26



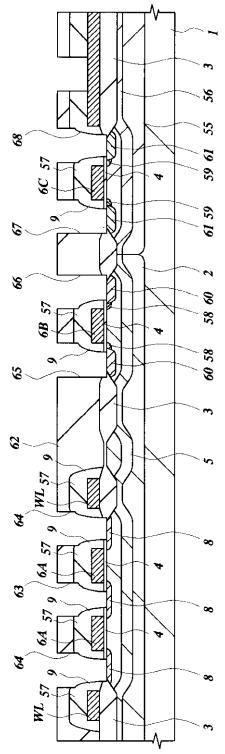
【図２７】

図 27



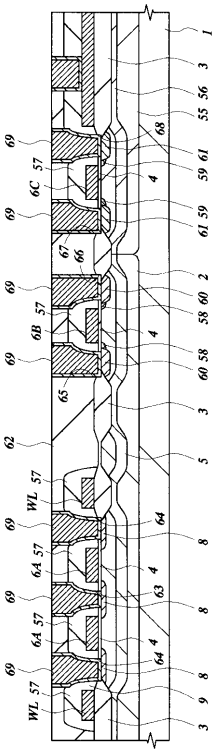
【図２８】

図 28



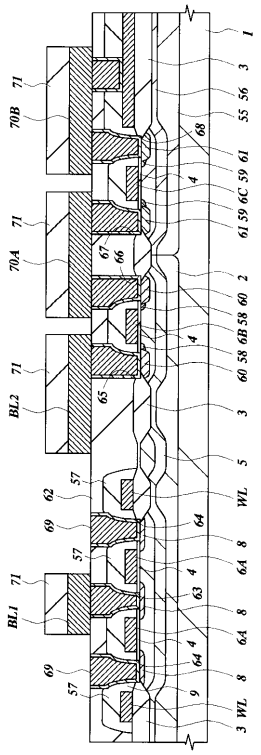
【図２９】

図 29



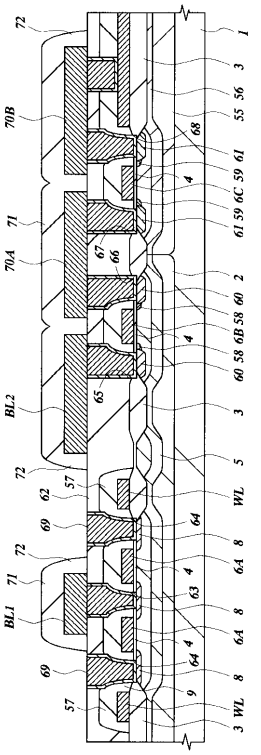
【図３０】

図 30



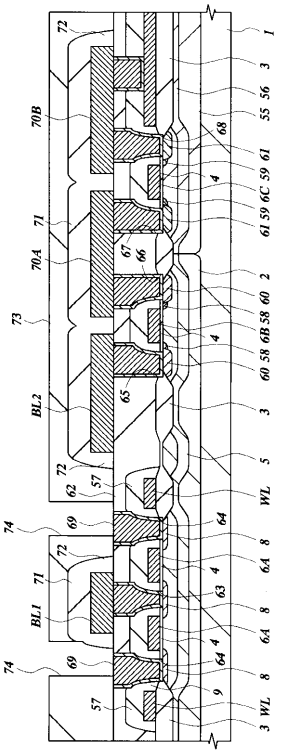
【図３１】

図 31



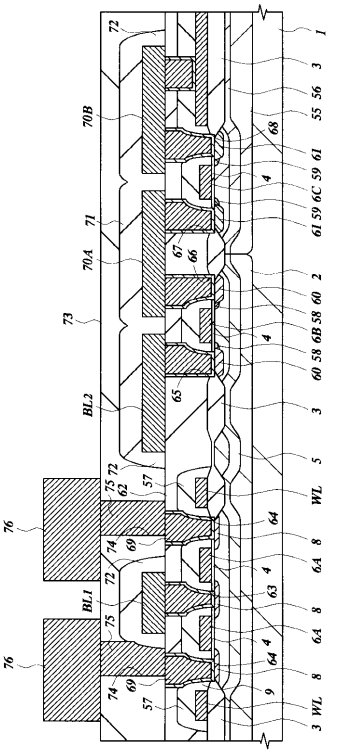
【図３２】

図 32



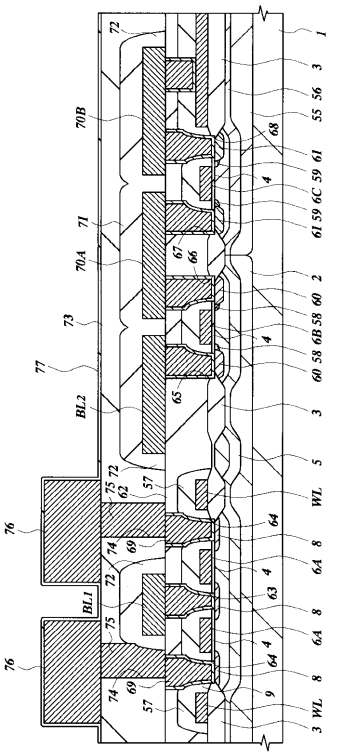
【図３３】

図 33



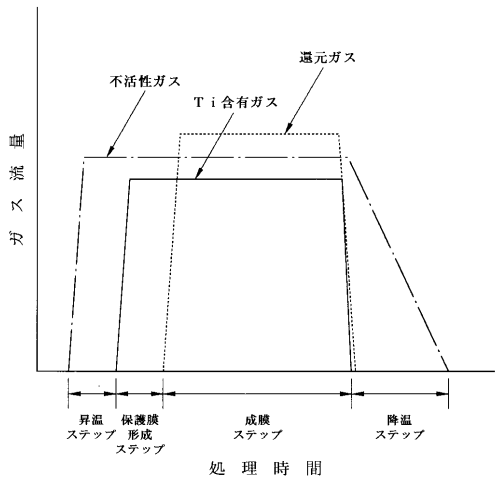
【図３４】

図 34



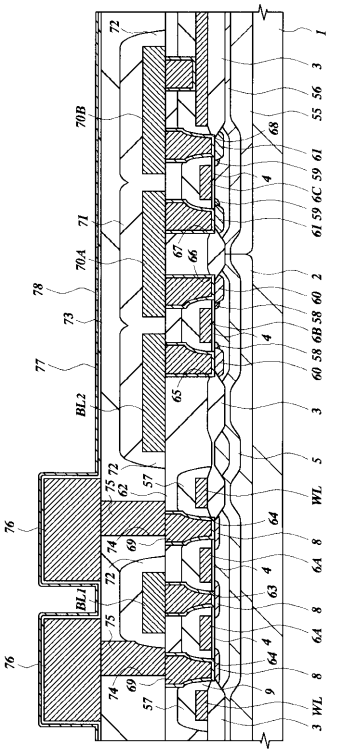
【図３５】

図 35



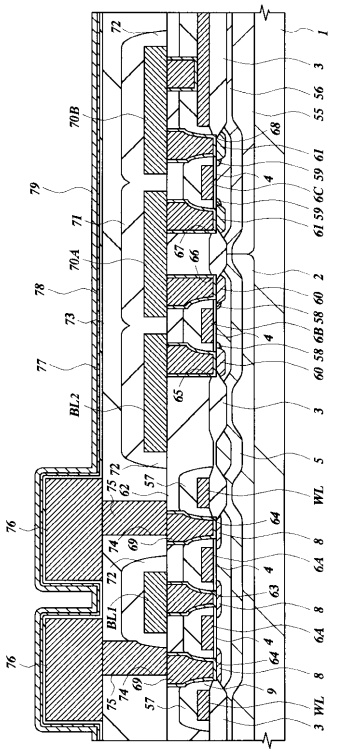
【図３６】

図 36



【図３７】

図 37



【図３８】

図 38

TiN-CVD反応式

(1) モノメチルヒドラジン還元

$2TiCl_4 + 2N_2H_3CH_3$

$\Rightarrow 4TiN + 8HCl + N_2 + 4CH_2Cl_2 + 2NH_3$

(2) アンモニア還元

$6TiCl_4 + 8NH_3$

$\Rightarrow 6TiN + 24HCl + N_2$

(3) TDEATのアンモニア還元

$Ti[N(C_2H_5)_2]_4 + NH_3$

$\Rightarrow TiN + H_xN(CH_3)_y$

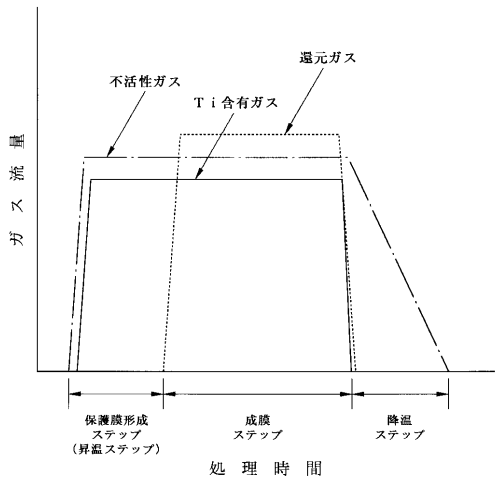
(4) TDAMTのアンモニア還元

$Ti[N(CH_3)_2]_4 + NH_3$

$\Rightarrow TiN + H_xN(CH_3)_y$

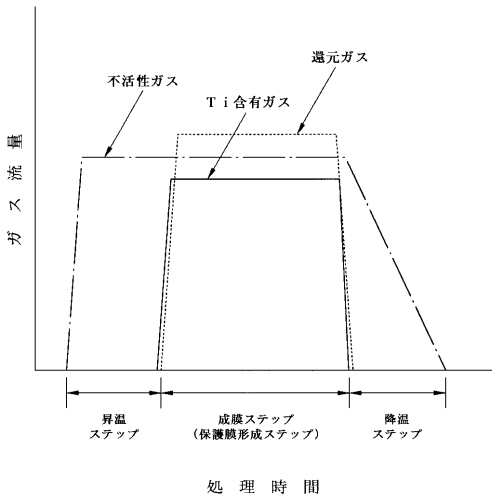
【図３９】

図 39



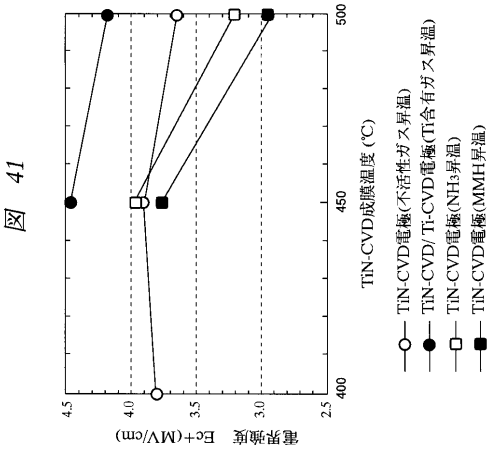
【図４０】

図 40



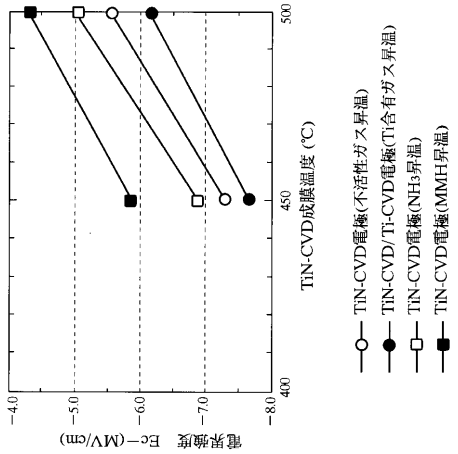
【図４１】

図 41



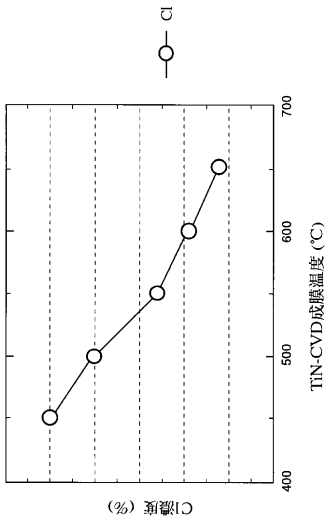
【図４２】

図 42



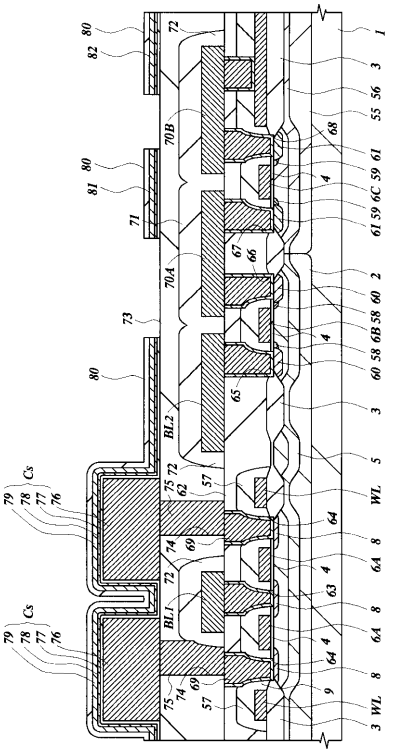
【図４３】

図 43



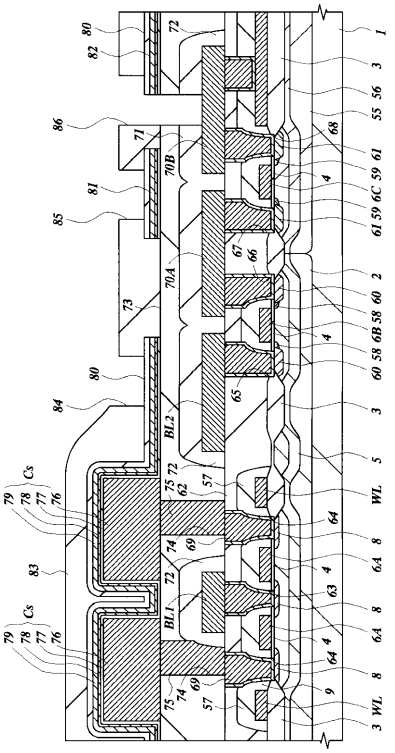
【図４４】

図 44



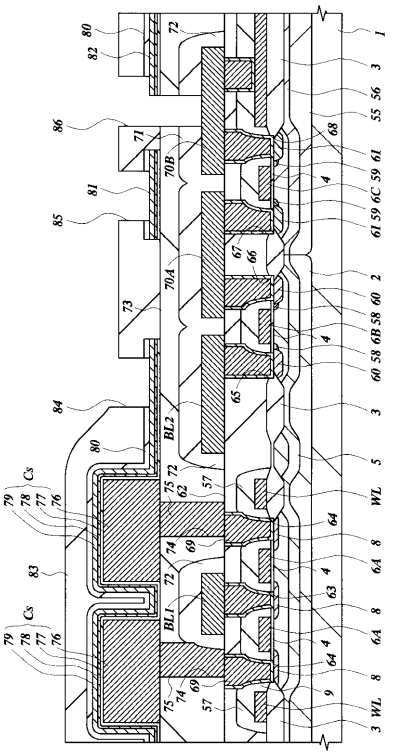
【図４５】

図 45



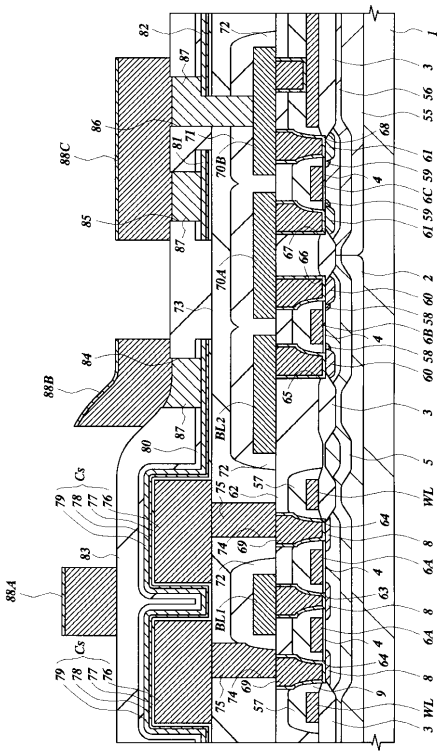
【図４６】

図 46



【図４７】

図 47



フロントページの続き

(72)発明者　中田　昌之
東京都小平市上水本町五丁目２０番１号　株式会社日立製作所　半導体事業部内

審査官　正山　旭

(56)参考文献　特開平０５－２６７５６７（ＪＰ，Ａ）
特開平０６－０５３１６５（ＪＰ，Ａ）
特開平０７－３０２７７１（ＪＰ，Ａ）
特開平０７－０４１９４９（ＪＰ，Ａ）
特開平０７－０４５５５３（ＪＰ，Ａ）
特開平０６－３３８５９９（ＪＰ，Ａ）
特開平０６－０３７２８０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H01L 21/8242
H01L 21/316
H01L 21/822
H01L 27/04
H01L 27/108
H01L 21/28