

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410007053.2

[51] Int. Cl.

H01L 21/60 (2006.01)

H01L 21/28 (2006.01)

H01L 21/768 (2006.01)

H01L 23/00 (2006.01)

[45] 授权公告日 2007 年 8 月 15 日

[11] 授权公告号 CN 1332431C

[22] 申请日 2004.2.26

[21] 申请号 200410007053.2

[30] 优先权

[32] 2003.3.25 [33] JP [31] 2003-082965

[73] 专利权人 精工爱普生株式会社

地址 日本东京

[72] 发明人 松尾刚秀

[56] 参考文献

US6221749B1 2001.4.24

US5423941A 1995.6.13

JP2001-339011A 2001.12.7

US2002/0084513A1 2002.7.4

审查员 闫立刚

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 刘晓峰

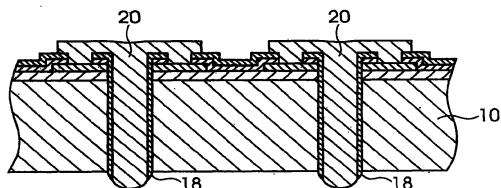
权利要求书 2 页 说明书 24 页 附图 19 页

[54] 发明名称

半导体器件的制造方法

[57] 摘要

一种半导体器件制造方法，包括孔部形成步骤，用于形成总宽度与其上形成电子元件的基板的部分有源表面侧中的开口部的宽度基本相同的孔部；曲面形成步骤，用于使所述孔部的底面弯曲同时保持孔部中底面的宽度与所述开口部的宽度基本相同；连接端子形成步骤，用于通过在所述孔部中埋入金属形成连接端子，所述连接端子起电子电路的外部电极的作用；以及暴露步骤，用于通过在所述基板背面上执行处理而暴露部分所述连接端子。



1、一种半导体器件的制造方法，包括：

5 孔部形成步骤，用于形成孔部，所述孔部的总宽度与基板的、其上形成电子元件的有源表面侧的一部分中的开口部的宽度大体相同；

曲面形成步骤，用于使所述孔部的底面弯曲，同时保持孔部中底面的宽度与所述开口部的宽度大体相同；

10 连接端子形成步骤，用于通过在所述孔部中埋入金属形成连接端子，所述连接端子起到电子电路的外部电极的作用；

暴露步骤，用于通过在所述基板的背面上执行处理而暴露部分所述连接端子；以及

在所述曲面形成步骤和所述连接端子形成步骤之间的绝缘膜形成步骤，用于在所述孔部的内壁和底面上形成绝缘膜，以及

15 所述暴露步骤包括：

第一蚀刻步骤，用于蚀刻所述基板的背面直到基板的厚度稍厚于连接端子的埋入深度；

第二蚀刻步骤，用于通过以比所述第一蚀刻步骤中的蚀刻速度低的蚀刻速度蚀刻所述基板的背面而暴露形成在所述孔部内的绝缘膜；以及

20 第三蚀刻步骤，用于通过蚀刻至少部分暴露的绝缘膜而暴露所述连接端子。

2、根据权利要求 1 所述的半导体器件的制造方法，

其中所述曲面形成步骤是其中通过各向同性蚀刻使所述孔部的底面形成为半球形的步骤。

25 3、根据权利要求 1 所述的半导体器件的制造方法，

其中所述暴露步骤是其中暴露部分连接端子而不改变所述连接端子形状的步骤。

4、一种半导体器件的制造方法，包括：

切割步骤，用于将通过根据权利要求 1 所述的半导体器件的制造方法形成的半导体器件切割成单独的半导体芯片；

层叠步骤，用于层叠同一类型或不同类型的半导体芯片；以及

接合步骤，用于将形成在层叠的半导体芯片上的连接端子接合在一起。

5、一种半导体器件的制造方法，包括：

切割步骤，用于将通过根据权利要求 1 所述的半导体器件的制造方法  
5 形成的半导体器件切割成单独的半导体芯片；

安装步骤，用于在其上形成连接部分的基板上安装一个或多个同类型的  
半导体芯片或不同类型的半导体芯片；以及

接合步骤，用于将形成在层叠的半导体芯片上的连接端子接合在一起，  
或将连接部分和连接端子接合在一起。

## 半导体器件的制造方法

5

### 技术领域

本发明涉及半导体器件的制造方法、通过该制造方法制造的半导体器件、以及设置有所述半导体器件的电子设备。

本发明要求于 2003 年 5 月 25 日提交的日本专利申请 No. 2003-82965  
10 的优先权，其内容结合于此作为参考。

### 背景技术

目前，由于诸如笔记本式计算机、PDA（个人数字助理）等的便携式  
15 电子设备，以及诸如传感器、微型机械和打印机头等装置的尺寸减小、重  
量减少的实现，涉及诸如设置在其中的半导体芯片等各种类型的电子元件  
的尺寸减小的研究和开发正在蓬勃发展。此外，为了提高附加值，也正在  
计划提高这些电子设备的高功能性，且也要求设置在这些电子设备内的电  
子原件也具有高功能性和高速度。

系统 LSI（大规模集成电路）是一个具有高功能性的电子元件的实例，  
20 但是需要时间使系统 LSI 商业化。在目前的情况下，系统 LSI 不能维持电  
子设备的近来开发周期。因此，已经提出 SIP（封装内的系统）技术。在  
SIP 中，在系统 LSI 中，在一个 IC（集成电路）上设置了包含在系统 LSI  
中的多种功能中的各种功能，且将这些芯片接合以实现一个封装内的系统  
LSI。

25 在 SIP 技术中，这通过三维层叠多个 IC 实现，但是为了使层叠的 IC  
起系统 LSI 的作用，每个 IC 都必须与其它 IC 电连接。常规地，在每个 IC  
上形成的电极通过使用引线接合技术电连接，但是在通过引线接合进行的  
连接中，引线长度变长，从而对封装小型化构成了一定的限制。

因此，已经提出一种三维封装技术，其中通过在 IC 的底面上执行蚀  
30 刻工艺或研磨工艺使 IC 变薄，同时由金属组成的连接端子形成的穿过 IC

上表面和底面，并接合在层叠的 IC 上形成的连接部分，从而提供 IC 之间的电连接。例如，参看日本专利公开 (JP-A) No. 2001-44197 中对这种三维封装技术的描述。

通过使用上述三维封装技术层叠芯片而制造的电子元件密封在密封树脂中，这样可能保证一定的可靠性。然而，如果电子元件安装在便携式电子装置中，由于可料想到将受到来自外界的强烈震动和冲击，因此有必要保证较高的强度。

为了进一步提高电子元件的可靠性，有必要提高在每个 IC 上形成的连接端子之间的接合强度。在使用三维封装技术制造的传统电子元件中，  
10 在 IC 上形成的连接端子的远端（与另一芯片接合的部分）通常为平面形状。因此，层叠的芯片的连接端子之间的接合为二维的，且存在接合强度较低的问题，从而可靠性较低。

考虑到上述问题，本发明的目的之一是提供一种半导体器件的制造方法和半导体器件，它们能提高层叠的半导体芯片的接合强度从而保证高可靠性、以及装有这种半导体器件的电子设备。

## 发明内容

本发明第一方面是半导体器件的制造方法，包括孔部形成步骤，用于形成孔部，所述孔部的总宽度与基板的、其上形成电子元件的有源(active)  
20 表面侧的一部分中的开口部的宽度大体相同；曲面形成步骤，用于使所述孔部的底面弯曲，同时保持孔部中底面的宽度与所述开口部的宽度大体相同；连接端子形成步骤，用于通过在所述孔部中埋入金属形成连接端子，所述连接端子起到电子电路的外部电极的作用；暴露步骤，用于通过在所述基板的背面上执行处理而暴露部分所述连接端子；以及在所述曲面形成  
25 步骤和所述连接端子形成步骤之间的绝缘膜形成步骤，用于在所述孔部的内壁和底面上形成绝缘膜，以及所述暴露步骤包括：第一蚀刻步骤，用于蚀刻所述基板的背面直到基板的厚度稍厚于连接端子的埋入深度；第二蚀刻步骤，用于通过以比所述第一蚀刻步骤中的蚀刻速度低的蚀刻速度蚀刻所述基板的背面而暴露形成在所述孔部内的绝缘膜；以及第三蚀刻步骤，  
30 用于通过蚀刻至少部分暴露的绝缘膜而暴露所述连接端子。

根据此方面，在基板的有源表面侧的一部分上形成总宽度与开口宽度基本相同的孔部，在孔部的底面上形成曲面，同时孔部底面的宽度保持与开口的宽度基本相同，通过在孔部中埋入金属形成连接端子，对基板背面进行处理以暴露部分连接端子，从而暴露的连接端子的远端已经形成曲面形状，该曲面已经形成在孔部。因此，能够通过提高此连接端子的接合面区域提高接合期间的接合强度，从而保证高的可靠性。此外，当已在底面上形成曲面形状时，底面的宽度保持与开口宽度基本相同，从而即使在连接端子以窄间距设置且连接端子的远端不比开口宽度大得多的情况下也可能使用本发明。

根据本发明，由于在第一蚀刻步骤中以高蚀刻速度进行蚀刻，在第二蚀刻步骤中以低蚀刻速度进行蚀刻，所以可缩短蚀刻基板背面所需的时间，同时，可精确调整变薄的基板的厚度和从基板背面突出的连接端子的长度。此外，由于连接端子是绝缘膜在孔部内壁和底面上形成之后形成的，所以可防止诸如电流漏泄等缺陷。

此外，根据第一方面的半导体器件的制造方法特征在于：曲面形成步骤是通过各向同性蚀刻使孔部底面成为近似半球形曲面的步骤。

根据本发明，由于通过各向同性蚀刻使孔部底面成为近似半球形曲面，所以可在不使处理步骤复杂化的情况下，仅通过增加简单的步骤就能使孔部的底面成为曲面。

此外，根据本发明第一方面的半导体器件的制造方法特征在于：暴露步骤是暴露部分连接端子且不改变连接端子形状的步骤。

根据本发明，由于暴露部分连接端子且改变连接端子的形状，所以可在接合期间获得高的接合强度且在连接端子远端的曲面的表面区域不会因为基板背面的处理而减少。

为了解决上述问题，根据本发明第二方面的半导体器件的制造方法包括凹凸形状形成步骤，其中在基板的部分有源表面侧上形成凹凸形状，在基板上形成电子电路；孔形成步骤，其中蚀刻其上已经形成凹凸形状的区域，以及形成孔部，所述孔部的总宽度与其上已经形成了凹凸形状的区域的宽度基本相同且其底面形状与凹凸形状基本相同；连接端子形成步骤，其中通过在孔部中埋入金属，形成起到电子电路外部电极作用的连接端

子；以及暴露步骤，其中对基板背面进行处理以暴露部分连接端子。

根据这一方面，由于在基板的有源表面侧的一部分上形成了凹凸形状，因此暴露的连接端子的远端具有已经在孔部的底面处形成的凹凸形状，蚀刻其上已经形成了凹凸形状的区域，且形成其总宽度与其上已经形成凹凸形状的区域的总宽度基本相同、而其底面形状与凹凸形状基本相同的孔部，通过在孔部中埋入金属形成起到电子电路外部电极作用的连接端子，且对基板背面进行处理以暴露部分连接端子。因而，通过提高连接端子的接合表面区域，可提高接合期间的接合强度。此外，由于连接端子的宽度与在基板上形成的凹凸形状的区域的总宽度大致相同，所以在以窄间距设置连接端子且连接端子的远端不比开口宽度大得多的情况下也可使用本发明。

此外，根据本发明第二方面的半导体器件的制造方法的特征在于：暴露步骤是暴露部分连接端子而不改变连接端子形状的步骤。

根据本发明，由于暴露部分连接端子而不改变形成在孔部内的连接端子的形状，所以可在接合期间获得的高接合强度且在连接端子远端的曲面的表面区域不因为基板背面的处理而减少。

此外，根据本发明第二方面的半导体器件制造方法的特征在于：包括在曲面形成步骤和连接端子形成步骤之间的绝缘膜形成步骤，用于在孔部的内壁和底面上形成绝缘膜，且暴露步骤包括第一蚀刻步骤，其中基板背面被蚀刻直到基板厚度约稍厚于连接端子的埋入深度；第二蚀刻步骤，其中通过以比第一蚀刻步骤中的蚀刻速度低的蚀刻速度蚀刻基板背面而暴露在孔部内侧形成的绝缘膜；以及第三蚀刻步骤，其中通过蚀刻至少一部分暴露的绝缘膜而暴露连接端子。

根据本发明，由于在第一蚀刻步骤中以高蚀刻速度进行蚀刻，在第二蚀刻步骤中以低蚀刻速度进行蚀刻，所以可缩短蚀刻基板背面所需的时间，同时，可精确调整变薄的基板的厚度和连接端子从基板背面突出的量。此外，由于连接端子是在孔部内壁和底面上的绝缘膜形成之后形成的，所以可防止诸如电流漏泄等缺点。

为了解决上述问题，根据本发明第三方面的半导体器件的制造方法包括掩膜形成步骤，其中在基板的部分有源表面侧上设置的孔形成区域处形

成具有多个孔的掩膜，在所述基板上形成电子电路；凹凸孔形成步骤，其中形成的孔部，所述孔部的总宽度与孔形成区域的宽度基本相同、其底面具有凹凸形状，该凹凸形状采用在基板的表面方向将所述孔微微拓宽的蚀刻方法，通过形成在掩膜内的每个孔蚀刻基板而形成；连接端子形成步骤，5 其中通过在孔部中埋入金属，形成起电子电路的外部电极作用的连接端子；以及暴露步骤，其中对基板背面进行处理以暴露部分连接端子。

根据本发明，形成最终的孔部，所述孔部的总宽度与孔形成区域上的宽度基本相同，且其底面具有凹凸形状，所述凸凹形状通过形成在孔形成区域具有多个孔的掩膜并通过经由已经形成在掩膜内的每个孔部蚀刻基10 板而形成，从而在基板表面上产生轻微加宽，其中所述孔形成区域设置在有源表面的一部分中，通过在这些孔部中埋入金属并在基板背面上进行处理以暴露部分连接端子而形成连接端子。由此，暴露的连接端子的远15 端已经得到在孔部底面形成的凹凸形状。因此，可通过增加这些连接端子的接合表面积提高接合期间的接合强度，从而可保证高可靠性。此外，连接端子的总宽度与孔形成区域处的宽度基本相同，从而即使在以窄间距布置连接端子且端子的远端不会变得比开口的宽度大得多的情况下也可使用本发明。

此外，根据本发明第三方面的半导体器件的制造方法的特征在于：暴露步骤是暴露部分连接端子而不改变连接端子形状的步骤。

20 根据本发明，由于暴露部分连接端子而不改变连接端子的形状，所以可在接合期间获得高的接合强度且在连接端子远端的曲面的表面积不因基板背面的处理而减少。

此外，根据本发明第三方面的半导体器件制造方法的特征在于：包括25 在曲面形成步骤和连接端子形成步骤之间的绝缘膜形成步骤，用于在孔部的内壁和底面上形成绝缘膜，且暴露步骤包括第一蚀刻步骤，其中基板背面被蚀刻直到基板厚度约稍微大于连接端子的埋入深度；第二蚀刻步骤，其中通过以比第一蚀刻步骤中的蚀刻速度低的蚀刻速度蚀刻基板背面而暴露在孔部内形成的绝缘膜；以及第三蚀刻步骤，其中通过蚀刻至少部分暴露的绝缘膜而暴露连接端子。

30 根据本发明，由于在第一蚀刻步骤中以高蚀刻速度进行蚀刻，在第二

蚀刻步骤中以低蚀刻速度进行蚀刻，所以可缩短蚀刻基板背面所需的时间，同时，可精确调整变薄的基板的厚度和连接端子从基板背面突出的量。此外，由于连接端子是在孔部内壁和底面上的绝缘膜形成之后形成的，所以可防止诸如电流漏泄等缺点。

5 为了解决上述问题，根据本发明第四方面的半导体器件的制造方法的特征在于：包括切割步骤，其中通过上述任何半导体器件制造方法制造的半导体器件被切割成单独的半导体芯片；层叠步骤，其中将同一类型或不同类型的半导体芯片进行层叠；以及端子接合步骤，其中将在层叠的半导体芯片上形成的连接端子接合在一起。

10 根据本发明，其中将连接端子远端的形状具有弯曲形状或凹凸形状的半导体器件切割成单独的半导体芯片，将同一类型或不同类型的半导体芯片进行层叠，且将形成在半导体芯片上的连接端子接合在一起，从而可提高层叠的半导体芯片的接合强度。结果，可制造具有高可靠性的三维封装结构的半导体器件。

15 为了解决上述问题，根据本发明第五方面的半导体器件的制造方法的特征在于：包括切割步骤，其中将通过上述任何半导体器件制造方法制造的半导体器件进行切割；安装步骤，其中在上面形成连接部分的基板上单个地或多个地（in plurality）安装同类型的半导体芯片或不同类型的半导体芯片；以及接合步骤，其中将在层叠的半导体芯片上形成的连接端子接合在一起，或将连接部分和连接端子接合在一起。

20 根据本发明，其中将端子远端的形状具有弯曲形状或凹凸形状的半导体器件切割成单独的半导体芯片，将同一类型或不同类型的半导体芯片安装在安装基板上，且将在半导体芯片上形成的连接端子接合在一起，或将在半导体芯片上形成的连接端子和在安装基板上形成的连接部分相接合，从而可提高层叠的半导体芯片的接合强度或半导体芯片和安装基板之间的接合强度。结果，可在具有高可靠性的三维封装结构中制造半导体器件。

25 本发明的半导体器件的特征在于：用上述任何半导体器件的制造方法制造。

30 此外，为了解决上述问题，本发明的半导体器件的特征在于：提供有源表面上形成电子电路的变薄基板，和连接端子，所述连接端子起电子电

路的外部电极的作用并通过从有源表面侧到背面侧穿过基板形成，且在连接端子在基板背面侧的远端具有曲面。

根据本发明，通过穿过基板形成连接端子，且基板背面侧的端子的远端形状为曲面，从而可增加连接端子的接合表面积。

5 此处，在本发明的半导体器件中，连接端子的远端优选为近似半圆形曲面或凹凸形状。

此外，本发明的半导体器件的特征在于：上述任何半导体器件以多个层叠，且连接端子接合在一起。

10 根据本发明，由于半导体器件以多个层叠且具有增加的接合表面积的连接端子接合在一起，可提高接合强度，从而可能提高三维封装结构的可靠性。

此外，本发明的半导体器件的特征在于：提供其上已经形成连接部分的安装基板，并具有安装在安装基板上的一个或多个上述任何半导体器件，且连接端子接合在一起或使连接部分和连接端子接合。

15 根据本发明，半导体器件以多个层叠在安装基板上，且具有增加的接合表面积的连接端子接合在一起或具有增加的接合表面积的连接端子和安装基板接合，从而可提高接合强度及提高三维封装结构的可靠性。

本发明的电子设备的特征在于：设置有上述任何半导体器件。

## 20 附图说明

图 1A 和图 1B 示出根据本发明第一实施例的半导体器件的制造方法的工艺过程图。

图 2A 和图 2B 示出根据本发明第一实施例的半导体器件的制造方法的工艺过程图。

25 图 3A 和图 3B 示出根据本发明第一实施例的半导体器件的制造方法的工艺过程图。

图 4A 和图 4B 示出根据本发明第一实施例的半导体器件的制造方法的工艺过程图。

图 5A 至图 5C 示出根据本发明第一实施例的半导体器件的制造方法的工艺过程图。

5 图 6 示出根据本发明第一实施例的半导体器件的制造方法的工艺过程图。

图 7A 和图 7B 示出根据本发明第二实施例的半导体器件的制造方法的工艺过程图。

10 图 8A 和图 8B 示出根据本发明第二实施例的半导体器件的制造方法的工艺过程图。

图 9A 和图 9B 示出根据本发明第二实施例的半导体器件的制造方法的工艺过程图。

图 10A 和图 10B 示出根据本发明第二实施例的半导体器件的制造方法的工艺过程图。

15 图 11A 至图 11C 示出根据本发明第二实施例的半导体器件的制造方法的工艺过程图。

图 12 示出根据本发明第二实施例的半导体器件的制造方法的工艺过程图。

20 图 13A 和图 13B 示出根据本发明第三实施例的半导体器件的制造方法的工艺过程图。

图 14A 和图 14B 示出根据本发明第三实施例的半导体器件的制造方法的工艺过程图。

图 15A 和图 15B 示出根据本发明第三实施例的半导体器件的制造方法的工艺过程图。

25 图 16A 至图 16C 示出根据本发明第三实施例的半导体器件的制造方法的工艺过程图。

图 17 示出根据本发明第三实施例的半导体器件的制造方法的工艺过程图。

图 18 示出根据本发明的实施例的电子设备的一个实例。

30 图 19 示出根据本发明的实施例的电子设备的另一实例。

## 具体实施方式

下面，将参看附图说明根据本发明的实施例的半导体器件的制造方法、半导体器件、以及电子设备。

5 根据第一实施例的半导体器件制造方法

图 1A 至图 6 示出根据本发明第一实施例的半导体器件的制造方法的工艺过程图。图 1A 示出处于晶片状态的部分基板的横截面图，所述部分基板是处理目标。基板 10 举例来说是 Si（硅）基板，且在其有源表面 10a 侧上形成有与布线（未示出）一起的电子元件及起电子电路的外部电极作用的电极垫（pad），所述电子元件包括晶体管、存储元件、及其他电元件。相反，在基板 10 的背面 10b 上未形成这些电子电路。基板 10 的厚度约为 500  $\mu\text{m}$ 。

如图 1A 所示，在基板 10 上，通过依次形成包括氧化膜（ $\text{SiO}_2$ ）的绝缘膜、包括硼磷硅酸盐玻璃（BPSG）的中间层绝缘膜而形成绝缘膜 12，其中  $\text{SiO}_2$  是基板 10 的基本材料。此外，在部分绝缘膜 12 上的位置处，形成与在基板 10 的有源表面 10a 上形成的电子电路电连接的电极垫 14。通过依次沉积包含 Ti（钛）的第一层、包含 TiN（一氮化钛）的第二层、包含 AlCu（铝/铜）的第三层、包含 TiN 的第四层（保护层）形成电极垫 14。注意，在电极垫 14 下面未形成电子电路。

20 举例来说，通过使用溅射在绝缘膜 12 的整个表面上形成包含第一至第四层的叠层表面结构，然后使用抗蚀剂等使叠层表面结构具有预定形状，形成电极垫 14。注意，在本实施例中，虽然将通过上述叠层结构形成的电极垫 14 用作说明实例，但是也可仅使用 Al 形成电极垫 14，优选使用具有低电阻的铜形成电极垫 14。此外，电极垫 14 不限于上述结构，且可根据必需的电特性、物理特性、以及化学特性作适当的修改。

此外，在上述绝缘膜 12 上，形成覆盖电极垫 14 的钝化膜。此钝化膜 16 优选由  $\text{SiO}_2$ （二氧化硅）、一氮化硅（ $\text{SiN}$ ）、聚亚胺树脂、或类似物、或其中  $\text{SiO}_2$  层叠在  $\text{SiN}$  上的结构，或相反的结构形成。此外，钝化膜 16 的厚度优选大于或等于 2  $\mu\text{m}$ 、小于或等于 6  $\mu\text{m}$ 。

30 在具有上述结构的基板上执行以下步骤，首先打开在有源表面 10a

上形成的电极垫 14，并将基板 10 蚀刻以形成孔部 H3。首先，使用诸如旋涂法、浸渍法、喷涂法等的方法将抗蚀剂涂覆在图 1A 所示的钝化膜 16 的整个表面上。注意，这种抗蚀剂是为了打开覆盖电极垫 14 的钝化膜 16 而使用的，且可以是光致抗蚀剂、电子束抗蚀剂、或 X 射线抗蚀剂，且可以是正抗蚀剂或负抗蚀剂。  
5

当将抗蚀剂涂覆到钝化膜 16 时，在执行预烘焙后，使用上面形成有预定图案的掩膜进行暴露处理和显影处理，并使抗蚀剂成形为预定形状。注意，根据电极垫 14 的开口的形状和形成在基板 10 中的孔的形状设置抗蚀剂的形状。当完成抗蚀剂的图案化后，如图 1B 所示，在进行预烘焙  
10 后，蚀刻覆盖电极垫 14 的部分钝化膜 16 以形成开口部 H1。图 1B 示出钝化膜 16 已打开以形成开口部 H1 的状态。

而且，优选将干蚀刻用于蚀刻钝化膜 16 中。干蚀刻可包括反应离子蚀刻 (RIE)。此外，也可将湿蚀刻用于蚀刻钝化膜 16 中。根据在下述步骤中形成的电极垫 14 的开口形状和在基板 10 中形成的孔的横截面形状  
15 确定在钝化膜 16 中形成的开口部 H1 的横截面形状。开口部 H1 的横截面形状的直径约等于在电极垫 14 中形成的开口的直径和在基板 10 中形成的孔的直径，例如 50  $\mu\text{m}$ 。

当上述步骤完成后，使用形成开口部 H1 的钝化膜 16 上的抗蚀剂作为掩膜通过干蚀刻打开电极垫 14。图 2A 示出其中开口部 H2 通过打开电极垫 14 形成的状态。注意，在图 1A、图 1B、图 2A、图 2B 中未示出抗蚀剂。如图 2A 所示，在钝化膜 16 中形成的开口部 H1 的直径和在电极垫  
20 14 上形成的开口部 H2 的直径近似相等。注意，可将 RIE 用于干蚀刻。

接着，使用在上述步骤中用作掩膜的抗蚀剂蚀刻绝缘膜 12。如图 2B 所示，使基板 10 暴露。图 2B 示出其中为了暴露部分基板 10 已蚀刻绝缘膜 12 的状态。随后，使用解吸液、灰化等剥去在钝化膜 16 上形成并用作开口掩膜的抗蚀剂。  
25

注意，在上述工艺中，虽然可使用相同的抗蚀剂掩膜重复蚀刻，但是毫无疑问，可在完成每个蚀刻步骤后再次将抗蚀剂图案化。此外，在打开在电极垫 14 中形成的开口部 H2 后，还可剥去抗蚀剂、将电极垫 14  
30 的上表面的 TiN 用作掩膜、蚀刻绝缘膜 12、并如图 2B 所示暴露基板 10。

此外，考虑到每个蚀刻时间的选择比，有必要使抗蚀剂变厚。

当完成上述步骤后，通过使用干蚀刻并将钝化膜 16 用作掩膜蚀刻基板 10，形成孔部 H3（孔部形成步骤）。蚀刻基板 10 的深度约为 70 μm，因此就制造效率而言，优选使用在日本专利申请公开(JP-A)No.2002-93776 中披露的 Si 高速蚀刻法，或可使用在 US 专利 5,501,893 中披露的 Bosch 工艺法进行各向异性蚀刻。在高速蚀刻法的情况下，可将包含 SF<sub>6</sub>/O<sub>2</sub> 的混合气体用作蚀刻气体，在使用博希 (Bosch) 工艺法的情况下，可使用 SF<sub>6</sub>/C<sub>4</sub>F<sub>8</sub>。而且，此处除 RIE 之外，可将 ICP（感应耦合等离子体）用于干蚀刻。

图 3A 示出已蚀刻基板 10 和形成孔部 H3 的状态。如图 3A 所示，由于将钝化膜 16 用作掩膜蚀刻基板 10，在基板 10 中形成的孔 H3 的直径近似等于在钝化膜 16 中形成的开口部 H1 的直径。结果，在钝化膜 16 中形成的开口部 H1 的直径和在基板 10 中形成的孔 H3 的直径基本相等。此外，可根据最终形成的半导体芯片的厚度大体设置孔部 H3 的深度。此外，由于使用各向异性蚀刻形成孔部 H3，所以孔部 H3 的底面为平面状。

接着，使在基板 10 中形成的孔部 H3 的底面弯曲的步骤（曲面形成步骤）。在此步骤中，使用形成孔部 H3 时使用的掩膜，用与形成孔部 H3 所使用的蚀刻方法相似的蚀刻方法执行各向同性刻蚀。当形成上述孔部 H3 时，在使用其中包含 SF<sub>6</sub>/O<sub>2</sub> 的混合气体用作蚀刻气体的 Si 高速蚀刻法的情况下，通过增加 SF<sub>6</sub> 的气体比例或仅将 SF<sub>6</sub> 用作蚀刻气体执行各向同性刻蚀使孔部 H3 的底面弯曲。此外，在形成孔部 H3 时，在使用其中 SF<sub>6</sub>/C<sub>4</sub>F<sub>8</sub> 用作蚀刻气体的 Bosch 工艺法的情况下，通过停止蚀刻和仅将 SF<sub>6</sub> 用作蚀刻气体执行各向同性刻蚀使孔部 H3 的底面具有曲面形状。

此外，上面已经对蚀刻气体的成分随着从各向异性刻蚀改变到各向同性刻蚀的方法而改变进行了说明，但是除了改变蚀刻气体的成分，通过降低偏压或对蚀刻气体进行高的增压使各向异性刻蚀转变成各向同性刻蚀。此外，可仅通过降低偏压或对蚀刻气体进行高的增压进行转变。

图 3B 是横截面图，示出在基板 10 中形成的孔部 H3 的底面已经具有曲面形状的状态。在图 3 所示的实例中，可以理解，已经形成具有近似半球形状的曲面。此外，可以理解，即使当通过执行各向同性刻蚀使

孔部 H3 的底面具有曲面形状时，孔部 H3 的总直径（宽度）与开口部 H1 和 H2 的直径基本相等。

在完成上述步骤时，接着在钝化膜 16 上和孔部 H3 的内壁和底面上形成绝缘膜 18（绝缘膜形成步骤）。图 4A 是横截面图，示出绝缘膜 18 已经在钝化膜 16 上和孔部 H3 的内壁和底面上形成的状态。为了防止由于氧气和水使基板出现电流漏泄、造成腐蚀等而设置了此绝缘膜 18，并且可使用通过用 PECVD（等离子体增强化学气相沉积）形成的原硅酸四乙酯 ( $\text{Si}(\text{OC}_2\text{H}_5)_4$ ；下面称之为 TEOS)，即，使用 PE-TEOS 或臭氧 CVD 形成 TEOS，或使用  $\text{O}_3$ -TEOS 或 CVD 形成二氧化硅。而且，绝缘膜 18 的厚度例如是  $1 \mu\text{m}$ 。  
10

接着，使用诸如旋涂法、浸渍法、喷涂法等方法将抗蚀剂涂覆在绝缘膜 18 的整个表面上。也可使用干膜抗蚀剂。所述抗蚀剂用于打开部分电极垫 14 上方的区域，且可以是光致抗蚀剂、电子束抗蚀剂、或 X 射线抗蚀剂，且可以是正抗蚀剂或负抗蚀剂。  
15

当将抗蚀剂涂覆到绝缘膜 18 上时，在执行预烘焙后，使用上面形成有预定图案的掩膜进行暴露处理和显影处理，并使抗蚀剂成形为其中抗蚀剂仅留在不同于电极垫 14 和孔部 H3 的部分上及它们附近区域上的形状。这种形状举例来说可以是以孔部 H3 为中心的环形。在完成抗蚀剂的图案化时，在执行后烘焙后，去除覆盖部分电极垫 14 的绝缘膜 18 和钝化膜 16，并打开电极垫 14 的一部分。此外，优选将干蚀刻用于这种蚀刻中。干蚀刻可以是反应离子蚀刻 (RIE)。此外，蚀刻可以使用湿蚀刻。而且，在这种情况下，也同时去除形成电极垫 14 的第四层。  
20

图 4B 是横截面图，示出已经去除覆盖电极垫 14 的部分绝缘膜 18 和钝化膜 16 的状态。如图 4B 所示，电极垫 14 上方的区域已经成为开口部 H4，部分电极垫 14 已经暴露。由于所述开口部 H4，可连接在随后步骤中形成的连接端子 20 和电极垫 14。因此，可在与已经形成孔部 H3 的位置不同的位置处形成开口部 H4。还可以在其附近区域中形成开口部 H4。  
25

在本实施例中，对在电极垫 14 的中心附近形成孔部 H3（开口部 H1）的情形给出了实例。因此，考虑到使电极垫 14 暴露的表面积较大会使电极垫 14 和随后形成的连接端子之间的连接电阻较小，优选形成环绕孔部  
30

H3 的开口部 H4。此外，孔部 H3 的形成位置不必位于电极垫 14 的中心附近。而且，当通过去除覆盖电极垫 14 的绝缘膜 18 和钝化膜 16 的部分而暴露部分电极垫 14 时，在去除期间使用的抗蚀剂使用解吸液剥去。

在完成上述步骤时，接着执行形成底层膜的步骤。由于在基板 10 的整个表面上形成底层膜，所以在电极垫 14 的暴露部分和孔部 H3 的内壁和底面上也形成底层膜。此处，底层膜包含阻挡层和薄片层，且通过首先形成阻挡层然后在阻挡层上形成薄片层形成。阻挡层举例来说由 TiW 制成，薄片层举例来说由 Cu 制成。

举例来说使用 IMP（离子金属等离子体）法、或诸如真空沉积、溅射、或离子电镀等 PVD（物理汽相沉积）法形成阻挡层和薄片层。底层膜充分覆盖电极垫 14 和绝缘膜 18 之间的台阶，并在电极垫 14 和绝缘膜 18（包括孔部 H3 的内部）上连续形成。此外，形成底层膜的阻挡层的厚度举例来说为约 100 μm，薄片层的厚度举例来说为约几百 μm。

在完成底层膜的形成时，将电镀抗蚀剂涂覆于基板 10 的有源表面 10a 上，并通过如此图案化以使仅打开形成连接端子 20 的部分形成电镀抗蚀剂图案（未示出）。随后，执行电解 Cu 电镀，将 Cu（铜）埋入基板 10 的开口部 H3 和电镀抗蚀剂图案的开口部中，从而形成连接端子 20（连接端子形成步骤）。

图 5A 是横截面图，示出通过执行电解 Cu 电镀形成连接端子 20 的状态。如图 5A 所示，连接端子 20 具有凸出穿过基板 10 的有源表面 10a 的凸出形状，同时具有部分埋入基板 10 中的形状。此外，在由参考字母 C 表示的位置处，连结端子 20 电连接到电极垫 14。当连接端子 20 形成时，剥去在基板 10 上形成的电镀抗蚀剂图案。

在完成上述步骤时，执行以下步骤，通过在基板 10 的背面 10b 上执行加工使基板 10 变薄，暴露通过埋入基板 10 中形成的连接端子 20（暴露步骤）。为了使基板 10 变薄而在基板 10 的背面 10b 上执行的加工方法可使用背面研磨或背面蚀刻。此处，用使用蚀刻使基板 10 变薄的方法作为实例进行说明。

对基板 10 的背面 10b 进行蚀刻，直到基板 10 的厚度约为 50 μm，且连接端子从基板 10 的背面 10b 突出的量已经达到预定的量（例如，约

20  $\mu\text{m}$ )。在本实施例中，仅使用一种蚀刻工艺不能完成蚀刻工艺，但是可执行不同的蚀刻工艺两次。这是为了通过缩短蚀刻所需时间提高效率，同时精确控制基板 10 的厚度和连接端子 20 的突出量。

5 在本实施例中，在首先执行的蚀刻（第一蚀刻步骤）中，将基板蚀刻到例如 400  $\mu\text{m}$  和几十  $\mu\text{m}$ ，使基板 10 的厚度比连接端子埋入的深度稍厚，且连接端子 20 还没有从基板 10 的背面暴露。此外，在接着执行的蚀刻（第二蚀刻步骤）中，连接端子 20 从基板 10 的背面暴露，基板 10 的厚度约为 50  $\mu\text{m}$ ，且连接端子从基板 10 的背面突出的量约为 20  $\mu\text{m}$ 。  
图 5B 是横截面图，示出已在基板 10 上执行第二蚀刻步骤的状态。

10 在上述第一蚀刻步骤中，由于蚀刻量较大，就效率而言，有必要将蚀刻速度设定为高速。在接着执行的蚀刻（第二蚀刻步骤）中，因为必须精确控制基板 10 和连接端子 20 的厚度，必须以低于第一蚀刻步骤中的蚀刻速度的时刻速度执行蚀刻。当蚀刻基板 10 的背面时，使用干蚀刻或湿蚀刻执行第一和第二蚀刻步骤，且还可在第一和第二蚀刻中在干蚀刻 15 和湿蚀刻之间转换。

此外，在第一蚀刻步骤中执行湿蚀刻的情况下，可将 HF（氟化氢）和 HNO<sub>3</sub>（氮化物）的混合物用作蚀刻液。在将 HF（氟化氢）和 HNO<sub>3</sub>（氮化物）的混合物用作蚀刻液的情况下，当将 HF 和 HNO<sub>3</sub> 的体积比设定为 1:4.5，并将液体温度设定为 25 时，可得到约为 37.8  $\mu\text{m}/\text{min}$  的蚀刻速度。在执行湿蚀刻的情况下，例如可使用采用浸渍法或旋转蚀刻设备的湿蚀刻。当使用旋转蚀刻设备时，薄片加工成为可能。  
20

当在基板 10 上执行第一和第二蚀刻时，考虑了蚀刻面积的蚀刻速度和是否可执行分批加工或薄片加工被考虑到，并且可选择使得蚀刻具有总体高效率的蚀刻方法。此外，湿蚀刻中的蚀刻速度不受蚀刻面积的量 25 控制，而在干蚀刻中，蚀刻速度受蚀刻面积的量控制。

在通过执行第一和第二蚀刻完成基板 10 的背面 10b 的蚀刻时，如上所述，连接端子 20 从基板 10 的背面 10b 突出约 20  $\mu\text{m}$ ，但是由于存在绝缘膜 18 和底层膜（未示出），连接端子 20 自身未暴露。因此，接着，依次执行蚀刻从基板 10 背面突出的绝缘膜 18 和底层膜（未示出）的步骤 30（第三蚀刻步骤）。使用氧化干蚀刻蚀刻绝缘膜 18，使用金属干蚀刻或湿

蚀刻蚀刻底层膜（未示出）。

图 5C 是横截面图，示出已经蚀刻绝缘膜 18 和底层膜的状态。如图 5C 所示，部分连接端子 20 从变薄的基板 10 的背面突出。在基板 10 的有源表面 10a 侧上突出的部分连接端子 20 和从基板 10 的背面 10b 突出的部分的高度约为 20 μm，基板 10 的厚度约为 50 μm。此外，可理解，当连接端子 20 通过上述第一蚀刻步骤至第三蚀刻步骤从基板 10 的背面突出时，暴露的连接端子 20 的形状未改变，并且这种形状精确符合在孔部 H3 的底面处形成的半球形曲面。

而且，此处，说明了基板 10 通过蚀刻变薄以暴露连接端子 20 的方法，但是也可通过研磨背面执行变薄。背面研磨可使用基板 10 的厚度变薄到连接端子 20 埋入深度的步骤，优选使用连接端子 20 从基板 10 的背面 10b 暴露的步骤，接着使用去除绝缘膜 18 和底层膜的步骤。原因在于，连接端子 20 的远端也是接地的，从而形状举例来说可以成为平面状。

在完成上述步骤时，在连接端子 20 的一端上形成无铅焊料 (Sn/Ag)。注意，未示出无铅焊料。在完成无铅焊料的形成时，切割处于晶片状态的基板 10，并分离各个半导体芯片（切割步骤）。此处，可沿预先在基板 10 中切割的直线（位置线）对基板 10 进行切割。

接着，将各个分离的半导体芯片进行层叠以产生三维封装结构（层叠步骤）。为了层叠半导体芯片，首先执行将焊接活化剂（亚麻）涂覆到在已形成在半导体芯片中的连接端子 20 上形成的无铅焊料上的步骤。在将半导体芯片层叠在一起时，所述亚麻借助于粘附力保持半导体芯片，从而不会发生层叠的半导体芯片的不对齐。同时，还将位于已形成在半导体芯片上的连接端子 20 的表面上的氧化膜剥去。

在亚麻的涂覆已完成时，如图 6 所示，使半导体芯片 C1 和半导体芯片 C2 对齐，并将半导体芯片 C1 层叠在半导体芯片 C2 上。此处，层叠的半导体芯片可以是相同类型（即，在基板上形成的电子电路是相同的）也可以使不同类型（即，在基板上形成的电子电路是不同的）。

在完成上述步骤后，将层叠的半导体芯片 C1 和 C2 设置在回流 (reflow) 设备中，形成在半导体芯片 C1 和 C2 上的连接端子 20 的远端上设置的无铅焊料熔化，并在半导体芯片 C1 上形成的连接端子 20 和半

导体芯片 C2 上形成的连接端子 20 焊接在一起（接合步骤）。如图 6 所示，在背面侧（半导体芯片 C2 侧）形成在半导体芯片 C1 上的连接端子 20 的远端具有曲面形状，由于无铅焊料 22 的焊接面积较大，所以焊接强度提高，从而可能实现可靠性的提高。

5 注意，如图 6 所示，对层叠半导体芯片 C1 和半导体芯片 C2 的情形的实例进行了说明，但是在通过切割基板 10 而获得的半导体芯片被安装在诸如插入物等安装基板上的情况下，可使用与将半导体芯片层叠在一起的情形相同的步骤安装半导体芯片。在这种情况下，对齐形成在安装基板上的作为连接部分的连接端子和形成在半导体芯片上的连接端子 10 20，接着将半导体芯片安装在插入物上（安装步骤），并焊接连接电极和连接端子（接合步骤）。

15 此外，在不同于在插入物上安装半导体芯片的构造中，代替插入物，可使用 W-CSP（晶片级芯片尺度封装）将加工过的半导体器件层叠在基板上。此处，W-CSP 技术表示其中在同时执行线路重布和改线及树脂密封且仍处于晶片形式之后，分离各个芯片的技术。当使用 W-CSP 技术将加工过的半导体器件层叠在基板上时，可将半导体芯片层叠在通过线路重布和改线形成的电极上，且在处于晶片状态的基板中形成与在半导体芯片 C1 和 C2 上形成的连接端子相同的连接端子，且可将这些连接端子和在半导体芯片上形成的连接端子焊接和层叠。

20 根据第二实施例的半导体器件制造方法

图 7 至图 12 是步骤图，示出根据本发明第二实施例的半导体器件的制造方法。同样，在此实施例中，首先，使用具有在图 1A 中形成的结构的基板 10，依次执行钝化膜 16 的打开、电极垫 14 的打开、以及绝缘膜 12 的打开，且如图 2B 所示，部分基板 10 的暴露与第一实施例中相同。

25 在本实施例中，在暴露部分基板 10 的开口部 H1 和 H2 中，形成具有预定形状的掩膜，其中所述基板 10 具有图 2B 所示形状。图 7A 是横截面图，示出掩膜已经在开口部 H1 和 H2 中形成的状态，图 7B 示出掩膜实例的顶面的图示。在开口部 H1 和 H2 内形成的掩膜 30 用于将凹凸形状给予通过蚀刻基板 10 形成的孔部 H5 的底面。掩膜 30 是具有宽度小于通过蚀刻基板 10 形成的孔 H5 的直径的任意形状的图案，并形成多个。在 30

本实施例中，如图 7 所示，形成多个圆柱形掩膜。注意，掩膜 30 的形状、数量、和排列是任意的。

在已完成掩膜 30 的形成时，使用掩膜 30 蚀刻在基板 10 上暴露的位置（在开口部 H1 和 H2 中暴露的位置），并且已经给予这些位置凹凸形状  
5 （凹凸形状形成步骤）。图 8A 是横截面图，示出通过蚀刻基板 10 中暴露的位置形成凹凸形状的状态。基板 10 的蚀刻量约为 1 μm 到 10 μm。当凹凸形状形成时，在已经去除形成在开口部 H1 和 H2 中的掩膜后，在基板 10 的上表面和开口部 H1 和 H2 内形成诸如 SiO<sub>2</sub> 等氧化膜 32。

图 8B 是横截面图，示出氧化膜 32 已经形成的状态。在完成氧化膜  
10 32 的形成后，通过蚀刻仅去除在开口部 H1 和 H2 内形成的氧化膜 32。图  
9A 示出氧化膜 32 已经图案化的状态的图示。但上述步骤完成时，通过  
使用干蚀刻蚀刻基板 10 形成孔部 H5（孔形成步骤）。因为蚀刻基板 10  
15 的深度约为 60 μm 到 70 μm，所以优选使用上述 Si 高速蚀刻法或 Bosch  
工艺法执行各向异性蚀刻。在使用 Si 高速蚀刻法时，可将包含 SF<sub>6</sub>/O<sub>2</sub> 的  
混合气体用作蚀刻气体，在使用 Bosch 工艺法时，可使用 SF<sub>6</sub>/C4F<sub>8</sub>。注意，除 RIE 之外，可将 ICP（感应耦合等离子体）用于干蚀刻。  
15

图 9B 是横截面图，示出孔部 H5 已经通过蚀刻基板 10 形成的状态。  
参看图 9B，可理解，所形成的孔部 H5 的总直径与开口部 H1 和 H2 的直  
径大约相同。此外，可理解，孔部 H5 的底面符合图 9A 所示步骤中形成  
20 的凹凸形状。在完成上述步骤时，接着在氧化膜 32 上和孔部 H5 的内壁  
和底面上形成绝缘膜 34（绝缘膜形成步骤）。图 10A 是横截面图，示出  
绝缘膜 34 已经在氧化膜 32 上、孔部 H5 的内壁和底面上形成的状态。所述  
绝缘膜 34 与在第一实施例中形成的绝缘膜一样，举例来说，为了防止  
由于氧气和水使基板 10 出现电流漏泄、造成腐蚀等而设置，并使用与第  
一实施例中相同的方法形成。  
25

接着，使用诸如旋涂法、浸渍法、喷涂法等方法将抗蚀剂涂覆在绝  
缘膜 34 的整个表面上。也可使用干膜抗蚀剂。注意，所述抗蚀剂用于打  
开部分电极垫 14 上方的区域，且可以是光致抗蚀剂、电子束抗蚀剂、或  
X 射线抗蚀剂，且可以是正抗蚀剂或负抗蚀剂。

30 当将抗蚀剂涂覆到绝缘膜 34 时，在执行预烘焙后，使用具有预定形

状的掩膜进行暴露处理和显影处理。并将抗蚀剂图案化为其中抗蚀剂仅留在不同于电极垫 14 和孔部 H3 及其附近的区域的部分上的形状。这种形状举例来说可以是以孔部 H5 为中心的环形。在完成抗蚀剂的图案化时，在执行后烘焙后，去除覆盖部分电极垫 14 的绝缘膜 34、氧化膜 32、  
5 和钝化膜 16，并打开部分电极垫 14。

图 10B 是横截面图，示出已经去除覆盖电极垫 14 的绝缘膜 34、氧化膜 32、和钝化膜 16 的部分。如图 10B 所示，电极垫 14 上方的区域作为开口部 H6，部分电极垫 14 已经暴露。由于开口部 H6，可连接在以下步骤中形成的连接端子 36 和电极垫 14。因此，可在形成孔部 H5 的位置的外部形成开口部 H6，另外，也可在它们的附近形成。此外，与第一实施例相同，考虑到使得电极垫 14 和随后形成的连接端子之间的连接电阻较小，优选使电极垫 14 暴露的表面积较大。此外，孔部 H5 的形成位置不必位于电极垫 14 的中心附近。注意，当去除覆盖电极垫 14 的绝缘膜 34、氧化膜 32、和钝化膜 16 并暴露部分电极垫 14 时，在去除期间使用的抗蚀剂用解吸液剥去。  
10  
15

在完成上述步骤时，接着执行形成底层膜的步骤。注意，未示出所述步骤和底层膜。由于底层膜的形成方法与第一实施例中相同，所以此处省略对其的说明。在完成底层膜的形成时，将电镀抗蚀剂涂覆于基板 10 的有源表面 10a 上，仅将形成连接端子 36 的部分图案化为打开状态，并且形成电镀图案（未示出）。随后，通过 Cu 电解电镀，将 Cu（铜）埋入基板 10 的开口部 H5 和电镀抗蚀剂图案的开口部中，从而形成连接端子 36（连接端子形成步骤）。  
20

图 11A 是横截面图，示出通过执行 Cu 电解电镀形成连接端子 36 的状态。如图 5A 所示，连接端子 36 具有在基板 10 的有源表面 10a 上凸出的凸出形状，同时其部分埋入基板 10 中。此外，在由参考字母 C 表示的位置处，连结端子 36 电连接到电极垫 14。当连接端子 36 形成时，剥去在基板 10 上形成的电镀抗蚀剂图案。  
25

在完成上述步骤时，执行以下步骤，通过在基板 10 的背面 10b 上进行加工使基板 10 变薄，暴露通过埋入基板 10 中形成的连接端子 36（暴露步骤）。与第一实施例相同，为了使基板 10 变薄而在基板 10 的背面 10b  
30

上执行的加工方法可使用包含第一蚀刻步骤到第三蚀刻步骤的蚀刻方法。注意，也可使用背面研磨步骤代替第一蚀刻步骤。

对基板 10 的背面 10b 进行蚀刻（第一蚀刻步骤和第二蚀刻步骤），直到基板 10 的厚度约为 50  $\mu\text{m}$ ，且连接端子从基板 10 的背面 10b 突出的量达到预定量（例如，约 20  $\mu\text{m}$ ）。图 11B 是横截面图，示出第二蚀刻步骤已在基板 10 上执行的状态。如图 11B 所示，由于连接端子 36 未被暴露且这些连接端子用绝缘膜 34 等覆盖，执行通过第三蚀刻步骤去除绝缘膜 34 的部分的步骤。

图 11C 是横截面图，示出已经蚀刻绝缘膜 34 和底层膜的状态。如图 11C 所示，部分连接端子 36 从变薄的基板 10 的背面突出。此外，当连接端子 36 通过上述第一蚀刻步骤至第三蚀刻步骤从基板 10 的背面暴露时，暴露的连接端子 36 的形状未改变，且可以理解，暴露的连接端子 36 大体上符合在孔部 H5 的底面处形成的凹凸形状。

在完成上述步骤时，在连接端子 36 的任一远端上形成无铅焊料（Sn/Ag）。注意，未示出无铅焊料。在完成无铅焊料的形成时，切割处于晶片状态的基板 10，并分离各个半导体芯片（切割步骤）。此处，可沿预先在基板 10 中切割的直线（位置线）对基板 10 进行切割。

接着，将已分离的各个半导体芯片进行层叠以产生三维封装结构（层叠步骤）。为了层叠半导体芯片，首先执行将焊接活化剂（亚麻）涂覆到在已形成在半导体芯片中的连接端子 36 上形成的无铅焊料上的步骤。在将半导体芯片层叠在一起时，所述亚麻借助于粘附力保持半导体芯片，从而不会发生层叠的半导体芯片的不对齐。同时，还将位于已形成在半导体芯片上的连接端子 36 的表面上的氧化膜剥去。

在已完成亚麻的涂覆时，如图 12 所示，通过使半导体芯片 C3 和半导体芯片 C4 对齐以使在半导体芯片中形成的每个连接端子 36 的位置对齐，将半导体芯片 C3 层叠在半导体芯片 C4 上。此处，层叠的半导体芯片可以是相同类型（即，在基板上形成的电子电路是相同的）也可以使不同类型（即，在基板上形成的电子电路是不同的）。

在完成上述步骤后，将层叠的半导体芯片 C3 和 C4 设置在回流（reflow）设备中，在半导体芯片 C3 和 C4 上形成的连接端子 36 的远端

上设置的无铅焊料被熔化，并焊接在半导体芯片 C3 上形成的连接端子 36 和半导体芯片 C4 上形成的连接端子 36 (接合步骤)。如图 12 所示，在背面侧(半导体芯片 C4 侧)的半导体芯片 C1 上形成的连接端子 20 的远端具有凹凸形状，由于无铅焊料 38 的焊接面积较大，所以焊接强度提高，  
5 从而可能实现可靠性的提高。

而且，对层叠半导体芯片 C3 和半导体芯片 C4 的情形的实例进行了说明，但是与第一实施例相同，通过切割基板 10 得到的半导体芯片安装在诸如插入物的安装基板上或安装在使用 W-CSP 技术加工过的基板上。

#### 根据第三实施例的半导体器件制造方法

10 图 13 至图 17 是步骤图，示出根据本发明第三实施例的半导体器件的制造方法。同样，在此实施例中，首先，使用具有图 1A 所示结构的基板 10，依次执行钝化膜 16 的打开、电极垫 14 的打开、以及绝缘膜 12 的打开，且如图 2B 所示，部分基板 10 的暴露与第一实施例中相同。

15 在本实施例中，包含 SiO<sub>2</sub> 等的绝缘膜 40 形成在钝化膜 16 上，包括开口部 H1 和 H2 (从此处暴露处于图 2B 所示状态的部分基板)，且在开口部 H1 和 H2 中形成的绝缘膜 40 图案化为预定形状 (掩膜形成步骤)。  
图 13A 示出绝缘膜 40 在已经图案化的钝化膜 16 上形成的状态，图 13B  
20 是图案化后在开口部 H1 和 H2 内形成的绝缘膜 40 的上表面的图示。注意，在开口部 H1 和 H2 中暴露的区域相应于在本发明中称为孔部形成区域的区域。

如图 13A 和图 13B 所示，打开开口部 H1 和 H2 内的绝缘膜 40 以便具有多个孔 42。通过蚀刻基板 10，绝缘膜 40 形成孔部 H7 (参看图 14)，且用于将凹凸形状给予所形成的孔部 H7 的底面。根据在基板 10 中形成的孔 H7 的形状和直径以及在形成孔部 H7 期间侧蚀刻的量确定在绝缘膜 40 中形成的孔部 H7 的直径、排列、以及数量。  
25

在完成绝缘膜 40 的图案化时，通过在绝缘膜 40 中形成的每个孔部 47 蚀刻基板 10 形成孔部 H7 (凹凸形状形成步骤)。图 14A 是横截面图，示出通过在绝缘膜 40 中形成的每个孔 42 蚀刻基板 10 形成孔部 H7 的状态。在本实施例中，当孔部 H7 形成时，与第一实施例相同，使用 Si 高速蚀刻法或 Bosch 工艺法进行各向异性刻蚀，且孔部 H7 被如此蚀刻以便  
30

通过调整蚀刻气体的气体比例、蚀刻气体的压力、以及偏压，存在微小的侧蚀刻。此外，所述蚀刻方法相应于本发明中所称的孔部蚀刻方法，其中在基板的表面方向上存在微小的加宽。

由此，通过在绝缘膜 40 中形成的每个孔 42 将基板 10 蚀刻，且随着蚀刻的进行，相应于每个孔 42 的孔之间的间距由于侧蚀刻而变窄，最终，形成图 14A 所示的一个孔部 H7。此外，当使用绝缘膜 40 蚀刻基板 10 时，如图 14A 所示，将凹凸形状给予所形成的孔部 H7 的底面。虽然所形成的孔部 H7 的直径在基板的表面方向上稍微加宽与侧蚀刻相等的量，如图 14A 所示，可理解，总直径与开口部 H1 和 H2 的直径大体相同。

在上述步骤已经完成时，接着，去除在钝化膜 16 等上形成的绝缘膜 40。图 14B 是横截面图，示出去除在钝化膜 16 等上形成的绝缘膜 40 的状态。接着，在钝化膜 16 上和孔部 H7 的内壁和底面上形成绝缘膜 44（绝缘膜形成步骤）。图 15 是横截面图，示出绝缘膜 44 已经在钝化膜 16 和孔部 H7 的内壁和底面上形成的状态。所述绝缘膜 44 与在第一实施例中形成的绝缘膜 18 相同，为了防止基板 10 由于氧气和水等造成腐蚀等而设置，且使用与第一实施例中相同的方法形成。

接着，使用诸如旋涂法、浸渍法、喷涂法等方法将抗蚀剂（未示出）涂覆在绝缘膜 44 的整个表面上。注意，所述抗蚀剂用于打开部分电极垫 14 上方的区域，且可以是光致抗蚀剂或、电子束抗蚀剂、或 X 射线抗蚀剂，且可以是正抗蚀剂或负抗蚀剂。

当将抗蚀剂涂覆到绝缘膜 44 时，在执行预烘焙后，使用上面形成有预定图案的掩膜进行暴露处理和显影处理，并使抗蚀剂图案化为其中抗蚀剂仅留在不同于电极垫 14 和孔部 H8 及其附近区域的部分上的形状。这种形状举例来说可以是以孔部 H7 为中心的环形。在完成抗蚀剂的图案化时，在执行后烘焙后，去除覆盖部分电极垫 14 的绝缘膜 44 和钝化膜 16，并打开部分电极垫 14。

图 15B 是横截面图，示出已经去除部分绝缘膜 44 和钝化膜 16 的状态。如图 15B 所示，电极垫 14 上方的区域成为开口部 H8，且暴露部分电极垫 14。由于所述开口部 H8，可将在随后的步骤中形成的连接端子 46 连接到电极垫 14。因此，可在除已形成孔部 H7 的位置之外或其附近的

位置处形成开口部 H8。此外，与第一实施例相同，优选考虑使随后形成的连接端子和电极垫 14 和之间的连接电阻较小，使电极垫 14 暴露的面积较大。注意，当去除覆盖电极垫 14 的绝缘膜 44 和钝化膜 16 且暴露部分电极垫 14 时，在所述去除期间使用的抗蚀剂使用解吸液剥去。

在完成上述步骤时，接着执行形成底层膜的步骤。注意，未示出所述步骤和底层膜。由于底层膜的形成方法与第一实施例中相同，所以此处省略对其的说明。在底层膜的形成完成时，将电镀抗蚀剂涂覆于基板 10 的有源表面 10a 上，通过执行图案化以便仅打开形成连接端子 46 的部分而形成电镀图案（未示出）。随后，通过 Cu（铜）电解电镀，将 Cu（铜）埋入基板 10 的开口部 H7 和电镀抗蚀剂图案的开口中，从而形成连接端子 46（连接端子形成步骤）。

图 16A 是横截面图，示出通过执行 Cu 电解电镀形成连接端子 46 的状态。如图 16A 所示，连接端子 46 具有突出穿过基板 10 的有源表面 10a 的凸出形状，且其部分具有埋入基板 10 中的形状。此外，在由参考字母 C 表示的位置处，连结端子 46 电连接到电极垫 14。当连接端子 46 形成时，剥去在基板 10 上形成的电镀抗蚀剂图案。

在完成上述步骤时，执行以下步骤，通过在基板 10 的背面 10b 上进行加工使基板 10 变薄，暴露通过埋在基板 10 中形成的连接端子 46（暴露步骤）。与第一实施例相同，为了使基板 10 变薄而在基板 10 的背面 10b 上执行的加工方法可使用包含第一蚀刻步骤到第三蚀刻步骤的蚀刻方法。注意，也可使用背面研磨步骤代替第一蚀刻步骤。

对基板 10 的背面 10b 进行蚀刻（第一蚀刻步骤和第二蚀刻步骤），直到基板 10 的厚度约为 50 μm，且连接端子 46 从基板 10 的背面 10b 突出的量达到预定量（例如，约 20 μm）。图 16B 是横截面图，示出第二蚀刻步骤已在基板 10 上执行的状态。如图 16B 所示，由于连接端子 46 自身用绝缘膜 44 等覆盖而未暴露，所以执行通过使用第三蚀刻步骤去除部分绝缘膜 44 的步骤。

图 16C 是横截面图，示出已经蚀刻绝缘膜 44 和底层膜的状态。如图 16C 所示，部分连接端子 46 从变薄的基板 10 的背面突出。此外，当连接端子 46 通过上述第一蚀刻步骤至第三蚀刻步骤从基板 10 的背面暴露时，

可理解暴露的连接端子 46 的形状未改变，且具有近似符合在孔部 H7 的底面处形成的凹凸形状。

在完成上述步骤时，在连接端子 46 的任一远端上形成无铅焊料 (Sn/Ag)。注意，未示出无铅焊料。在完成无铅焊料的形成时，切割处于晶片状态的基板 10，并分离各个半导体芯片（切割步骤）。此处，可沿预先在基板 10 中切割的直线（位置线）对基板 10 进行切割。  
5

接着，将每个已分离的半导体芯片进行层叠以产生三维封装结构（层叠步骤）。为了层叠半导体芯片，首先执行将焊接活化剂（亚麻）涂覆到已经涂覆到在半导体芯片中形成的连接端子 46 的无铅焊料上的步骤。在  
10 将半导体芯片层叠在一起时，所述亚麻由于其粘附力保持半导体芯片，从而不会发生层叠的半导体芯片的不重合。同时，还将位于已在半导体芯片上形成的连接端子 46 的表面上的氧化膜剥去。

在已完成亚麻的涂覆时，如图 17 所示，通过使半导体芯片 C5 和半导体芯片 C6 对齐以使在半导体芯片中形成的每个连接端子 46 的位置对齐，将半导体芯片 C5 层叠在半导体芯片 C6 上。此处，层叠的半导体芯片可以是相同类型（即，在基板上形成的电子电路是相同的）也可以使不同类型（即，在基板上形成的电子电路是不同的）。  
15

在完成上述步骤后，将层叠的半导体芯片 C5 和 C6 设置在回流设备中，熔化在半导体芯片 C5 和 C6 上形成的连接端子 46 的远端上设置的无  
20 铅焊料，并焊接在半导体芯片 C5 上形成的连接端子 46 和半导体芯片 C6 上形成的连接端子 46（接合步骤）。如图 17 所示，在背面侧（半导体芯片 C6 侧）半导体芯片 C5 上形成的连接端子 46 的远端具有曲面形状，由于无铅焊料 48 的焊接面积较大，所以焊接强度提高，从而可能实现可靠性的提高。

而且，如图 17 所示，对层叠半导体芯片 C5 和半导体芯片 C6 的情形的实例进行了说明，但是与第一实施例相同，通过切割基板 10 得到的  
25 半导体芯片可安装在诸如插入物的安装基板上或安装在使用 W-CSP 技术加工过的基板上。

（电子设备）

30 图 18 所示的笔记本式个人电脑 200 和图 19 所示的携带式电话用来

对具有根据本发明的实施例的半导体器件的电子设备进行说明。所述半导体器件设置在每个电子设备的外壳内。此外，电子设备不限于此处提到的笔记本式个人电脑或携带式电话，也可应用于其它各种类型的电子设备。例如，可将其应用于诸如液晶投影机、多媒体兼容个人电脑（PC）  
5 和工程工作站、寻呼机、文字处理器、电视、取景器式或直接监控式录像机、电子计算器、导航装置、POS 端子、以及提供触板的设备等电子设备。

以上已经说明了本发明的实施例及其它实施例。然而，本发明并不限于这些实施例，本发明可作改变而不偏离本发明的精神。例如，在  
10 上述实施例中，使用无铅焊料将半导体芯片安装在安装基板上，并将半导体芯片焊接在一起。然而，也可使用金属焊料代替无铅焊料将半导体芯片焊接在一起。

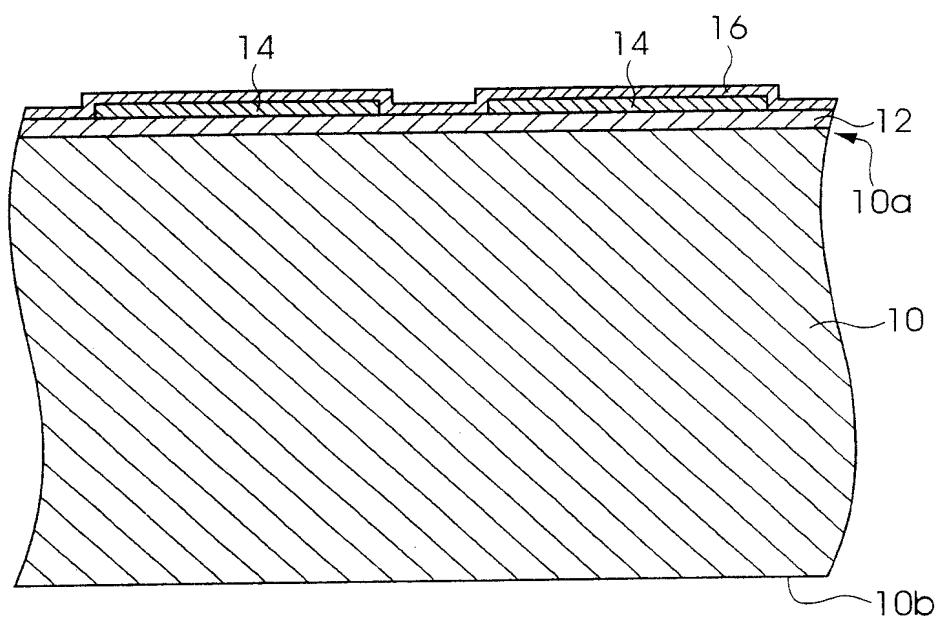


图 1A

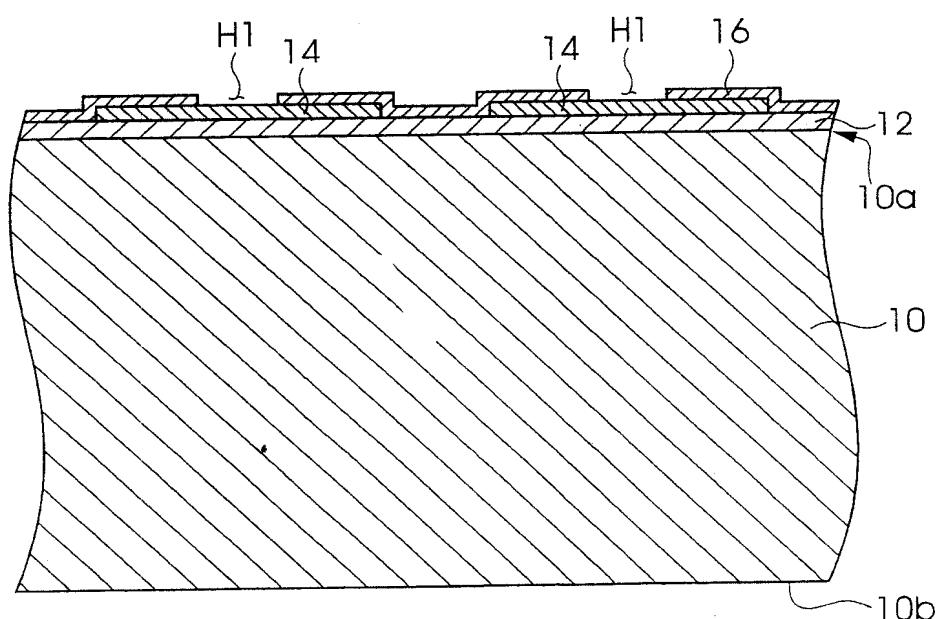


图 1B

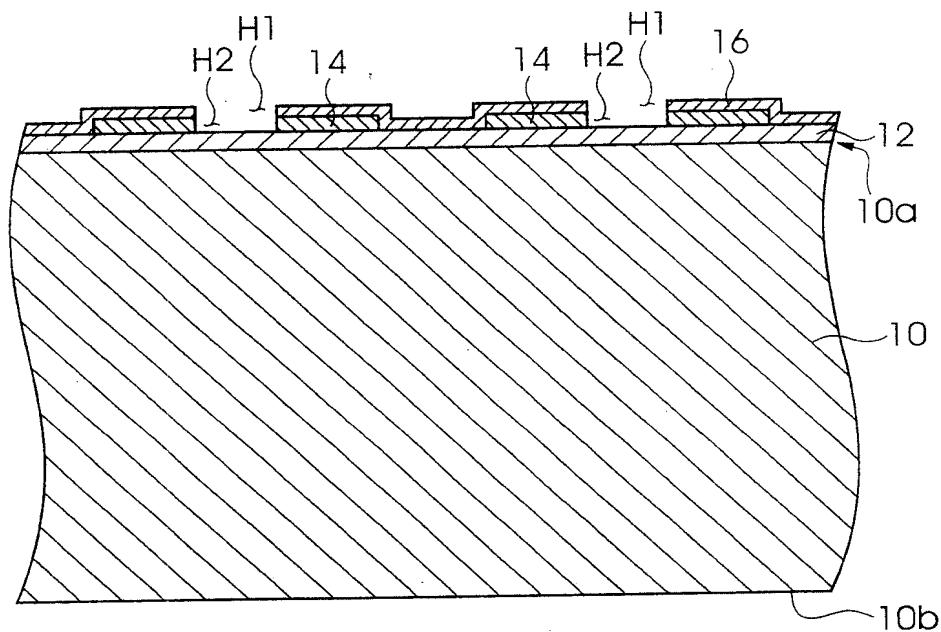


图 2A

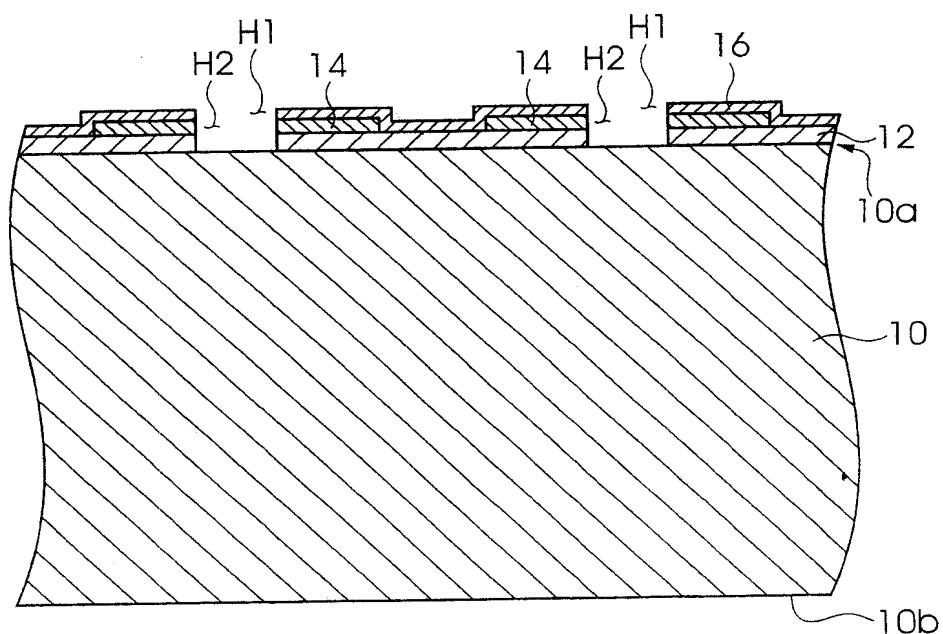


图 2B

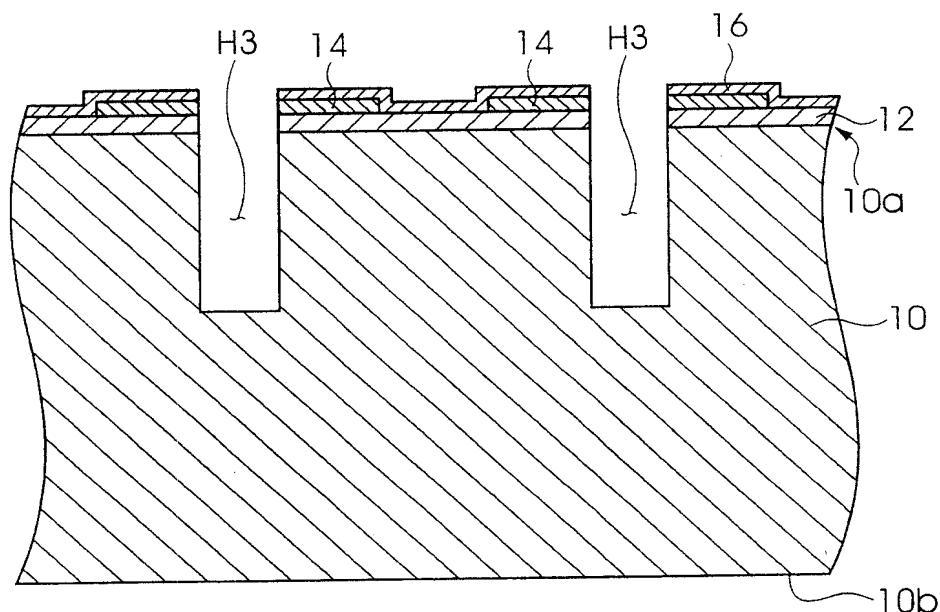


图 3A

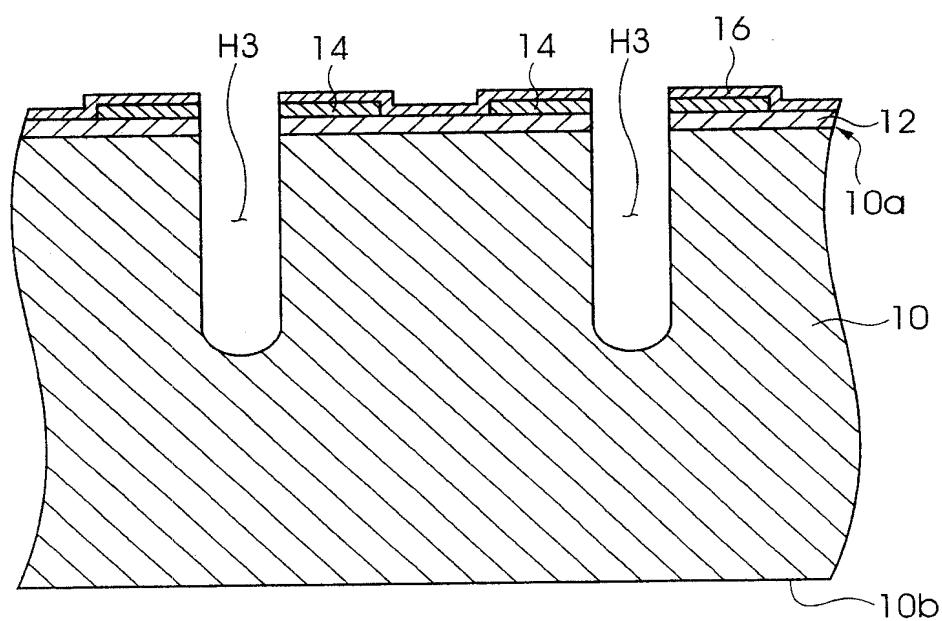


图 3B

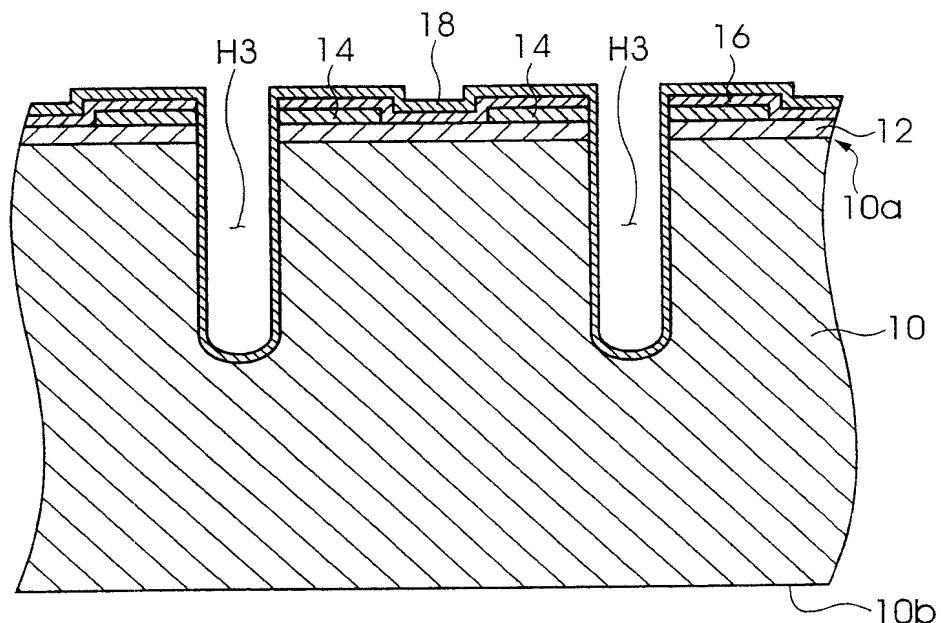


图 4A

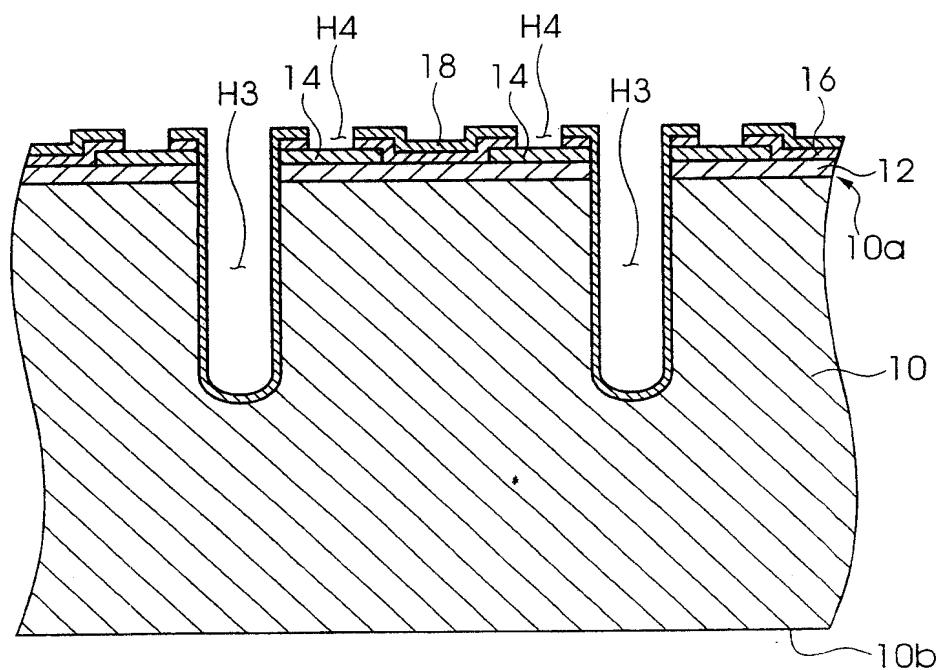


图 4B

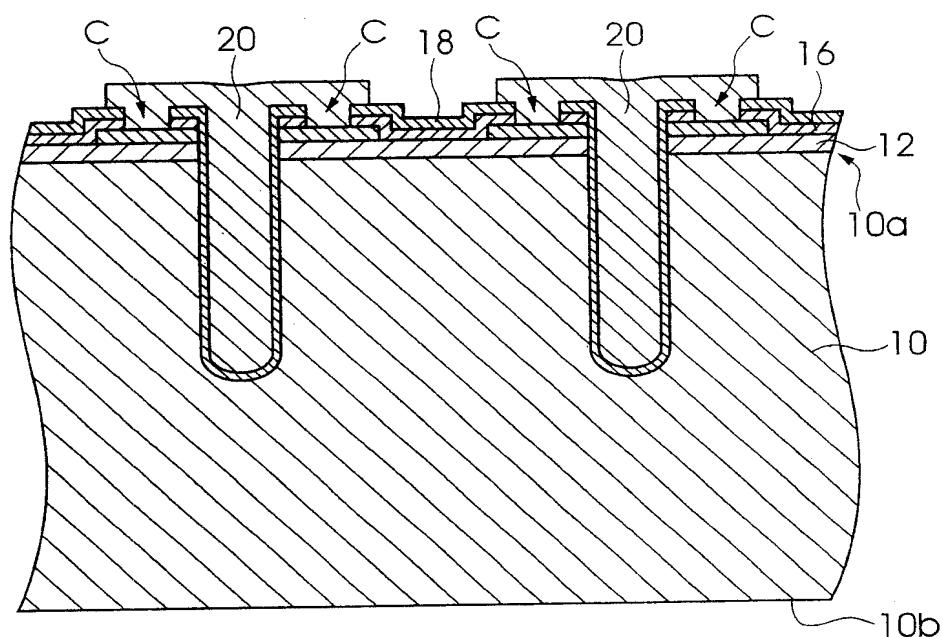


图 5A

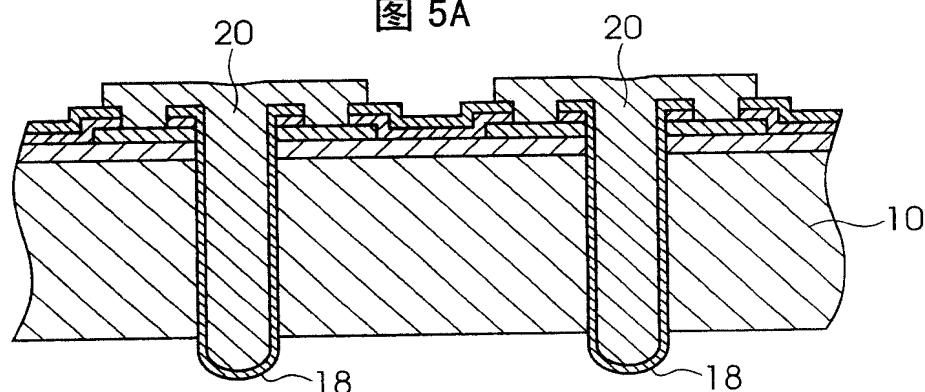


图 5B

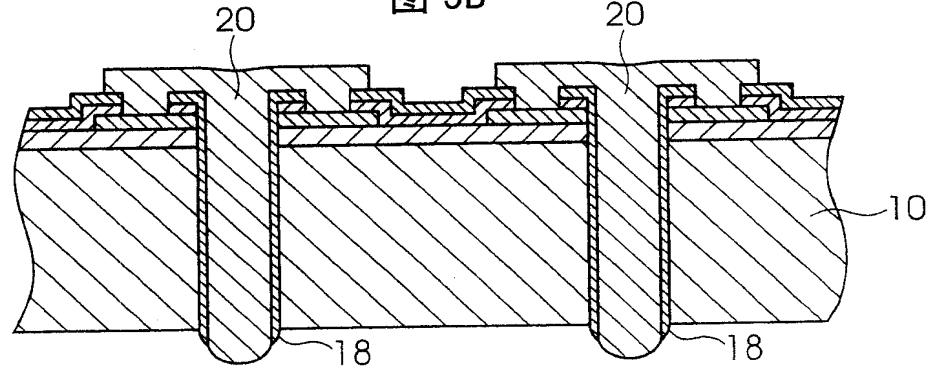


图 5C

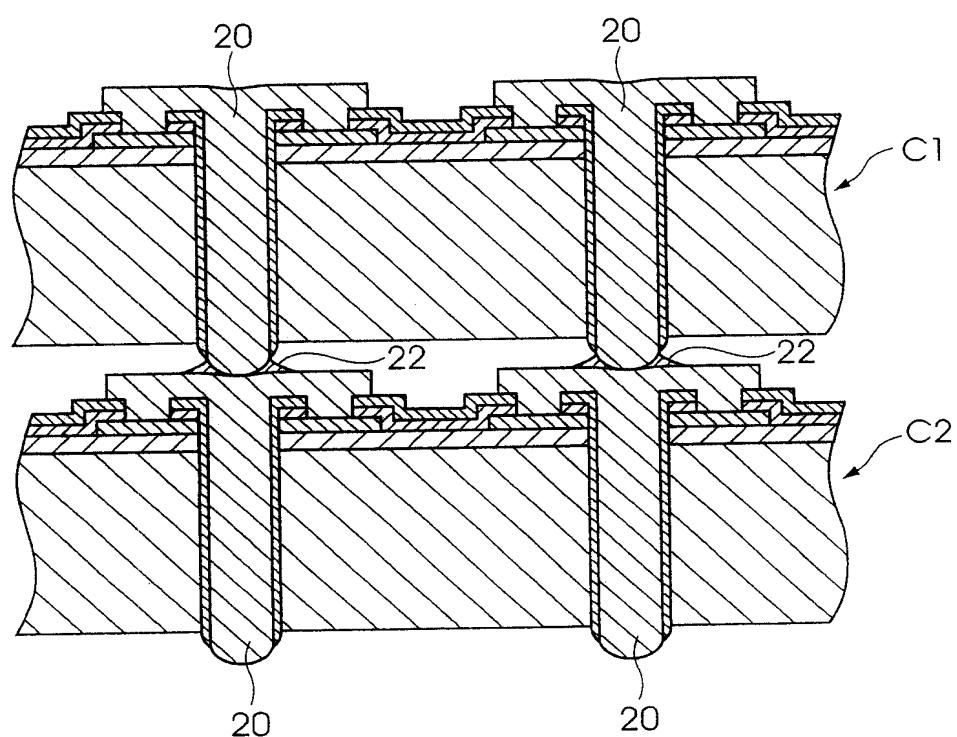


图 6

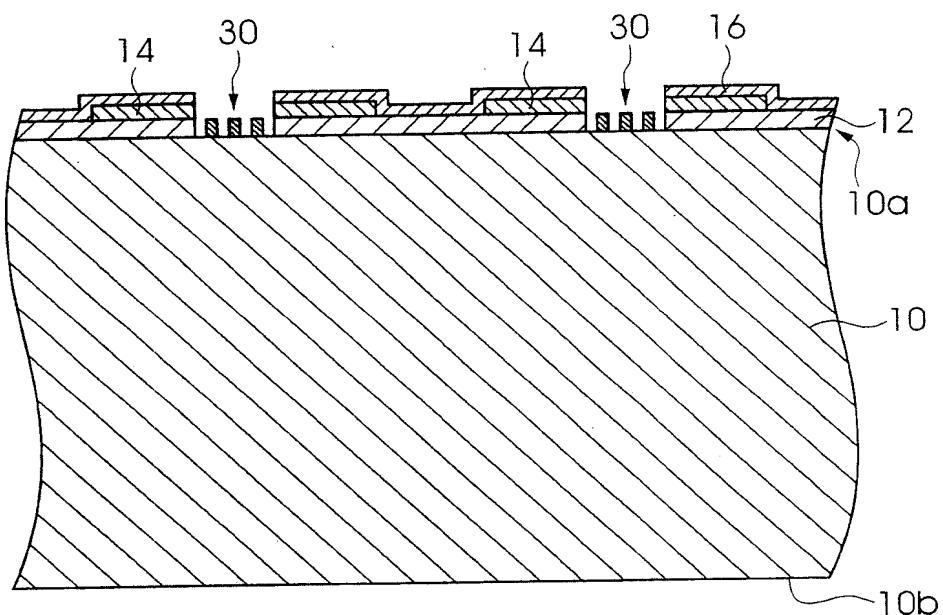


图 7A

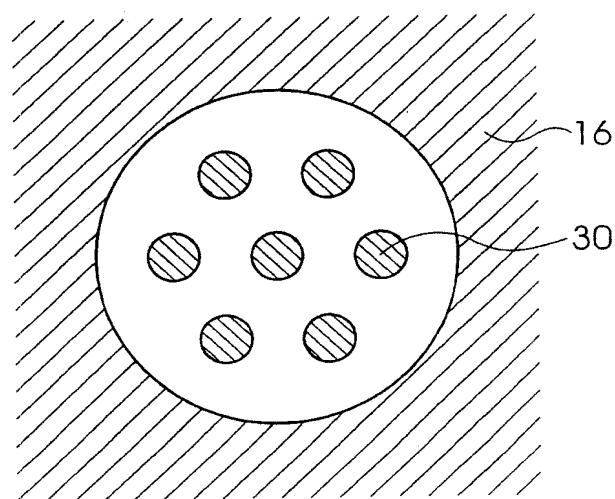


图 7B

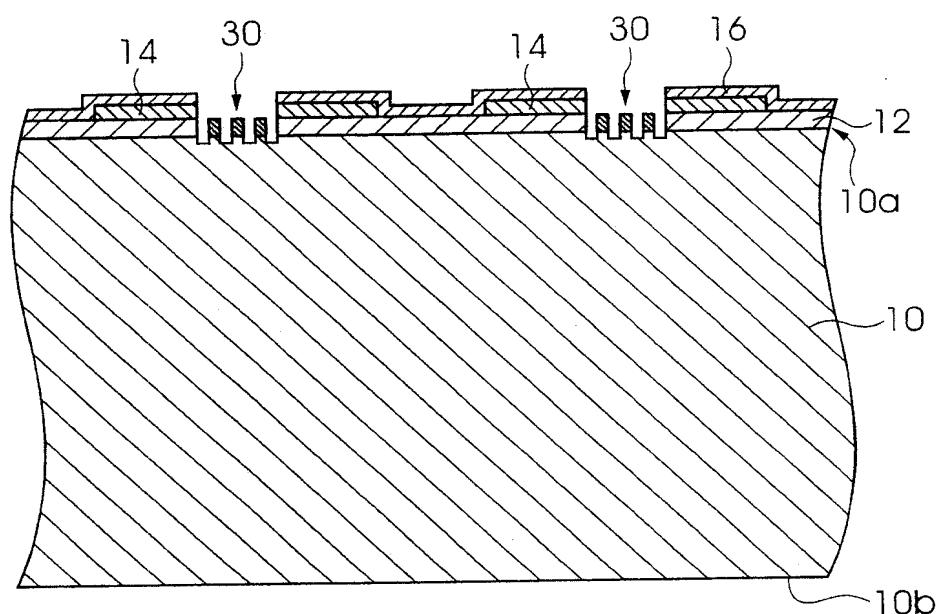


图 8A

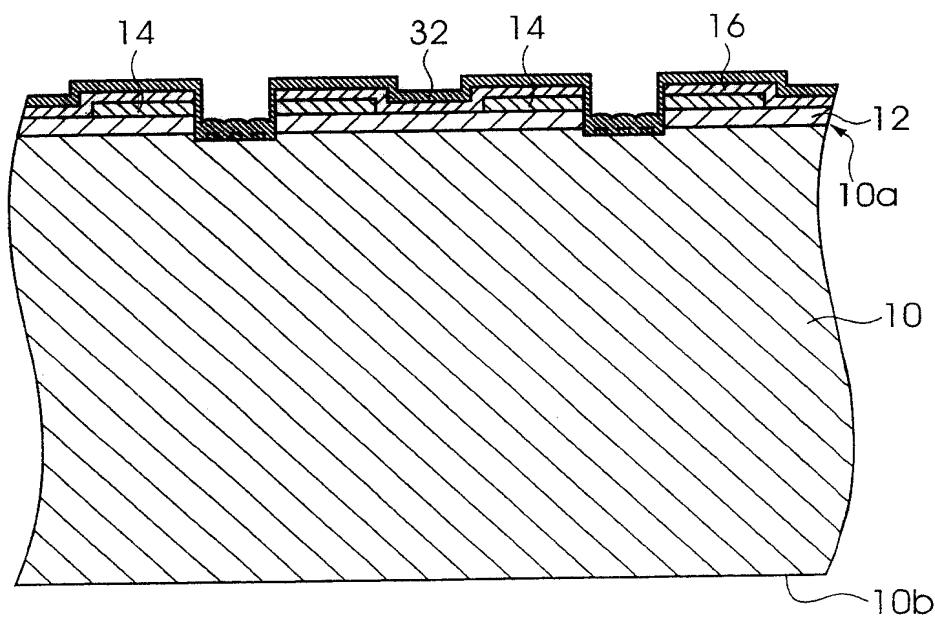


图 8B

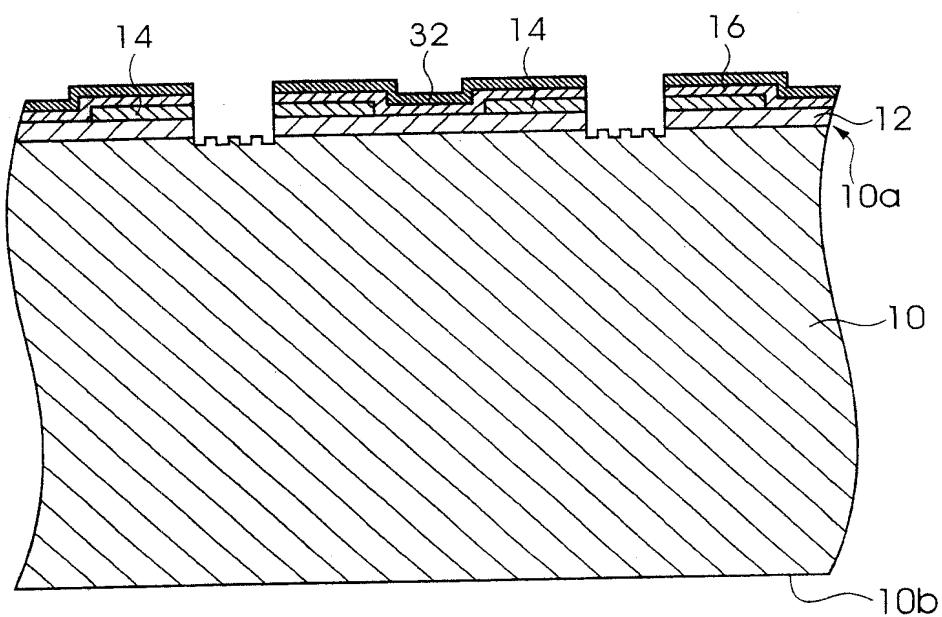


图 9A

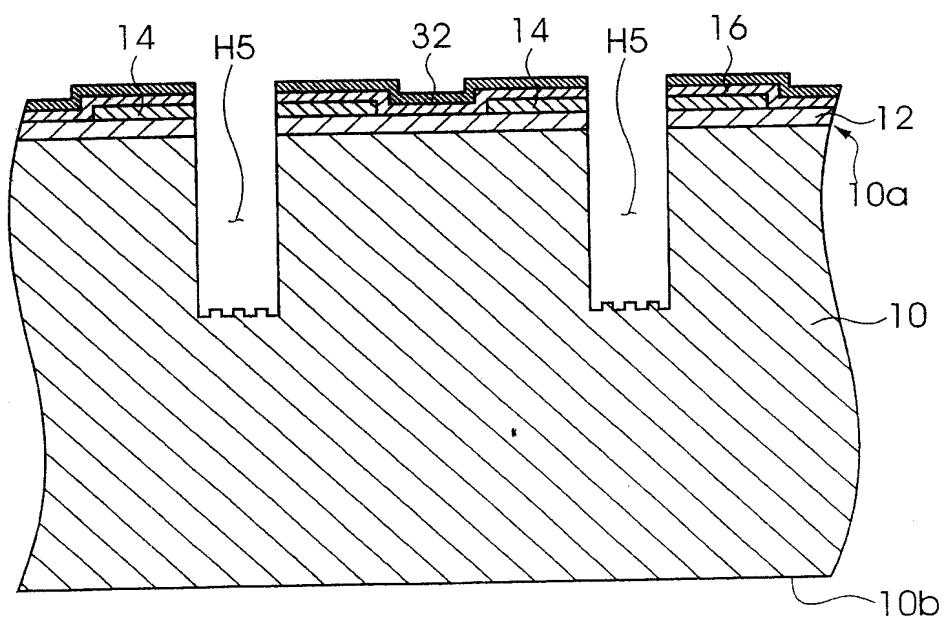


图 9B

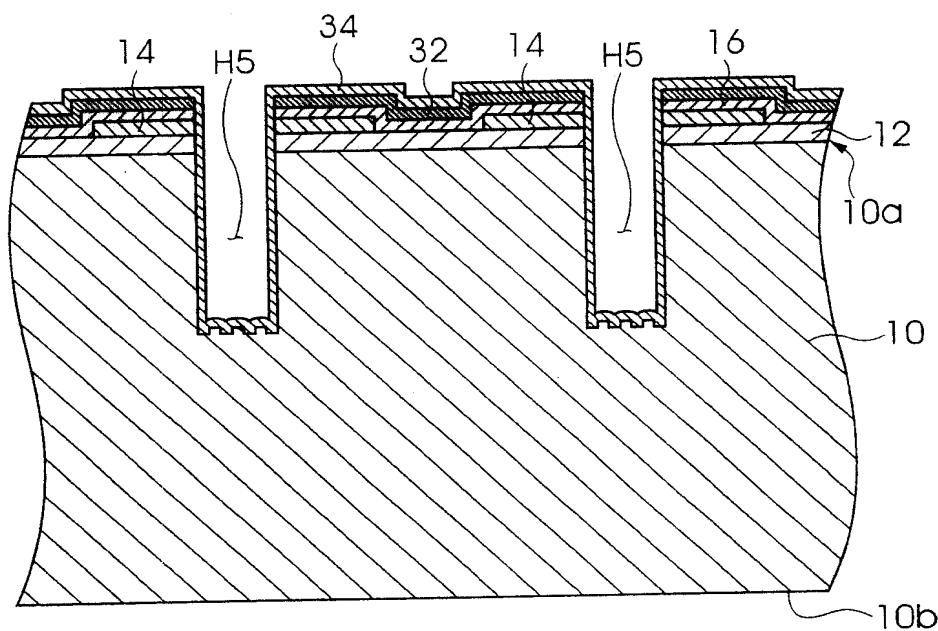


图 10A

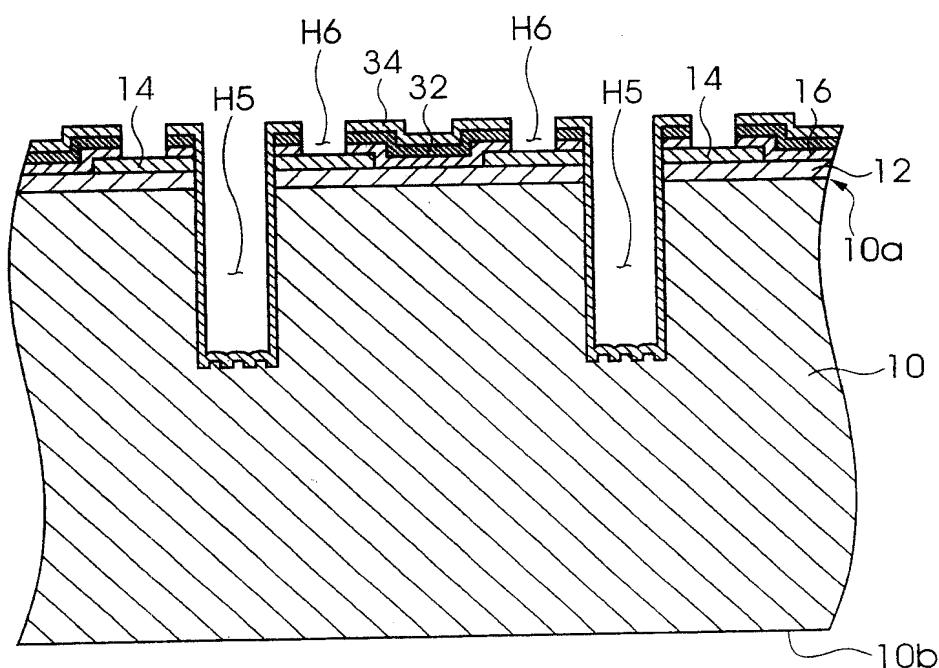


图 10B

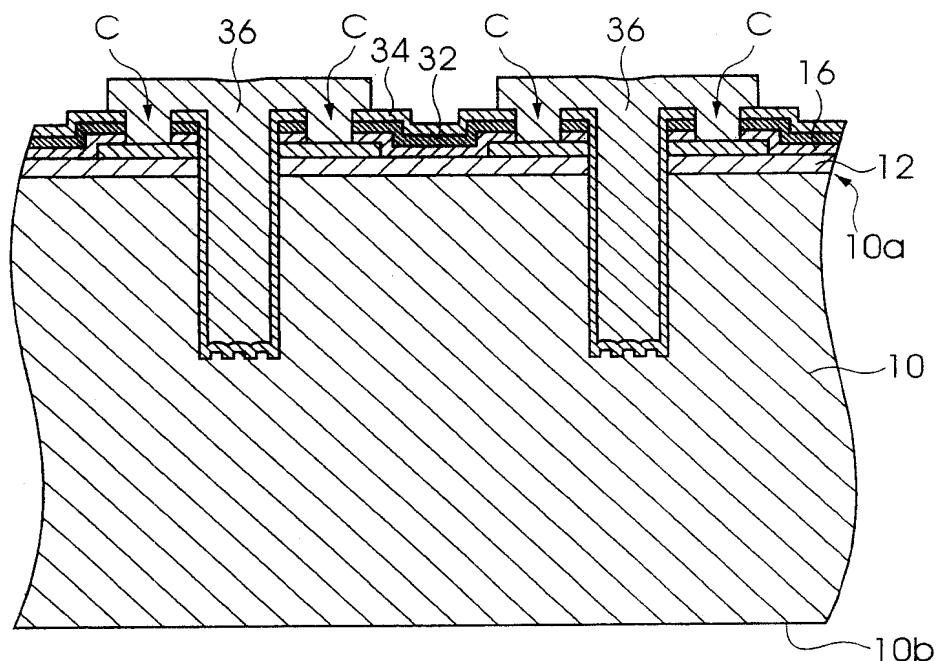


图 11A

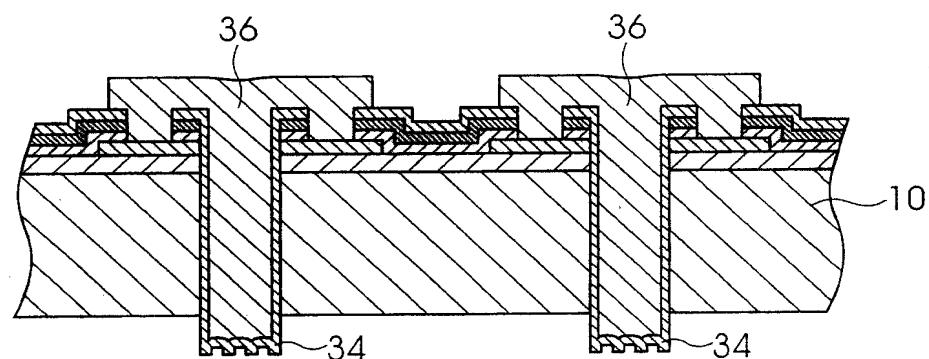


图 11B

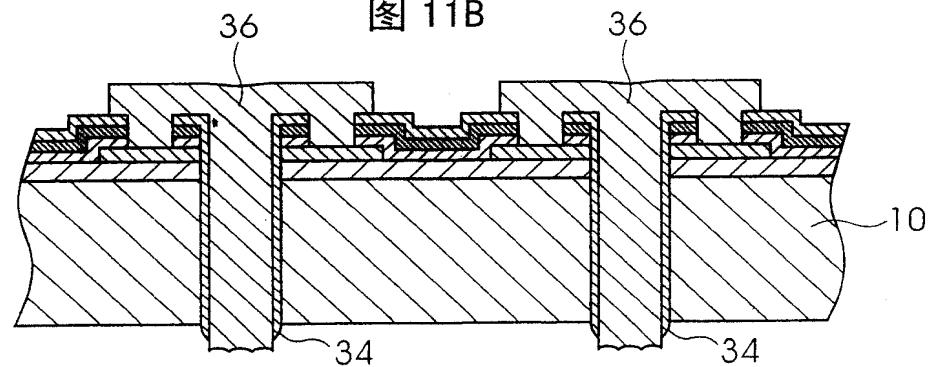


图 11C

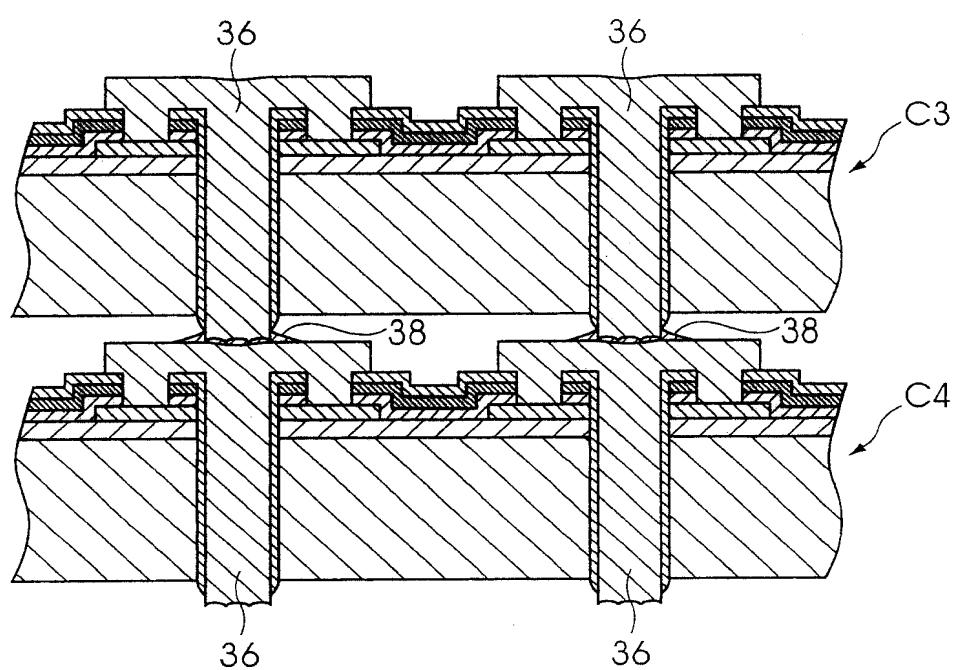


图 12

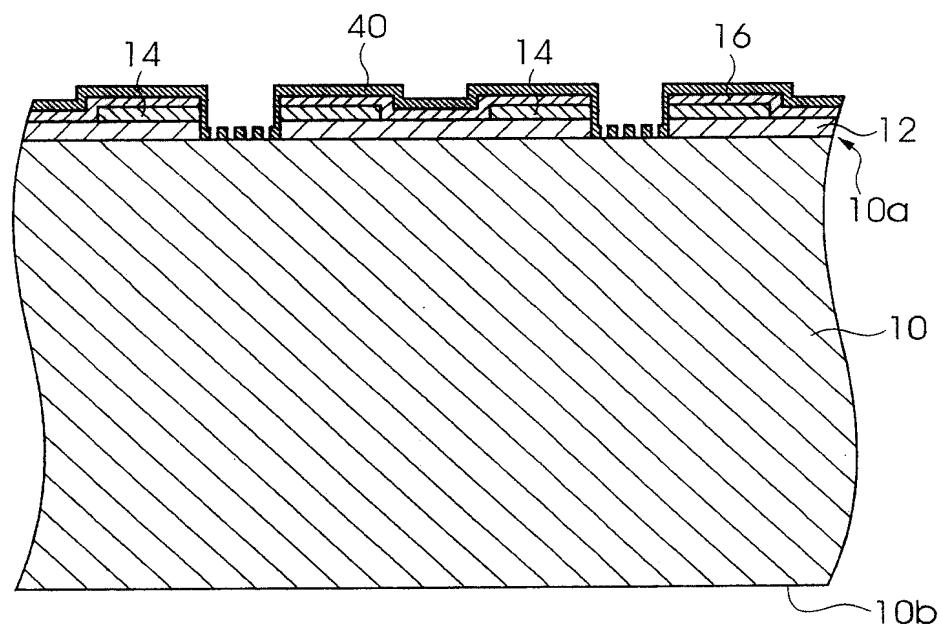


图 13A

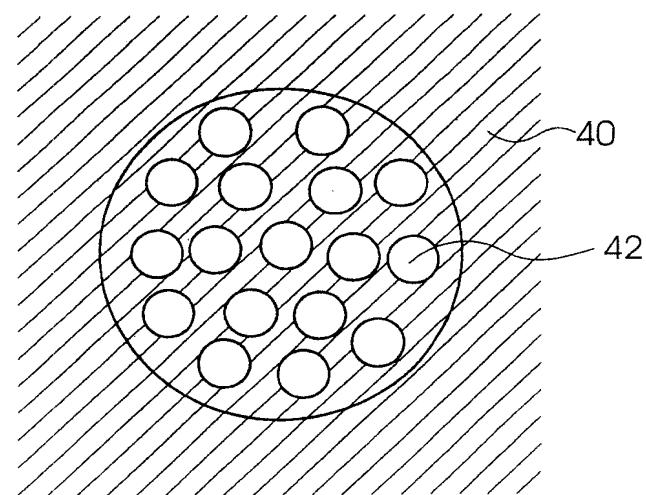


图 13B

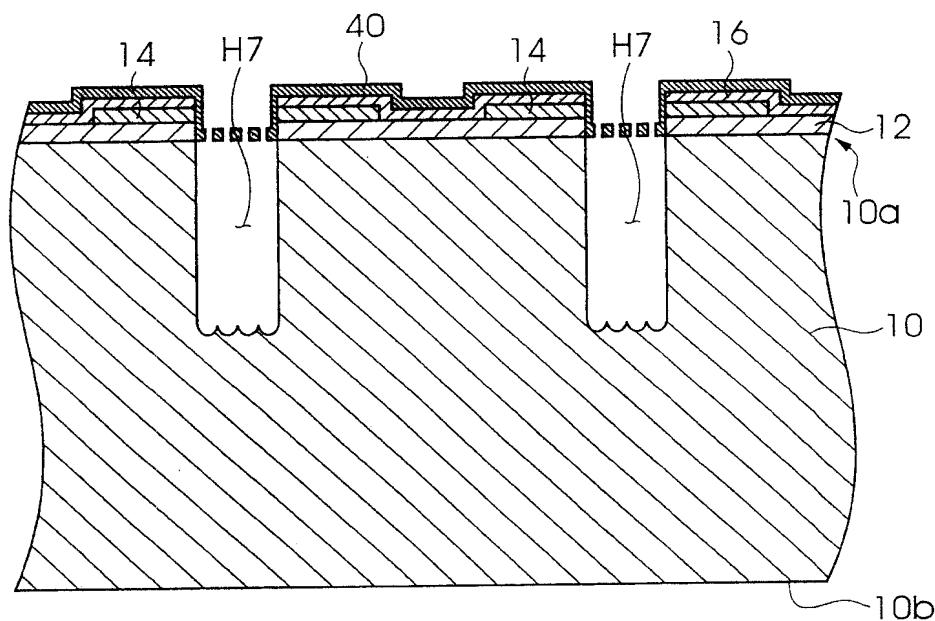


图 14A

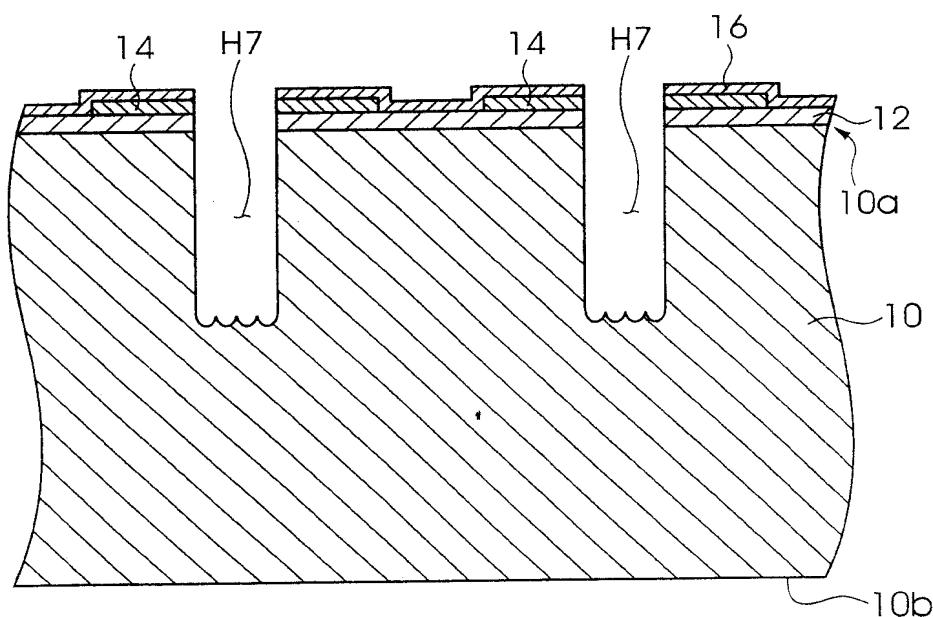


图 14B

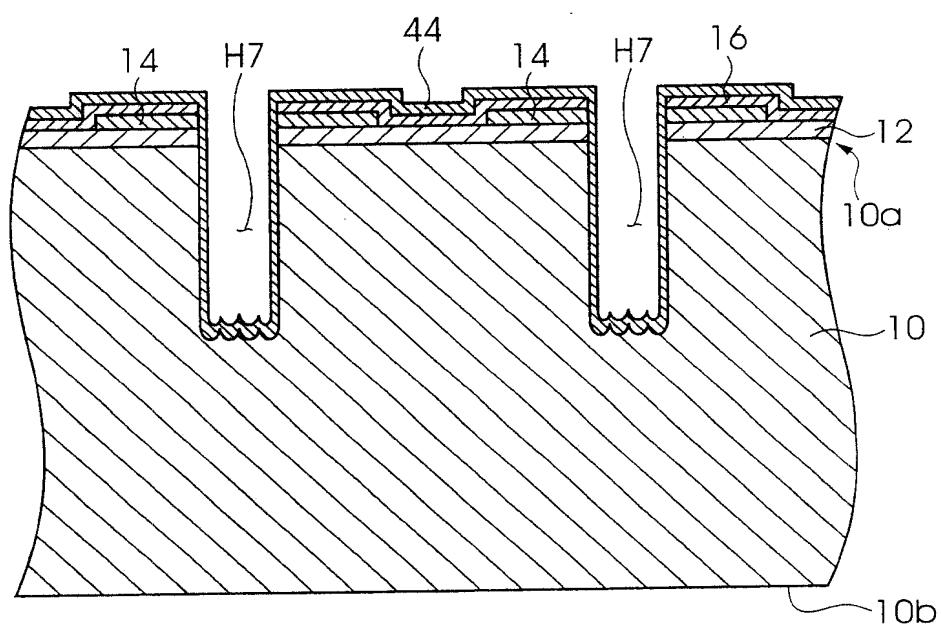


图 15A

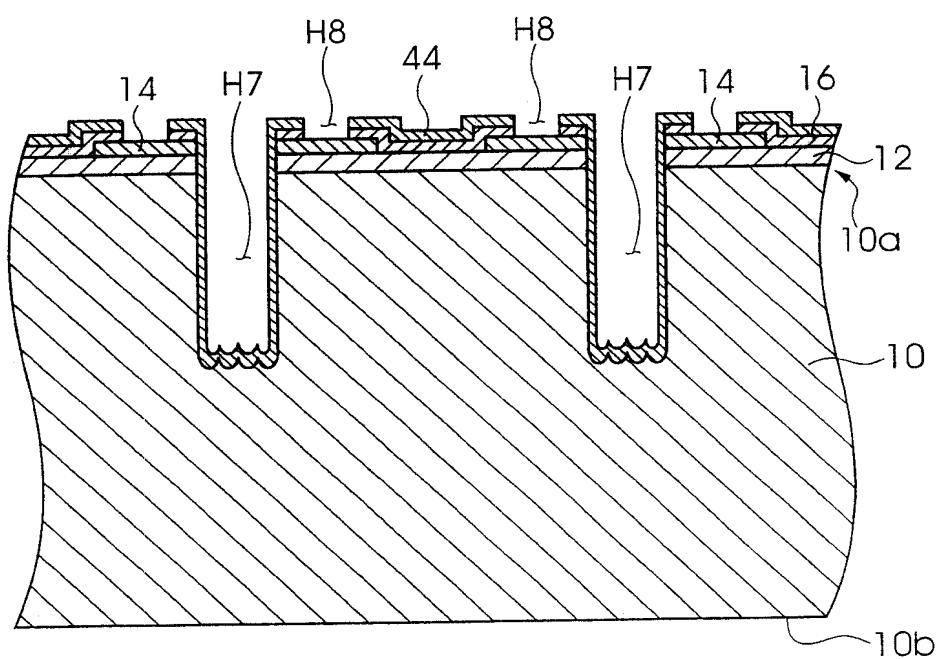


图 15B

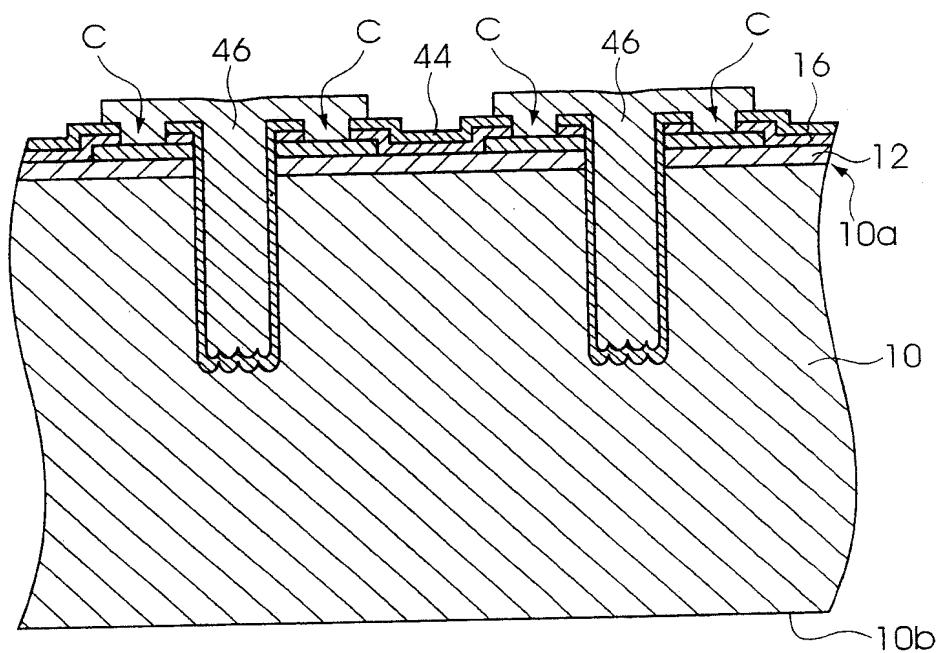
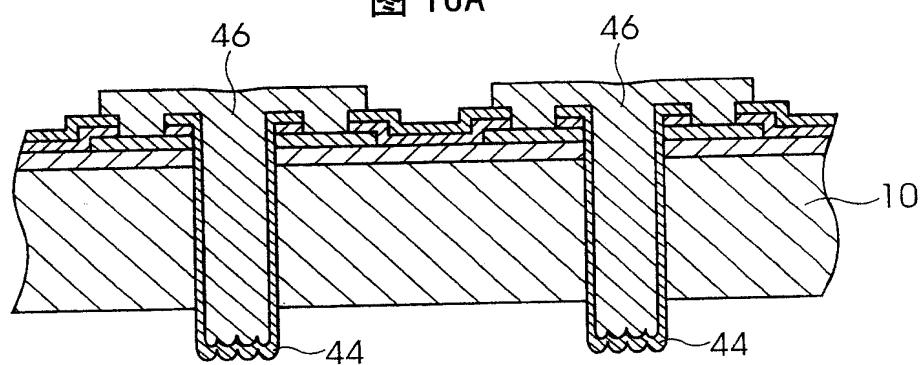


图 16A



冬 16B

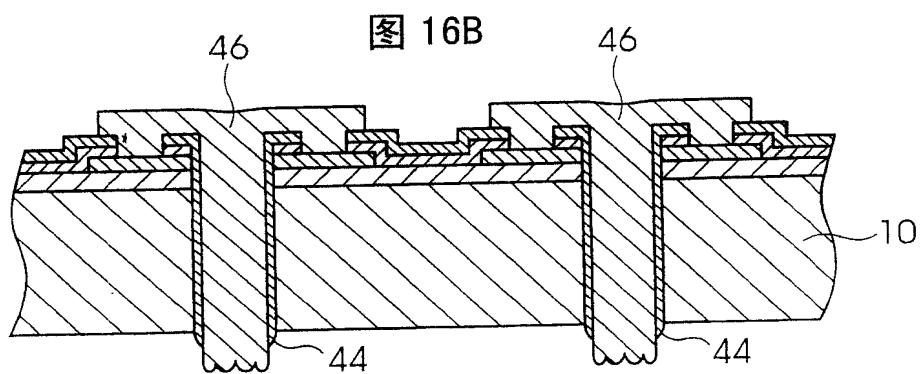


图 16C

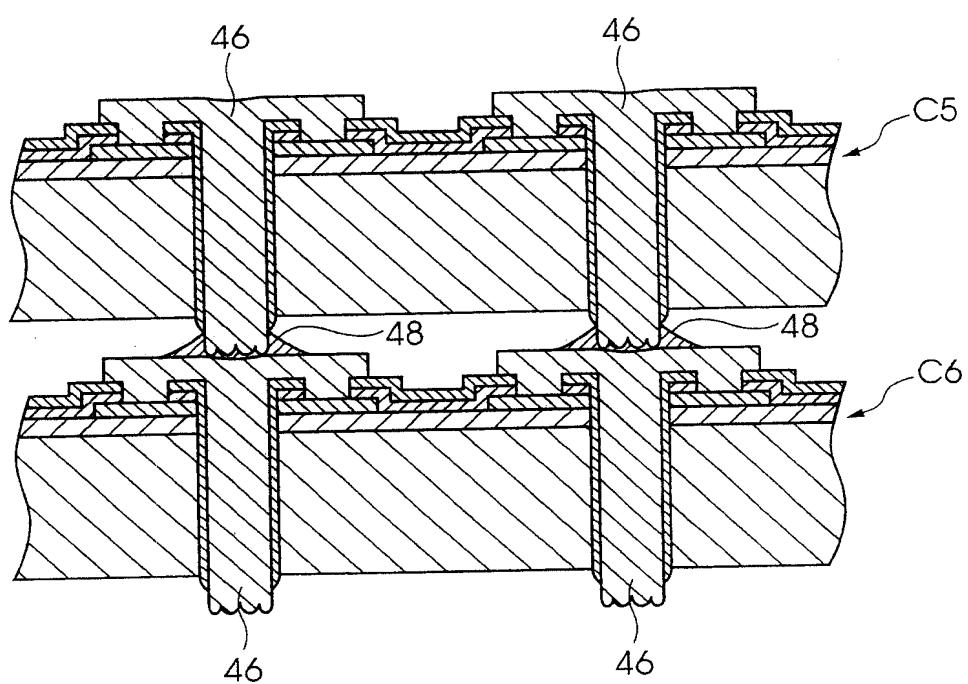


图 17

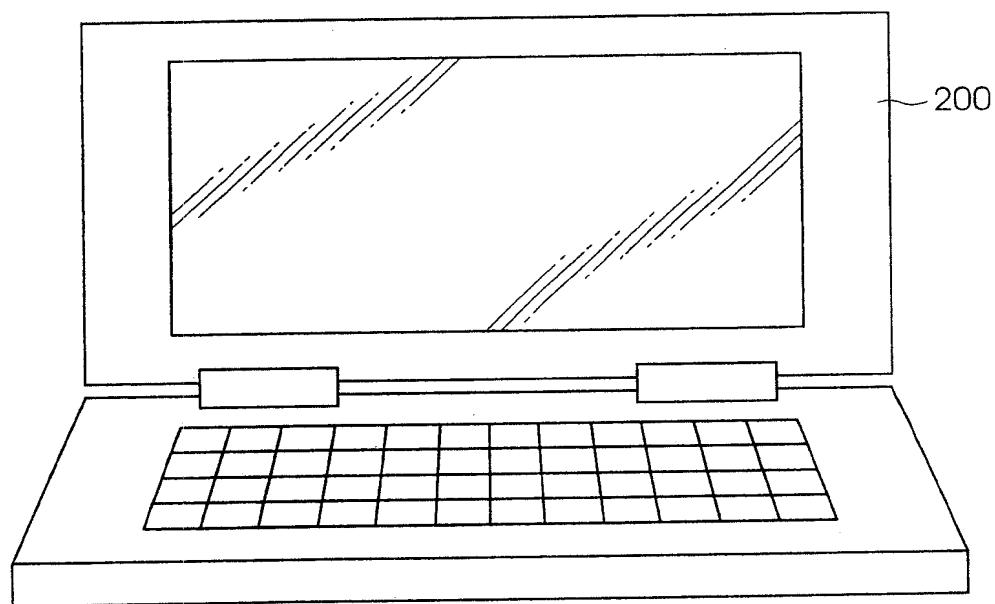


图 18

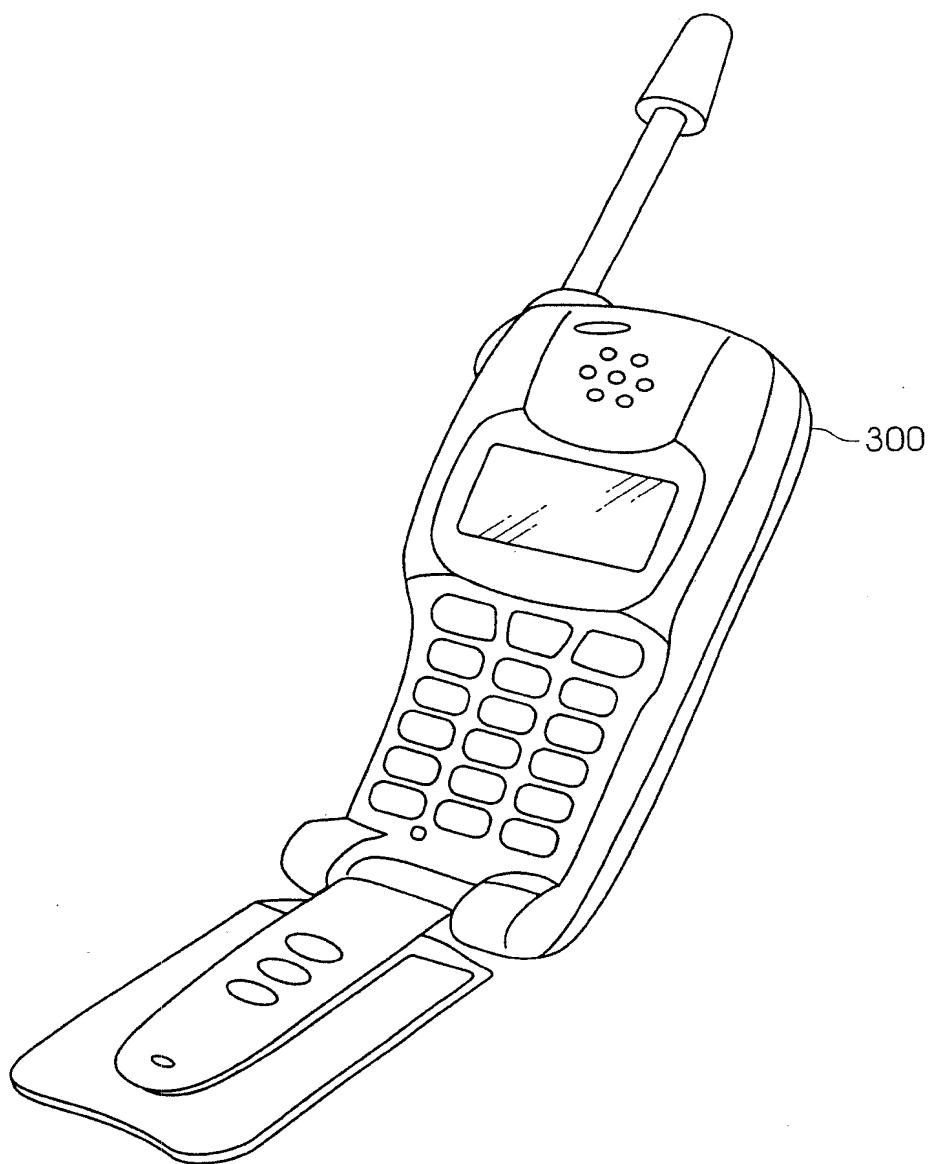


图 19