201742045

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201742045 A

(43)公開日： 中華民國 106 (2017) 年 12 月 01 日

(21)申請案號：106105929 (22)申請日： 中華民國 106 (2017) 年 02 月 22 日

(51)Int. Cl.： *G09G3/3208 (2016.01)* *G09G3/30 (2006.01)*
G09G3/20 (2006.01) *G09G3/3275 (2016.01)*

(30)優先權：2016/02/25 日本 特願 2016-034098

(71)申請人：精工愛普生股份有限公司 (日本) SEIKO EPSON CORPORATION (JP)
日本

(72)發明人：田村剛 TAMURA, TSUYOSHI (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：8 共 50 頁

(54)名稱

顯示裝置及電子機器

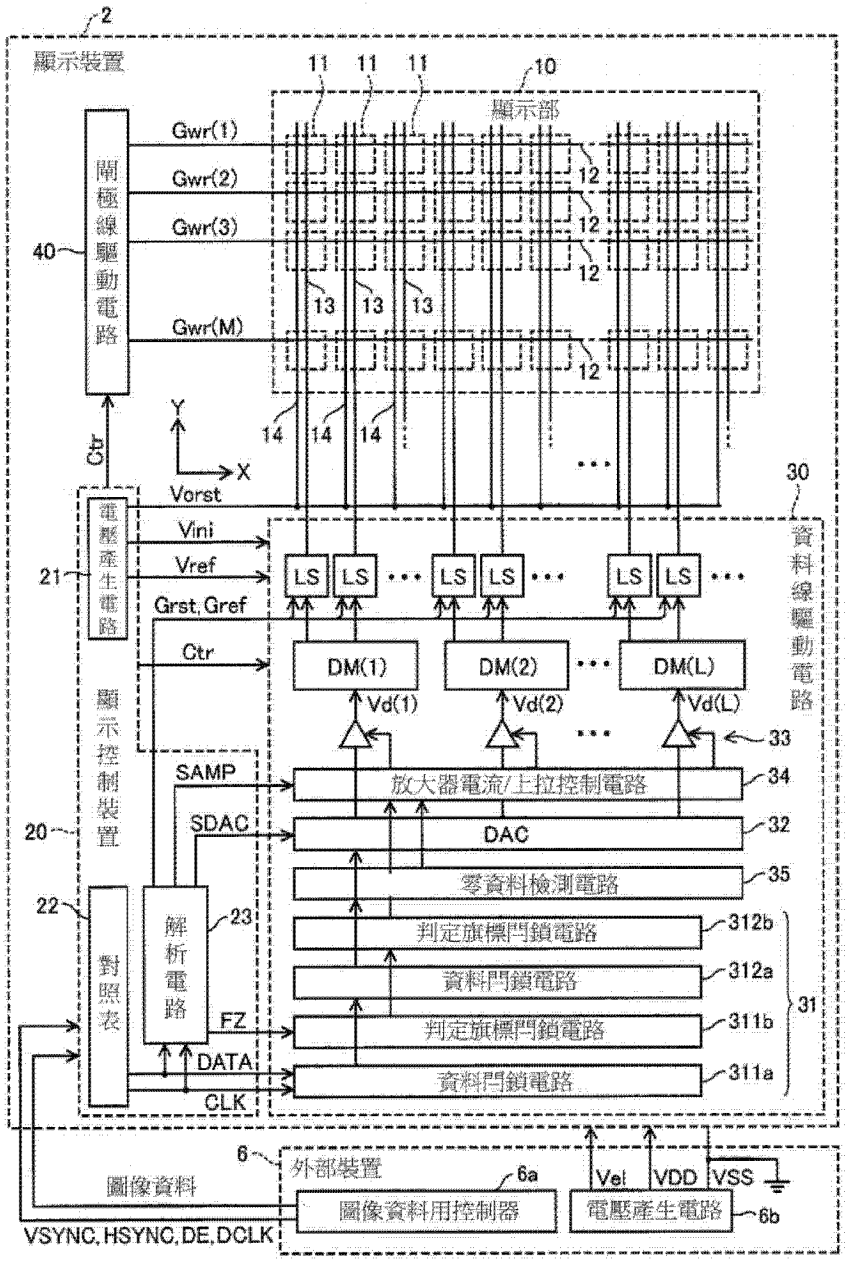
DISPLAY DEVICE AND ELECTRONIC APPARATUS

(57)摘要

本發明之顯示裝置具備：複數個閂鎖電路，其閂鎖用於驅動複數條資料線之灰階資料；複數個D/A轉換器，其將閂鎖於上述複數個閂鎖電路之灰階資料轉換為複數個類比信號；複數個放大器，其分別放大自上述複數個D/A轉換器輸出之複數個類比信號而產生複數個灰階信號；及解析電路，其解析閂鎖於上述複數個閂鎖電路之灰階資料，且根據解析結果，降低於至少1個放大器或至少1個D/A轉換器中流動之直流電流。

A display device includes a plurality of latch circuits which latch gradation data that is used to drive a plurality of data lines, a plurality of D/A converters which convert gradation data that is latched to the plurality of latch circuits to a plurality of analog signals, a plurality of amplifiers which generate a plurality of gradation signals by respectively amplifying the plurality of analog signals output from the plurality of D/A converters, and an analysis circuit that analyses gradation data that is latched to the plurality of latch circuits and reduces direct current that flows in at least one amplifier or at least one D/A converter according to an analysis result.

指定代表圖：



【圖2】

符號簡單說明：

2・・・顯示裝置

6・・・外部裝置

6a・・・圖像資料用控制器

6b・・・電壓產生電路

10・・・顯示部

11・・・像素電路

12・・・掃描線

13・・・資料線

14・・・重設線

20・・・顯示控制電路

21・・・電壓產生電路

22・・・對照表

23・・・解析電路

30・・・資料線驅動電路

31・・・閂鎖電路

32・・・DAC

33・・・放大器

34・・・放大器電流/上拉控制電路

35・・・零資料檢測電路

40・・・閘極線驅動電路

311a・・・第 1 群資料閂鎖電路

311b・・・第 1 群判定旗標閂鎖電路

312a・・・第 2 群資料閂鎖電路

312b・・・第 2 群判定旗標閂鎖電路

CLK・・・時脈信號

Ctr・・・控制信號

DATA・・・灰階資料

DCLK・・・資料時脈信號

DE・・・資料啟動信號

DM(1)~DM(L)・・・解多工器

FZ・・・判定旗標

Grst・・・控制信號

Gref・・・控制信號

Gwr(1)~Gwr(M)・・・掃描信號

HSYNC・・・水平同步信號

LS・・・位準設定電路

SAMP・・・控制信號

SDAC・・・控制信號

VDD・・・邏輯電源電位

Vd(1)~Vd(L)・・・灰階信號

Vel・・・電源電位

Vorst・・・重設電位

Vini・・・初始化電位

Vref・・・參照電位

VSS・・・電源電位

VSYNC・・・垂直同步信號

X・・・方向

Y・・・方向

【發明說明書】

【中文發明名稱】

顯示裝置及電子機器

【英文發明名稱】

DISPLAY DEVICE AND ELECTRONIC APPARATUS

【技術領域】

本發明係關於使用有機EL(Electro-Luminescence：電致發光)面板等顯示面板之顯示裝置。再者，本發明係關於具備此種顯示裝置之電子機器等。

【先前技術】

近年來，提出各種使用有機發光二極體(以下，亦稱為OLED(Organic Light Emitting Diode))等發光元件之顯示面板。在此種顯示面板中，對應於掃描線與資料線交叉之像素之位置，設置有包含發光元件或電晶體等之像素電路。又，亦開發將驅動電路等搭載於顯示面板之矽背板之顯示裝置(Si-OLED)。

於Si-OLED中，於構成矽背板之矽晶片，搭載有複數個閂鎖電路、複數個DAC(數位/類比轉換器)、及複數個放大器等。閂鎖於複數個閂鎖電路之1列量之灰階資料藉由複數個DAC轉換為複數個類比信號，進而，藉由複數個放大器放大產生複數個灰階信號。該等灰階信號用於驅動顯示面板之複數條資料線。

又，亦進行藉由1個放大器分時驅動複數條(3～18條左右)資料線。該驅動方式被稱為多工驅動方式。根據多工驅動方式，與將DAC及放大器設置於每條資料線之情形相比，可削減DAC及放大器之個數。

作為關聯之技術，於專利文獻1，揭示有一種使用多工驅動方式之顯

示裝置。專利文獻1之圖3係顯示對圖1之顯示部100之位於1列上之M×3(RGB)個像素，分時切換資料電位並輸出之解多工器區塊41。例如，於M=18之情形時，設置相當於(列方向X之所有像素數量)÷54個數之圖3所示之解多工器區塊41。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2014-186083號公報(段落0038、圖1、圖3)

【發明內容】

[發明所欲解決之問題]

然而，即便使用多工驅動方式，複數個DAC及複數個放大器之消耗電流亦較大。在全黑顯示期間電流不於發光元件流動，但例如於驅動電路有28 mA左右之電流流動，其內16 mA左右之電流於放大器流動。

因此，本發明之第1目的在於於將驅動電路等搭載於顯示面板之矽背板之顯示裝置中，對畫質幾乎不造成影響，且可削減驅動電路之放大器或D/A轉換器之消耗電流。又，本發明之第2目的在於提供一種具備此種顯示裝置之電子機器等。

[解決問題之技術手段]

為了解決以上課題之至少一部分，本發明第1態樣之顯示裝置係於同一半導體基板上至少搭載有顯示部及驅動電路者，且具備：複數個閂鎖電路，其閂鎖用於驅動在顯示部中對應於複數行像素電路設置之複數條資料線之灰階資料；複數個D/A轉換器，其將閂鎖於複數個閂鎖電路之灰階資料轉換為複數個類比信號；複數個放大器，其分別放大自複數個D/A轉換器輸出之複數個類比信號而產生複數個灰階信號；及解析電路，其解析閂鎖於複數個閂鎖電路之灰階資料，且根據解析結果，降低於至少1個放大器

或至少1個D/A轉換器中流動之直流電流。

根據本發明之第1態樣，由於解析閂鎖於複數個閂鎖電路之灰階資料，且根據解析結果，降低於至少1個放大器或至少1個D/A轉換器中流動之直流電流，故對畫質幾乎不造成影響，可削減驅動電路之放大器或D/A轉換器之消耗電流。

此處，解析電路對閂鎖於複數個閂鎖電路之1列量之灰階資料判定灰階位準是否為特定之位準以下，於1列之所有像素之灰階位準均為特定位準以下之情形時，在基於該1列量之灰階資料驅動1列像素電路之期間，降低於複數個放大器或複數個D/A轉換器流動之直流電流。

於1列之所有像素之灰階位準均為特定位準以下之情形時，由於該等像素之灰階位準為黑位準或其附近之低亮度位準，故難以目視到顯示不均等。因此，對畫質幾乎不造成影響，可削減複數個放大器或複數個D/A轉換器之消耗電流。

於該情形時，解析電路於降低於複數個放大器流動之直流電流時，可以基於該1列量之灰階資料驅動之1列像素電路之驅動電晶體成為非導通狀態之方式控制複數條資料線之電位。藉此，即便降低於複數個放大器流動之直流電流，亦可使基於該1列量之灰階資料驅動之1列像素電路之發光元件的發光停止。

於本發明第1態樣之顯示裝置中，亦可進而設置複數個解多工器，其以如下方式進行切換動作：於將複數條資料線分為複數個區塊驅動之情形時，複數個D/A轉換器各者將1區塊量之灰階資料順次轉換為1區塊量之類比信號，複數個放大器各者係將自各D/A轉換器依序輸出之1區塊量之類比信號放大而產生1區塊量之灰階信號，且各自被供給自複數個放大器輸出之

複數個區塊量之灰階信號，且將各區塊量之灰階信號分時供給至特定數量之資料線。藉此，與對每條資料線設置D/A轉換器及放大器之情形相比，可削減D/A轉換器及放大器之個數。

於該情形時，解析電路對閂鎖於複數個閂鎖電路之1區塊量之灰階資料判定灰階位準是否為特定之位準以下，於1區塊之所有像素之灰階位準均為特定位準以下之情形時，在基於該1區塊量之灰階資料驅動1區塊像素電路之期間，降低於與被供給該1區塊量之灰階資料之D/A轉換器連接之放大器中流動之直流電流。

於1區塊之所有像素之灰階位準均為特定位準以下之情形時，由於該等像素之灰階位準為黑位準或其附近之低亮度位準，故難以目視到顯示不均等。因此，對畫質幾乎不造成影響，可削減與被供給1區塊量之灰階資料之D/A轉換器連接之放大器之消耗電流。

或，解析電路判定供給至複數個D/A轉換器各者之1像素量之灰階資料之值是否為零，於1像素量之灰階資料之值為零之情形時，在基於該1像素量之灰階資料驅動1個像素電路之期間，降低於與被供給該1像素量之灰階資料之D/A轉換器連接之放大器中流動之直流電流。

於1像素量之灰階資料之值為零之情形時，無須使該像素之像素電路之發光元件發光。因此，對畫質幾乎不造成影響，可削減與被供給該1像素量之灰階資料之D/A轉換器連接之放大器的消耗電流。

再者，解析電路於降低於放大器中流動之直流電流時，將放大器之輸出端子上拉至灰階信號之最高電位。藉此，即便降低於放大器中流動之直流電流，亦可使對應於該放大器之像素電路之發光元件之發光停止。

於以上，解析電路對閂鎖於複數個閂鎖電路之1列量之灰階資料判定

灰階位準是否為特定之位準以上，於1列之所有像素之灰階位準均為特定位準以上之情形時，在基於該1列量之灰階資料驅動1列像素電路之期間，降低於複數個放大器或上述複數個D/A轉換器中流動之直流電流。

於1列之所有像素之灰階位準均為特定位準以上之情形時，由於該等像素之灰階位準為白位準或其附近之高亮度位準，故難以目視到顯示不均等。因此，對畫質幾乎不造成影響，可削減複數個放大器或複數個D/A轉換器之消耗電流。

又，解析電路於消隱期間，亦可降低於複數個D/A轉換器中流動之直流電流。由於在消隱期間灰階位準不成為問題，故對畫質不造成影響，可削減複數個D/A轉換器之消耗電流。

本發明之第2態樣係一種電子機器，其具備上述任一顯示裝置。根據發明之第2態樣，使用對畫質幾乎不造成影響且驅動電路之放大器或D/A轉換器之消耗電流經削減之顯示裝置，可削減電子機器之消耗電流。

【圖式簡單說明】

圖1係顯示本發明各實施形態之顯示裝置之立體圖。

圖2係顯示本發明各實施形態之顯示裝置之構成例之方塊圖。

圖3係顯示圖2所示之放大器之構成例之電路圖。

圖4係顯示圖2所示之位準設定電路等之構成例之電路圖。

圖5係顯示圖2所示之DAC之一部分構成例之圖。

圖6(A)、(B)係用以說明圖5所示之灰階電壓產生電路之連接狀態之圖。

圖7係顯示頭戴式顯示器之外觀之立體圖。

圖8係顯示頭戴式顯示器之光學構成例之俯視圖。

【實施方式】

以下，對本發明之實施形態，一面參照圖式一面詳細說明。另，對相同之構成要素標註相同之參照符號，並省略重複之說明。

＜顯示裝置＞

圖1係顯示本發明各實施形態之顯示裝置之外觀之立體圖。該顯示裝置1例如為在頭戴式顯示器中顯示圖像之微顯示器。

如圖1所示，顯示裝置1包含：有機EL面板等之顯示面板2、外殼3、及FPC(Flexible Printed Circuit：可撓性印刷電路)基板4。例如，顯示面板2被收納在於顯示部形成有開口之框狀外殼3，且與FPC基板4連接。於FPC基板4，設置有用以與主機CPU等之外部裝置(參照圖2)連接之複數個端子5。

顯示面板2包含設置於矽背板(矽晶片)之主動矩陣式之複數個像素電路。各像素電路包含OLED等之發光元件、或複數個電晶體等。又，於矽背板，設置有驅動該等像素電路之驅動電路等。

＜第1實施形態＞

圖2係顯示本發明各實施形態之顯示裝置之構成例之方塊圖。於圖2，顯示顯示面板2與外部裝置6。顯示面板2包含：顯示部10、顯示控制電路20、資料線驅動電路(源極驅動器)30、及閘極線驅動電路(閘極驅動器)40。顯示控制電路20～閘極線驅動電路40設置於顯示面板2之矽背板。

顯示部10包含複數個像素電路11。例如對應於R(紅色)、G(綠色)、B(藍色)之3種像素(點)，將M列x(3N)行之像素電路11排列為2維矩陣狀(M及N為2以上之整數)。

於顯示部10中，對應於M列之像素電路11，於第1方向(圖中之X軸方

向)延伸設置M條掃描線12。又，對應於(3N)行之像素電路11，於與第1方向大致正交之第2方向(圖中之Y軸方向)延伸設置(3N)條資料線13。再者，對應於(3N)行之像素電路11，於第2方向延伸設置(3N)條重設線14。對各重設線14供給特定之重設電位Vorst。

顯示控制電路20例如由包含組合電路或順序電路之邏輯電路等構成，且控制顯示部10之顯示時序。對顯示控制電路20，自外部裝置6之圖像資料用控制器6a與同步信號同步供給圖像資料。圖像資料可為包含R(紅色)、G(綠色)、B(藍色)3種顏色之顏色成分(例如各顏色成分為8位元)之RGB格式圖像資料。又，同步信號可包含：垂直同步信號VSYNC、水平同步信號HSYNC、資料啟動信號DE、及資料時脈信號DCLK。

顯示控制電路20基於被供給之圖像資料產生灰階資料DATA，將灰階資料DATA與內部擷取用之時脈信號CLK同步供給至資料線驅動電路30。例如，於顯示控制電路20，設置有將顯示部10之發光元件之亮度(灰階位準)與灰階資料DATA建立對應而儲存之對照表22。顯示控制電路20藉由參照對照表22，產生對應於由被供給之圖像資料表示之灰階位準之灰階資料DATA。

又，顯示控制電路20將控制各時序之控制信號Ctr供給至資料線驅動電路30及閘極線驅動電路40。例如，控制信號Ctr可包含：垂直同步信號、水平同步信號、資料啟動信號、或其他控制信號等。資料線驅動電路30及閘極線驅動電路40基於自顯示控制電路20供給之灰階資料DATA及控制信號Ctr等，將圖像顯示於顯示部10。

顯示控制電路20進而包含：電壓產生電路21與解析電路23。電壓產生電路21產生各種電位，並將該等電位供給至資料線驅動電路30等。例如，

電壓產生電路21產生重設電位Vorst、供給至資料線13之初始化電位Vini、及施加於電容器C2(參照圖4)之參照電位Vref等。顯示部10或資料線驅動電路30或閘極線驅動電路40之高電位側之電源電位Vel、及邏輯電源電位VDD等係自外部裝置6之電壓產生電路6b供給。

解析電路23例如以包含組合電路或順序電路之邏輯電路等構成，解析所產生之灰階資料DATA，並根據解析結果，可降低於至少1個放大器33中流動之直流電流。因此，解析電路23產生可控制放大器33之直流電流之控制信號SAMP。

資料線驅動電路30可包含：複數個閂鎖電路31、複數個DAC(D/A轉換器)32、複數個放大器33、放大器電流/上拉控制電路34、零資料檢測電路35、對應於(3N)條資料線13之(3N)個位準設定電路LS。

又，資料線驅動電路30為了將灰階信號寫入至1列之列所包含之(3N)個像素電路11，亦可將(3N)條資料線13分為L個區塊，並分時驅動各區塊所包含之複數條資料線13(L為2以上(3N/2)以下之整數)。因此，資料線驅動電路30可進而包含L個解多工器DM(1)～DM(L)。

此處，構成1區塊之資料線13之數量可設為3之倍數。於以下，作為一例，對由18條資料線13構成1區塊之情形進行說明。例如，於N=1944之情形時，將5832條資料線分為324個區塊(L=324)。

複數個閂鎖電路31例如由複數個D型正反器等構成，如圖2所示，複數個閂鎖電路31可包含：第1群資料閂鎖電路311a、第1群判定旗標閂鎖電路311b、第2群資料閂鎖電路312a、及第2群判定旗標閂鎖電路312b。

第1群資料閂鎖電路311a對應資料線之數量(1列量之像素數量)而設置，且在1水平同步期間，與時脈信號CLK同步依序擷取用於驅動複數條資

料線的灰階資料DATA。例如，於灰階資料DATA之各顏色之位元數為K位元之情形時，第1群資料閂鎖電路311a由(3N)個K位元閂鎖電路構成。

第2群資料閂鎖電路312a對應於資料線之數量(1列量之像素數量)而設置，且於每個1水平同步期間，保持自第1群資料閂鎖電路311a輸出之灰階資料DATA。例如，於灰階資料DATA之各顏色之位元數為K位元之情形時，第2群資料閂鎖電路312a由(3N)個K位元閂鎖電路構成。

如此，藉由設置2段閂鎖電路，於基於保持於第2群資料閂鎖電路312a之灰階資料DATA驅動1列量像素電路11之期間，第1群資料閂鎖電路311a可擷取用以驅動接下來1列量像素電路11的灰階資料DATA。

複數個DAC32將閂鎖於複數個閂鎖電路31之灰階資料DATA轉換為複數個類比信號。各DAC32具備複數個灰階電壓產生電路，根據灰階資料DATA之值，選擇由灰階電壓產生電路產生之複數個灰階電壓內之1個，藉此輸出類比信號。於將複數條資料線13分為L個區塊而驅動之情形時，L個DAC32各者將自第2群資料閂鎖電路312a內之1區塊之閂鎖電路輸出之1區塊量之灰階資料依序轉換為1區塊量的類比信號。此處，1區塊量之灰階資料係1區塊所包含之特定數量(18條)之資料線相關之灰階資料經分時多工者。

複數個放大器33分別將自複數個DAC32輸出之複數個類比信號放大，並產生複數個灰階信號。例如，於將複數條資料線13分為L個區塊並驅動之情形時，L個放大器33各者將自各DAC32依序輸出之1區塊量之類比信號放大並產生1區塊量之灰階信號Vd(k)(k=1～L)。此處，灰階信號Vd(k)為1區塊所包含之特定數量(18條)之資料線相關之灰階信號經分時多工者。L個放大器33分別將灰階信號Vd(1)、Vd(2)、……Vd(L)供給至對應於

第1個、第2個、……第L個區塊之解多工器DM(1)、DM(2)、……DM(L)。

解多工器DM(1)、DM(2)、……DM(L)進行以下切換動作：分別供給自L個放大器33輸出之L區塊量之灰階信號Vd(1)、Vd(2)、……Vd(L)、將各區塊量之灰階信號Vd(k)分時供給至特定數量(18條)之資料線13。藉此，與對每條資料線13設置DAC32及放大器33之情形相比，可削減DAC32及放大器33之個數。

閘極線驅動電路40例如由包含組合電路或順序電路之邏輯電路等構成，並按照控制信號Ctr，產生用以於1垂直同步期間內依序驅動M條掃描線12之M個掃描信號Gwr(1)～Gwr(M)。此處，1垂直同步期間係指顯示部10顯示1彗差之圖像所需之期間(1訊框期間)。又，閘極線驅動電路40除了掃描信號以外，亦於每列產生與掃描信號同步之各種控制信號，並將該等控制信號供給至顯示部10。

＜放大器之構成例＞

圖3係顯示圖2所示之放大器之構成例之電路圖。如圖3所示，各放大器33包含：放大電路A1及A2，其供給高電位側之電源電位Vel及低電位側之電源電位VSS並進行放大動作；及開關電路S1及S2，其分別高速切換放大電路A1及A2之定電流(直流電流)。

放大電路A1包含：P通道MOS電晶體QP11～QP14、與N通道MOS電晶體QN11～QN15。電晶體QP11及QP12之源極與電源電位Vel之配線連接，閘極與電晶體QP12之汲極連接。

電晶體QN11及QN12構成差動對。電晶體QN11之汲極與電晶體QP11之汲極連接，閘極與第1輸入端子IN1連接。又，電晶體QN12之汲極與電晶體QP12之汲極連接，閘極與第2輸入端子IN2連接。

電晶體QN13～QN15構成定電流源。電晶體QN13～QN15之汲極與電晶體QN11及QN12之源極連接，閘極被施加參照電位VRN1。作為參照電位VRN1，施加相對於電源電位VSS較電晶體QN13～QN15之閾值電壓略微高之電位。於將開關電路S1設為接通時，電晶體QN13～QN15將定電流供給至電晶體QN11及QN12。例如，於電晶體QN13、QN14、QN15中流動之定電流比為1:4:5。

電晶體QP13之源極與電源電位Vel之配線連接，閘極被施加參照電位VRP1。作為參照電位VRFP1，施加相對於電源電位Vel較電晶體QP13之閾值電壓略微低之電位。電晶體QP14之源極與電晶體QP13之汲極連接，汲極與輸出端子OUT連接，閘極與電晶體QP11及QN11之汲極連接。

開關電路S1包含：N通道MOS電晶體QN16～QN18。電晶體QN16～QN18分別將電流控制信號SA1～SA3施加於閘極，並將於定電流源之電晶體QN13～QN15中流動之定電流接通或斷開。

放大電路A2包含：N通道MOS電晶體QN21～QN24、及P通道MOS電晶體QP21～QP25。電晶體QN21及QN22之源極與電源電位VSS之配線連接，閘極與電晶體QN22之汲極連接。

電晶體QP21及QP22構成差動對。電晶體QP21之汲極與電晶體QN21之汲極連接，閘極與第1輸入端子IN1連接。又，電晶體QP22之汲極與電晶體QN22之汲極連接，閘極與第2輸入端子IN2連接。

電晶體QP23～QP25構成定電流源。電晶體QP23～QP25之汲極與電晶體QP21及QP22之源極連接，閘極被施加參照電位VRP2。作為參照電位VRP2，施加相對於電源電位Vel較電晶體QP23～QP25之閾值電壓略微低之電位。於將開關電路S2設為接通時，電晶體QP23～QP25將定電流供給

至電晶體QP21及QP22。例如，於電晶體QP23、QP24、QP25中流動之定電流比為1:4:5。

晶體QN23之源極與電源電位VSS之配線連接，閘極被施加參照電位VRN2。作為參照電位VRN2，施加相對於電源電位VSS較電晶體QN23之閾值電壓略微高之電位。電晶體QN24之源極與電晶體QN23之汲極連接，汲極與輸出端子OUT連接，閘極與電晶體QN21及QP21之汲極連接。

開關電路S2包含：P通道MOS電晶體QP26～QP28。電晶體QP26～QP28分別將電流控制信號SA1～SA3經由3個變流器施加於閘極，並將於定電流源之電晶體QP23～QP25流動之定電流接通或斷開。

如此構成之放大器33藉由連接輸入端子IN2與輸出端子OUT而作為電壓跟隨器型放大器使用，將與施加於輸入端子IN1之類比信號之電壓大致相同之電壓作為灰階信號Vd(k)自輸出端子OUT輸出。

＜解多工器及位準設定電路之構成例＞

圖4係顯示圖2所示之解多工器、位準設定電路、及像素電路之構成例之電路圖。於圖4中，顯示圖2所示之解多工器DM(1)～DM(L)內之1個解多工器DM(k)、1個位準設定電路LS、及1個像素電路11。

解多工器DM(k)包含設置於像素電路11每行之複數個傳輸閘36，並將灰階信號Vd(k)分時供給至分別與第k個區塊所包含之18條資料線13連接之18個位準設定電路LS。複數個傳輸閘36之輸入端子互相共通連接，並將灰階信號Vd(k)供給至該等之輸入端子。

在解多工器DM(k)中設置於第1行之傳輸閘36於自圖2所示之顯示控制電路20供給之控制信號Sel(1)為高位準(控制信號Xsel(1)為低位準)時為導通狀態(接通狀態)，於控制信號Sel(1)為低位準(控制信號Xsel(1)為高位

準)時為非導通狀態(斷開狀態)。

又，在解多工器DM(k)中設置於第2行之傳輸閘36於控制信號Sel(2)為高位準時為接通狀態。以下同樣地，在解多工器DM(k)中設置於第18行之傳輸閘36於控制信號Sel(18)為高位準時為接通狀態。

複數個位準設定電路LS亦對應複數個傳輸閘36設置於像素之每行。各位準設定電路LS包含：電容器C1及C2、傳輸閘37、P通道MOS電晶體QP31及QP32、及N通道MOS電晶體QN33，且設定資料線13之電位。

電容器C1之一電極與傳輸閘36之輸出端子連接，電容器C1之另一電極與顯示部10之低電位側之電源電位Vct之供給線連接。於傳輸閘36為接通狀態時，將灰階信號Vd(k)供給至電容器C1之一電極。傳輸閘37連接於電容器C1之一電極與中繼配線15之間。

電晶體QP31連接於資料線13與初始化電位Vini之供給線之間。電晶體QP32連接於資料線13與顯示部10之高電位側之電源電位Vel之供給線之間。電容器C2連接於資料線13與中繼配線15之間。電晶體QN33連接於中繼配線15與參照電位Vref之供給線之間。

圖2所示之顯示控制電路20將控制信號Gini共通地施加於複數行電晶體QP31之閘極。複數行電晶體QP31於控制信號Gini為低位準時，同時為接通狀態並將初始化電位Vini之供給線與資料線13電性連接；於控制信號Gini為高位準時，將兩者設為非電性連接。

又，顯示控制電路20將控制信號Gcpl及XGcpl共通地供給至複數行傳輸閘37。複數行傳輸閘37於控制信號Gcpl為高位準時，同時為接通狀態並將電容器C1之一電極與中繼配線15電性連接；於控制信號Gcpl為低位準時，將兩者設為非電性連接。

圖2所示之解析電路23將控制信號Grst共通地供給至複數行電晶體QP32。複數行電晶體QP32於控制信號Grst為低位準時，同時為接通狀態並將電源電位Vel之供給線與資料線13電性連接；於控制信號Grst為高位準時，將兩者設為非電性連接。

又，解析電路23將控制信號Gref共通地供給至複數行電晶體QN33。複數行電晶體QN33於控制信號Gref為高位準時，同時為接通狀態並將參照電位Vref之供給線與中繼配線15電性連接；於控制信號Gref為低位準時，將兩者設為非電性連接。

＜像素電路之構成例＞

像素電路11包含：發光元件D1、P通道MOS電晶體QP1～QP5、及保持電容Cpix。發光元件D1為例如藉由形成於矽基板之陽極與具有光透過性之陰極夾持白色有機EL層而成之OLED。發光元件D1之陽極為個別地設置於每個像素電路之像素電極。相對於此，發光元件D1之陰極為共通地設置於所有像素電路之共通電極，且保持為顯示部10之低電位側之電源電位Vct。

於發光元件D1之出射側(陰極側)，設置有對應於RGB任一者之彩色濾光片。另，可調整隔著白色有機EL層配置之2個反射層間之光學距離形成腔室構造，並設定自發光元件D1出射之光之波長。於該情形時，可設置彩色濾光片，亦可不設置。

於此種發光元件D1中，當電流自陽極流向陰極時，自陽極注入之電洞與自陰極注入之電子於有機EL層再結合產生激子，並產生白色光。此時產生之白色光透過與矽基板(陽極)相反側之陰極，經過彩色濾光片之著色，自顯示部10出射。

圖2所示之閘極線驅動電路40將掃描信號Gwr(i)供給至第i列之掃描線12。又，閘極線驅動電路40將控制信號Gcmp(i)及Gel(i)供給至第i列之複數條控制線。

電晶體QP2之源極及汲極內之一者與資料線13電性連接，源極及汲極內之另一者與保持電容Cpix之一電極、及驅動電晶體QP1之閘極電性連接。電晶體QP2之閘極與掃描線12電性連接，並供給掃描信號Gwr(i)。電晶體QP2作為控制資料線13與驅動電晶體QP1之閘極間之電性連接的開關電晶體發揮功能。

保持電容Cpix之另一電極與顯示部10之高電位側之電源電位Vel的供給線電性連接。藉此，保持電容Cpix作為保持驅動電晶體QP1之閘極、源極間之電壓的電容發揮功能。

驅動電晶體QP1之源極與電源電位Vel之供給線電性連接，汲極與電晶體QP4之源極電性連接。驅動電晶體QP1對應於源極、閘極間電壓而流動汲極電流並驅動發光元件D1。

電晶體QP3之源極及汲極電性連接於資料線13與驅動電晶體QP1之汲極之間。另，電晶體QP3可電性連接於驅動電晶體QP1之閘極與汲極之間。對電晶體QP3之閘極，供給控制信號Gcmp(i)。電晶體QP3作為控制驅動電晶體QP1之閘極與汲極間之電性連接的開關電晶體發揮功能。

電晶體QP4之汲極與發光元件D1之陽極、及電晶體QP5之源極電性連接。對電晶體QP4之閘極，供給控制信號Gel(i)。電晶體QP4作為控制驅動電晶體QP1之汲極與發光元件D1之陽極間之電性連接的開關電晶體發揮功能。

電晶體QP5之汲極與重設線14電性連接，且保持為重設電位Vorst。對

電晶體QP5之閘極，供給控制信號Gcmp(i)。電晶體QP5作為控制重設線14與發光元件D1之陽極間之電性連接的開關電晶體發揮功能。

於圖4中，在像素電路11中使用P通道MOS電晶體，但亦可代替P通道MOS電晶體而使用N通道MOS電晶體。於在像素電路11中使用N通道MOS電晶體之情形時，電晶體之源極及汲極之連接關係與上述相反，掃描信號、控制信號、及灰階信號之極性亦相反。或，可適當組合使用P通道MOS電晶體與N通道MOS電晶體。又，像素電路11之電晶體可為薄膜電晶體。

作為保持電容Cpix可使用隨附於驅動電晶體QP1之閘極之寄生電容。或，作為保持電容Cpix，可使用藉由以設置於矽基板上之複數個不同配線層之配線夾持層間絕緣膜而形成之電容器。

＜顯示裝置之動作例＞

接著，對圖2～圖4所示之顯示裝置之動作例進行說明。顯示控制電路20自外部裝置6輸入圖像資料、及同步信號(垂直同步信號VSYNC、水平同步信號HSYNC、資料啟動信號DE、資料時脈信號DCLK)，並將灰階資料DATA、及內部擷取用之時脈信號CLK發送至資料線驅動電路30。

於第1實施形態中，解析電路23對閂鎖於複數個閂鎖電路31之1列量之灰階資料，判定灰階位準是否為特定之位準以下。例如，解析電路23於第1群資料閂鎖電路311a與時脈信號CLK同步依序擷取灰階資料DATA時，對1列量之灰階資料判定藉由擷取至第1群資料閂鎖電路311a之灰階資料表示之灰階位準是否為特定之位準以下。

作為一例，對RGB之3種顏色之成分，個別地設定第1閾值、第2閾值、第3閾值。於灰階資料之R成分位準為第1閾值以下，灰階資料之G成分位準為第2閾值以下，灰階資料之B成分位準為第3閾值以下之情形時，解析電

路23判定藉由灰階資料表示之灰階位準為特定之位準以下。

此處，第1閾值～第3閾值可相等。或第1閾值～第3閾值可為零。於第1閾值～第3閾值為零之情形時，解析電路23判定藉由灰階資料表示之灰階位準是否為黑位準。尤其於頭戴式顯示器之情形時，考慮絕大多數為於黑色背景顯示圖像。其理由在於；若背景全黑，則面向顯示器之側清晰可見但無法看見畫面邊界，但若背景微黑，則因背景之浮白導致畫面邊界較明顯，故於面向顯示器之側變得難以辨識之故。

解析電路23於1列之所有像素之灰階位準均為特定位準以下之情形時，在基於該1列量之灰階資料驅動1列像素電路11之期間(例如，1水平同步期間)，活化控制信號SAMP。放大器電流/上拉控制電路34例如由閘極電路構成，按照控制信號SAMP，控制複數個放大器33之直流電流及上拉狀態。藉此，解析電路23於1列之所有像素之灰階位準均為特定位準以下之情形時，在基於該1列量之灰階資料驅動1列像素電路11之期間，降低於複數個(L個)放大器33中流動之直流電流。

於1列之所有像素之灰階位準均為特定位準以下之情形時，由於該等像素之灰階位準為黑位準或其附近之低亮度位準，故難以目視到顯示不均等。因此，對畫質幾乎不造成影響，可削減複數個放大器33之消耗電流。

放大器電流/上拉控制電路34藉由產生電流控制信號SA1～SA3並供給至複數個放大器33，而控制於複數個放大器33中流動之直流電流。例如，於圖3所示之放大器33中，若將電流控制信號SA1～SA3惰性化為低位準，則構成開關電路S1及S2之電晶體QN16～QN18及QP26～QP28為斷開狀態，故可使直流電流停止。

一面參照圖4，一面對顯示裝置之一般動作進行說明。作為初始狀態，

設為將控制信號Gini及Grst惰性化為高位準，將控制信號Gref及Gcpl惰性化為低位準者。因此，在位準設定電路LS中，電晶體QP31、QP31、QN33、及傳輸閘37為斷開狀態。

又，作為初始狀態，設為將掃描信號Gwr(i)及控制信號Gcmp(i)惰性化為高位準，將控制信號Gel(i)活化為低位準者。因此，在像素電路11中，電晶體QP2、QP3、QP5為斷開狀態，電晶體QP4為接通狀態。

當1垂直同步期間內之第i個水平同步期間開始時，顯示控制電路20在1水平同步期間內之特定期間，將控制信號Sel(1)～Sel(18)依序活化為高位準。藉此，在解多工器DM(k)中，施加有控制信號Sel(1)～Sel(18)之傳輸閘36依序成為接通狀態。

又，第k個區塊之放大器33在上述特定之期間，依序將灰階信號Vd(k)之電壓切換為對應於第k個區塊之第1行、第2行、……第18行像素之灰階位準的灰階電壓。藉此，在第k個區塊中，對於對應於第1行、第2行、……第18行像素之電容器C1充電各灰階電壓。

另一方面，顯示控制電路20於上述特定之期間，將控制信號Gini活化為低位準。藉此，在位準設定電路LS中，電晶體QP31成為接通狀態，並將初始化電位Vini供給至資料線13(初始化期間)。又，閘極線驅動電路40將供給至第i列像素電路11之控制信號Gel(i)惰性化為高位準。藉此，在像素電路11中，電晶體QP4成為斷開狀態，第i列像素電路11之發光元件D1處於重設狀態。

接著，閘極線驅動電路40將供給至第i列掃描線12之掃描信號Gwr(i)活化為低位準，將供給至第i列像素電路11之控制信號Gcmp(i)活化為低位準。藉此，電晶體QP2、QP3、及QP5成為接通狀態，將驅動電晶體QP1

之閘極電位設定為一定值(補償期間)。其後，將控制信號Gcmp(i)再次惰性化為高位準，電晶體QP3及QP5成為斷開狀態。

再者，顯示控制電路20將控制信號Gini惰性化為高位準，將控制信號Gcpl活化為高位準。藉此，電晶體QP31成為斷開狀態，傳輸閘37成為接通狀態。因此，將灰階信號施加於驅動電晶體QP1之閘極，並將灰階電壓充電至保持電容Cpix(寫入期間)。於結束對第i列像素電路11寫入灰階信號時，閘極線驅動電路40將供給至第i列掃描線12之掃描信號Gwr(i)惰性化為高位準，且顯示控制電路20將控制信號Gcpl惰性化低位準。

於1垂直同步期間內之第(i+1)個水平同步期間結束後，閘極線驅動電路40將供給至第i列像素電路11之控制信號Gel(i)活化為低位準。藉此，在第(i+2)個水平同步期間以後，電晶體QP4成為接通狀態，驅動電晶體QP1按照灰階信號將電流供給至發光元件D1，因此第i列像素電路11之發光元件D1發光(發光期間)。

如此，在第i個水平同步期間，設置第i列像素電路11之驅動期間(初始化期間、補償期間、及寫入期間)，在第(i+2)個水平同步期間以後，設置第i列像素電路11之發光期間。且，對1列自驅動期間開始至經過1垂直同步期間後，再次設置驅動期間。

或，亦可不使資料線13區塊化，不使用解多工器DM(1)～DM(L)而將灰階信號一起供給至所有資料線13。於該情形時，複數個放大器33不經由解多工器DM，而直接驅動複數個位準設定電路LS。

於以上，解析電路23於第i列之所有像素之灰階位準均為特定位準以下之情形時，在基於第i列量之灰階資料驅動第i列像素電路11之期間，降低於複數個放大器33中流動之直流電流。此時，解析電路23可以基於第i

列量之灰階資料驅動之第i列像素電路11之驅動電晶體QP1成為斷開狀態之方式控制複數條資料線13之電位。藉此，即便降低於複數個放大器33中流動之直流電流，亦可使第i列像素電路11之發光元件D1之發光停止。

例如，解析電路23將控制信號Grst活化為低位準，將控制信號Gref活化為高位準。藉此，在位準設定電路LS中，電晶體QP32及QN33處於接通狀態。因此，將電源電位Vel供給至資料線13，且驅動電晶體QP1成為斷開狀態。又，對中繼配線15，供給參照電位Vref。

＜第2實施形態＞

接著，對本發明之第2實施形態進行說明。於第2實施形態中，圖2所示之解析電路23對閂鎖於複數個閂鎖電路31之1區塊量之灰階資料，判定灰階位準是否為特定之位準以下。

例如，解析電路23於第1群資料閂鎖電路311a與時脈信號CLK同步依序擷取灰階資料DATA時，對1區塊量(18像素量)之灰階資料，判定藉由擷取至第1群資料閂鎖電路311a之灰階資料表示之灰階位準是否為特定之位準以下。藉此，解析電路23產生表示1區塊之所有像素之灰階位準是否為特定位準以下之判定旗標FZ並輸出至第1群判定旗標閂鎖電路311b。

第1群判定旗標閂鎖電路311b對應於L個DAC32或L個放大器33，包含L個閂鎖判定旗標FZ之閂鎖電路。第2群判定旗標閂鎖電路312b亦對應於L個DAC32或L個放大器33，包含L個閂鎖判定旗標FZ之閂鎖電路。

第1群資料閂鎖電路311a依序擷取灰階資料DATA，且第1群判定旗標閂鎖電路311b依序擷取自解析電路23對每個區塊輸出之判定旗標FZ。在1水平同步期間，將L區塊量之灰階資料相關之判定旗標FZ擷取至第1群判定旗標閂鎖電路311b。當下一水平同步期間開始時，第2群資料閂鎖電路312a

擷取自第1群資料閂鎖電路311a輸出之L區塊量之灰階資料DATA，且第2群判定旗標閂鎖電路312b保持自第1群判定旗標閂鎖電路311b輸出之L區塊量之判定旗標FZ。

放大器電流/上拉控制電路34按照保持於第2群判定旗標閂鎖電路312b之判定旗標FZ，於1區塊之所有像素之灰階位準為特定位準以下之情形時，在基於該1區塊量之灰階資料驅動1區塊之像素電路11之期間(例如，1水平同步期間)，降低於與被供給該1區塊量之灰階資料之DAC32連接之放大器33中流動的直流電流。

於1區塊之所有像素之灰階位準為特定位準以下之情形時，由於該等像素之灰階位準為黑位準或其附近之低亮度位準，故難以目視到顯示不均等。因此，對畫質幾乎不造成影響，可削減與被供給該1區塊量之灰階資料之DAC32連接之放大器33的消耗電流。

對複數個放大器33各者產生電流控制信號SA1～SA3並供給至複數個放大器33，藉此可控制於複數個放大器33中流動之直流電流。例如，在圖3所示之放大器33中，若一面將電流控制信號SA1維持於高位準一面將電流控制信號SA2及SA3惰性化為低位準，則電晶體QN16及QP26維持接通狀態，電晶體QN17、QN18、QP27、及QP28成為斷開狀態，例如，可將直流電流設為1/10。

如圖3所示，於放大器33，設置有將輸出端子OUT上拉至灰階信號之最高電位VRH之P通道MOS電晶體QP29。電晶體QP29之源極與灰階信號之最高電位VRH之配線連接，汲極與輸出端子OUT連接。放大器電流/上拉控制電路34對複數個放大器33各者產生控制信號Zero並供給至複數個放大器33，藉此將控制信號Zero施加於電晶體QP29。

於降低於放大器33中流動之直流電流時，可將控制信號Zero活化為低位準。其結果，由於電晶體QP29為接通狀態，放大器33之輸出端子OUT被上拉至灰階信號之最高電位VRH，故圖4所示之像素電路11之驅動電晶體QP1成為斷開狀態。藉此，即便降低於放大器33中流動之直流電流，亦可使對應於於該放大器33之像素電路11之發光元件D1之發光停止。

於第2實施形態中，可省略圖4所示之位準設定電路LS之電晶體QP32、電晶體QN33、及電容器C2，而將資料線13與中繼配線15直接連接。關於其他之點，第2實施形態可與第1實施形態相同。

＜第3實施形態＞

接著，對本發明之第3實施形態進行說明。於第3實施形態中，圖2所示之零資料檢測電路35作為解析閂鎖於複數個閂鎖電路31之灰階資料之解析電路發揮功能。零資料檢測電路35判定供給至複數個DAC32各者之1像素量之灰階資料之值是否為零。例如，零資料檢測電路35判定自第2群資料閂鎖電路312a供給至複數個DAC32各者之1像素量之灰階資料之值是否為零，並將判定結果輸出至放大器電流/上拉控制電路34。

放大器電流/上拉控制電路34按照零資料檢測電路35之判定結果，控制各放大器33中之直流電流。藉此，零資料檢測電路35於1像素量之灰階資料之值為零之情形時，在基於該1像素量之灰階資料驅動1個像素電路11之期間，降低於與被供給該1像素量之灰階資料之DAC32連接之放大器33中流動之直流電流。關於其他之點，第3實施形態可與第2實施形態相同。

於1像素量之灰階資料之值為零之情形時，無須使該像素之像素電路11之發光元件D1發光。因此，對畫質幾乎不造成影響，可削減與被供給該1像素量之灰階資料之DAC32連接之放大器33的消耗電流。

＜第4實施形態＞

接著，對本發明之第4實施形態進行說明。於第4實施形態中，圖2所示之解析電路23對閂鎖於複數個閂鎖電路31之1列量之灰階資料，判定灰階位準是否為特定之位準以上。例如，解析電路23於第1群資料閂鎖電路311a與時脈信號CLK同步依序擷取灰階資料DATA時，對1列量之灰階資料判定藉由擷取至第1群資料閂鎖電路311a之灰階資料表示之灰階位準是否為特定之位準以上。

作為一例，對RGB之3種顏色之成分，個別地設定第4閾值、第5閾值、第6閾值。於灰階資料之R成分位準為第4閾值以上，灰階資料之G成分位準為第5閾值以上，灰階資料之B成分位準為第6閾值以上之情形時，解析電路23判定藉由灰階資料表示之灰階位準為特定之位準以上。

此處，第4閾值～第6閾值可相等。或第4閾值～第6閾值可為最大灰階位準。於第4閾值～第6閾值為最大灰階位準之情形時，解析電路23判定藉由灰階資料表示之灰階位準是否為白位準。

解析電路23於1列之所有像素之灰階位準均為特定位準以上之情形時，在基於該1列量之灰階資料驅動1列像素電路11之期間(例如，1水平同步期間)，使控制信號SAMP活化。放大器電流/上拉控制電路34按照控制信號SAMP，控制複數個放大器33中之直流電流。藉此，解析電路23於1列之所有像素之灰階位準均為特定位準以上之情形時，在基於該1列量之灰階資料驅動1列像素電路11之期間，降低於複數個(L個)放大器33中流動之直流電流。關於其他之點，第4實施形態可與第1～第3實施形態任一者相同。

於1列之所有像素之灰階位準均為特定位準以上之情形時，由於該等像素之灰階位準為白位準或其附近之高亮度位準，故難以目視到顯示不均

等。因此，對畫質幾乎不造成影響，可削減複數個放大器33之消耗電流。

＜第5實施形態＞

接著，對本發明之第5實施形態進行說明。於第5實施形態中，圖2所示之DAC32以可使直流電流可變之方式構成。解析電路23代替在第1～第4實施形態中控制放大器33之直流電流，或除此以外，還控制DAC32之直流電流。因此，解析電路23產生控制DAC32之直流電流之控制信號SDAC。關於其他之點，第5實施形態可與第1～第4實施形態任一者相同。

圖5係顯示圖2所示之DAC之一部分構成例之圖。如圖5所示，DAC32包含：調壓器(定電壓電路)51～54、灰階電壓產生電路61～64及71～74、N通道MOS電晶體QN61～QN64及QN71～QN74。

調壓器51及53產生灰階信號之最高電位即第1穩定化電位VRH。第1穩定化電位VRH供給至灰階電壓產生電路61～64及71～74之第1端子。又，調壓器52及54產生灰階信號之最低電位即第2穩定化電位VRL。

灰階電壓產生電路61～64及71～74各者例如由階梯電阻、或階梯電阻與複數個緩衝放大器之組合構成，例如，階梯電阻之電阻值為4 kΩ左右，於將所有灰階電壓產生電路61～64及71～74連接於第1穩定化電位VRH之配線與第2穩定化電位VRL之配線之間時，該等間之電阻值為500 Ω左右。

電晶體QN61～QN64及QN71～QN74之汲極分別與灰階電壓產生電路61～64及71～74之第2端子連接，源極與第2穩定化電位VRL之配線連接。對電晶體QN61及QN71之閘極，施加電流控制信號SD1，對電晶體QN62及QN72之閘極，施加電流控制信號SD2。又，對電晶體QN63及QN73之閘極，施加電流控制信號SD3，對電晶體QN64及QN74之閘極，施加電流控制信號SD4。

例如，在全面運轉模式中，將電流控制信號SD1～SD4活化為高位準。藉此，電晶體QN61～QN64及QN71～QN74成為接通狀態。其結果，將灰階電壓產生電路61～64及71～74之第2端子與第2穩定化電位VRL之配線電性連接，且電流於灰階電壓產生電路61～64及71～74流動。

另一方面，於半運轉模式中，將電流控制信號SD1及SD2活化為高位準，另一方面，將電流控制信號SD3及SD4惰性化為低位準。藉此，電晶體QN61、QN62、QN71、及QN72成為接通狀態，電晶體QN63、QN64、QN73、及QN74成為斷開狀態。其結果，由於電流於灰階電壓產生電路61、62、71及72流動，於灰階電壓產生電路63、64、73及74無電流流動，故可將直流電流設為全面運轉模式之直流電流之大約一半。

圖6係用以說明圖5所示之灰階電壓產生電路之連接狀態之圖。圖6(A)係顯示全面運轉模式之灰階電壓產生電路之連接狀態，圖6(B)係顯示半運轉模式之灰階電壓產生電路之連接狀態。在半運轉模式中，灰階電壓產生電路63、64、73、及74之第2端子成為接通狀態(x標記)。

如圖6所示，於灰階電壓產生電路61及71，連接有第1群灰階線81，於灰階電壓產生電路62及72，連接有第2群灰階線82。又，於灰階電壓產生電路63及73，連接有第3群灰階線83，於灰階電壓產生電路64及74，連接有第4群灰階線84。

灰階電壓產生電路61及71自圖5所示之調壓器51～54被供給第1穩定化電位VRH及第2穩定化電位VRL，產生複數個灰階電壓並供給至第1群灰階線81。又，灰階電壓產生電路62及72被供給第1穩定化電位VRH及第2穩定化電位VRL，產生複數個灰階電壓而供給至第2群灰階線82。

灰階電壓產生電路63及73被供給第1穩定化電位VRH及第2穩定化電

位VRL，產生複數個灰階電壓並供給至第3群灰階線83。又，灰階電壓產生電路64及74被供給第1穩定化電位VRH及第2穩定化電位VRL，產生複數個灰階電壓並供給至第4群灰階線84。

再者，DAC32包含：控制電路90、第1群開關電路91～第4群開關電路94。第1群開關電路91～第4群開關電路94例如由連接於複數個放大器33之輸入端子與第1群灰階線81～第4群灰階線84之間之複數個傳輸閘構成。

第1群開關電路91將自第1群灰階線81內分別選擇之灰階線與複數個放大器33之各輸入端子電性連接，第2群開關電路92將自第2群灰階線82內分別選擇之灰階線與複數個放大器33之各輸入端子電性連接。

又，第3群開關電路93將自第3群灰階線83內分別選擇之灰階線與複數個放大器33之各輸入端子電性連接，第4群開關電路94將自第4群灰階線84內分別選擇之灰階線與複數個放大器33之各輸入端子電性連接。

控制電路90例如由包含組合電路或順序電路之邏輯電路構成。控制電路90解碼自圖2所示之第2群資料閂鎖電路312a供給之灰階資料，產生用以控制第1群開關電路91～第4群開關電路94之開關控制信號，並供給至第1群開關電路91～第4群開關電路94。

又，控制電路90基於自解析電路23輸出之控制信號SDAC，產生控制於灰階電壓產生電路61～64及71～74流動之電流之電流控制信號SD1～SD4。控制電路90按照電流控制信號SD1～SD4，根據灰階資料將與有電流流動之灰階電壓產生電路連接之開關電路控制為接通或斷開，且使與無電流流動之灰階電壓產生電路連接之開關電路強制斷開。

在如圖6(A)所示之全面運轉模式中，將電流控制信號SD1～SD4活化為高位準，電流於灰階電壓產生電路61～64及71～74流動。控制電路90以將

對應於藉由灰階資料表示之灰階位準之灰階線與複數個放大器33之輸入端子連接之方式，共通地控制第1群開關電路91～第4群開關電路94。例如，在第1群開關電路91～第4群開關電路94中，以灰色顯示之傳輸閘成為斷開狀態。

於圖6(B)所示之半運轉模式中，將電流控制信號SD1及SD2活化為高位準，將電流控制信號SD3及SD4惰性化為低位準，電流於灰階電壓產生電路61、62、71、及72流動，於灰階電壓產生電路63、64、73、及74無電流流動。

控制電路90以將對應於藉由灰階資料表示之灰階位準之灰階線與複數個放大器33之輸入端子連接之方式，共通地控制第1群開關電路91及第2群開關電路92。例如，於第1群開關電路91及第2群開關電路92中，以灰色顯示之傳輸閘成為接通狀態。

另一方面，控制電路90將第3群開關電路93及第4群開關電路94之所有傳輸閘強制設為斷開狀態。藉此，可防止串擾電流經由傳輸閘於灰階電壓產生電路61～64及71～74間流動。

圖2所示之解析電路23解析閂鎖於複數個閂鎖電路31之灰階資料DATA，並根據解析結果，使於灰階電壓產生電路61～64及71～74內至少一組流動之電流停止，藉此降低於至少1個DAC32流動之直流電流。於以下，對第5實施形態之顯示裝置之具體動作例進行說明。

＜第1動作例＞

於第1動作例中，解析電路23對閂鎖於複數個閂鎖電路31之1列量之灰階資料，判定灰階位準是否為特定位準以下。例如，解析電路23於第1群資料閂鎖電路311a與時脈信號CLK同步依序擷取灰階資料DATA時，對1列量

之灰階資料判定藉由擷取至第1群資料閂鎖電路311a之灰階資料DATA表示之灰階位準是否為特定位準以下。

解析電路23於1列之所有像素之灰階位準均為特定位準以下之情形時，在基於該1列量之灰階資料驅動1列像素電路11之期間(例如，1水平同步期間)，活化控制信號SDAC。控制電路90按照控制信號SDAC，控制複數個DAC32之直流電流。藉此，解析電路23於1列之所有像素之灰階位準均為特定位準以下之情形時，在基於該1列量之灰階資料驅動1列像素電路11之期間，降低於複數個(L個)DAC32中流動之直流電流。

於1列之所有像素之灰階位準均為特定位準以下之情形時，由於該等像素之灰階位準為黑位準或其附近之低亮度位準，故難以目視到顯示不均等。因此，對畫質幾乎不造成影響，可削減複數個DAC32之消耗電流。

例如，於圖5所示之DAC32中，若一面將電流控制信號SD1及SD2維持於高位準一面將電流控制信號SD3及SD4惰性化為低位準，則電晶體QN61、QN62、QN71及QN72維持接通狀態，電晶體QN63、QN64、QN73、及QN74成為斷開狀態，可將直流電流設為1/2。

或，在圖5所示之DAC32中，若一面將電流控制信號SD1維持於高位準一面將電流控制信號SD2～SD4惰性化為低位準，則電晶體QN61及QN71維持接通狀態，電晶體QN62～QN64及QN72～QN74為斷開狀態，可將直流電流設為1/4。

＜第2動作例＞

於第2動作例中，圖2所示之解析電路23對閂鎖於複數個閂鎖電路31之1列量之灰階資料，判定灰階位準是否為特定位準以上。例如，解析電路23於第1群資料閂鎖電路311a與時脈信號CLK同步依序擷取灰階資料

DATA時，對1列量之灰階資料判定藉由擷取至第1群資料閂鎖電路311a之灰階資料DATA表示之灰階位準是否為特定位準以上。

解析電路23於1列之所有像素之灰階位準均為特定位準以上之情形時，在基於該1列量之灰階資料驅動1列像素電路11之期間(例如，1水平同步期間)，活化控制信號SDAC。控制電路90按照控制信號SDAC，控制複數個DAC32中之直流電流。藉此，解析電路23於1列之所有像素之灰階位準均為特定位準以上之情形時，在基於該1列量之灰階資料驅動1列像素電路11之期間，降低於複數個(L個)DAC32中流動之直流電流。

於1列之所有像素之灰階位準均為特定位準以上之情形時，由於該等像素之灰階位準為白位準或其附近之高亮度位準，故難以目視到顯示不均等。因此，對畫質幾乎不造成影響，可削減複數個DAC32之消耗電流。

＜第3動作例＞

於第3動作例中，圖2所示之解析電路23於消隱期間，活化控制信號SDAC。控制電路90按照控制信號SDAC，控制複數個DAC32中之直流電流。藉此，解析電路23於消隱期間，降低於複數個DAC32中流動之直流電流。

由於在消隱期間灰階位準不成為問題，故不會對畫質造成影響，可削減DAC32之消耗電流。例如，解析電路23基於自顯示控制電路20供給之垂直同步信號或水平同步信號，檢測消隱期間。

根據以上實施形態，由於解析閂鎖於複數個閂鎖電路31之灰階資料，根據解析結果，降低於至少1個放大器33或至少1個DAC32中流動之直流電流，故不會對畫質造成影響，可削減資料線驅動電路30之放大器33或DAC32之消耗電流。

＜電子機器＞

接著，對具備本發明任一實施形態之顯示裝置之電子機器進行說明。圖1所示之顯示裝置1由於像素為小尺寸故有利於進行高精細顯示之用途，作為電子機器，列舉頭戴式顯示器為例進行說明。

圖7係顯示頭戴式顯示器之外觀之立體圖。圖8係顯示頭戴式顯示器之光學構成例之俯視圖。如圖7所示，頭戴式顯示器100與一般眼鏡相同，具備：眼鏡腳110、眼鏡樑120、鏡片101L及101R。又，如圖8所示，於頭戴式顯示器100，於眼鏡樑120附近即鏡片101L及101R之裏側(圖中下側)，設置有左眼用之顯示裝置1L、與右眼用之顯示裝置1R。

顯示裝置1L之圖像顯示面以在圖8中成為左側之方式配置。藉此，顯示裝置1L之顯示圖像經由光學鏡片102L出射至圖中L方向。半鏡面103L使顯示裝置1L之顯示圖像反射至圖中B方向，另一方面，使自圖中F方向入射之光透過。

顯示裝置1R之圖像顯示面以與顯示裝置1L相反，在圖8中成為右側之方式配置。藉此顯示裝置1R之顯示圖像經由光學鏡片102R出射至圖中R方向。半鏡面103R使顯示裝置1R之顯示圖像反射至圖中B方向，另一方面，使自圖中F方向入射之光透過。

藉由此種構成，頭戴式顯示器100之使用者可於與外部風景重疊之透視狀態觀察顯示裝置1L及1R之顯示圖像。又，在頭戴式顯示器100中，使伴隨視差之兩眼用圖像內之左眼用圖像顯示於顯示裝置1L，右眼用圖像顯示於顯示裝置1R，藉此可使使用者察覺顯示之圖像宛如具備縱深或立體感(3D顯示)。

圖1所示之顯示裝置1除了頭戴式顯示器100以外，可應用於攝像機或

鏡片更換式數位相機之電子式取景器等電子機器。根據本實施形態，使用對畫質幾乎不造成影響而削減驅動電路中之放大器或D/A轉換器之消耗電流之顯示裝置，可降低電子機器之消耗電流。

於上述實施形態中，對使用OLED作為發光元件之情形進行說明，但於本發明中，例如可使用如無機發光二極體或LED(Light Emitting Diode：發光二極體)等以對應於電流之亮度發光之發光元件。如此，本發明並非限定於以上說明之實施形態者，在該技術領域具有通常知識者可在本發明之技術思想內進行多種變化。

【符號說明】

1	顯示裝置
1L	顯示裝置
1R	顯示裝置
2	顯示裝置
3	外殼
4	FPC基板
5	端子
6	外部裝置
6a	圖像資料用控制器
6b	電壓產生電路
10	顯示部
11	像素電路
12	掃描線
13	資料線

14	重設線
15	中繼配線
20	顯示控制單元
21	電壓產生電路
22	對照表
23	解析電路
30	資料線驅動電路
31	閂鎖電路
311a	閂鎖電路(第1群資料閂鎖電路)
311b	閂鎖電路(第1群判定旗標閂鎖電路)
312a	閂鎖電路(第2群資料閂鎖電路)
312b	閂鎖電路(第2群判定旗標閂鎖電路)
32	DAC
33	放大器
34	放大器電流/上拉控制電路
35	零資料檢測電路
36	傳輸閘
37	傳輸閘
40	閘極線驅動電路
51～54	調壓器
61～64	灰階電壓產生電路
71～74	灰階電壓產生電路
81～84	灰階線

90	控制電路
91～94	開關電路
100	頭戴式顯示器
101L	鏡片
101R	鏡片
102L	光學鏡片
102R	光學鏡片
103L	半鏡面
103R	半鏡面
110	眼鏡腳
120	眼鏡樑
A1	放大電路
A2	放大電路
B	方向
C1	電容器
C2	電容器
CLK	時脈信號
Cpix	保持電容
Ctr	控制信號
D1	發光元件
DATA	灰階資料
DCLK	資料時脈信號
DE	資料啟動信號

DM(1)～DM(L)	解多工器
DM(k)	解多工器
F	方向
FZ	判定旗標
Gcmp(i)	控制信號
Gcpl	控制信號
Gel(i)	控制信號
Gini	控制信號
Grst	控制信號
Gref	控制信號
Gwr(1)～Gwr(M)	掃描信號
HSYNC	水平同步信號
IN1	第1輸入端子
IN2	第2輸入端子
L	方向
LS	位準設定電路
OUT	輸出端子
QP1～QP32	P通道MOS電晶體
QN11～QN74	N通道MOS電晶體
R	方向
S1	開關電路
S2	開關電路
SA1	電流控制信號

SA2	電流控制信號
SA3	電流控制信號
SAMP	控制信號
SD1～SD4	電流控制信號
SDAC	控制信號
Sel(1)	控制信號
Sel(2)	控制信號
Sel(18)	控制信號
Vct	電源電位
VDD	邏輯電源電位
Vd(1)～Vd(L)	灰階信號
Vel	電源電位
Vini	初始化電位
Vorst	重設電位
Vref	參照電位
VRH	最高電位
VRL	第2穩定化電位
VRN1	參照電位
VRN2	參照電位
VRP1	參照電位
VRP2	參照電位
VSS	電源電位
VSYNC	垂直同步信號

X	方向
XGcpl	控制信號
Xsel(1)	控制信號
Xsel(2)	控制信號
Xsel(18)	控制信號
Y	方向
Zero	控制信號

201742045
專利案號：106105929
201742045
申請日：106/02/22
IPC分類：G09G 3/3208 (2016.01)
G09G 3/30 (2006.01)
G09G 3/20 (2006.01)
G09G 3/3275 (2016.01)

【發明摘要】

【中文發明名稱】

顯示裝置及電子機器

【英文發明名稱】

DISPLAY DEVICE AND ELECTRONIC APPARATUS

【中文】

本發明之顯示裝置具備：複數個閂鎖電路，其閂鎖用於驅動複數條資料線之灰階資料；複數個D/A轉換器，其將閂鎖於上述複數個閂鎖電路之灰階資料轉換為複數個類比信號；複數個放大器，其分別放大自上述複數個D/A轉換器輸出之複數個類比信號而產生複數個灰階信號；及解析電路，其解析閂鎖於上述複數個閂鎖電路之灰階資料，且根據解析結果，降低於至少1個放大器或至少1個D/A轉換器中流動之直流電流。

【英文】

A display device includes a plurality of latch circuits which latch gradation data that is used to drive a plurality of data lines, a pluralit y of D/A converters which convert gradation data that is latched to the plurality of latch circuits to a plurality of analog signals, a plurality of amplifiers which generate a plurality of gradation signals by respectively amplifying the plurality of analog signals output from the plurality of D/A converters, and an analysis circuit that analyses gradation data that is latched to the plurality of latch circuits and reduces direct current that flows in at least one amplifier or at least one D/A converter according to an analysis result.

【指定代表圖】

圖2

【代表圖之符號簡單說明】

2	顯示裝置
6	外部裝置
6a	圖像資料用控制器
6b	電壓產生電路
10	顯示部
11	像素電路
12	掃描線
13	資料線
14	重設線
20	顯示控制電路
21	電壓產生電路
22	對照表
23	解析電路
30	資料線驅動電路
31	閂鎖電路
32	DAC
33	放大器
34	放大器電流/上拉控制電路
35	零資料檢測電路
40	閘極線驅動電路
311a	第1群資料閂鎖電路

311b	第1群判定旗標閂鎖電路
312a	第2群資料閂鎖電路
312b	第2群判定旗標閂鎖電路
CLK	時脈信號
Ctr	控制信號
DATA	灰階資料
DCLK	資料時脈信號
DE	資料啟動信號
DM(1)～DM(L)	解多工器
FZ	判定旗標
Grst	控制信號
Gref	控制信號
Gwr(1)～Gwr(M)	掃描信號
HSYNC	水平同步信號
LS	位準設定電路
SAMP	控制信號
SDAC	控制信號
VDD	邏輯電源電位
Vd(1)～Vd(L)	灰階信號
Vel	電源電位
Vorst	重設電位
Vini	初始化電位
Vref	參照電位

VSS	電源電位
VSYNC	垂直同步信號
X	方向
Y	方向

【發明申請專利範圍】

【第1項】

一種顯示裝置，其係於同一半導體基板上至少搭載有顯示部及驅動電路者，且具備：

複數個閂鎖電路，其閂鎖用以驅動在上述顯示部中對應複數行像素電路設置之複數條資料線之灰階資料；

複數個D/A轉換器，其將閂鎖於上述複數個閂鎖電路之灰階資料轉換為複數個類比信號；

複數個放大器，其分別放大自上述複數個D/A轉換器輸出之複數個類比信號而產生複數個灰階信號；及

解析電路，其解析閂鎖於上述複數個閂鎖電路之灰階資料，且根據解析結果，降低於至少1個放大器或至少1個D/A轉換器中流動之直流電流。

【第2項】

如請求項1之顯示裝置，其中上述解析電路對閂鎖於上述複數個閂鎖電路之1列量之灰階資料判定灰階位準是否為特定之位準以下，於1列之所有像素之灰階位準均為特定位準以下之情形時，在基於該1列量之灰階資料驅動1列像素電路之期間，降低於上述複數個放大器或上述複數個D/A轉換器中流動之直流電流。

【第3項】

如請求項2之顯示裝置，其中上述解析電路於降低上述複數個放大器中流動之直流電流時，以基於該1列量之灰階資料驅動之1列像素電路之驅動電晶體成為非導通狀態之方式控制上述複數條資料線之電位。

【第4項】

如請求項1之顯示裝置，其進而具備：複數個解多工器，其以如下方式進行切換動作：於將上述複數條資料線分為複數個區塊驅動之情形時，上述複數個D/A轉換器各者將1區塊量之灰階資料依序轉換為1區塊量之類比信號，

上述複數個放大器各者係放大自各D/A轉換器依序輸出之1區塊量之類比信號而產生1區塊量之灰階信號，且

各自被供給自上述複數個放大器輸出之複數個區塊量之灰階信號，且將各區塊量之灰階信號分時供給至特定數量之資料線。

【第5項】

如請求項4之顯示裝置，其中上述解析電路對閂鎖於上述複數個閂鎖電路之1區塊量之灰階資料判定其灰階位準是否為特定之位準以下，於1區塊之所有像素之灰階位準均為特定位準以下之情形時，在基於該1區塊量之灰階資料驅動1區塊之像素電路之期間，降低於與被供給該1區塊量之灰階資料之D/A轉換器連接之放大器中流動之直流電流。

【第6項】

如請求項1或4之顯示裝置，其中上述解析電路判定被供給至上述複數個D/A轉換器各者之1像素量之灰階資料之值是否為零，於1像素量之灰階資料之值為零之情形時，在基於該1像素量之灰階資料驅動1個像素電路之期間，降低於與被供給該1像素量之灰階資料之D/A轉換器連接之放大器中流動之直流電流。

【第7項】

如請求項5或6之顯示裝置，其中上述解析電路於降低於上述放大器中流動之直流電流時，將上述放大器之輸出端子上拉至灰階信號之最高電位。

【第8項】

如請求項1至7中任一項之顯示裝置，其中上述解析電路對閂鎖於上述複數個閂鎖電路之1列量之灰階資料判定灰階位準是否為特定之位準以上，於1列之所有像素之灰階位準均為特定位準以上之情形時，在基於該1列量之灰階資料驅動1列像素電路之期間，降低於上述複數個放大器或上述複數個D/A轉換器中流動之直流電流。

【第9項】

如請求項1至8中任一項之顯示裝置，其中上述解析電路於消隱期間，降低於上述複數個D/A轉換器中流動之直流電流。

【第10項】

一種電子機器，其具備請求項1至9中任一項之顯示裝置。