



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년12월18일

(11) 등록번호 10-1810261

(24) 등록일자 2017년12월12일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

H01L 29/786 (2006.01)

(21) 출원번호 10-2012-7023426

(22) 출원일자(국제) 2011년01월14일

심사청구일자 2015년12월15일

(85) 번역문제출일자 2012년09월07일

(65) 공개번호 10-2012-0118062

(43) 공개일자 2012년10월25일

(86) 국제출원번호 PCT/JP2011/051033

(87) 국제공개번호 WO 2011/099342

국제공개일자 2011년08월18일

(30) 우선권주장

JP-P-2010-027835 2010년02월10일 일본(JP)

(56) 선행기술조사문현

KR100701555 B1*

KR1020090119666 A*

JP2006253490 A

JP2005236180 A

*는 심사관에 의하여 인용된 문현

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

다케무라 야스히코

일본 2430036 가나가와Ken 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장수길, 박충범, 이중희

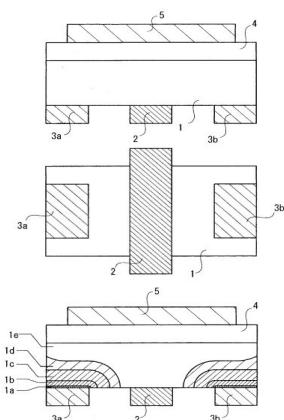
전체 청구항 수 : 총 16 항

심사관 : 최혜미

(54) 발명의 명칭 전계 효과 트랜지스터

(57) 요 약

본 발명의 목적은 도체-반도체 접합을 포함하는 전계 효과 트랜지스터의 오프 전류가 감소될 수 있는 구성을 제공하는 것이다. 반도체층은 반도체층의 전자 친화력이하인 일함수를 갖는 재료를 포함하는 제1 도체 전극 및 제2 도체 전극과 접하여 설치된다. 제3 도체 전극은 게이트를 구비한 표면에 반대되는 반도체층의 표면과 접하고 반도체층을 가로지르도록 일함수가 반도체층의 전자 친화력보다 높은 재료를 이용하여 형성되어, 셀트키 배리어 접합이 반도체층에 형성된다. 셀트키 배리어 접합을 포함하는 부분의 캐리어 농도는 극히 낮으므로, 오프 전류가 감소될 수 있다.

대 표 도

명세서

청구범위

청구항 1

전계 효과 트랜지스터로서,

제1 표면 및 상기 제1 표면에 반대되는 제2 표면을 포함하는 산화물 반도체층;

상기 제1 표면과 각각 접하는 제1 및 제2 도체 전극들;

상기 제2 표면 위의 게이트; 및

상기 산화물 반도체층을 가로지르도록 상기 제1 표면과 접하고 상기 제1 및 제2 도체 전극들 사이에 있는 제3 도체 전극을 포함하고,

오믹 접합이 상기 제1 및 제2 도체 전극들 양쪽과 상기 산화물 반도체층 사이에 형성되고,

쇼트키 배리어 접합이 상기 제3 도체 전극과 상기 산화물 반도체층 사이에 형성되고,

상기 제3 도체 전극은 상기 제1 및 제2 도체 전극들 중 하나와 물리적으로 접하거나 전기적으로 접속되는, 전계 효과 트랜지스터.

청구항 2

제1항에 있어서,

상기 산화물 반도체층을 가로지르고 상기 제3 도체 전극으로부터 떨어져 있도록, 상기 제1 표면과 접하고 상기 제1 및 제2 도체 전극들 사이에 있는 제4 도체 전극을 더 포함하는, 전계 효과 트랜지스터.

청구항 3

전계 효과 트랜지스터로서,

제1 표면 및 상기 제1 표면에 반대되는 제2 표면을 포함하는 산화물 반도체층;

상기 제1 표면과 각각 접하는 제1 및 제2 도체 전극들;

상기 제1 표면 위의 게이트; 및

상기 산화물 반도체층을 가로지르도록 상기 제2 표면과 접하고 상기 제1 및 제2 도체 전극들 사이에 있는 제3 도체 전극을 포함하고,

오믹 접합이 상기 제1 및 제2 도체 전극들 양쪽과 상기 산화물 반도체층 사이에 형성되고,

쇼트키 배리어 접합이 상기 제3 도체 전극과 상기 산화물 반도체층 사이에 형성되고,

상기 제3 도체 전극은 상기 제1 및 제2 도체 전극들 중 하나와 전기적으로 접속되는, 전계 효과 트랜지스터.

청구항 4

제3항에 있어서,

상기 산화물 반도체층을 가로지르고 상기 제3 도체 전극으로부터 떨어져 있도록, 상기 제2 표면과 접하고 상기 제1 및 제2 도체 전극들 사이에 있는 제4 도체 전극을 더 포함하는, 전계 효과 트랜지스터.

청구항 5

제1항 또는 제3항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, 전계 효과 트랜지스터.

청구항 6

제1항 또는 제3항에 있어서,

상기 제3 도체 전극은 상기 제1 및 제2 도체 전극들 중 상기 하나와 동일한 전위로 유지되는, 전계 효과 트랜지스터.

청구항 7

제1항 또는 제3항에 있어서,

상기 산화물 반도체층과 접하는, 상기 제1 및 제2 도체 전극들의 일부들의 일함수는, 상기 산화물 반도체층의 전자 친화력과 0.3 전자 볼트의 합보다 작은, 전계 효과 트랜지스터.

청구항 8

제1항 또는 제3항에 있어서,

상기 제1 및 제2 도체 전극들은 각각 소스 및 드레인으로서 기능하는, 전계 효과 트랜지스터.

청구항 9

제1항 또는 제3항에 있어서,

상기 산화물 반도체층과 접하는 상기 제3 도체 전극의 일부의 일함수는 상기 산화물 반도체층의 전자 친화력과 0.6 전자 볼트의 합보다 큰, 전계 효과 트랜지스터.

청구항 10

제1항 또는 제3항에 있어서,

상기 산화물 반도체층과 상기 게이트 사이에 게이트 절연막을 더 포함하는, 전계 효과 트랜지스터.

청구항 11

제1항 또는 제3항에 있어서,

상기 산화물 반도체층은 도너 또는 억셉터를 고 농도로 포함하는 제1 도핑 영역 및 제2 도핑 영역을 포함하는, 전계 효과 트랜지스터.

청구항 12

제11항에 있어서,

상기 제1 도핑 영역 및 상기 제2 도핑 영역의 상기 도너 또는 상기 억셉터의 농도는 $1 \times 10^{18}/\text{cm}^3$ 이상 $1 \times 10^{21}/\text{cm}^3$ 미만인, 전계 효과 트랜지스터.

청구항 13

제2항에 있어서,

상기 제4 도체 전극은 상기 제1 및 제2 도체 전극들 중 다른 하나와 접하는, 전계 효과 트랜지스터.

청구항 14

제4항에 있어서,

상기 제4 도체 전극은 상기 제1 및 제2 도체 전극들 중 다른 하나와 전기적으로 접속되는, 전계 효과 트랜지스터.

청구항 15

제2항 또는 제4항에 있어서,

상기 제3 도체 전극은 상기 제1 및 제2 도체 전극들 중 상기 하나와 동일한 전위로 유지되고,

상기 제4 도체 전극은 상기 제1 및 제2 도체 전극들 중 다른 하나와 동일한 전위로 유지되는, 전계 효과 트랜지스터.

청구항 16

제2항 또는 제4항에 있어서,

쇼트키 배리어 접합이 상기 제4 도체 전극과 상기 산화물 반도체층 사이에 형성되는, 전계 효과 트랜지스터.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체를 포함하는 전계 효과 트랜지스터(FET)에 관한 것이다.

배경 기술

- [0002] 전계 효과 트랜지스터(FET)는 소위 소스 및 드레인 영역이 반도체에 설치되고, 각 영역이 전극을 구비하고, 전극에 전위가 공급되고, 반도체의 상태가 제어되도록 절연막 또는 쇼트키 배리어를 통해 소위 게이트 전극을 이용하여 전계가 인가되어, 소스와 드레인 사이에 흐르는 전류가 제어되는 장치이다. 반도체로서, 실리콘 및 게르마늄 등의 IV 족 원소(14족 원소), 갈륨 비소, 인화 인듐, 및 질화 갈륨 등의 III-V 족 화합물, 황화 아연 및 텔루르화 카드뮴 등의 II-VI 족 화합물 등을 들 수 있다.
- [0003] 최근, 산화 아연 또는 인듐 갈륨 아연 산화물계 화합물이 반도체로서 이용되는 FET가 보고되었다(특허 문현 1 및 특허 문현 2). 이러한 산화물 반도체를 포함하는 FET에서, 비교적 높은 이동도가 얻어질 수 있고, 이러한 재료는 3 전자 볼트 이상의 넓은 밴드갭을 가지므로, 산화물 반도체를 포함하는 FET를 디스플레이, 파워 디바이스 등에 응용하는 것이 논의되고 있다.
- [0004] 예를 들어, 이러한 재료의 밴드갭이 3 전자 볼트 이상이라는 사실은 재료가 가시광을 투과하므로 재료가 디스플레이에 사용되는 경우에, FET 부분도 광을 투과할 수 있고 개구율이 향상되는 것이 기대된다는 것을 의미한다.
- [0005] 또한, 이러한 밴드갭은 파워 디바이스에 사용되는 탄화 실리콘에 공통이므로, 산화물 반도체는 또한 파워 디바이스에 적용될 것으로 기대된다.
- [0006] 또한, 넓은 밴드갭은 열적으로 여겨진 캐리어가 소수라는 것을 의미한다. 예를 들어, 실리콘은 실온에서 1.1 전자 볼트의 밴드갭을 가지므로 열적으로 여겨진 캐리어는 그 안에 $10^{11}/\text{cm}^3$ 으로 존재하지만, 3.2 전자 볼트의 밴드갭을 갖는 반도체에서는, 열적으로 여겨진 캐리어는 계산에 따르면 약 $10^{-7}/\text{cm}^3$ 로 존재한다.
- [0007] 실리콘의 경우에, 열적 여의에 의해 발생된 캐리어는 불순물을 포함하지 않는 실리콘에서도 상술한 바와 같이 존재하므로, 실리콘의 비저항은 $10^5 \Omega\text{cm}$ 이상일 수가 없다. 반면, 3.2 전자 볼트의 밴드갭을 갖는 반도체의 경우에, $10^{20} \Omega\text{cm}$ 이상의 비저항이 이론적으로 얻어질 수 있다. FET가 이러한 반도체를 이용하여 제조되고 오프 상태(게이트의 전위가 소스의 전위와 동일한 상태)에서 그 높은 비저항이 이용될 때, 전하가 반영구적으로 유지될 수 있는 것으로 기대된다.
- [0008] 그런데, 특히 아연 또는 인듐을 포함하고 p형 도전형을 갖는 산화물 반도체에 대해서는 보고되지 않고 있다. 따라서, 실리콘의 FET와 같은 PN 접합을 이용하는 산화물 반도체의 FET는 보고되지 않았고, 특허 문현 1 및 특허 문현 2에 개시된 것과 같이, 도체 전극이 n형 산화물 반도체와 접촉하는 도체-반도체 접합이, 소스 또는 드레인에 대응하는 단자를 형성하기 위해 사용되었다.
- [0009] 반도체에 관한 일반적인 학술서에서, "도체-반도체 접합"은 "금속-반도체 접합"으로 표현된다는 점에 유의한다. 이 경우에, 금속을 도체를 의미한다. 예를 들어, 고 농도로 도핑되고 비저항이 상당히 낮은 실리콘 등의 반도체(특히 축퇴 반도체), 질화 티타늄 및 질화 텅스텐 등의 금속 질화물, 산화 인듐 주석 및 산화 알루미늄 아연 등의 금속 산화물 등이 또한 "금속-반도체 접합"에서의 금속으로서 간주된다. 그러나, 이러한 경우에, 용어 "금속"은 오해를 초래할 수 있으므로, 본 명세서에서 용어 "도체-반도체 접합"이 용어 "금속-반도체 접합" 대신에 사용된다.
- [0010] 소스 및 드레인에 대응하는 단자가 도체-반도체 접합을 이용하여 형성되는 FET에서, 반도체의 캐리어 농도가 높을 때, 전류(오프 전류)는 오프 상태에 있어도 소스 전극과 드레인 전극 사이에 흐른다. 그러므로, 오프 전류는 i형 반도체가 얻어지도록 반도체 내의 도너 또는 억셉터의 농도를 낮춤으로써 감소될 필요가 있다. 본 명세서에서, i형 반도체는 도너 또는 억셉터로부터 유도된 캐리어 농도가 $10^{12}/\text{cm}^3$ 이하인 반도체라는 점에 유의한다. 그러나, 다음으로부터 FET의 채널 길이가 짧고 반도체층이 두꺼울 때 이러한 시도는 잘 이루어지지 않는다는 것은 분명하다.
- [0011] 도체-반도체 접합에서, 일반적으로, 오믹 접합 또는 쇼트키 접합은 도체의 일함수와 반도체의 전자 친화력(또는 페르미 준위) 사이의 관계에 따라 형성된다. 예를 들어, 이상적인 도체-반도체 접합(즉, 화합물, 트랩 준위 등이 계면에 존재하지 않는 접합)이 3.9 전자 볼트의 일함수를 갖는 도체를 4.3 전자 볼트의 전자 친화력을 갖는 반도체와 접촉하게 함으로써 형성된다면, 전자가 도체로부터 반도체의 일정한 폭을 갖는 영역으로 흐른다.
- [0012] 그 경우에, 도체와 반도체 사이의 접합 계면에 더 가까운 영역은 더 높은 전자 농도를 갖고, 전자 농도는 도체-

반도체 접합의 계면으로부터 수 나노미터에서 $10^{20}/\text{cm}^3$, 계면으로부터 수십 나노미터에서 $10^{18}/\text{cm}^3$, 계면으로부터 수백 나노미터에서 $10^{16}/\text{cm}^3$, 및 대략적 계산에 따라 계면으로부터 수 마이크로미터에서도 $10^{14}/\text{cm}^3$ 이다. 즉, 반도체 자체가 i형 반도체일 때에도, 도체와의 접촉은 고 캐리어 농도를 갖는 영역을 생성한다. 도체-반도체 접합의 계면의 근방에 많은 캐리어를 포함하는 이러한 영역의 형성의 결과로서, 도체-반도체 접합은 오직 접합이 된다.

[0013] 반면, 예를 들어, 이상적인 도체-반도체 접합이 4.9 전자 볼트의 일함수를 갖는 도체를 4.3 전자 볼트의 전자 친화력을 갖는 반도체와 접촉하게 함으로써 형성된다면, 반도체의 일정한 폭을 갖는 영역에 존재하는 전자는 도체로 이동한다. 전자가 떠난 영역에서, 전자 농도는 당연히 극히 낮다. 전자가 이동하는 반도체 영역의 두께는 반도체의 전자 농도에 의존하고, 예를 들어, 반도체의 원래의 전자 농도가 $10^{18}/\text{cm}^3$ 일 때, 그 폭은 수십 나노미터이다.

[0014] 이 부분 내의 전자 농도가 상당히 낮게 되어, 따라서, 배리어는 벤도도에서 도체와 반도체 사이의 접합 계면에 형성된다. 이러한 배리어를 포함하는 도체-반도체 접합을 쇼트키 배리어 접합이라고 한다. 전자는 반도체에서 도체로 쉽게 흐르지만, 전자는 배리어로 인해 도체에서 반도체로 흐르기 어렵다. 그러므로, 쇼트키 배리어 접합에서 정류 작용이 관찰된다.

[0015] 유사한 현상이 도체가 반도체와 직접 접하지 않을 때에도 발생한다. 예를 들어, 절연막이 반도체와 도체 사이에 설치되는 경우에도, 반도체의 전자 농도는 도체의 영향을 받는다. 물론, 도체의 영향의 정도는 절연막의 두께 또는 유전 상수에 의존한다. 절연막의 두께가 증가하거나 또는 그 유전 상수가 낮아질 때, 도체의 영향은 감소된다.

[0016] FET에서, 소스 전극과 반도체 사이 또는 드레인 전극과 반도체 사이의 접합은 전류가 쉽게 흐르도록 형성되는 것이 바람직하기 때문에, 소스 전극 또는 드레인 전극의 재료는 오직 접합이 형성되도록 선택된다. 예를 들어, 티타늄 및 질화 티타늄을 들 수 있다. 전극과 반도체 사이의 접합이 오직 접합일 때, FET의 안정한 특성이 얻어지고 양품률이 높다는 장점이 있다.

[0017] 게이트의 재료로서, 반도체로부터 전자를 제거하는 작용을 갖는 재료가 선택된다. 예를 들어, 텅스텐 및 백금을 들 수 있다. 이러한 재료가 사용되고 비율 L/T [여기서 L은 반도체의 크기(전형적으로, 소스 전극과 드레인 전극 사이의 거리), T는 게이트 절연막과 반도체의 유효 두께의 합]이 10 이상일 때, $1 \times 10^{-18}\text{A}$ 이하의 극히 작은 오프 전류를 갖는 FET가 제조될 수 있다. 여기서, T는 다음의 식에 의해 계산된다: $T = (\text{게이트 절연막의 두께} \times \text{반도체의 유전 상수}/\text{게이트 절연막의 유전 상수}) + \text{반도체의 두께}$.

[0018] 비율 L/T는 온 상태에서의 전류(온 전류)의 증가의 필요성, 박막을 형성하는 기술의 한계, 미세화 등으로 인해 낮은 것이 요구된다. 예를 들어, 반도체층이 더 두껍게 될 때, 그 단면적은 증가하므로, 더 많은 전류가 흐를 수 있다. 또한, 반도체층 또는 게이트 절연층의 두께가 대량 생산의 한계까지 감소되고 채널(소스 전극과 드레인 전극 사이의 거리)이 짧아질 때, L은 T에 비해 작게 된다. 또한, 파워 디바이스에의 응용을 위해, 내압을 증가시키기 위해, 게이트 절연막의 두께는 증가될 필요가 있다.

[0019] 그러나, 이러한 구조로는, 비율 L/T가 4 이하일 때 오프 전류를 낮게 유지하는 것이 불가능하다. L이 100nm 미만이거나 또는 T가 $1\mu\text{m}$ 이상일 때 유사한 현상이 관찰될 수 있다. 그 현상의 원인은 도 7a 및 7b를 참조하여 설명된다. 도 7a는 도체-반도체 접합을 포함하는 FET의 전형적인 구조를 도시한다. 구체적으로, 소스 전극(13a) 및 드레인 전극(13b)이 반도체층(11)의 한 표면 위에 설치된다. 또한, 게이트 절연막(14) 및 게이트(15)는 반도체층(11)의 반대 표면 위에 설치된다.

[0020] 소스 전극(13a) 및 드레인 전극(13b)으로서, 도체는 소스 전극(13a)과 반도체층(11) 사이의 접합 및 드레인 전극(13b)과 반도체층(11) 사이의 접합이 오직 접합이도록 선택된다. 일함수가 게이트(15)를 위한 반도체의 전자 친화력보다 높은 재료를 사용함으로써, 소스 전극(13a) 또는 드레인 전극(13b)으로부터 흐르는 전류가 제거된다.

[0021] 설명을 간단히 하기 위해, 전자를 반도체층(11) 내로 주입하기 위한 소스 전극(13a) 또는 드레인 전극(13b)의 힘은 반도체층(11)으로부터 전자를 제거하기 위한 게이트(15)의 힘과 동일하다고 가정한다. 이 힘들은 소스 전극(13a)(또는 드레인 전극(13b)) 및 게이트(15)로부터 포인트까지의 각각의 거리에 의존하는 것으로 여겨진다.

[0022] 소스 전극(13a)(또는 드레인 전극(13b)) 및 게이트(15)로부터의 거리가 동일한 반도체층(11)의 부분에서, 반대

되는 힘들은 균형을 이루므로, 그 안의 전자 농도는 원래의 값과 동일한 것으로 고려될 수 있다. 소스 전극(13a)으로부터의 거리가 그 위치에서의 게이트(15)로부터의 거리보다 짧을 때, 소스 전극(13a)의 힘은 게이트(15)의 힘보다 세므로, 전자 농도는 그 위치에서 더 높다. 반면, 전자의 거리가 다른 위치에서 후자의 거리보다 길 때, 게이트(15)의 힘은 소스 전극(13a)의 힘보다 세므로, 전자 농도는 그 위치에서 더 낮다.

[0023] 여기서, 이 경우의 거리는 공간적인 거리가 아니라 전자기적인 거리를 의미하므로, 공간적인 거리를 유전 상수로 곱하여 얻어진 값을 기초하여 비교할 필요가 있다는 점에 유의하여야 한다.

[0024] 도 7b는 상기 전제를 기초로 한, 도 7a의 FET의 반도체층(11)의 전자 농도의 이론적 등고선을 도시한다. 설명을 간단히 하기 위해, 게이트 절연막(14)의 유전 상수는 반도체층(11)의 유전 상수와 동일한 것으로 가정한다. 또한, 소스 전극(13a) 및 드레인 전극(13b)의 전위는 게이트(15)의 전위와 동일하다.

[0025] 전자 농도가 반도체층(11)과 소스 전극(13a) 및 드레인 전극(13b) 사이의 계면 근방에서 높은 영역(1a)이 있다. 또한, 전자 농도가 영역(1a)에서의 전자 농도보다 약 한 자릿수의 크기만큼 낮은 영역(1b), 전자 농도가 영역(1b)에서의 전자 농도보다 약 한 자릿수의 크기만큼 낮은 영역(1c), 전자 농도가 영역(1c)에서의 전자 농도보다 약 한 자릿수의 크기만큼 낮은 영역(1d), 및 전자 농도가 영역(1d)에서의 전자 농도보다 약 한 자릿수의 크기만큼 낮은 영역(1e)은 이 순서로 영역(1a) 외부에 존재한다.

[0026] 영역(1d)은 반도체층(11)에서 게이트(15)에 반대되는 측 위에서 분할되지 않는다는 점에 유의하여야 한다. 왜냐하면, 게이트(15)의 힘은 그 영역에 도달하지 않고 전자는 소스 전극(13a) 및 드레인 전극(13b)의 힘에 의해 주입되기 때문이다.

[0027] 도면에서, 비율 L/T은 2보다 약간 작다. 소스 전극(13a)과 드레인 전극(13b) 사이의 거리가 120nm라고 가정하면, 반도체층(11)의 두께는 50nm이므로, 영역(1a)과 영역(1b) 사이의 등고선 위의 전자 농도는 약 $10^{20}/\text{cm}^3$ 이고, 영역(1d)과 영역(1e) 사이의 등고선 위의 전자 농도는 약 $10^{17}/\text{cm}^3$ 이다.

[0028] 소스 전극(13a)과 드레인 전극(13b) 사이의 거리가 $1.2\mu\text{m}$ 라고 가정하면, 반도체층(11)의 두께는 $0.5\mu\text{m}$ 이므로, 영역(1a)과 영역(1b) 사이의 등고선 위의 전자 농도는 약 $10^{18}/\text{cm}^3$ 이고, 영역(1d)과 영역(1e) 사이의 등고선 위의 전자 농도는 약 $10^{15}/\text{cm}^3$ 이다.

[0029] $10^{15}/\text{cm}^3$ 의 전자 농도는 충분히 낮은 것으로 여겨지지만, 비저항 값은 약 $1\text{k}\Omega\text{cm}$ 이다. 도면에 도시된 바와 같이, 반도체층의 1/3 이상의 부분에서, 전자 농도는 $10^{15}/\text{cm}^3$ 이상이다. 따라서, 채널 길이와 채널 폭이 동일한 FET에서, 소스 전극(13a)과 드레인 전극(13b) 사이의 전위차가 1V인 경우에 저항은 약 $10\text{M}\Omega$ 이고 오프 전류는 $0.1\mu\text{A}$ 로 크다.

[0030] 요약하면, 오프 전류를 감소시키기 위해서, 게이트에 반대되는 측의 전자 농도가 이러한 무시할 수 없는 값으로 되는 것이 방지되어야 한다. 이를 위해, 반도체층(11)의 두께가 감소되는 방법이 고려될 수 있다. 바꾸어 말하면, 게이트(15)에 의해 영향받지 않는 영역이 감소될 수 있다. 도면의 FET의 경우에, 예를 들어, 계산 결과는 반도체층(11)의 두께가 반으로 감소될 때 오프 전류는 10만 분의 1로 감소될 수 있다는 것을 나타낸다.

[0031] 그러나, 소스 전극(13a)과 드레인 전극(13b) 사이의 거리가 24nm인 극소형의 장치에서, 예를 들어, 반도체층(11)의 두께는 2.5nm 이하일 필요가 있으므로 이러한 작은 두께를 갖는 반도체층(11)을 균일하게 형성하는 것은 기술적으로 어렵다. 더구나, 반도체층(11)의 두께의 감소는 오프 전류를 더 작게 한다.

[0032] 두 번째 방법은 게이트 절연막(14)을 더 얇게 하는 것이다. 도면의 게이트 절연막(14)의 두께가 1/6 이하로 감소될 때, 게이트(15)의 영향은 반도체층(11)의 이면에 미칠 수 있다. 그러나, 상기 예에서와 같이, 소스 전극(13a)과 드레인 전극(13b) 사이의 거리가 24nm일 때, 게이트 절연막(14)은 0.8nm 이하의 두께를 가질 필요가 있다.

[0033] 게이트 절연막은 스팍터링 방법 또는 CVD 방법에 의해 산화물 반도체 위에 형성된다. 이들 방법에 의해, 열 산화 방법에 의해 형성된 실리콘의 절연막과 같이 고 품질 및 균일한 두께를 갖는 절연막을 형성하는 것은 어려우므로, 이들 방법은 현실적이지 않다.

[0034] 상기 고려 사항은 전자를 반도체층(11) 내로 주입하기 위한 소스 전극(13a) 또는 드레인 전극(13b)의 힘이 반도체층(11)으로부터 전자를 제거하기 위한 게이트(15)의 힘과 동일하다는 전제에 기초한다. 전자의 힘의 후자의

힘보다 셀 때, 더 많은 전자가 소스 전극(13a) 및 드레인 전극(13b)으로부터 반도체층(11) 내로 주입된다.

선행기술문헌

특허문헌

[0035] (특허문헌 0001) 미국 특허 공개 2005/0199879호 공보

(특허문헌 0002) 미국 특허 공개 2007/0194379호 공보

발명의 내용

[0036] 본 발명의 목적은 다음 중 적어도 하나를 제공하는 것이다: 도체-반도체 접합을 포함하는 신규한 반도체 장치; 도체-반도체 접합을 포함하는 신규한 전계 효과 트랜지스터; 신규한 반도체 장치를 제조하는 방법; 및 신규한 전계 효과 트랜지스터를 제조하는 방법. 본 발명의 또 하나의 목적은 도체-반도체 접합을 포함하는 FET의 오프 전류가 FET의 크기를 변화시킴으로써 증가되는 상술한 문제에 유효한 방법을 제공하는 것이다. 특히, 비율 L/T는 2 이하, L은 100nm 미만, 또는 T는 1 μ m 이상의 FET의 오프 전류가 실제 사용을 위해 충분히 작은 신규한 구성을 제공하는 것이 목적이다. 본 발명에 따르면, 상기 목적들 중 적어도 하나가 달성된다.

[0037] 본 발명을 설명하기 전에, 본 명세서에 사용된 용어에 대해 간략히 설명한다. 먼저, 본 명세서에 트랜지스터의 소스 및 드레인에 대해서는, n 채널 FET에서 더 높은 전위가 공급되는 단자를 드레인이라고 하고 다른 단자를 소스라고 하고, p 채널 FET에서 더 낮은 전위가 공급되는 단자를 드레인이라고 하고 다른 단자를 소스라고 한다. 동일한 전위가 2개의 단자에 공급되는 경우에, 그들 중 하나는 소스라고 하고 다른 하나는 드레인이라고 한다. 또한, "제1 도체 전극" 및 "제2 도체 전극"이란 용어는 용어 "소스 전극" 및 "드레인 전극" 대신에 사용되는 경우가 있다. 그 경우에, 명칭은 전위의 레벨에 따라 변화되지 않는다.

[0038] 본 발명의 한 실시형태는 반도체층, 반도체층의 한 표면에 접하여 설치된 제1 및 제2 도체, 및 반도체층의 반대 표면 위에 설치된 게이트를 포함하는 FET이다. FET는 반도체층을 가로지르도록 제1 도체 전극과 제2 도체 전극 사이에 설치된 제3 도체 전극을 더 포함한다. 본 발명의 또 하나의 실시형태는 반도체층, 반도체층의 한 표면에 접하여 설치된 제1 및 제2 도체 전극, 및 반도체층의 한 표면 위에 설치된 게이트를 포함하는 FET이다. FET는 반도체층을 가로지르도록 반도체층의 반대 표면 위에 설치된 제3 도체 전극을 더 포함한다. 상기 구성에서, 제3 도체 전극은 바람직하게는 전류가 제1 도체 전극으로부터 제2 도체 전극으로 흐르는 것을 방지하도록 형성된다. 다르게는, 제3 도체 전극은 바람직하게는 제1 도체 전극과 제2 도체 전극 사이에 형성된다. 또 다르게는, 제3 도체 전극은 바람직하게는 제3 도체 전극이 반도체층과 접하는 부분이 제1 도체 전극이 반도체층과 접하는 부분과 제2 도체 전극이 반도체층과 접하는 부분 사이에 위치하도록 설치된다.

[0039] 상기 구성에서, 제3 도체 전극은 제1 및 제2 도체 전극 중 하나에만 접하거나 또는 제1 및 제2 도체 전극 중 하나만 동일한 전위로 유지되는 것이 바람직하다.

[0040] 상기 구성에 부가하여, 제4 도체 전극은 반도체층을 가로지르도록, 제3 도체 전극이 설치되는 표면 위에 설치될 수 있다. 제4 도체 전극은 바람직하게는 제3 도체 전극으로부터 떨어져 설치된다. 그 경우에, 제3 도체 전극은 제1 및 제2 도체 전극 중 하나와 접하거나 또는 제1 및 제2 도체 전극 중 하나와 동일한 전위로 유지되고, 제4 도체 전극은 제1 및 제2 도체 전극 중 다른 하나와 접하거나 또는 제1 및 제2 도체 전극 중 다른 하나와 동일한 전위로 유지되는 것이 바람직하다.

[0041] 또한, 반도체층은 도너 또는 억셉터를 고 농도로 포함하는 제1 도핑 영역과 제2 도핑 영역을 갖도록 도핑될 수 있고, 제1 도핑 영역 및 제2 도핑 영역은 각각 제1 도체 전극 및 제2 도체 전극과 접할 수 있다. 제1 및 제2 도핑 영역에서의 도너 또는 억셉터의 농도는 $1 \times 10^{18} / \text{cm}^3$ 이상 $1 \times 10^{21} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{19} / \text{cm}^3$ 이상 $1 \times 10^{20} / \text{cm}^3$ 미만으로 설정될 수 있다.

[0042] 상기 구성에서, 반도체층과 접하는, 제1 및 제2 전극 도체 전극의 부분은 반도체층의 전자 친화력과 0.3 전자 볼트의 합(즉, 전자 친화력 + 0.3 전자 볼트) 미만의 일함수를 가진다. 다르게는, 오직 접합이 제1 및 제2 도체와 반도체층 사이에 형성되는 것이 바람직하다.

[0043] 또한, 반도체층과 접하는, 제3 및 제4 도체 전극의 부분 중 하나 또는 둘 다가 반도체층의 전자 친화력과 0.6

전자 볼트의 합(즉, 전자 친화력 + 0.6 전자 볼트)보다 높은 일함수를 가지는 것이 바람직하다. 다르게는, 쇼트키 접합은 제3 및 제4 도체 중 하나 또는 둘 다와 반도체층 사이에 형성되는 것이 바람직하다. 또한, 게이트의 일함수는 바람직하게는 반도체층의 전자 친화력보다 높다.

[0044] 또한, 게이트 절연막은 반도체층과 게이트 사이에 설치될 수 있다. 다르게는, 쇼트키 배리어 접합은 반도체층과 게이트 사이에 형성될 수 있다. 또한, 제1 도체 전극과 제2 도체 전극은 동일한 재료를 이용하여 형성될 필요는 없다.

[0045] 반도체층의 종류는 산화물로 한정되지 않고, 황화물 등의 II-VI 족 화합물이 사용될 수 있다는 점에 유의한다. 또한 반도체의 밴드갭은 바람직하게는 2 전자 볼트 이상 4 전자 볼트 미만, 더 바람직하게는 2.9 전자 볼트 이상 3.5 전자 볼트 미만이다.

[0046] 본 발명의 FET가 도면을 참조하여 설명될 것이다. 여기서 사용되는 용어는 기본적으로 상기 설명에서 사용된 용어와 동일하다. 그러므로, 상기 설명에서 사용된 용어로 표시된 조건 또는 구성 요소는 동일한 용어로 표시된 구성 요소에 적용될 수 있다. 예를 들어, 제1 도체 전극이 이하에 설명되는 경우에, 그 일함수는 상기 설명에서 주어진 범위에 있을 수 있다.

[0047] 도 1a 내지 1c는 본 발명의 FET의 예를 도시한다. 도 1a의 FET는 반도체층(1); 반도체층(1)의 한 표면 위의 제1 도체 전극(3a), 제2 도체 전극(3b), 및 제3 도체 전극(2); 및 게이트 절연막(4)을 그 사이에 두고 반도체층(1)의 반대 표면 위에 있는 게이트(5)를 포함한다.

[0048] 도 1b는 아래에서 본 도 1a의 FET를 개략적으로 도시한다. 도 1a의 FET는 기판 위에 형성될 수 있다. 기판은 이해를 용이하게 하기 위해 여기에 도시되지 않는다. 도 1b에 도시된 바와 같이, 제3 도체 전극(2)은 반도체층(1)을 가로지르도록 설치된다.

[0049] 제3 도체 전극(2)은 FET에서 제1 도체 전극(3a) 및 제2 도체 전극(3b)과 접하지 않지만, 배선 등을 통해 제1 도체 전극(3a) 및 제2 도체 전극(3b) 중 하나와 동일한 전위를 가질 수 있다. 이러한 구성으로, 제3 도체 전극(2)으로 흐르는 캐리어(n 채널 FET의 경우에는 전자)가 사용중에 어떠한 이유로 쉽게 제거될 수 있다.

[0050] 도 2a는 본 발명의 FET의 또 하나의 예를 도시한다. 도 2a의 FET는 반도체층(1); 반도체층(1)의 한 표면 위의 제1 도체 전극(3a) 및 제2 도체 전극(3b); 및 게이트 절연막(4)을 그 사이에 두고 반도체층(1)의 한 표면 위에 있는 게이트(5)를 포함한다. 또한, 제3 도체 전극(2)은 반도체층의 반대 표면 위에 설치된다.

[0051] 도너 농도가 도핑의 결과로 높은 제1 도핑 영역(6a) 및 제2 도핑 영역(6b)이 각각 제1 도체 전극(3a) 및 제2 도체 전극(3b)과 접하도록 반도체층(1)에 설치된다. 제1 도핑 영역(6a) 및 제2 도핑 영역(6b)은 바람직하게는 게이트(5)를 마스크로 사용하여 자기 정합적으로 형성된다. 제1 도핑 영역(6a) 및 제2 도핑 영역(6b)은 서로 떨어지도록 형성된다.

[0052] 도 2b는 본 발명의 FET의 또 하나의 예를 도시한다. 도 2b의 FET는 반도체층(1); 및 반도체층(1)의 한 표면 위의 제1 도체 전극(3a), 제2 도체 전극(3b), 및 제3 도체 전극(2)을 포함한다. 또한, 게이트(5)는 게이트 절연막(4)을 그 사이에 두고 반도체층(1)의 반대 표면 위에 설치된다. 반도체층(1)은 제1 도핑 영역(6a) 및 제2 도핑 영역(6b)을 갖는다. 제1 도핑 영역(6a) 및 제2 도핑 영역(6b)은 서로 떨어지게 그리고 각각, 제1 도체 전극(3a) 및 제2 도체 전극(3b)과 접하여 형성된다.

[0053] 도 2c는 본 발명의 FET의 또 하나의 예를 도시한다. 도 2c의 FET는 반도체층(1); 반도체층(1)의 한 표면 위의 제1 도체 전극(3a), 제2 도체 전극(3b), 및 제3 도체 전극(2); 및 게이트 절연막(4)을 그 사이에 두고 반도체층(1)의 반대 표면 위에 있는 게이트(5)를 포함한다. 여기서, 제3 도체 전극(2)은 제1 도체 전극(3a)과 접하도록 형성된다. 제3 도체 전극(2)은 제1 도체 전극(3a) 대신에 제2 도체 전극(3b)과 접하도록 형성될 수 있다.

[0054] 도 2d는 본 발명의 FET의 또 하나의 예를 도시한다. 도 2d의 FET는 반도체층(1); 반도체층(1)의 한 표면 위의 제1 도체 전극(3a), 제2 도체 전극(3b), 제3 도체 전극(2a), 및 제4 도체 전극(2b); 및 게이트 절연막(4)을 그 사이에 두고 반도체층(1)의 반대 표면 위에 있는 게이트(5)를 포함한다. 여기서, 제3 도체 전극(2a) 및 제4 도체 전극(2b)은 각각 제1 도체 전극(3a) 및 제2 도체 전극(3b)과 접하도록 형성된다.

[0055] 도 3a는 본 발명의 FET의 또 하나의 예를 도시한다. 도 3a의 FET는 반도체층(1); 반도체층(1)의 한 표면 위의 제1 도체 전극(3a) 및 제2 도체 전극(3b); 및 게이트 절연막(4)을 그 사이에 두고 반도체층(1)의 한 표면 위에 있는 게이트(5)를 포함한다. 또한, 제3 도체 전극(2)은 반도체층의 반대 표면 위에 설치된다.

- [0056] 제1 도핑 영역(6a) 및 제2 도핑 영역(6b)은 반도체층(1)에서 서로 떨어지도록 형성되고, 각각 제1 도체 전극(3a) 및 제2 도체 전극(3b)과 접한다. 제3 도체 전극(2)은 제1 도핑 영역(6a)과 접하도록 형성된다. 제3 도체 전극(2)은 제1 도핑 영역(6a) 대신에 제2 도핑 영역(6b)과 접하도록 형성될 수 있다.
- [0057] 도 3b는 본 발명의 FET의 또 하나의 예를 도시한다. 도 3b의 FET는 반도체층(1); 및 반도체층(1)의 한 표면 위의 제1 도체 전극(3a), 제2 도체 전극(3b), 및 제3 도체 전극(2)을 포함한다. 또한, 게이트(5)는 게이트 절연막(4)을 그 사이에 두고 반도체층의 반대 표면 위에 설치된다.
- [0058] 제1 도핑 영역(6a) 및 제2 도핑 영역(6b)은 반도체층(1)에서 서로 떨어지도록 형성되고, 각각 제1 도체 전극(3a) 및 제2 도체 전극(3b)과 접한다. 제3 도체 전극(2)은 제1 도핑 영역(6a) 및 제1 도체 전극(3a)과 접하도록 형성된다. 제3 도체 전극(2)은 대신 제2 도핑 영역(6b) 및 제2 도체 전극(3b)과 접하도록 형성될 수 있다.
- [0059] 도 3c는 본 발명의 FET의 또 하나의 예를 도시한다. 도 3c의 FET는 반도체층(1); 반도체층(1)의 한 표면 위의 제1 도체 전극(3a) 및 제2 도체 전극(3b); 및 게이트 절연막(4)을 그 사이에 두고 반도체층(1)의 한 표면 위에 있는 게이트(5)를 포함한다. 또한, 제3 도체 전극(2a) 및 제4 도체 전극(2b)은 반도체층의 반대 표면 위에 설치된다.
- [0060] 제1 도핑 영역(6a) 및 제2 도핑 영역(6b)은 반도체층(1)에서 서로 떨어지도록 형성되고, 각각 제1 도체 전극(3a) 및 제2 도체 전극(3b)과 접한다. 제3 도체 전극(2a)은 제1 도핑 영역(6a)과 접하도록 형성되고 제4 도체 전극(2b)은 제2 도핑 영역(6b)과 접하도록 형성된다.
- [0061] 도 3d는 본 발명의 FET의 또 하나의 예를 도시한다. 도 3d의 FET는 반도체층(1); 및 반도체층(1)의 한 표면 위의 제1 도체 전극(3a), 제2 도체 전극(3b), 제3 도체 전극(2a), 및 제4 도체 전극(2b)을 포함한다. 또한, 게이트(5)는 게이트 절연막(4)을 그 사이에 두고 반도체층의 반대 표면 위에 설치된다.
- [0062] 제1 도핑 영역(6a) 및 제2 도핑 영역(6b)은 반도체층(1)에서 서로 떨어지도록 형성되고, 각각 제1 도체 전극(3a) 및 제2 도체 전극(3b)과 접한다. 제3 도체 전극(2a)은 제1 도핑 영역(6a) 및 제1 도체 전극(3a)과 접하도록 형성되고, 제4 도체 전극(2b)은 제2 도핑 영역(6b) 및 제2 도체 전극(3b)과 접하도록 형성된다.
- [0063] 상기 구성을 중 어느 것을 이용함으로써, 상기 목적을 중 적어도 하나가 달성될 수 있다. 본 발명의 실시형태의 효과가 도 1a 내지 1c를 참조하여 설명될 것이다. 도 1a는 본 발명의 예인 FET의 단면을 도시한다. 구체적으로, 반도체층(1)을 포함하는 FET에서, 제1 및 제2 도체 전극(3a 및 3b)은 반도체층(1)의 한 표면과 접하여 설치되고, 게이트(5)는 게이트 절연막(4)을 그 사이에 두고 반도체층의 반대 표면 위에 설치되고, 제3 도체 전극(2)은 반도체층(1)을 가로지르도록 제1 도체 전극(3a)과 제2 도체 전극(3b) 사이에 설치된다.
- [0064] 이러한 구성을 갖는 FET에서 오프 전류가 작은 이유가 도 1c를 참조하여 성명될 것이다. 도 1c에서, 게이트(5), 제1 도체 전극(3a), 제2 도체 전극(3b), 및 제3 도체 전극(2)은 동일한 전위로 유지된다. 여기서, 간단히 하기 위해, 게이트(5), 제1 도체 전극(3a), 제2 도체 전극(3b), 반도체층(1), 및 게이트 절연막(4)의 조건들은 도 7a 및 7b의 설명에서 사용된 것들과 동일하다. 제3 도체 전극(2)의 일함수는 게이트(5)를 위해 사용된 재료의 일함수와 동일하다.
- [0065] 도 7b에 도시된 경우와 같이, 전자는 제1 도체 전극(3a) 및 제2 도체 전극(3b)으로부터 반도체층(1) 내로 주입되고, 따라서, 극히 높은 전자 농도를 갖는 영역이 제1 도체 전극(3a) 및 제2 도체 전극(3b)의 근방에 형성되고, 제1 도체 전극(3a) 또는 제2 도체 전극(3b)으로부터 더 떨어져 위치된 영역은 더 낮은 전자 농도를 갖는다. 또한, 게이트 절연막(4) 근방의 전자는 게이트(5)와 반도체층(1) 사이의 작용에 의해 제거되고, 게이트 절연막(4) 근방의 전자 농도는 낮아진다.
- [0066] 그러나, 도 7b에 도시된 경우와 다르게, 제3 도체 전극(2)의 근방의 전자 농도는 또한 극히 낮다. 왜냐하면 쇼트키 배리어 접합이 제3 도체 전극(2)과 반도체층(1) 사이에 형성되기 때문이다. 결과적으로, 비교적 높은 전자 농도를 갖는 영역은 도 7b의 경우와 다르게, FET의 중심 부분에서 나누어진다. 그러므로, 오프 전류가 도 7a 및 7b에 도시된 FET에 비해 상당히 감소될 수 있다.
- [0067] 상기 효과는 반도체층(1)으로부터 전자를 흡수하기 위한 제3 도체 전극(2)의 힘이 반도체층(1) 내로 전자를 주입하기 위한 제1 도체 전극(3a) 또는 제2 도체 전극(3b)의 힘보다 셀 때 주목할 만하다. 힘의 세기는 일함수 또는 전자 친화력에 의존한다. 구체적으로, 제3 도체 전극(2)의 일함수는 제1 도체 전극(3a) 또는 제2 도체 전극(3b)보다 0.3 전자 볼트 이상만큼 높은 것이 바람직하다.
- [0068] 다르게는, 제1 도체 전극(3a) 또는 제2 도체 전극(3b)의 일함수는 반도체층(1)의 전자 친화력과 0.3 전자 볼트

의 합(즉, 전자 친화력 + 0.3 전자 볼트)보다 낮거나 또는 오믹 접합이 제1 및 제2 도체 전극과 반도체층 사이에 형성되는 것이 바람직하다.

[0069] 또 다르게는, 제3 도체 전극(2)의 일함수는 반도체층의 전자 친화력과 0.6 전자 볼트의 합(즉, 전자 친화력 + 0.6 전자 볼트)보다 높거나 또는 쇼트키 접합이 제3 도체 전극(2)과 반도체층(1) 사이에 형성되는 것이 바람직하다. 또한, 게이트의 일함수는 반도체층의 전자 친화력보다 높다.

[0070] 쇼트키 배리어 접합이 제3 도체 전극(2)과 반도체층(1) 사이에 형성되기 때문에, 전자가 반도체층(1)으로부터 제3 도체 전극(2)으로 이동하는 것은 비교적 쉽지만 반대로 이동하는 것은 어렵다. 그 경우에, 전자는 제3 도체 전극(2)에 축적되고 전자를 제거하는 제3 도체 전극(2)의 작용이 향상되고, 따라서, FET의 동작이 불안정하게 된다.

[0071] 이 현상을 피하기 위해서, 제3 도체 전극(2)은 배선 등을 통해 제1 도체 전극(3a) 및 제2 도체 전극(3b) 중 하나와 접할 수 있거나 또는 제1 도체 전극(3a) 및 제2 도체 전극(3b) 중 하나와 동일한 전위로 설정될 수 있다.

[0072] 반도체층의 두께가 도 1a에 도시된 FET에서 증가되는 경우에도, 전자 농도의 분포 패턴은 기본적으로 도 1c에 도시된 것과 동일한 것은 흥미있는 일이다.

[0073] 설명을 간단히 하기 위해, 반도체층(1)으로부터 전자를 제거하기 위한 제3 도체 전극(2)의 힘은 반도체층(1) 내로 전자를 주입하기 위한 제1 도체 전극(3a) 또는 제2 도체 전극(3b)의 힘과 동일하다고 가정한다. 그 경우에, 도 7a 및 7b를 참조하여 설명된 바와 같이, 각 힘의 세기는 포인트로부터의 거리에 의존한다.

[0074] 여기서, 제3 도체 전극(2)으로부터 게이트(5)까지 그려진 수직선이 가정된다. 선 위의 임의의 포인트로부터 제3 도체 전극(2)까지의 거리는 그 포인트로부터 제1 도체 전극(3a) 또는 제2 도체 전극(3b)까지의 거리보다 짧다. 그러므로, 제3 도체 전극(2)의 영향은 제1 도체 전극(3a) 및 제2 도체 전극(3b)의 것보다 크고, 결과적으로, 전자를 제거하기 위한 힘은 전자를 주입하기 위한 힘보다 세다. 결과적으로, 전자 농도는 원래의 전자 농도보다 낮게 된다.

[0075] 즉, 본 발명은 반도체층(1)이 두껍게 적층되고 큰 전류가 발생되는 장치에도 적합하다. 반도체층(1)이 두껍게 된 경우가 위에서 고려되지만, 게이트 절연막(4)의 두께를 증가시킴으로써 유사한 효과가 본 발명에서도 관찰될 수 있다. 그 경우에, FET의 게이트의 내압이 증가될 수 있다.

[0076] 여기서, 게이트 전극만이 예를 들어 양 전위로 유지될 때에도, 높은 전자 농도를 갖는 영역이 반도체층(1)에서 게이트 절연막(4)의 근방에서의 전위에 따라 형성되고 제1 도체 전극(3a) 및 제2 도체 전극(3b)의 근방에서 높은 전자 농도를 갖는 영역(즉, 저 저항 영역)에 접속되므로, FET는 턴 온된다.

[0077] 또한, 게이트(5)의 전위가 증가될 때, 게이트 절연막(4)의 근방의 반도체층의 전자 농도는 더욱 증가된다. 또한, 높은 전자 농도를 갖는 영역이 게이트 절연막(4)으로부터 떨어진 부분에도 형성되고 제1 도체 전극(3a) 및 제2 도체 전극(3b)의 근방에서 높은 전자 농도를 갖는 영역에 접속되어, FET의 저항은 더 낮아지고 더 큰 전류가 흐른다. 그러나, 반도체층(1)이 얇으면, 흐르는 전류의 양은 게이트(5)의 전위가 증가될 때에도 일정 단계에서 포화된다.

[0078] 반면, 반도체층(1)이 두꺼울 때, 높은 전자 농도를 갖는 영역이 게이트(5)의 전위를 더욱 증가시킴으로써 게이트 절연막으로부터 더 떨어진 영역에도 형성되고, 따라서, 더 큰 전류가 얻어질 수 있다. 반도체층의 두께가 원래의 FET에서 증가될 때, 오프 전류가 상술한 이유로 인해 증가되고; 본 발명에 따르면, 반도체층의 두께가 증가될 때에도 오프 전류가 충분히 낮을 수 있다.

[0079] 본 발명에 따라 충분히 낮은 오프 전류를 얻기 위해, 도너 또는 억셉터로부터 유도된 캐리어 농도는 바람직하게는 $10^{12}/\text{cm}^3$ 이하이다. 이 점은 특히 반도체층의 두께가 증가될 때 주목되어야 한다. 본 명세서에서 도너(또는 억셉터)의 농도는 도너(또는 억셉터)일 수 있는 원소, 화학기 등의 농도를 그 이온화율로 곱한 것이라는 점에 유의한다. 예를 들어, 도너 원소가 2%로 포함되고 그 이온화율이 0.005%인 경우에, 도너 농도는 $1\text{ppm} (=0.02 \times 0.00005)$ 이다.

[0080] 전자를 제거하기 위한 힘이 상술한 바와 같이 제3 도체 전극(2)으로부터 게이트(5)까지 그려진 수직선 위의 임의의 포인트에서 전자를 주입하기 위한 힘보다 세지만, 제3 도체 전극(2)과 포인트 사이의 거리와 제1 도체 전극(3a) 또는 제2 도체 전극(3b)과 포인트 사이의 거리 간의 차는 포인트가 제3 도체 전극(2)으로부터 떨어진 것보다 작다.

- [0081] 그러므로, 전자 농도의 감소에는 한계가 있고 전자 농도는 반도체층(1)의 원래의 전자 농도(즉, 도너 또는 억셉터로부터 유도된 전자 농도)에 가깝다. 그러한 경우에, 오프 전류는 반도체층(1)의 원래의 전자 농도에 의해 결정되므로, 값이 충분히 작지 않다면, 오프 전류의 감소는 제한된다.
- [0082] 상기 설명에서, 반도체층(1)이 산화물 반도체인 경우에, 그 안의 산소 결손 및 수소 농도는 바람직하게는 가능한 한 많이 감소된다. 왜냐하면 산소 결손 또는 수소는 도너로 되기 때문이다. 또한, 수소의 포함은 FET의 불안정한 동작을 야기한다. 수소 농도는 바람직하게는 $10^{18}/\text{cm}^3$ 이하이다.
- [0083] 도체-반도체 접합을 포함하는 FET가 위에 논의되지만, 본 발명의 실시형태는 또한 도너 농도가 구배를 갖는 FET에 적용될 수 있다. 특히 PN 접합이 절연을 위해 사용될 수 없는 FET에서, 소스 및 드레인은 본 발명에 따라 분리될 수 있다.
- [0084] 상술한 바와 같이, 도체와 반도체 사이의 접합에서, 전자는 도체로부터 반도체로 공급되고 또는 전자는 일함수, 전자 친화력 등으로 인해 반도체로부터 도체에 의해 흡수된다. 유사한 현상이 도너를 고 농도로 포함하는 영역과 도너를 저 농도로 포함하는 영역 사이의 접합에서 발생한다.
- [0085] 예를 들어, 제1 영역의 도너 농도는 $1 \times 10^{20}/\text{cm}^3$ 이고 제2 영역의 도너 농도는 $1 \times 10^{12}/\text{cm}^3$ 이라고 가정한다. 그 경우에, 제1 영역의 전자는 밴드도에서 전도대의 하단부 근방에 존재하는 반면, 제2 영역의 전자는 밴드갭의 중심 근방에 존재한다. 즉, 제1 영역의 전자는 제2 영역의 전자보다 높은 에너지 전위를 갖는다.
- [0086] 제1 영역과 제2 영역이 접합된다면, 제1 영역의 전자는 에너지 전위의 차로 인해 제2 영역으로 흐른다. 제1 영역의 전자 농도가 $1 \times 10^{20}/\text{cm}^3$ 으로 비교적 높다고 가정하면, 전자는 제2 영역이 도체와 접하는 경우와 유사한 방식으로 공급되는 것으로 여겨지므로, 전자는 제2 영역의 상당히 깊은 부분 내로 흐른다.
- [0087] 전자가 흐르는 깊이는 제2 영역의 전자의 에너지 전위의 레벨과 제1 영역의 전자의 에너지 전위의 레벨 간의 비율, 즉, 제2 영역의 전자 농도와 제1 영역의 전자 농도 간의 비율에 의존한다. 제2 영역의 전자 농도가 더 낮을 때, 전자는 제1 영역으로부터 제2 영역의 더 깊은 부분으로 주입된다. 물론, 이러한 방식으로 주입된 전자는 오프 전류의 증가를 야기한다.
- [0088] 특히, 실리콘의 경우와 더 넓은 밴드갭을 갖는 반도체의 경우가 비교될 때, 전자는 후자의 경우에 제2 영역의 더 깊은 부분으로 주입된다. 왜냐하면, 후자의 경우에, 밴드갭이 더 넓으므로 제1 영역의 전자와 제2 영역의 전자 사이의 에너지 전위의 차가 더 크기 때문이다.
- [0089] 도너를 고 농도로 포함하는 영역으로부터의 이러한 캐리어의 흐름을 방지하기 위해서, 쇼트키 배리어 접합이 형성되고 도 1c에 도시된 바와 같이 극히 낮은 전자 농도를 갖는 영역이 반도체층에 형성되도록 상술한 제3 도체 전극이 설치될 수 있다.
- [0090] 상기 FET에서, 제3 도체 전극(2)이 제1 도체 전극(3a)과 동일한 전위로 유지될 때, 그리고 또한, 제1 도체 전극(3a)에 공급된 전위가 제2 도체 전극(3b)에 공급된 전위보다 높을 때, 이러한 쇼트키 배리어 접합의 면적은 감소되고 전자는 제2 도체 전극(3b)으로부터 반도체층(1) 내로 흐른다는 점에 유의한다.
- [0091] 이러한 현상의 방지를 위해, 제1 도체 전극(3a)의 전위가 항상 제2 도체 전극(3b)의 전위보다 높도록 회로가 설계될 수 있고, 또는 제4 도체 전극이 도 2d, 도 3c, 또는 도 3d에 도시된 바와 같이 제2 도체 전극(3b)과 동일한 전위를 갖도록 제3 도체 전극에 부가하여 설치될 수 있다.
- [0092] 이러한 구조는 전류가 제1 도체 전극과 제2 도체 전극 사이에 왕복하여 흐르는 회로의 트랜지스터, 예를 들어, 다이너믹 랜덤 액세스 메모리(DRAM) 등의 트랜지스터, 또는 액티브 매트릭스 표시 장치에서의 스위칭 트랜지스터에 효과적이다.
- [0093] 도체의 일함수가 상기 설명에서 논의되었다. 도체의 일함수는 가장 간단한 가정으로 반도체와의 계면에 의해 결정된 값일 수 있지만, 화학적 반응으로 인한 반도체와 도체의 화합물의 발생 또는 전하 또는 다른 원소의 트랩 등의 복잡한 물성이 실제로 자주 계면에서 관찰된다.
- [0094] 예를 들어, 수 나노미터 이하의 극히 작은 두께를 갖는 제1 도체층과 비교적 큰 두께를 갖는 제2 도체층이 이 순서로 적층되는 경우에, 제1 도체층의 일함수의 영향은 상당히 감소된다. 그러므로, 본 발명의 적용에서, 반도체층과의 계면으로부터 5nm 떨어진 위치에 있는 각 재료의 일함수 등이 본 발명의 양호한 조건을 만족하도록 설계가 이루어질 수 있다.

[0095] 제3 도체 전극의 재료로서, 반도체층에 화학적으로 안정한 원소, 예를 들어, 백금 또는 팔라듐 등의 귀금속이 양호하게 이용된다. 산화물이 반도체층 용으로 이용될 때, 산화물 도체가 제3 도체 전극의 재료로서 이용될 수 있다.

[0096] 본 발명은 전자 및 정공 중의 실질적으로 하나 만이 캐리어로서 이용될 수 있는 반도체 재료에 특히 효과적이다. 바꾸어 말하면, 본 발명에 따라 양호한 결과가 얻어질 수 있는데, 예를 들어, 전자 및 정공 중의 하나의 이동도가 $1\text{cm}^2/\text{Vs}$ 이상이고 다른 것의 이동도가 $0.01\text{cm}^2/\text{Vs}$ 이하인 경우에, 다른 것은 캐리어로서 존재하지 않거나, 또는 다른 것의 유효 질량은 자유 전자의 유효 질량의 100배 이상이다.

도면의 간단한 설명

[0097] 도 1a 내지 1c는 본 발명의 전계 효과 트랜지스터의 예 및 그 동작 원리를 도시한 도면.

도 2a 내지 2d는 본 발명의 전계 효과 트랜지스터의 예를 도시한 도면.

도 3a 내지 3d는 본 발명의 전계 효과 트랜지스터의 예를 도시한 도면.

도 4a 내지 4f는 실시형태 1의 전계 효과 트랜지스터의 제조 공정을 도시한 도면.

도 5a 내지 5g는 실시형태 2의 전계 효과 트랜지스터의 제조 공정을 도시한 도면.

도 6a 내지 6e는 실시형태 3의 전계 효과 트랜지스터의 제조 공정을 도시한 도면.

도 7a 및 7b는 종래의 전계 효과 트랜지스터의 예 및 그 동작 원리를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0098] 이후, 실시형태들이 도면을 참조하여 설명될 것이다. 유의할 점은 실시형태들은 다양한 모드로 구현될 수 있고, 당업자라면 본 발명의 취지 및 범위를 벗어나지 않고서 모드 및 상세가 다양한 방식으로 변형될 수 있다는 것을 쉽게 이해할 것이라는 것이다. 따라서, 본 발명은 실시형태들의 설명으로 제한되는 것으로 해석되지 않는다. 아래에 설명되는 구성에서, 동일한 부분 또는 유사한 기능을 갖는 부분은 다른 도면에서 동일한 참조 번호로 표시되고, 그 상세한 설명은 반복되지 않는다는 점에 유의한다.

[0099] (실시형태 2)

[0100] 본 실시형태에서, 도 1a에 도시된 FET를 제조하는 방법이 도 4a 내지 4f를 참조하여 설명될 것이다. 먼저, 도 4a에 도시된 바와 같이, 제3 도체 전극(102)이 기판(101) 위에 형성된다. 다양한 기판이 기판(101)의 예로서 들 수 있지만, 기판(101)은 후속하는 처리에 견디는 그러한 물성을 가질 필요가 있다. 또한, 기판(101)의 표면은 절연성을 갖는 것이 바람직하다. 따라서, 기판(101)은 바람직하게는 단일 절연체; 절연체, 도체, 또는 표면에 절연층을 구비한 반도체 등이다.

[0101] 기판(101)용으로 절연체를 사용하는 경우에, 다양한 종류의 클래스, 사파이어, 석영, 세라믹 등이 사용될 수 있다. 도체를 사용하는 경우에, 알루미늄, 구리, 스테인레스 강, 은 등이 사용될 수 있다. 반도체를 사용하는 경우에, 실리콘, 게르마늄, 탄화 실리콘, 질화 갈륨 등이 사용될 수 있다. 본 실시형태에서, 바륨 보로실리케이트 클래스가 기판(101)으로서 사용된다.

[0102] 제3 도체 전극(102)의 재료로서, 백금, 금, 또는 텉스텐 등의 높은 일함수를 갖는 금속이 사용될 수 있다. 다르게는, 질화 인듐 등의, 5 전자 볼트 이상의 전자 친화력을 갖는 화합물이 사용될 수 있다. 제3 도체 전극(102)은 상술한 재료들 중 어느 것의 단일 재료를 포함할 수 있거나 또는 나중에 설치되는 반도체층과 접하는 부분이 상술한 재료들 중 어느 것을 포함하는 다층 구조를 가질 수 있다. 본 실시형태에서, 제3 도체 전극(102)은 100nm 두께의 팔라듐막이 스팍터링 방법에 의해 형성된 다음 에칭되는 방식으로 형성된다.

[0103] 다음에, 도 4b에 도시된 바와 같이, 도체막(103)이 형성된다. 도체막(103)은 나중에 제1 및 제2 도체 전극으로 된다. 그러므로, 도체막(103)은 이를 위해 적합한 재료를 이용하여 형성된다. 예를 들어, 티타늄, 몰리브덴, 질화 티타늄, 및 질화 몰리브덴을 들 수 있다. 도체막(103)은 상술한 재료들 중 어느 것의 단일 재료를 포함할 수 있거나 또는 나중에 설치되는 반도체층과 접하는 부분이 상술한 재료들 중 어느 것을 포함하는 다층 구조를 가질 수 있다.

[0104] 또한, 도체막(103)은 제3 도체 전극(102)과 중첩하도록 형성된 다음 소정의 형상으로 패터닝되므로, 도체막

(103)에 포함된 재료의 예칭 레이트는 제3 도체 전극(102)에 포함된 재료의 것과 다른 것이 바람직하다. 본 실시형태에서, 100nm 두께의 티타늄막이 형성된 다음 그 표면은 질화 티타늄이 형성되도록 질화되고; 이 질화 티타늄은 도체막(103)으로서 사용된다.

[0105] 다음에, 도체막(103)이 예칭되어, 제1 도체 전극(103a) 및 제2 도체 전극(103b)이 형성된다. 또한, 제1 절연막(104)이 스퍼터링 방법에 의해 형성된다(도 4c 참조). 제1 절연막(104)의 재료로서, 산화 실리콘, 산화 알루미늄, 질화 알루미늄 등이 사용될 수 있다. 본 실시형태에서, 스퍼터링 방법에 의해 형성된 100nm 두께의 산화 실리콘은 제1 절연막(104)으로서 사용된다.

[0106] 다음에, 제1 절연막(104)이 화학기계적 연마 방법 등에 의해 예칭되어, 기판(101)의 표면이 평탄화된다. 이 예칭은 제1 도체 전극(103a), 제2 도체 전극(103b), 및 제3 도체 전극(102)이 도 4d에 도시된 바와 같이 노출되도록 수행된다. 결과적으로, 절연체(104a 및 104b)가 각각 제1 도체 전극(103a)과 제3 도체 전극(102) 사이 및 제2 도체 전극(103b)과 제3 도체 전극(102) 사이에 매립되는 구성이 얻어진다.

[0107] 그 후, 인듐 및 아연을 포함하는 산화물 반도체층이 형성된 다음 패터닝되어, 반도체층(105)이 얻어진다. 상기 산화물 반도체 이외에, 다양한 산화물 반도체가 사용될 수 있다. 본 실시형태에서, 반도체층(105)은 다음의 방식으로 형성된다: 200nm의 두께를 갖는 인듐 아연 산화물막이 동일한 양의 인듐 및 아연을 포함하는 산화물 타겟을 이용하는 스퍼터링 방법에 의해 형성된다.

[0108] 또한, 제2 절연막(106)은 스퍼터링 방법에 의해 형성된다(도 4e 참조). 제2 절연막(106)은 게이트 절연막으로서 사용된다. 제2 절연막(106)의 재료로서, 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화 란탄, 산화 이트륨 등이 사용될 수 있다. 본 실시형태에서, 100nm의 두께를 갖는 산화 알루미늄이 제2 절연막(106)으로서 스퍼터링 방법에 의해 형성된다.

[0109] 적절한 가열 처리가 바람직하게는 반도체층(105)의 형성 후 또는 제2 절연막(106)의 형성 후 또는 이를 타이밍 들 다 후에 수행된다. 이 가열 처리는 반도체층(105)에서 수소 농도 및 산소 결손을 감소시키기 위한 것이고, 가능하면, 가열 처리는 바람직하게는 반도체층(105)의 형성 후에 수행된다.

[0110] 그 후, 게이트(107)가 형성된다. 게이트(107)는 바람직하게는 도 4f에 도시된 바와 같이 제3 도체 전극(102)과 중첩하고 제1 도체 전극(103a) 및 제2 도체 전극(103b)과 부분적으로 중첩하도록 형성된다.

[0111] 게이트(107)의 재료는 백금, 금, 또는 텉스텐 등의 높은 일함수를 갖는 금속일 수 있다. 게이트(107)는 상술한 재료들 중 어느 것의 단일 재료를 포함할 수 있거나 또는 제2 절연막(106)과 접하는 부분이 상술한 재료들 중 어느 것을 포함하는 다층 구조를 가질 수 있다. 본 실시형태에서, 100nm 두께의 팔라듐막 및 100nm 두께의 알루미늄막이 스퍼터링 방법에 의해 형성된 다음 예칭되어, 게이트(107)가 형성된다. 이 방식으로, FET가 제조된다.

[0112] (실시형태 2)

[0113] 본 실시형태에서, 도 2d에 도시된 FET를 제조하는 방법이 도 5a 내지 5g를 참조하여 설명될 것이다. 먼저, 도 5a에 도시된 바와 같이, 제3 도체 전극(102a) 및 제4 도체 전극(102b)은 기판(101) 위에 형성된다. 본 실시형태에서, 바륨 보로실리케이트 글래스가 기판(101)으로서 사용된다. 제3 도체 전극(102a) 및 제4 도체 전극(102b)의 재료로서, 스퍼터링 방법에 의해 형성된 100nm 두께의 팔라듐이 사용된다. 팔라듐은 예칭되어, 제3 도체 전극(102a) 및 제4 도체 전극(102b)이 형성된다.

[0114] 다음에, 도 5b에 도시된 바와 같이, 도체막(103)이 형성된다. 본 실시형태에서, 100nm 두께의 티타늄막이 형성된 다음 질화 티타늄이 형성되도록 그 표면이 질화되고; 이 질화 티타늄은 도체막(103)으로서 사용된다.

[0115] 다음에, 도체막(103)은 화학기계적 연마 방법 등에 의해 예칭되어, 기판(101)의 표면이 평탄화된다. 이 예칭은 제3 도체 전극(102a) 및 제4 도체 전극(102b)이 도 5c에 도시된 바와 같이 노출될 때까지 수행된다. 결과적으로, 도체막(103c)이 제3 도체 전극(102a)과 제4 도체 전극(102b) 사이에 매립되는 구성이 얻어진다.

[0116] 다음에, 도 5d에 도시된 바와 같이, 도체막(103c)이 예칭 제거되어, 제3 도체 전극(102a)과 제4 도체 전극(102b) 사이에 공간이 형성된다. 또한, 도 5e에 도시된 바와 같이, 제1 절연막(104)이 스퍼터링 방법에 의해 형성된다. 본 실시형태에서, 스퍼터링 방법에 의해 형성된 100nm 두께의 산화 실리콘은 제1 절연막(104)으로서 사용된다.

[0117] 다음에, 제1 절연막(104)이 화학기계적 연마 방법 등에 의해 예칭되어, 기판(101)의 표면이 평탄화된다. 이 예

청은 제1 도체 전극(103a), 제2 도체 전극(103b), 제3 도체 전극(102a), 및 제4 도체 전극(102b)이 도 5f에 도시된 바와 같이 노출될 때까지 수행된다. 결과적으로, 절연체(104a)가 제3 도체 전극(102a)과 제4 도체 전극(102b) 사이에 매립된 구성이 얻어진다.

[0118] 그 후, 반도체층(105)은 다음의 방식으로 형성된다: 200nm의 두께를 갖는 인듐 아연 갈륨 산화물막이 동일한 양의 인듐, 아연, 및 갈륨을 포함하는 산화물 타겟을 이용하는 스퍼터링 방법에 의해 형성된 다음 그 막이 패터닝된다. 또한, 제2 절연막(106)은 스퍼터링 방법에 의해 형성된 100nm 두께의 산화 알루미늄으로부터 형성된다.

[0119] 다음에, 100nm 두께의 팔라듐막 및 100nm 두께의 티타늄막이 스퍼터링 방법에 의해 형성된 다음 에칭되어, 게이트(107)가 형성된다. 게이트(107)는 바람직하게는 도 5g에 도시된 바와 같이 제3 도체 전극(102a) 및 제4 도체 전극(102b)과 중첩하고 제1 도체 전극(103a) 및 제2 도체 전극(103b)과 부분적으로 중첩하도록 형성된다. 이 방식으로 FET가 제조된다.

[0120] (실시형태 3)

[0121] 본 실시형태에서, 도 2a에 도시된 FET를 제조하는 방법이 도 6a 내지 6e를 참조하여 설명될 것이다. 먼저, 제3 도체 전극(102)이 기판(101) 위에 형성된다. 본 실시형태에서, 바륨 보로실리케이트 글래스가 기판(101)으로서 사용된다. 제3 도체 전극(102)은 100nm 두께의 팔라듐막이 스퍼터링 방법에 의해 형성된 다음 에칭되는 방식으로 형성된다.

[0122] 다음에, 도 6a에 도시된 바와 같이, 제1 도체막(104)이 형성된다. 본 실시형태에서, 스퍼터링 방법에 의해 형성된 100nm 두께의 산화 실리콘 막은 제1 절연막(104)으로서 사용된다.

[0123] 다음에, 제1 절연막(104)은 화학기계적 연마 방법 등에 의해 에칭되어, 기판(101)의 표면이 평坦화된다. 이 에칭은 제3 도체 전극(102)이 도 6b에 도시된 바와 같이 노출될 때까지 수행된다. 결과적으로, 제3 도체 전극(102)이 절연체(104a)와 절연체(104b) 사이에 매립되는 구성이 얻어진다.

[0124] 그 후, 반도체층(105)으로서, 200nm 두께의 인듐 아연 갈륨 산화물이 인듐, 아연, 및 갈륨을 2:2:1의 비율로 포함하는 산화물 타겟을 이용하는 스퍼터링 방법에 의해 형성된다. 또한, 제2 절연막(106)은 스퍼터링 방법에 의해 100nm 두께의 산화 알루미늄을 사용하여 형성된다.

[0125] 다음에, 50nm 두께의 팔라듐막 및 150nm 두께의 알루미늄막이 스퍼터링 방법에 의해 형성된 다음 에칭되어, 게이트(107)가 형성된다. 도 6c에 도시된 바와 같이, 게이트(107)는 바람직하게는 제3 도체 전극(102)과 중첩하도록 형성된다.

[0126] 다음에, 마스크로서 게이트(107)를 이용하여, 인 이온, 봉소 이온, 또는 티타늄 이온 등의 인듐 아연 갈륨 산화물을 환원시키는 효과를 갖는 이온이 이온 주입 방법에 의해 반도체층(105) 내로 도입된다.

[0127] 본 실시형태에서, 인 이온이 사용된다. 인 이온은 또한 실리콘 반도체 공정에서 사용되고 그 이온은 그 큰 이온 반경으로 인해 FET에 이동하지 않으므로, 인의 사용이 FET의 특성의 안정성 및 신뢰성의 측면에서 유리하다. 이 방식으로, 제1 도핑 영역(108a) 및 제2 도핑 영역(108b)이 도 6d에 도시된 바와 같이 형성된다.

[0128] 그 후, 300nm 두께의 산화 실리콘막이 제3 절연막(109)으로서 CVD 방법에 의해 형성된다. 제3 절연막(109)의 표면은 화학기계적 연마 방법 등에 의해 형성된다. 다음에, 제1 도핑 영역(108a) 및 제2 도핑 영역(108b)에 이르는 컨택트 홀이 제3 절연막(109) 및 제2 절연막(106)에 형성되고, 제1 도체 전극(103a) 및 제2 도체 전극(103b)이 형성된다.

[0129] 본 실시형태에서, 50nm 두께의 질화 티타늄막과 150nm 두께의 티타늄막이 스퍼터링 방법에 의해 연속적으로 형성된 다음 패터닝되어, 제1 도체 전극(103a) 및 제2 도체 전극(103b)이 형성된다. 이 방식으로, 도 6e에 도시된 FET가 제조된다.

[0130] (실시형태 4)

[0131] 실시형태 1 내지 3에서 설명된 반도체 장치는 다양한 전자 기기, 예를 들어, 액정 디스플레이, 일렉트로 루미네슨트(EL) 디스플레이, 및 전계 방출(FE) 디스플레이 등의 표시 장치의 구동 회로, 화상 센서용의 구동 회로, 반도체 메모리 등에서 사용될 수 있다. 또한, 실시형태 1 내지 3에서 설명된 반도체 장치는 상술한 전자 기기를 포함하는 전자 기기, 예를 들어, 텔레비전 장치, 퍼스널 컴퓨터, 이동 전화 등의 통신 장치, 전자 노트북, 휴대형 뮤직 플레이어 등에서 사용될 수 있다.

[0132]

본 출원은 그 전체 내용이 본 명세서에 참고로 원용되는, 2010년 2월 10일자 일본 특허청에 출원된 일본 특허 출원 2010-027835호에 기초한다.

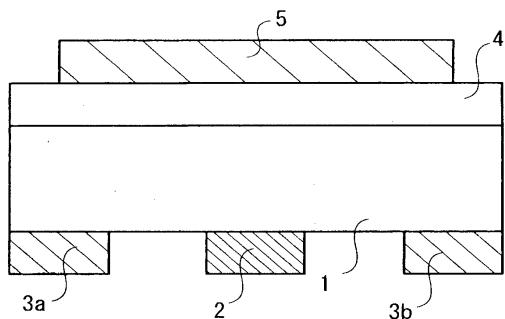
부호의 설명

[0133]

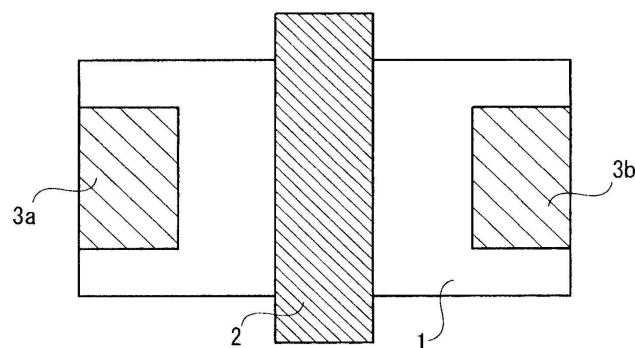
1: 반도체층, 1a: 영역, 1b: 영역, 1c: 영역, 1d: 영역, 1e: 영역, 2: 제3 도체 전극, 2a: 제3 도체 전극, 2b: 제4 도체 전극, 3a: 제1 도체 전극, 3b: 제2 도체 전극, 4: 게이트 절연막, 5: 게이트, 6a: 제1 도핑 영역, 6b: 제2 도핑 영역, 11: 반도체층, 13a: 소스 전극, 13b: 드레인 전극, 14: 게이트 절연막, 15: 게이트, 101: 기판, 102: 제3 도체 전극, 102a: 제3 도체 전극, 102b: 제4 도체 전극, 103: 도체막, 103a: 제1 도체 전극, 103b: 제2 도체 전극, 103c: 도체막, 104: 제1 절연막, 104a: 절연체, 104b: 절연체, 105: 반도체층, 106: 제2 절연막, 107: 게이트, 108a: 제1 도핑 영역, 108b: 제2 도핑 영역, 및 109: 제3 절연막.

도면

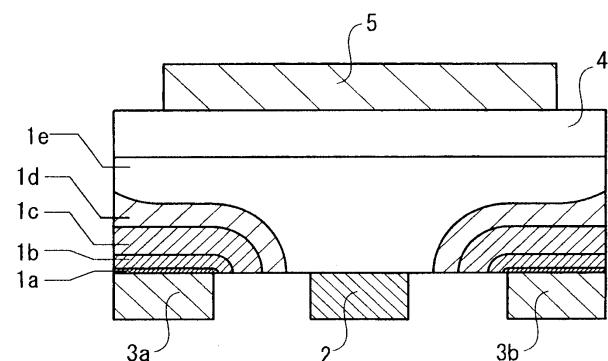
도면 1a



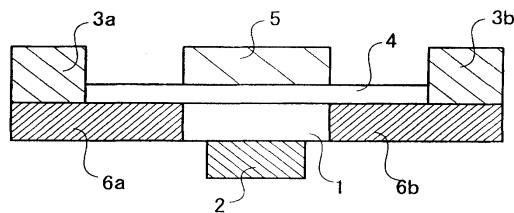
도면 1b



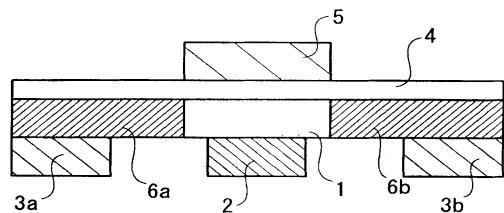
도면 1c



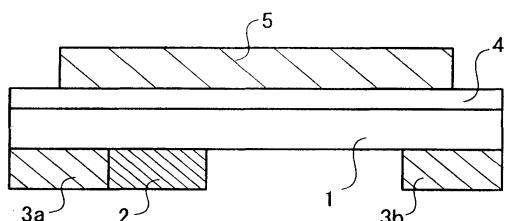
도면2a



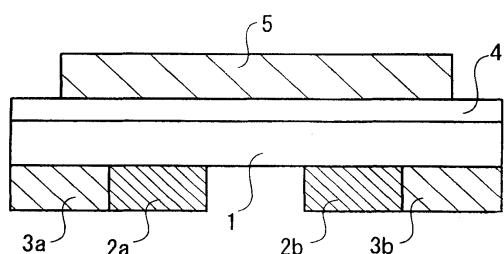
도면2b



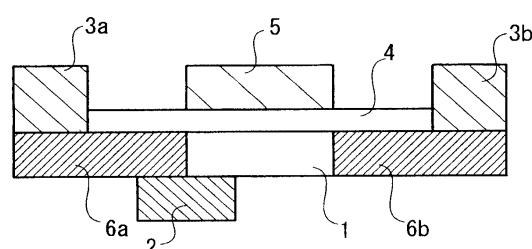
도면2c



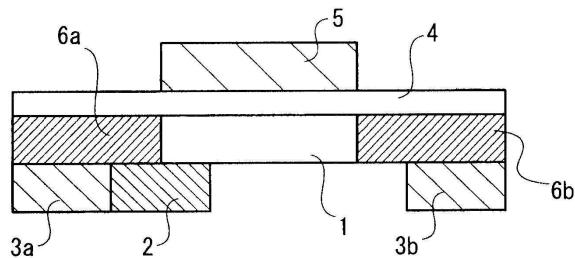
도면2d



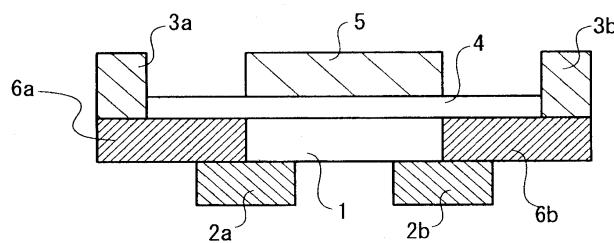
도면3a



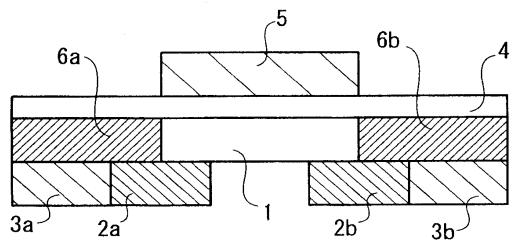
도면3b



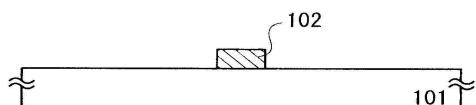
도면3c



도면3d



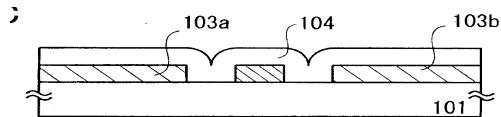
도면4a



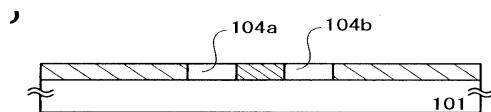
도면4b



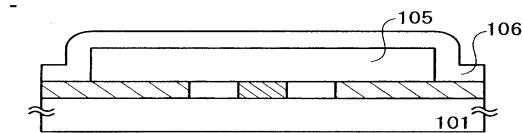
도면4c



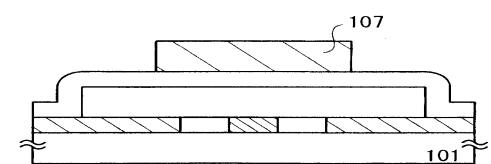
도면4d



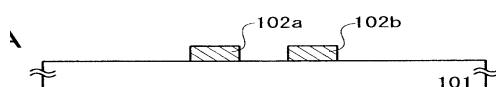
도면4e



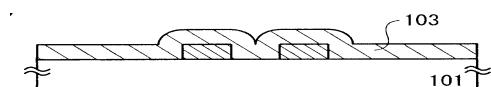
도면4f



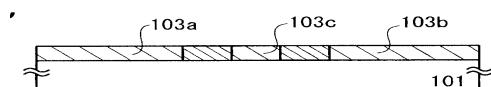
도면5a



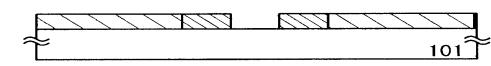
도면5b



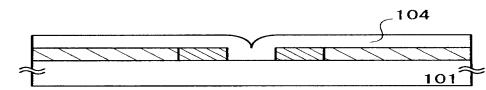
도면5c



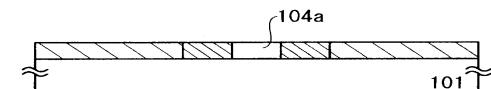
도면5d



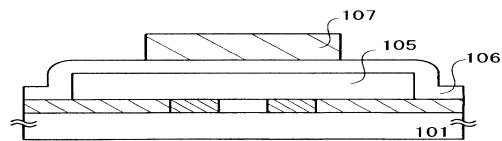
도면5e



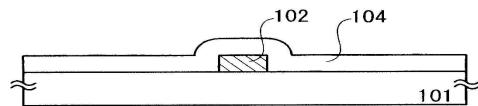
도면5f



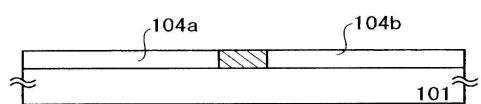
도면5g



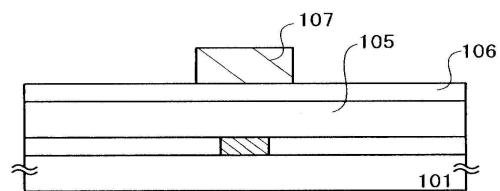
도면6a



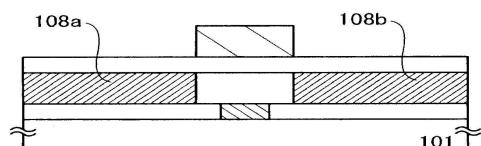
도면6b



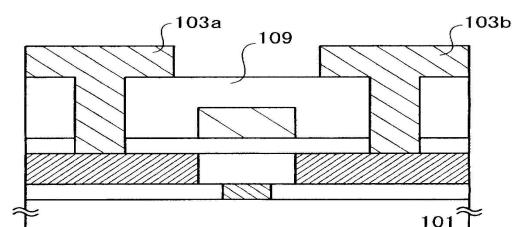
도면6c



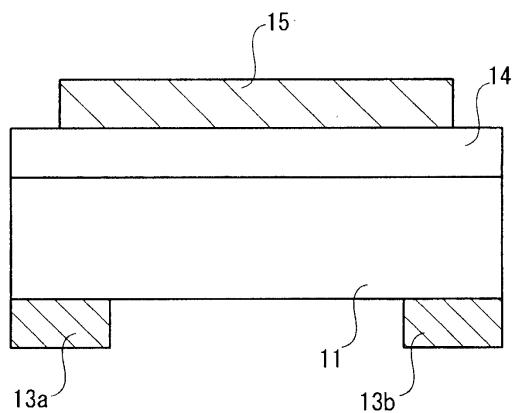
도면6d



도면6e



도면7a



도면7b

