





## 【發明說明書】

### 【中文發明名稱】

連續近似暫存器類比至數位轉換器及其運作方法

### 【英文發明名稱】

SUCCESSIVE APPROXIMATION REGISTER ANALOG-DIGITAL  
CONVERTER AND METHOD FOR OPERATING THE SAME

### 【技術領域】

【0001】 本揭露是有關於一種類比至數位轉換器，且特別是有關於一種連續近似暫存器類比至數位轉換器及其運作方法。

### 【先前技術】

【0002】 隨著半導體製程技術不斷地演進，數位電路的性能可隨製程技術的演進而提升。由於連續近似暫存器類比至數位轉換器(Successive Approximation Register Analog-to-Digital Converter, SAR ADC)的性能，透過製程技術演進而獲得改善的程度顯著，因此，針對連續近似暫存器類比至數位轉換器的研究於近年來已成為顯學。特別是，透過二進制視窗技術，進以改善其連續近似暫存器類比至數位轉換器的積分非線性度(integral nonlinearity, INL)的同時，仍可提升轉換器操作速度(Conversion Rate)，增進連續近似暫存器類比至數位轉換器的轉換效率(Conversion Efficiency)，乃是本領域技術人員所欲解決的重要的課題之一。

### 【發明內容】

**【0003】** 本揭露提供一種具快速二進制視窗功能的連續近似暫存器類比至數位轉換器及其運作方法，以解決先前技術中所述及的問題。

**【0004】** 本揭露的連續近似暫存器類比至數位轉換器用以轉換第一類比輸入信號為數位輸出信號。連續近似暫存器類比至數位轉換器包括第一電容式數位至類比轉換器、比較器以及控制器。第一電容式數位至類比轉換器用以接收並取樣第一類比輸入信號以產生第一電壓。比較器耦接第一電容式數位至類比轉換器以接收第一電壓，且將第一電壓與比較參考電壓進行比較以產生第一比較結果。控制器耦接比較器以及第一電容式數位至類比轉換器，且用以根據第一比較結果來決定第一電容式數位至類比轉換器的多個切換電容組的切換運作。於多次疊代運作中的至少兩者的第  $k$  次疊代運作中，控制器將此些切換電容組中的第  $k$  個切換電容組自第一狀態切換為第二狀態，致使第一電容式數位至類比轉換器產生第二電壓，且比較器將第二電壓與比較參考電壓進行比較以產生第二比較結果，其中  $k$  為正整數。控制器根據第一比較結果與第二比較結果決定視窗區域以及決定是否將第  $k$  個切換電容組切換回第一狀態。

**【0005】** 本揭露的連續近似暫存器類比至數位轉換器用以轉換第一類比輸入信號為數位輸出信號。連續近似暫存器類比至數位轉換器包括第一電容式數位至類比轉換器、比較器以及控制器。第一電容式數位至類比轉換器用以接收並取樣第一類比輸入信號，且受控於多個第一控制信號以分別控制第一電容式數位至類比轉換器的多個切換電容組的切換運作。比較器耦接第一電容式數位至類比轉換器，

且用以將第一電容式數位至類比轉換器的輸出與比較參考電壓進行比較。控制器耦接比較器以及第一電容式數位至類比轉換器，且用以根據比較器的輸出產生此些第一控制信號及數位輸出信號。控制器根據比較器的輸出而將第一電容式數位至類比轉換器的輸出逼近  $M$  位元的視窗，且控制器藉由比較器的  $(M+1)$  次比較運算的結果，來完成將第一電容式數位至類比轉換器的輸出逼近此  $M$  位元的視窗的運作，其中  $M$  為正整數。

**【0006】** 本揭露的連續近似暫存器類比至數位轉換器的運作方法用以轉換第一類比輸入信號為數位輸出信號。此運作方法包括以下步驟。透過第一電容式數位至類比轉換器接收並取樣第一類比輸入信號以產生第一電壓。透過比較器將第一電壓與比較參考電壓進行比較以產生第一比較結果。透過控制器根據第一比較結果來決定第一電容式數位至類比轉換器的多個切換電容組的切換運作。於多次疊代運作中的至少兩者的第  $k$  次疊代運作中，透過控制器將此些切換電容組中的第  $k$  個切換電容組自第一狀態切換為第二狀態，致使第一電容式數位至類比轉換器產生第二電壓，且透過上述的比較器比較第二電壓與比較參考電壓以取得第二比較結果，其中  $k$  為正整數。透過控制器根據第一比較結果與第二比較結果決定視窗區域以及決定是否將第  $k$  個切換電容組切換回第一狀態。

**【0007】** 為讓本揭露的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

**【圖式簡單說明】**

**【0008】** 下面的所附圖式是本揭露的說明書的一部分，繪示了本揭露的示例實施例，所附圖式與說明書的描述一起說明本揭露的原理。

圖 1 是依照本揭露一實施例所繪示的連續近似暫存器類比至數位轉換器的電路方塊示意圖。

圖 2 是依照本揭露一實施例所繪示的單端輸入式連續近似暫存器類比至數位轉換器執行二進制視窗功能時的切換機制示意圖。

圖 3 是依照本揭露一實施例所繪示的編碼運算的示意圖。

圖 4A 是根據本揭露一實施例所繪示的控制器的部份電路架構示意圖。

圖 4B 是圖 4A 的控制器的信號時序示意圖。

圖 5 是根據本揭露一實施例所繪示的連續近似暫存器類比至數位轉換器的運作方法的步驟流程圖。

圖 6 是依照本揭露一實施例所繪示的圖 5 的步驟 S530、步驟 S540 及步驟 S550 的細節步驟流程圖。

圖 7 是依照本揭露另一實施例所繪示的連續近似暫存器類比至數位轉換器的電路方塊示意圖。

圖 8 是依照本揭露另一實施例所繪示的差動輸入式連續近似暫存器類比至數位轉換器執行二進制視窗功能時的切換機制示意圖。

圖 9 是根據本揭露另一實施例所繪示的連續近似暫存器類比至數位轉換器的運作方法的步驟流程圖。

圖 10 是依照本揭露另一實施例所繪示的圖 9 的步驟 S930、步驟 S940 及步驟 S950 的細節步驟流程圖。

圖 11A 繪示未採用二進制視窗運作的連續近似暫存器類比至數位轉換器的積分非線性度的示意圖。

圖 11B 是依照本揭露實施例的連續近似暫存器類比至數位轉換器的積分非線性度的示意圖。

#### 【實施方式】

【0009】 為了使本揭露的內容可以被更容易明瞭，以下特舉實施例做為本揭露確實能夠據以實施的範例。另外，凡可能之處，在圖式及實施方式中使用相同標號的元件/構件，係代表相同或類似部件。

【0010】 以下請參照圖 1，圖 1 是依照本揭露一實施例所繪示的連續近似暫存器類比至數位轉換器 100 的電路方塊示意圖。連續近似暫存器類比至數位轉換器(Successive Approximation Register Analog-to-Digital Converter，SAR ADC)100 為單端輸入式類比至數位轉換器(Analog-to-Digital Converter，ADC)。連續近似暫存器類比至數位轉換器 100 用以轉換第一類比輸入信號 VIP 為數位輸出信號 SDO，其中數位輸出信號 SDO 具有從最高有效位元(Most Significant Bit，MSB)計算至最低有效位元(Least Significant Bit，LSB)的 N 個位元，其中 N 為正整數。但為便於說明，

以下以 N 等於 10 為範例進行說明，而 N 為其他正整數的實施例則可依據以下說明而類推之。

**【0011】** 連續近似暫存器類比至數位轉換器 100 可包括第一電容式數位至類比轉換器(Capacitor Digital to Analog Converter，簡稱為 CDAC)120、比較器 140(單一比較器)以及控制器 160。第一電容式數位至類比轉換器 120 可包括取樣開關 121 以及切換電容組 SCP1~SCP10。切換電容組 SCP1~SCP10 中的每一者分別受控於第一控制信號 SP1~SP10。第一電容式數位至類比轉換器 120 可於一時間點透過取樣開關 121 接收並取樣第一類比輸入信號 VIP 以產生第一電壓 VP0。取樣開關 121 可例如是透過一取樣時脈信號 CLKS 所控制的靴帶式開關(Bootstrapped Switch)。第一電容式數位至類比轉換器 120 受控於多個第一控制信號 SP1~SP10 以分別控制切換電容組 SCP1~SCP10 的切換運作。詳細來說，切換電容組 SCPi 可包括電容 CPi 及開關 WPi，其中 i 為 1 至 L 的整數，在本實施例中，L 等於 10。電容 CP1~CP10 的第一端耦接至比較器 140 的非反相輸入端，而電容 CP1~CP10 的第二端則分別透過對應的開關 WPi~WP10 被切換於第一參考電壓 Vref 與接地電壓 GND 之間。開關 WPi~WP10 分別由第一控制信號 SP1~SP10 所控制。電容 CP1~電容 CP8 之電容值分別為電容 CP2~電容 CP9 之電容值的兩倍，而電容 CP9 之電容值等於電容 CP10 之電容值。

**【0012】** 比較器 140 接收來自第一電容式數位至類比轉換器 120 的第一電壓 VP0，且受控於比較時脈信號 CLKC 以將第一電壓 VP0 與比較



參考電壓  $V_r$  進行比較以產生第一比較結果  $CQ_1$ ，其中比較參考電壓  $V_r$  可例如是第一參考電壓  $V_{ref}$ 。控制器 160 耦接比較器 140 以及第一電容式數位至類比轉換器 120。特別是，控制器 160 可根據第一比較結果  $CQ_1$  產生第一控制信號  $SP_1 \sim SP_{10}$  以分別控制切換電容組  $SCP_1 \sim SCP_{10}$  的切換運作。

**【0013】** 更進一步來說，控制器 160 具有二進制視窗(binary window)功能。控制器 160 可根據比較器 140 的輸出(亦即第一比較結果  $VP_0$ )來決定切換電容組  $SCP_1 \sim SCP_{10}$  中的至少一者的切換運作，以將第一電容式數位至類比轉換器 120 的輸出逼近上述的二進制視窗，其中上述的二進制視窗為  $M$  位元的視窗，且  $M$  為小於或等於  $N$  的正整數。詳細來說，於連續近似暫存器類比至數位轉換器 100 的  $M$  次疊代(iteration)運作的第  $k$  次疊代運作中( $k$  小於或等於  $M$ )，控制器 160 可將切換電容組  $SCP_1 \sim SCP_{10}$  中的第  $k$  個切換電容組  $SCP_k$  進行切換(例如自第一狀態切換為第二狀態)，致使第一電容式數位至類比轉換器 120 產生對應的第二電壓  $VP_k$ 。接著，比較器 140 可將第  $k$  次疊代運作的第二電壓  $VP_k$  與比較參考電壓  $V_r$  進行比較以產生對應的第二比較結果  $CQ_{2\_k}$ 。控制器 160 可根據第一比較結果  $CQ_1$  與第二比較結果  $CQ_{2\_k}$  定義(或決定)視窗區域  $WINK_k$ 。並且，控制器 160 可根據第一比較結果  $CQ_1$  與第二比較結果  $CQ_{2\_k}$  來決定是否將第  $k$  個切換電容組  $SCP_k$  切換回第一狀態，或者維持於第二狀態。

**【0014】** 於第  $k$  次疊代運作中，若第一比較結果  $CQ_1$  表示第一電壓  $VP_0$  大於比較參考電壓  $V_r$ ，且第二比較結果  $CQ_{2\_k}$  表示第二電壓

$VP_k$  亦大於比較參考電壓  $V_r$ ，則控制器 160 將第  $k$  個切換電容組維持在第二狀態(即切換後的狀態)。或者是，於第  $k$  次疊代運作中，若第一比較結果  $CQ_1$  表示該第一電壓  $VP_0$  小於比較參考電壓  $V_r$ ，且第二比較結果  $CQ_{2\_k}$  表示第二電壓  $VP_k$  亦小於比較參考電壓  $V_r$ ，則控制器 160 將第  $k$  個切換電容組維持在第二狀態(即切換後的狀態)。

**【0015】** 相對地，於第  $k$  次疊代運作中，若第一比較結果  $CQ_1$  與第二比較結果  $CQ_{2\_k}$  表示第一電壓  $VP_0$  及第二電壓  $VP_k$  的其中之一大於比較參考電壓  $V_r$ ，且第一電壓  $VP_0$  及第二電壓  $VP_k$  的其中另一小於比較參考電壓  $V_r$ ，則控制器 160 將第  $k$  個切換電容組切換回第一狀態(即切換前的狀態)。

**【0016】** 以下請合併參照圖 1 及圖 2，圖 2 是依照本揭露一實施例所繪示的單端輸入式連續近似暫存器類比至數位轉換器執行二進制視窗功能時的切換機制示意圖，其中橫軸表示時間，縱軸表示第一電容式數位至類比轉換器 120 的輸出電壓(亦即比較器 140 的單端輸入電壓)。為便於說明，以下將以  $M$  等於 4(即上述的二進制視窗為 4 位元的視窗)為範例進行說明，而  $M$  為其他正整數的實施例則可依以下說明類推之。基於二進制視窗為 4 位元的視窗，故而於圖 2 的第一次疊代運作(即  $k=1$ )至第四次疊代運作(即  $k=4$ )中，分別示出由虛線所包圍出來的四塊視窗區域，即  $WIN_1 \sim WIN_4$ 。

**【0017】** 首先，於取樣保持運作(即  $k=0$ )中，第一電容式數位至類比轉換器 120 透過取樣開關 121 接收並取樣第一類比輸入信號  $V_{IP}$  以產生第一電壓  $VP_0$ 。值得一提的是，在此的第一類比輸入信號  $V_{IP}$  的振幅

(Amplitude)例如是等於第一參考電壓  $V_{ref}$ ，且第一類比輸入信號  $V_{IP}$  的共模電壓(Common Mode Voltage)例如是等於第一參考電壓  $V_{ref}$ 。比較器 140 可判斷第一電壓  $V_{P0}$  是否大於比較參考電壓  $V_r$ ，從而產生第一比較結果  $CQ1$ 。接著，於第一次疊代運作(即  $k=1$ )，控制器 160 可根據第一比較結果  $CQ1$  產生第一控制信號  $SP1$  以控制切換電容組  $SCP1$  的切換運作。以下先針對第一電壓  $V_{P0}$  大於比較參考電壓  $V_r$  的情況進行說明。

**【0018】** 於取樣保持運作(即  $k=0$ )中，倘若第一電壓  $V_{P0}$  大於比較參考電壓  $V_r$ ，則比較器 140 可輸出例如是邏輯 1 的第一比較結果  $CQ1$ 。因此，於第一次疊代運作(即  $k=1$ )中，控制器 160 將切換電容組  $SCP1$  中的開關  $WP1$  進行切換以將第一電壓  $V_{P0}$  下拉，致使第一電容式數位至類比轉換器 120 產生對應的第二電壓  $V_{P1}$ ，其中  $V_{P1}=V_{P0}-(V_{ref}/2^k)=V_{P0}-(V_{ref}/2)=V_{P0}-(V_r/2)$ 。值得一提，在此的第一參考電壓  $V_{ref}$ ，即為比較參考電壓  $V_r$ ，故以下範例說明，即假設  $V_{ref}=V_r$ 。接著，比較器 140 可將第一次疊代運作(即  $k=1$ )的第二電壓  $V_{P1}$  與比較參考電壓  $V_r$  進行比較，以判斷第二電壓  $V_{P1}$  是否大於比較參考電壓  $V_r$ 。倘若第二電壓  $V_{P1}$  大於比較參考電壓  $V_r$ ，則比較器 140 將輸出例如是邏輯 1 的第二比較結果  $CQ2\_1$ 。可以理解的是，倘若第二電壓  $V_{P1}$  大於比較參考電壓  $V_r$ ，表示第一電壓  $V_{P0}$  大於  $1.5V_{ref}$  而位於視窗區域  $WIN1$  之外，故控制器 160 將切換電容組  $SCP1$  中的開關  $WP1$  維持在切換後的狀態，此時  $V_{P1}=V_{P0}-(V_r/2)$ 。相對地，倘若第二電壓  $V_{P1}$  小於比較參考電壓  $V_r$ ，則比較器 140 將輸出例如是邏輯 0 的第二比較結果  $CQ2\_1$ 。可以理解的是，倘若第二電壓  $V_{P1}$  小於比較參考電壓

$V_r$ ，表示第一電壓  $VP_0$  小於  $1.5V_{ref}$  而位於視窗區域  $WIN_1$  內，故控制器 160 將切換電容組  $SCP_1$  中的開關  $WP_1$  回復至切換前的狀態，此時  $VP_1=VP_0$ 。

**【0019】** 接著，於第二次疊代運作(即  $k=2$ )中，控制器 160 將對切換電容組  $SCP_2$  中的開關  $WP_2$  進行切換以將第二電壓  $VP_1$  下拉，致使第一電容式數位至類比轉換器 120 產生對應的第二電壓  $VP_2$ ，其中  $VP_2=VP_1 - (V_r/2^k)=VP_1 - (V_r/4)$ 。接著，比較器 140 可將第二次疊代運作(即  $k=2$ )的第二電壓  $VP_2$  與比較參考電壓  $V_r$  進行比較，以判斷第二電壓  $VP_2$  是否大於比較參考電壓  $V_r$ 。倘若第二電壓  $VP_2$  大於比較參考電壓  $V_r$ ，則比較器 140 將輸出例如是邏輯 1 的第二比較結果  $CQ2\_2$ 。可以理解的是，倘若第二電壓  $VP_2$  大於比較參考電壓  $V_r$ ，表示第二電壓  $VP_1$  大於  $1.25V_{ref}$  而位於視窗區域  $WIN_2$  之外，故控制器 160 將切換電容組  $SCP_2$  中的開關  $WP_2$  維持在切換後的狀態，此時  $VP_2=VP_1 - (V_r/4)$ 。相對地，倘若第二電壓  $VP_2$  小於比較參考電壓  $V_r$ ，則比較器 140 將輸出例如是邏輯 0 的第二比較結果  $CQ2\_2$ 。可以理解的是，倘若第二電壓  $VP_2$  小於比較參考電壓  $V_r$ ，表示第二電壓  $VP_1$  小於  $1.25V_{ref}$  而位於視窗區域  $WIN_2$  內，故控制器 160 將切換電容組  $SCP_2$  中的開關  $WP_2$  回復至切換前的狀態，此時  $VP_2=VP_1$ 。值得一提的是，在此的第二電壓  $VP_1$  是根據第一次疊代運作(即  $k=1$ )結果(即第二比較結果  $CQ2\_1$ )來決定，若第二比較結果  $CQ2\_1$  例如是邏輯 1，則  $VP_1=VP_0 - (V_r/2)$ ；若第二比較結果  $CQ2\_1$  例如是邏輯 0，則  $VP_1=VP_0$ 。

**【0020】** 至於連續近似暫存器類比至數位轉換器 100 於第三次疊代運

作(即  $k=3$ )及第四次疊代運作(即  $k=4$ )的運作，則可根據上述第一次疊代運作(即  $k=1$ )及第二次疊代運作(即  $k=2$ )的說明而類推得知，故在此不再贅述。

**【0021】** 以下針對第一電壓  $VP0$  小於比較參考電壓  $Vr$  的情況進行說明。於取樣保持運作(即  $k=0$ )中，倘若第一電壓  $VP0$  小於比較參考電壓  $Vr$ ，則比較器 140 可輸出例如是邏輯 0 的第一比較結果  $CQ1$ 。因此，於第一次疊代運作(即  $k=1$ )中，控制器 160 將對切換電容組  $SCP1$  中的開關  $WP1$  進行切換以將第一電壓  $VP0$  上拉，致使第一電容式數位至類比轉換器 120 產生對應的第二電壓  $VP1$ ，其中  $VP1=VP0+(Vr/2^k)=VP0+(Vr/2)$ 。接著，比較器 140 可將第一次疊代運作(即  $k=1$ )的第二電壓  $VP1$  與比較參考電壓  $Vr$  進行比較，以判斷第二電壓  $VP1$  是否大於比較參考電壓  $Vr$ 。倘若第二電壓  $VP1$  大於比較參考電壓  $Vr$ ，則比較器 140 將輸出例如是邏輯 1 的第二比較結果  $CQ2\_1$ 。可以理解的是，倘若第二電壓  $VP1$  大於比較參考電壓  $Vr$ ，表示第一電壓  $VP0$  大於  $0.5V_{ref}$  而位於視窗區域  $WIN1$  之內，故控制器 160 將切換電容組  $SCP1$  中的開關  $WP1$  回復至切換前的狀態，此時  $VP1=VP0$ 。相對地，倘若第二電壓  $VP1$  小於比較參考電壓  $Vr$ ，則比較器 140 將輸出例如是邏輯 0 的第二比較結果  $CQ2\_1$ 。可以理解的是，倘若第二電壓  $VP1$  小於比較參考電壓  $Vr$ ，表示第一電壓  $VP0$  小於  $0.5V_{ref}$  而位於視窗區域  $WIN1$  之外，故控制器 160 將切換電容組  $SCP1$  中的開關  $WP1$  維持在切換後的狀態，此時  $VP1=VP0+(Vr/2)$ 。

**【0022】** 接著，於第二次疊代運作(即  $k=2$ )中，控制器 160 將對切換

電容組 SCP2 中的開關 WP2 進行切換以將第二電壓 VP1 上拉，致使第一電容式數位至類比轉換器 120 產生對應的第二電壓 VP2，其中  $VP2=VP1+(Vr/2^k)=VP1+(Vr/4)$ 。接著，比較器 140 可將第二次疊代運作(即  $k=2$ )的第二電壓 VP2 與比較參考電壓 Vr 進行比較，以判斷第二電壓 VP2 是否大於比較參考電壓 Vr。倘若第二電壓 VP2 大於比較參考電壓 Vr，則比較器 140 將輸出例如是邏輯 1 的第二比較結果 CQ2\_2。可以理解的是，倘若第二電壓 VP2 大於比較參考電壓 Vr，表示第二電壓 VP1 大於  $0.75V_{ref}$  而位於視窗區域 WIN2 之內，故控制器 160 將切換電容組 SCP2 中的開關 WP2 回復至切換前的狀態，此時  $VP2=VP1$ 。相對地，倘若第二電壓 VP2 小於比較參考電壓 Vr，則比較器 140 將輸出例如是邏輯 0 的第二比較結果 CQ2\_2。可以理解的是，倘若第二電壓 VP2 小於比較參考電壓 Vr，表示第二電壓 VP1 小於  $0.75V_{ref}$  而位於視窗區域 WIN2 之外，故控制器 160 將切換電容組 SCP2 中的開關 WP2 維持在切換後的狀態，此時  $VP2=VP1+(Vr/4)$ 。值得一提的是，在此的第二電壓 VP1 是根據第一次疊代運作(即  $k=1$ )結果(即第二比較結果 CQ2\_1)來決定，若第二比較結果 CQ2\_1 例如是邏輯 1，則  $VP1=VP0$ ；若第二比較結果 CQ2\_1 例如是邏輯 0，則  $VP1=VP0+(Vr/2)$ 。

**【0023】** 至於連續近似暫存器類比至數位轉換器 100 於第三次疊代運作(即  $k=3$ )及第四次疊代運作(即  $k=4$ )的運作，則可根據上述第一次疊代運作(即  $k=1$ )及第二次疊代運作(即  $k=2$ )的說明而類推得知，故在此不再贅述。

**【0024】** 根據上述說明可知，控制器 160 可藉由比較器 140 的(M+1)

次比較運算的結果(例如上述的第一比較結果及第二比較結果)，來完成將第一電容式數位至類比轉換器 120 的輸出逼近 M 位元的視窗的運作。

【0025】表 1 列示了連續近似暫存器類比至數位轉換器 100 執行二進制視窗功能時，各種比較結果的排列組合、及其對應的編碼與切換電容組的開關最終是否被切換。詳細來說，編碼 dk 可具有位元 dk1 及位元 dk2，其中位元 dk1 及位元 dk2 的位元值可根據第一比較結果 CQ1 及第二比較結果 CQ2\_k 來決定。舉例來說，若第一比較結果 CQ1 為邏輯 1 且第二比較結果 CQ2\_k 為邏輯 1，則位元 dk1 的位元值為 1 且位元 dk2 的位元值為 0，故編碼 dk 的編碼結果為(1, 0)。若第一比較結果 CQ1 為邏輯 1 且第二比較結果 CQ2\_k 為邏輯 0，則位元 dk1 的位元值為 0 且位元 dk2 的位元值為 1，故編碼 dk 的編碼結果為(0, 1)。若第一比較結果 CQ1 為邏輯 0 且第二比較結果 CQ2\_k 為邏輯 1，則位元 dk1 的位元值為 0 且位元 dk2 的位元值為 1，故編碼 dk 的編碼結果為(0, 1)。若第一比較結果 CQ1 為邏輯 0 且第二比較結果 CQ2\_k 為邏輯 0，則位元 dk1 的位元值為 0 且位元 dk2 的位元值為 0，故編碼 dk 的編碼結果為(0, 0)。

第一比較結果 CQ1	第二比較結果 CQ2_k (k=1~4)	編碼 dk=(dk1, dk2) (k=1~4)	開關 WPk (k=1~4)
1	1	(1,0)	切換
1	0	(0,1)	不切換
0	1	(0,1)	不切換
0	0	(0,0)	切換

表 1

【0026】 在連續近似暫存器類比至數位轉換器 100 執行圖 2 所示的二進制視窗功能之後，於第五次疊代運作(即  $k=5$ )至第十次疊代運作(即  $k=10$ )中，連續近似暫存器類比至數位轉換器 100 可採用例如是無視窗功能的二進制連續近似演算，依序地對切換電容組 SCP5~SCP10 的開關 WP5~WP10 進行切換，以依序取得對應的第二比較結果 CQ2\_5~CQ2\_10，並在上述 10 次疊代運作結束之後，控制器 160 可根據取樣保持運作的第一比較結果 CQ1 與上述各次疊代運作的第二比較結果 CQ2\_1~CQ2\_10 進行編碼運算，從而產生與類比輸入信號 VIP 對應的數位輸出信號 SDO，如圖 3 所示的加法運算，其中編碼的位元 d11、d12、d21、d22、d31、d32、d41、d42 可根據表 1 的第一比較結果 CQ1 及第二比較結果 CQ2\_1~CQ2\_4 對應取得，而二進位碼 B1~B10 為數位輸出信號 SDO 的 10 個位元，其中二進位碼 B1 為最高有效位元，而二進位碼 B10 為最低有效位元。

【0027】 詳細來說，圖 3 所示的加法運算可採用加法器來實現，其中二進位碼 B6~B10 分別為第二比較結果 CQ2\_6~CQ2\_10。另外，可透過第一級加法器(可為全加器)將位元 d42 與第二比較結果 CQ2\_5 相加，以產生一輸出和(sum)(即為二進位碼 B5)以及一第一輸出進位(carry)。接著，可透過第二級加法器(為全加器)將位元 d32、位元 d41 與第一輸出進位相加，以產生一輸出和(即為二進位碼 B4)以及一第二輸出進位。然後，可透過第三級加法器(為全加器)將位元 d22、位元 d31 與第二輸出進位相加，以產生一輸出



和(即為二進位碼 B3)以及一第三輸出進位。而二進位碼 B2 及 B1 的計算方式則可依據上述二進位碼 B3 或 B4 的說明而類推得知，故不再贅述。

**【0028】** 在本揭露的一實施例中，控制器 160 可以是硬體、韌體或是儲存在記憶體而由微處理器或是數位信號處理器所載入執行的軟體或機器可執行程式碼。若是採用硬體來實現，則控制器 160 可以是由單一整合電路晶片所達成，也可以由多個電路晶片所完成，但本揭露並不以此為限制。上述多個電路晶片或單一整合電路晶片可採用特殊功能積體電路 (ASIC) 或可程式化邏輯閘陣列 (FPGA) 來實現。而上述記憶體可以是例如隨機存取記憶體、唯讀記憶體或是快閃記憶體等等。

**【0029】** 以下請合併參照圖 1、圖 2、圖 4A 及圖 4B，圖 4A 是根據本揭露一實施例所繪示的控制器 160 的部份電路架構示意圖，用以實現四位元的二進制視窗功能；而圖 4B 是圖 4A 的控制器 160 的信號時序示意圖。首先，控制器 160 可接收重置信號 RST，並根據重置信號 RST 將控制器 160 的所有相關邏輯電路進行重置。接著，控制器 160 可接收來自比較器 140 的備妥信號 RDY 及比較結果 CQ (包括第一比較結果 CQ1 及第二比較結果 CQ2\_1~CQ2\_4)，其中備妥信號 RDY 用以指示比較結果 CQ 已備妥。控制器 160 包括移位暫存器 401~405、第一暫存器 411~414、第二暫存器 421~424 以及多工電路 431~434。

**【0030】** 移位暫存器 401~405 的重置端接收重置信號 RST。移位

暫存器 401~405 的時脈端接收備妥信號 RDY。第一級移位暫存器 401 的輸入端 D 用以接收電源電壓 VDD。移位暫存器 401~405 中的每一級移位暫存器(例如移位暫存器 401)的輸出端 Q 耦接至下一級移位暫存器(例如移位暫存器 402)的輸入端 D。移位暫存器 401~405 可在備妥信號 RDY 的觸發下依序地產生如圖 4B 所示的信號 CK0~CK4。

【0031】 第一暫存器 411~414 的重置端接收重置信號 RST。第一暫存器 411~414 的時脈端分別接收信號 CK1~CK4。第一暫存器 411~414 及第二暫存器 421 的輸入端 D 耦接控制器 160 的比較結果輸入端 CQ 以接收第一比較結果 CQ1 及第二比較結果 CQ2\_1~CQ2\_4。第一暫存器 411~414 可分別於信號 CK1~CK4 的觸發下，分別鎖存對應的第二比較結果 CQ2\_1~CQ2\_4，如圖 4B 的信號 DP1~DP4 所示。第二暫存器 421~424 的重置端接收重置信號 RST。第二暫存器 421~424 的時脈端分別接收信號 CK0~CK3。第二暫存器 421~424 可分別於信號 CK0~CK3 的觸發下，依序鎖存第一比較結果 CQ1，如圖 4B 的信號 DP0、DP0\_1、DP0\_2、DP0\_3 所示。

【0032】 多工電路 431 可在信號 CK0 的觸發下，將信號 DP0 做為第一控制信號 SP1，且可在信號 CK1 的觸發下，將信號 DP1 做為第一控制信號 SP1。多工電路 432 可在信號 CK1 的觸發下，將信號 DP0\_1 做為第一控制信號 SP2，且可在信號 CK2 的觸發下，將信號 DP2 做為第一控制信號 SP2。多工電路 433 及 434 的運作可依此類推。

【0033】 首先，於時間區間  $T_0$ ，假設信號  $DP_0$  上的第一比較結果  $CQ_1$  為邏輯 1(表示第一電壓  $VP_0$  大於比較參考電壓  $V_r$ )，則多工電路 431 所輸出的第一控制信號  $SP_1$  為邏輯 1，故切換電容組  $SCP_1$  中的開關  $WP_1$  將被切換，以將第一電壓  $VP_0$  下拉(其下拉的幅度為 $(V_r/2)$ )。

【0034】 於時間區間  $T_1$ ，若信號  $DP_1$  上的第二比較結果  $CQ_{2\_1}$  亦為邏輯 1(表示原第一電壓  $VP_0$  位於圖 2 的視窗區域  $WIN_1$  之外)，則多工電路 431 所輸出的第一控制信號  $SP_1$  為邏輯 1，故切換電容組  $SCP_1$  中的開關  $WP_1$  被維持在切換後的狀態。相對地，於時間區間  $T_1$ ，若信號  $DP_1$  上的第二比較結果  $CQ_{2\_1}$  為邏輯 0(表示原第一電壓  $VP_0$  位於圖 2 的視窗區域  $WIN_1$  之內)，則多工電路 431 所輸出的第一控制信號  $SP_1$  為邏輯 0，故切換電容組  $SCP_1$  中的開關  $WP_1$  將被回復至切換前的狀態。

【0035】 同時於時間區間  $T_1$ ，由於信號  $DP_{0\_1}$  上的第一比較結果  $CQ_1$  為邏輯 1，故多工電路 432 所輸出的第一控制信號  $SP_2$  為邏輯 1，致使切換電容組  $SCP_2$  中的開關  $WP_2$  被切換，以將第二電壓  $VP_1$  下拉(其下拉的幅度為 $(V_r/4)$ )。

【0036】 於時間區間  $T_2$ ，若信號  $DP_2$  上的第二比較結果  $CQ_{2\_2}$  亦為邏輯 1(表示原第二電壓  $VP_1$  位於圖 2 的視窗區域  $WIN_2$  之外)，則多工電路 432 所輸出的第一控制信號  $SP_2$  為邏輯 1，故切換電容組  $SCP_2$  中的開關  $WP_2$  被維持在切換後的狀態。相對地，於時間區間  $T_2$ ，若信號  $DP_2$  上的第二比較結果  $CQ_{2\_2}$  為邏輯 0(表示原第二電壓  $VP_1$  位於圖 2 的視窗區域  $WIN_2$  之內)，則多工電路 432 所輸出的第一控制

信號 SP2 為邏輯 0，故切換電容組 SCP2 中的開關 WP2 將被回復至切換前的狀態。至於時間區間 T3 及 T4 以及多工電路 433 及 434 的運作，則可依據上述說明而類推之，故在此不再贅述。

**【0037】** 圖 5 是根據本揭露一實施例所繪示的連續近似暫存器類比至數位轉換器的運作方法的步驟流程圖，用以執行 M 位元的視窗功能。請同時參照圖 1 與圖 5，在連續近似暫存器類比至數位轉換器 100 開始運作後，於步驟 S510 中，可透過第一電容式數位至類比轉換器 120 接收並取樣第一類比輸入信號 VIP 以產生第一電壓 VP0。接著，於步驟 S520 中，可透過比較器 140 將第一電壓 VP0 與比較參考電壓 Vr 進行比較以產生第一比較結果 CQ1。然後，於步驟 S530 中，可透過控制器 160 根據第一比較結果 CQ1 來決定第一電容式數位至類比轉換器 120 的切換電容組 SCP1~SCP10 的切換運作。接著，於多次疊代運作中的至少兩者的第 k 次疊代運作中，透過控制器 160 將第一電容式數位至類比轉換器 120 的多個切換電容組 SCP1~SCP10 中的第 k 個切換電容組自第一狀態切換為第二狀態，致使第一電容式數位至類比轉換器 120 產生第二電壓 VPk，且透過比較器 140 比較第二電壓 VPk 與比較參考電壓 Vr 以取得第二比較結果 CQ2\_k，如步驟 S540 所示。之後，於步驟 S550 中，透過控制器 160 根據第一比較結果 CQ1 與第二比較結果 CQ2\_k 決定是否將第 k 個切換電容組切換回第一狀態。

**【0038】** 以下請合併參照圖 5 及圖 6，圖 6 是依照本揭露一實施例所繪示的圖 5 的步驟 S530、步驟 S540 及步驟 S550 的細節步驟流

程圖。首先，於步驟 S531 中，控制器 160 設定  $k$  為 1。接著，於步驟 S532 中，控制器 160 根據第一比較結果 CQ1 判斷第一電壓 VP0 的電壓值 VP(0)是否大於比較參考電壓 Vr 的電壓值，從而開始進行疊代運作。

【0039】 若步驟 S532 的判斷結果為是(例如第一比較結果 CQ1 為邏輯 1)，則執行步驟 S542，可透過控制器 160 將切換電容組 SCPk 中的開關 WPk 進行切換，致使第一電容式數位至類比轉換器 120 產生調降後的第二電壓 VPk，其電壓值 VP(k)如式(1)所示。

$$\text{【0040】 } VP(k) = VP(k-1) - \frac{Vr}{2^k} \quad \text{式(1)}$$

【0041】 接著，於步驟 S544 中，透過比較器 140 將第二電壓 VPk 的電壓值 VP(k)與比較參考電壓 Vr 的電壓值進行比較，以取得對應的第二比較結果 CQ2\_k。之後，於步驟 S551 中，控制器 160 可根據第二比較結果 CQ2\_k 判斷第二電壓 VPk 的電壓值 VP(k)是否大於比較參考電壓 Vr 的電壓值。若步驟 S551 的判斷結果為是(例如第二比較結果 CQ2\_k 為邏輯 1)，則執行步驟 S552，透過控制器 160 將切換電容組 SCPk 中的開關 WPk 維持在切換後的狀態，致使第一電容式數位至類比轉換器 120 所輸出的第二電壓 VPk 的電壓值 VP(k)如式(1)所示。若步驟 S551 的判斷結果為否(例如第二比較結果 CQ2\_k 為邏輯 0)，則執行步驟 S553，透過控制器 160 將切換電容組 SCPk 中的開關 WPk 回復至切換前的狀態，致使第一電容式數位至類比轉換器 120 所輸出的第二電壓 VPk 的電壓值 VP(k)如式(2)所示。

$$\text{【0042】 } VP(k) = VP(k-1) \quad \text{式(2)}$$

【0043】 於步驟 S5541 中，控制器 160 可設定  $k=k+1$ ，並於步驟 S5542 中判斷  $k$  是否大於  $M$ (即視窗的位元數)。若步驟 S5542 的判斷結果為否，則回到步驟 S542 以進行下一次的疊代運作。若步驟 S5542 的判斷結果為是，則表示連續近似暫存器類比至數位轉換器 100 已完成此次的  $M$  位元的視窗運作。

【0044】 另一方面，若步驟 S532 的判斷結果為否(例如第一比較結果 CQ1 為邏輯 0)，則執行步驟 S546，可透過控制器 160 將切換電容組 SCP $k$  中的開關 WP $k$  進行切換，致使第一電容式數位至類比轉換器 120 產生調升後的第二電壓 VP $k$ ，其電壓值 VP( $k$ ) 如式(3)所示。

$$\text{【0045】 } VP(k) = VP(k-1) + \frac{Vr}{2^k} \quad \text{式(3)}$$

【0046】 接著，於步驟 S548 中，透過比較器 140 將第二電壓 VP $k$  的電壓值 VP( $k$ )與比較參考電壓 Vr 的電壓值進行比較，以取得對應的第二比較結果 CQ2 $_k$ 。之後，於步驟 S555 中，控制器 160 可根據第二比較結果 CQ2 $_k$  判斷第二電壓 VP $k$  的電壓值 VP( $k$ )是否大於比較參考電壓 Vr 的電壓值。若步驟 S555 的判斷結果為是(例如第二比較結果 CQ2 $_k$  為邏輯 1)，則執行步驟 S556，透過控制器 160 將切換電容組 SCP $k$  中的開關 WP $k$  回復至切換前的狀態，致使第一電容式數位至類比轉換器 120 所輸出的第二電壓 VP $k$  的電壓值 VP( $k$ )如式(2)所示。若步驟 S555 的判斷結果為否(例如第二比較結果 CQ2 $_k$  為邏輯 0)，則執行步驟 S557，透過控制器 160 將切換電容組 SCP $k$  中的開關 WP $k$  維持在切換後的狀態，致使第一電容式數位至類比轉換器 120 所輸出的第二電壓 VP $k$  的電壓值 VP( $k$ )如式(3)所示。

【0047】 接著，於步驟 S5581 中，控制器 160 可設定  $k=k+1$ ，並於步驟 S5582 中判斷  $k$  是否大於  $M$ (即視窗的位元數)。若步驟 S5582 的判斷結果為否，則回到步驟 S546 以進行下一次的疊代運作。若步驟 S5582 的判斷結果為是，則表示連續近似暫存器類比至數位轉換器 100 已完成此次的  $M$  位元的視窗運作。

【0048】 另外，本揭露實施例的連續近似暫存器類比至數位轉換器的運作方法的其他細節可以由圖 1 至圖 4B 實施例之敘述中獲致足夠的教示、建議與實施說明，因此不再贅述。

【0049】 以下請參照圖 7，圖 7 是依照本揭露另一實施例所繪示的連續近似暫存器類比至數位轉換器 700 的電路方塊示意圖。連續近似暫存器類比至數位轉換器 700 為差動輸入式類比至數位轉換器。連續近似暫存器類比至數位轉換器 700 用以轉換差動對信號(包括第一類比輸入信號 VIP 及第二類比輸入信號 VIN)為數位輸出信號 SDO，其中數位輸出信號 SDO 具有從最高有效位元(Most Significant Bit, MSB)計算至最低有效位元(Least Significant Bit, LSB)的  $N$  個位元，其中  $N$  為正整數。但為便於說明，以下以  $N$  等於 10 為範例進行說明，而  $N$  為其他正整數的實施例則可依據以下說明而類推之。

【0050】 連續近似暫存器類比至數位轉換器 700 可包括第一電容式數位至類比轉換器 720、第二電容式數位至類比轉換器 780、比較器 740(單一比較器)以及控制器 760。第一電容式數位至類比轉換器 720、比較器 740 以及控制器 760 的架構分別類似於圖 1 的第一電容式數位至類比轉換器 120、比較器 140 以及控制器 160，故可參

酌上述圖 1 的相關說明而類推之，在此不再贅述。

【0051】 第二電容式數位至類比轉換器 780 可包括取樣開關 781 以及切換電容組 SCN1~SCN10。第二電容式數位至類比轉換器 780 可於一時間點透過取樣開關 781 接收並取樣第二類比輸入信號 VIN 以產生第三電壓 VN0。取樣開關 781 可例如是透過一取樣時脈信號 CLKS 所控制的靴帶式開關(Bootstrapped Switch)。第二電容式數位至類比轉換器 780 受控於多個第二控制信號 SN1~SN10 以分別控制切換電容組 SCN1~SCN10 的切換運作。詳細來說，切換電容組 SCNi 可包括電容 CNi 及開關 WNi，其中 i 為 1 至 10 的整數。電容 CN1~CN10 的第一端耦接至比較器 740 的反相輸入端，而電容 CN1~CN10 的第二端則分別透過開關 WN1~WN10 被切換於第一參考電壓 Vref 與接地電壓 GND 之間。開關 WN1~WN10 分別由第二控制信號 SN1~SN10 所控制。電容 CN1~電容 CN8 之電容值分別為電容 CN2~電容 CN9 之電容值的兩倍，而電容 CN9 之電容值等於電容 CN10 之電容值。

【0052】 於運作上，比較器 740 接收來自第一電容式數位至類比轉換器 720 的第一電壓 VP0 以及來自第二電容式數位至類比轉換器 780 的第三電壓 VN0。比較器 740 可受控於比較時脈信號 CLKC 以將第一電壓 VP0 與第三電壓 VN0 的差值與零值交越點進行比較以產生第一比較結果 CQ1。特別是，控制器 760 可根據第一比較結果 CQ1 產生第一控制信號 SP1~SP10 及第二控制信號 SN1~SN10，以分別控制切換電容組 SCP1~SCP10 及 SCN1~SCN10 的切換運作。



【0053】更進一步來說，控制器 760 具有二進制視窗功能。控制器 760 可根據比較器 740 的輸出(亦即第一比較結果 CQ1)來決定切換電容組 SCP1~SCP10 中的至少一者及切換電容組 SCN1~SCN10 中的至少一者的切換運作，以將第一電容式數位至類比轉換器 720 的輸出及第二電容式數位至類比轉換器 780 的輸出逼近上述的二進制視窗，其中上述的二進制視窗為 M 位元的視窗，且 M 為小於或等於 N 的正整數。詳細來說，於連續近似暫存器類比至數位轉換器 700 的 M 次疊代運作的第 k 次疊代運作中(k 小於或等於 M)，控制器 760 可將切換電容組 SCP1~SCP10 中的第 k 個切換電容組 SCPk 進行切換(例如自第一狀態切換為第二狀態)，致使第一電容式數位至類比轉換器 720 產生對應的第二電壓 VPk。此外，控制器 760 可將切換電容組 SCN1~SCN10 中的第 k 個切換電容組 SCNk 進行切換(例如自第一狀態切換為第二狀態)，致使第二電容式數位至類比轉換器 780 產生對應的第四電壓 VNk。接著，比較器 740 可將第 k 次疊代運作的第二電壓 VPk 與第四電壓 VNk 的差值與零值交越點(zero crossing point，例如 0 伏特)進行比較以產生對應的第二比較結果 CQ2\_k。控制器 760 可根據第一比較結果 CQ1 及第二比較結果 CQ2\_k 定義(或決定)視窗區域 WINKk。並且，控制器 160 可根據第一比較結果 CQ1 及第二比較結果 CQ2\_k 來決定是否將第一電容式數位至類比轉換器 720 的第 k 個切換電容組及第二電容式數位至類比轉換器 780 的第 k 個切換電容組切換回第一狀態(即切換前的狀態)，或者維持於第二狀態。

【0054】 以下請合併參照圖 7 及圖 8，圖 8 是依照本揭露一實施例所繪示的差動輸入式連續近似暫存器類比至數位轉換器執行二進制視窗功能時的切換機制示意圖，其中橫軸表示時間，縱軸表示第一電容式數位至類比轉換器 720 的輸出電壓與第二電容式數位至類比轉換器 780 的輸出電壓的電壓差(亦即比較器 740 的差動輸入電壓)。為便於說明，以下將以  $M$  等於 4(即上述的二進制視窗為 4 位元的視窗)為範例進行說明，而  $M$  為其他正整數的實施例則可依以下說明類推之。基於二進制視窗為 4 位元的視窗，故而於圖 7 的第一次疊代運作(即  $k=1$ )至第四次疊代運作(即  $k=4$ )中，分別示出由虛線所包圍出來的四塊視窗區域 WIN1~WIN4。

【0055】 首先，於取樣保持運作(即  $k=0$ )中，第一電容式數位至類比轉換器 720 透過取樣時脈信號 CLKS，控制取樣開關 121 接收並取樣第一類比輸入信號 VIP 以產生第一電壓 VP0，且第二電容式數位至類比轉換器 780 透過取樣時脈信號 CLKS，控制取樣開關 781 接收並取樣第二類比輸入信號 VIN 以產生第三電壓 VN0。值得一提的是，在此的第一類比輸入信號 VIP 與第二類比輸入信號 VIN 的振幅(Amplitude)例如是皆等於第一參考電壓 Vref，且第一類比輸入信號 VIP 與第二類比輸入信號 VIN 的共模電壓(Common Mode Voltage)例如是皆相等，而第一類比輸入信號 VIP 與第二類比輸入信號 VIN 彼此的相位差例如是 180 度。比較器 740 受控於比較時脈信號 CLKC，可據以判斷第一電壓 VP0 與第三電壓 VN0 的差值是否大於零值交越點，從而產生第一比較結果 CQ1。接著，於第一次疊代運作(即  $k=1$ )，控制器 760 可根據第一比較結果 CQ1 產生

第一控制信號 SP1 及第二控制信號 SN1，以控制切換電容組 SCP1 及 SCN1 的切換運作。以下將先針對第一電壓 VP0 與第三電壓 VN0 的差值大於零值交越點(即  $VP0 - VN0 > 0$ )進行說明。

【0056】 於取樣保持運作(即  $k=0$ )中，倘若第一電壓 VP0 與第三電壓 VN0 的差值大於零值交越點，則比較器 740 可輸出例如是邏輯 1 的第一比較結果 CQ1。因此，於第一次疊代運作(即  $k=1$ )中，控制器 760 將切換電容組 SCP1 中的開關 WP1 進行切換以將第一電壓 VP0 下拉，致使第一電容式數位至類比轉換器 720 產生對應的第二電壓 VP1，其中  $VP1 = VP0 - (V_{ref}/2)$ 。同時，控制器 760 將切換電容組 SCN1 中的開關 WN1 進行切換以將第三電壓 VN0 上拉，致使第二電容式數位至類比轉換器 780 產生對應的第四電壓 VN1，其中  $VN1 = VN0 + (V_{ref}/2)$ 。接著，比較器 740 可將第一次疊代運作(即  $k=1$ )的第二電壓 VP1 與第四電壓 VN1 進行比較，以判斷第二電壓 VP1 與第四電壓 VN1 的差值是否大於零值交越點。倘若第二電壓 VP1 與第四電壓 VN1 的差值大於零值交越點，則比較器 740 將輸出例如是邏輯 1 的第二比較結果 CQ2\_1。可以理解的是，倘若第二電壓 VP1 與第四電壓 VN1 的差值大於零值交越點，表示第一電壓 VP0 與第三電壓 VN0 的差值大於  $V_{ref}$  而位於視窗區域 WIN1 之外，故控制器 760 將切換電容組 SCP1 中的開關 WP1 以及切換電容組 SCN1 中的開關 WN1 維持在切換後的狀態，此時第二電壓 VP1 與第四電壓 VN1 的差值即為  $VP1 - VN1 = [VP0 - (V_{ref}/2)] - [VN0 + (V_{ref}/2)] = (VP0 - VN0) - V_{ref}$ 。相對地，倘若第二電壓 VP1 與第四電壓 VN1 的差值小於零

值交越點，則比較器 740 將輸出例如是邏輯 0 的第二比較結果 CQ2\_1。可以理解的是，倘若第二電壓 VP1 與第四電壓 VN1 的差值小於零值交越點，表示第一電壓 VP0 與第三電壓 VN0 的差值小於 Vref 而位於視窗區域 WIN1 之內，故控制器 760 將切換電容組 SCP1 中的開關 WP1 以及切換電容組 SCN1 中的開關 WN1 回復至切換前的狀態，此時第二電壓 VP1 與第四電壓 VN1 的差值即為  $VP1 - VN1 = VP0 - VN0$ 。

【0057】 接著，於第二次疊代運作(即  $k=2$ )中，控制器 760 將切換電容組 SCP2 中的開關 WP2 進行切換以將第二電壓 VP1 下拉，致使第一電容式數位至類比轉換器 720 產生對應的第二電壓 VP2，其中  $VP2 = VP1 - (Vref/4)$ 。同時，控制器 760 將切換電容組 SCN2 中的開關 WN2 進行切換以將第四電壓 VN1 上拉，致使第二電容式數位至類比轉換器 780 產生對應的第四電壓 VN2，其中  $VN2 = VN1 + (Vref/4)$ 。接著，比較器 740 可將第二次疊代運作(即  $k=2$ )的第二電壓 VP2 與第四電壓 VN2 進行比較，以判斷第二電壓 VP2 與第四電壓 VN2 的差值是否大於零值交越點。倘若第二電壓 VP2 與第四電壓 VN2 的差值大於零值交越點，則比較器 740 將輸出例如是邏輯 1 的第二比較結果 CQ2\_2。可以理解的是，倘若第二電壓 VP2 與第四電壓 VN2 的差值大於零值交越點，表示第二電壓 VP1 與第四電壓 VN1 的差值大於  $0.5Vref$  而位於視窗區域 WIN2 之外，故控制器 760 將切換電容組 SCP2 中的開關 WP2 以及切換電容組 SCN2 中的開關 WN2 維持在切換後的狀態，此時  $VP2 - VN2 = [VP1 - (Vref/4)] - [VN1 + (Vref/4)] = (VP1 - VN1) - 0.5Vref$ 。相對地，倘若第二電壓 VP2 與第四電壓 VN2 的差值

小於零值交越點，則比較器 740 將輸出例如是邏輯 0 的第二比較結果 CQ2\_2。可以理解的是，倘若第二電壓 VP2 與第四電壓 VN2 的差值小於零值交越點，表示第二電壓 VP1 與第四電壓 VN1 的差值小於  $0.5V_{ref}$  而位於視窗區域 WIN2 之內，故控制器 760 將切換電容組 SCP2 中的開關 WP2 以及切換電容組 SCN2 中的開關 WN2 回復至切換前的狀態，此時  $VP2 - VN2 = (VP1 - VN1)$ 。

**【0058】** 至於第一電容式數位至類比轉換器 720 與第二電容式數位至類比轉換器 780 分別於第三次疊代運作(即  $k=3$ )及第四次疊代運作(即  $k=4$ )的切換運作，則可根據上述第一次疊代運作(即  $k=1$ )及第二次疊代運作(即  $k=2$ )的說明而類推得知，故在此不再贅述。可以理解的是，在第一電壓 VP0 與第三電壓 VN0 的差值大於零值交越點的情況下，控制器將根據第一比較結果 CQ1 與第二比較結果 CQ2\_k 來控制第一電容式數位至類比轉換器 720 與第二電容式數位至類比轉換器 780 的切換運作。

**【0059】** 另一方面，在第一電壓 VP0 與第三電壓 VN0 的差值小於零值交越點，控制器 760 將根據第一比較結果 CQ1 與第二比較結果 CQ2\_k 來控制第一電容式數位至類比轉換器 720 與第二電容式數位至類比轉換器 780 的切換運作，其詳細運作可參照上述說明而類推得知，故不再贅述。

**【0060】** 圖 9 是根據本揭露另一實施例所繪示的連續近似暫存器類比至數位轉換器的運作方法的步驟流程圖，用以執行 M 位元的視窗功能。請同時參照圖 7 與圖 9，在連續近似暫存器類比至數位轉換器 700

開始運作後，於步驟 S910 中，可透過第一電容式數位至類比轉換器 720 接收並取樣第一類比輸入信號 VIP 以產生第一電壓 VP0，且透過第二電容式數位至類比轉換器 780 接收並取樣第二類比輸入信號 VIN 以產生第三電壓 VN0。接著，於步驟 S920 中，可透過比較器 740 將第一電壓 VP0 與第三電壓 VN0 的差值與零值交越點進行比較以產生第一比較結果 CQ1。然後，於步驟 S930 中，可透過控制器 760 根據第一比較結果 CQ1 來決定第一電容式數位至類比轉換器 720 的切換電容組 SCP1~SCP10 以及第二電容式數位至類比轉換器 780 的切換電容組 SCN1~SCN10 的切換運作。接著，於多次疊代運作中的至少兩者的第 k 次疊代運作中，透過控制器 760 將第一電容式數位至類比轉換器 720 的多個切換電容組 SCP1~SCP10 中的第 k 個切換電容組自第一狀態切換為第二狀態，致使第一電容式數位至類比轉換器 720 產生第二電壓 VPk，以及將第二電容式數位至類比轉換器 780 的多個切換電容組 SCN1~SCN10 中的第 k 個切換電容組自第一狀態切換為第二狀態，致使第二電容式數位至類比轉換器 780 產生第四電壓 VNk，並透過比較器 740 將第二電壓 VPk 與第四電壓 VNk 的差值與零值交越點進行比較以取得第二比較結果 CQ2\_k，如步驟 S940 所示。之後，於步驟 S950 中，透過控制器 760 根據第一比較結果 CQ1 與第二比較結果 CQ2\_k 決定是否將第一電容式數位至類比轉換器 720 的第 k 個切換電容組以及第二電容式數位至類比轉換器 780 的第 k 個切換電容組切換回第一狀態。

**【0061】** 以下請合併參照圖 9 及圖 10，圖 10 是依照本揭露一實施

例所繪示的圖 9 的步驟 S930、步驟 S940 及步驟 S950 的細節步驟流程圖。首先，於步驟 S931 中，控制器 760 設定  $k$  為 1。接著，於步驟 S932 中，控制器 760 根據第一比較結果 CQ1 判斷第一電壓 VP0 與第三電壓 VN0 的差值是否大於零值交越點，從而開始進行疊代運作。

**【0062】** 若步驟 S932 的判斷結果為是(例如第一比較結果 CQ1 為邏輯 1)，則執行步驟 S942，可透過控制器 760 將切換電容組 SCPk 中的開關 WPk 進行切換，致使第一電容式數位至類比轉換器 720 產生調降後的第二電壓 VPk，其電壓值 VP(k)如上述式(1)所示。同時，可透過控制器 760 將切換電容組 SCNk 中的開關 WNk 進行切換，致使第二電容式數位至類比轉換器 780 產生調升後的第四電壓 VNk，其電壓值 VN(k) 如式(4)所示。

$$\text{【0063】 } V_N(k) = V_N(k-1) + \frac{V_r}{2^k} \quad \text{式(4)}$$

**【0064】** 接著，於步驟 S944 中，透過比較器 740 將第二電壓 VPk 與第四電壓 VNk 的差值與零值交越點進行比較，以取得對應的第二比較結果 CQ2\_k。之後，於步驟 S951 中，控制器 760 可根據第二比較結果 CQ2\_k 判斷第二電壓 VPk 與第四電壓 VNk 的差值是否大於零值交越點。若步驟 S951 的判斷結果為是(例如第二比較結果 CQ2\_k 為邏輯 1)，則執行步驟 S952，透過控制器 760 將切換電容組 SCPk 中的開關 WPk 及切換電容組 SCNk 中的開關 WNk 維持在切換後的狀態，致使第一電容式數位至類比轉換器 720 所輸出的第二電壓 VPk 的電壓值 VP(k)如上述式(1)所示，以及第二電容式數位至類比轉換器 780 所輸出的第四電壓 VNk 的電壓值 VN(k)如上述式(4)所示。若步驟 S951

的判斷結果為否(例如第二比較結果  $CQ2\_k$  為邏輯 0)，則執行步驟 S953，透過控制器 760 將切換電容組  $SCP_k$  中的開關  $WP_k$  及切換電容組  $SCN_k$  中的開關  $WN_k$  回復至切換前的狀態，致使第一電容式數位至類比轉換器 720 所輸出的第二電壓  $VP_k$  的電壓值  $VP(k)$  如上述式(2)所示，以及第二電容式數位至類比轉換器 780 所輸出的第四電壓  $VN_k$  的電壓值  $VN(k)$  如式(5)所示。

$$\text{【0065】 } VN(k) = VN(k-1) \quad \text{式(5)}$$

【0066】 接著，於步驟 S9541 中，控制器 760 可設定  $k=k+1$ ，並於步驟 S9542 中判斷  $k$  是否大於  $M$ (即視窗的位元數)。若步驟 S9542 的判斷結果為否，則回到步驟 S942 以進行下一次的疊代運作。若步驟 S9542 的判斷結果為是，則表示連續近似暫存器類比至數位轉換器 700 已完成此次的  $M$  位元的視窗運作。

【0067】 另一方面，若步驟 S932 的判斷結果為否(例如第一比較結果  $CQ1$  為邏輯 0)，則執行步驟 S946，可透過控制器 760 將切換電容組  $SCP_k$  中的開關  $WP_k$  進行切換，致使第一電容式數位至類比轉換器 720 產生調升後的第二電壓  $VP_k$ ，其電壓值  $VP(k)$  如上述式(3)所示。同時，可透過控制器 760 將切換電容組  $SCN_k$  中的開關  $WN_k$  進行切換，致使第二電容式數位至類比轉換器 780 產生調降後的第四電壓  $VN_k$ ，其電壓值  $VN(k)$  如式(6)所示。

$$\text{【0068】 } VN(k) = VN(k-1) - V_r / 2^k \quad \text{式(6)}$$

【0069】 接著，於步驟 S948 中，透過比較器 740 將第二電壓  $VP_k$  與第四電壓  $VN_k$  的差值與零值交越點進行比較，以取得對應的第二比



較結果  $CQ2_k$ 。之後，於步驟 S955 中，控制器 760 可根據第二比較結果  $CQ2_k$  判斷第二電壓  $VP_k$  與第四電壓  $VN_k$  的差值是否大於零值交越點。若步驟 S955 的判斷結果為是(例如第二比較結果  $CQ2_k$  為邏輯 1)，則執行步驟 S956，透過控制器 760 將切換電容組  $SCP_k$  中的開關  $WP_k$  及切換電容組  $SCN_k$  中的開關  $WN_k$  回復至切換前的狀態，致使第一電容式數位至類比轉換器 720 所輸出的第二電壓  $VP_k$  的電壓值  $VP(k)$  如上述式(2)所示，以及第二電容式數位至類比轉換器 780 所輸出的第四電壓  $VN_k$  的電壓值  $VN(k)$  如上述式(5)所示。若步驟 S955 的判斷結果為否(例如第二比較結果  $CQ2_k$  為邏輯 0)，則執行步驟 S957，透過控制器 760 將切換電容組  $SCP_k$  中的開關  $WP_k$  及切換電容組  $SCN_k$  中的開關  $WN_k$  維持在切換後的狀態，致使第一電容式數位至類比轉換器 720 所輸出的第二電壓  $VP_k$  的電壓值  $VP(k)$  如上述式(3)所示，以及第二電容式數位至類比轉換器 780 所輸出的第四電壓  $VN_k$  的電壓值  $VN(k)$  如上述式(6)所示。

**【0070】** 接著，於步驟 S9581 中，控制器 160 可設定  $k=k+1$ ，並於步驟 S9582 中判斷  $k$  是否大於  $M$ (即視窗的位元數)。若步驟 S9582 的判斷結果為否，則回到步驟 S946 以進行下一次的疊代運作。若步驟 S9582 的判斷結果為是，則表示連續近似暫存器類比至數位轉換器 700 已完成此次的  $M$  位元的視窗運作。

**【0071】** 另外，關於連續近似暫存器類比至數位轉換器 700 的其他實施細節，可以由圖 1 至圖 8 實施例之敘述中獲致足夠的教示、建議與實施說明，因此不再贅述。

**【0072】** 以下請合併參照圖 11A 及圖 11B，圖 11A 繪示未採用二進制視窗運作的連續近似暫存器類比至數位轉換器的積分非線性度的示意圖，而圖 11B 是依照本揭露實施例的連續近似暫存器類比至數位轉換器的積分非線性度的示意圖，其中橫軸表示連續近似暫存器類比至數位轉換器的數位輸出信號的數位碼(為 12 位元)，縱軸表示各數位碼所對應的積分非線性度的標準差。根據圖 11A 及圖 11B 可看出，藉由二進制視窗的運作，可讓電容式數位至類比轉換器中，對應至高有效位元的至少一切換電容組(例如圖 7 的切換電容組 SCPI、SCN1)被切換的機率降低，如此一來，可改善連續近似暫存器類比至數位轉換器的積分非線性度。

**【0073】** 另外，如同先前所述，在本揭露圖 1 實施例的連續近似暫存器類比至數位轉換器 100 中，控制器 160 可藉由單一比較器 140 的(M+1)次的比較運算的結果，來完成將第一電容式數位至類比轉換器 120 的輸出逼近 M 位元的視窗的運作。就動態功率消耗的角度而言，連續近似暫存器類比至數位轉換器的動態功率消耗與其內部的比較器的數量及比較器的比較運算次數成正比。因此，本揭露的連續近似暫存器類比至數位轉換器具備比較器的數量少及比較運算次數少的特點，故於相同的運作速度下，本揭露可有效降低連續近似暫存器類比至數位轉換器的動態功率消耗而達到省電的效果；同理，於相同的動態功率消耗下，本揭露可以有效提升連續近似暫存器的運作速度。

**【0074】** 綜上所述，本揭露實施例所提出的具備二進制視窗功能的連續近似暫存器類比至數位轉換器及其運作方法，不僅可改善連續近似

暫存器類比至數位轉換器的速度及動態功率消耗，且可改善其電容式數位至類比轉換器的積分非線性度。

**【0075】** 雖然本揭露已以實施例揭露如上，然其並非用以限定本揭露，任何所屬技術領域中具有通常知識者，在不脫離本揭露的精神和範圍內，當可作些許的更動與潤飾，故本揭露的保護範圍當視後附的申請專利範圍所界定者為準。

### **【符號說明】**

#### **【0076】**

100、700：連續近似暫存器類比至數位轉換器

120、720：第一電容式數位至類比轉換器

121、781：取樣開關

140、740：比較器

160、760：控制器

401~405：移位暫存器

411~414：第一暫存器

421~424：第二暫存器

431~434：多工電路

780：第二電容式數位至類比轉換器

B1~B10：二進位碼

CK0~CK4、DP0~DP4、DP0\_1~DP0\_3：信號

CP1~CP10、CN1~CN10：電容

CQ：比較結果輸入端

CQ1：第一比較結果

CQ2\_1~ CQ2\_10、CQ2\_k：第二比較結果

D：輸入端

d11、d12、d21、d22、d31、d32、d41、d42：編碼

GND：接地電壓

Q：輸出端

RDY：備妥信號

RST：重置信號

S510~S550、S531、S532、S542、S544、S546、S548、S551~S553、  
S5541、S5542、S555~S557、S5581、S5582、S910~S950、S931、  
S932、S942、S944、S946、S948、S951、S952、S953、S9541、  
S9542、S955A、S955、S956、S957、S9581、S9582：步驟

SCP1~SCP10、SCN1~SCN10：切換電容組

SDO：數位輸出信號

SN1~SN10：第二控制信號

SP1~SP10：第一控制信號

T0~T4：時間區間

VDD：電源電壓

VIP：第一類比輸入信號

VIN：第二類比輸入信號

VP0：第一電壓

VP1~VPk：第二電壓

VN0：第三電壓

VN1~VNk：第四電壓

Vr：比較參考電壓

Vref：第一參考電壓

WIN1~WINk：視窗區域

WP1~WP10、WN1~WN10：開關

CLKS：取樣時脈信號

CLKC：比較時脈信號



I649978

## 【發明摘要】

### 【中文發明名稱】

連續近似暫存器類比至數位轉換器及其運作方法

### 【英文發明名稱】

SUCCESSIVE APPROXIMATION REGISTER ANALOG-DIGITAL  
CONVERTER AND METHOD FOR OPERATING THE SAME

公告本

【中文】一種連續近似暫存器類比至數位轉換器及其運作方法。連續近似暫存器類比至數位轉換器包括第一電容式數位至類比轉換器(CDAC)、比較器及控制器。第一CDAC接收並取樣類比輸入信號以產生第一電壓。比較器將第一電壓與比較參考電壓進行比較以產生第一比較結果。於至少兩次疊代運作中的第k次疊代運作中，控制器將第一CDAC的第k個切換電容組自第一狀態切換為第二狀態，致使第一CDAC產生第二電壓，且比較器將第二電壓與比較參考電壓進行比較以產生第二比較結果。控制器根據第一比較結果與第二比較結果決定視窗區域及是否將第k個切換電容組切換回第一狀態。

【英文】 A successive approximation register (SAR) analog-digital converter (ADC) and method for operating the same are provided. The SAR ADC includes a first capacitor DAC (CDAC), a comparator and a controller. The first CDAC receives and samples an analog input signal to generate a first voltage. The comparator compares

the first voltage with a comparison reference voltage to generate a first comparison result. In a k-th iteration of at least two iterations, the controller switches a k-th switching capacitor group from a first state to a second state, such that the first CDAC generates a second voltage, and the comparator compares the second voltage with the comparison reference voltage to generate a second comparison result. The controller determines a window region and determines whether the k-th switching capacitor group is switched back to the first state according to the first comparison result and the second comparison result.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：連續近似暫存器類比至數位轉換器

120：第一電容式數位至類比轉換器

121：取樣開關

140：比較器

160：控制器

CP1~CP10：電容

CQ1：第一比較結果

CQ2\_1~CQ2\_k：第二比較結果

GND：接地電壓

RDY：備妥信號

RST：重置信號

SCP1~SCP10：切換電容組

SDO：數位輸出信號

SP1~SP10：第一控制信號

VIP：第一類比輸入信號

VP0：第一電壓

VP1~VPk：第二電壓

Vr：比較參考電壓

Vref：第一參考電壓

WP1~WP10：開關

CLKS：取樣時脈信號

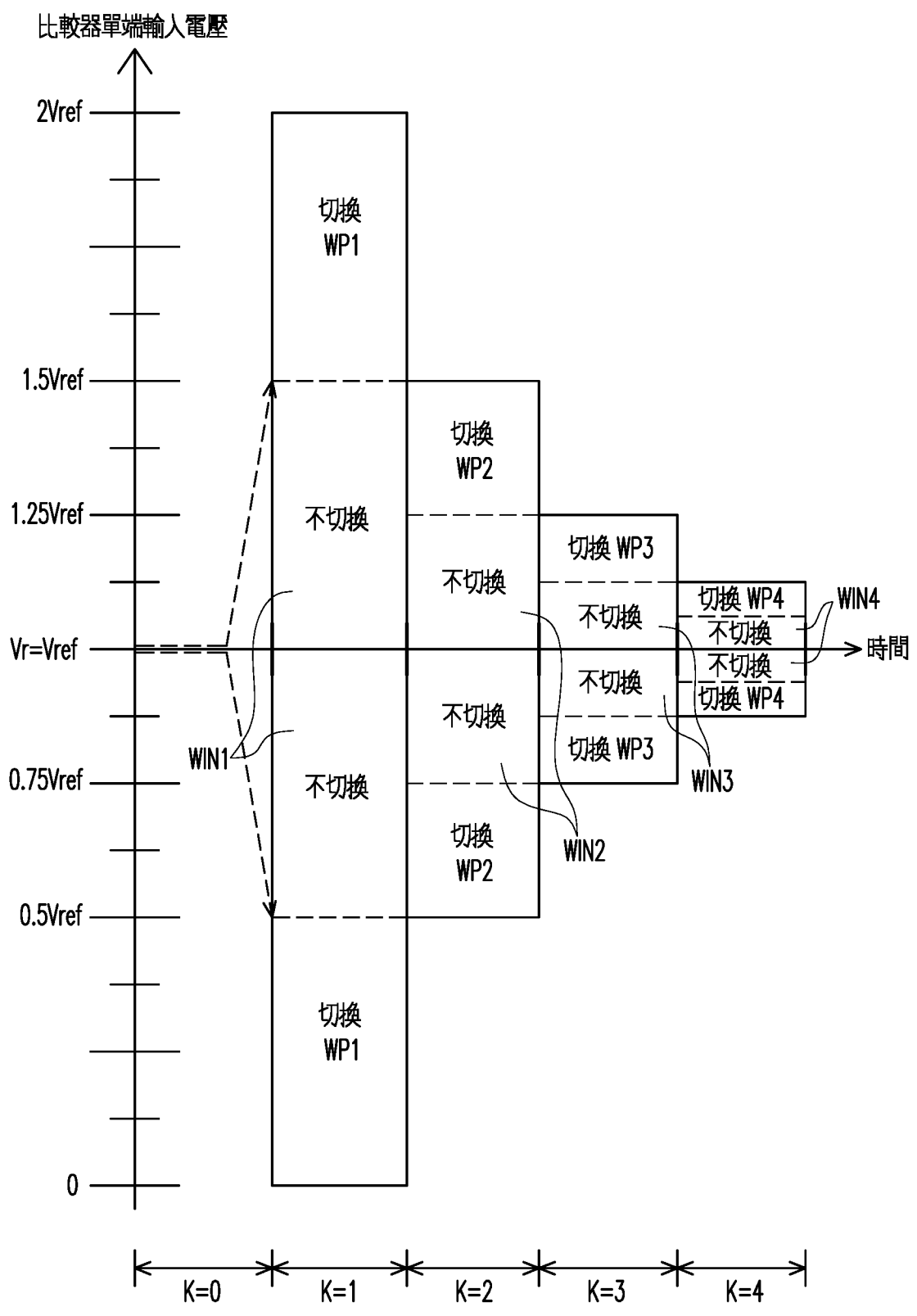
CLKC：比較時脈信號

## 【特徵化學式】

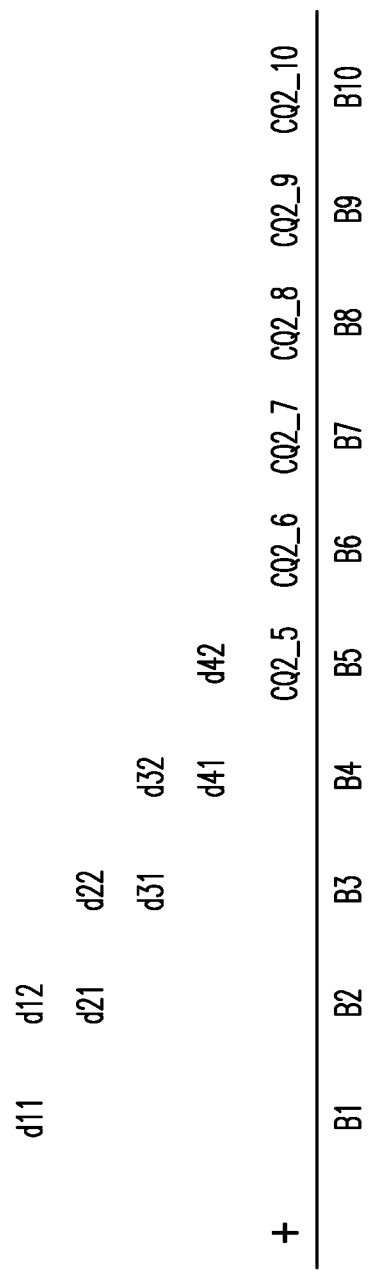
無



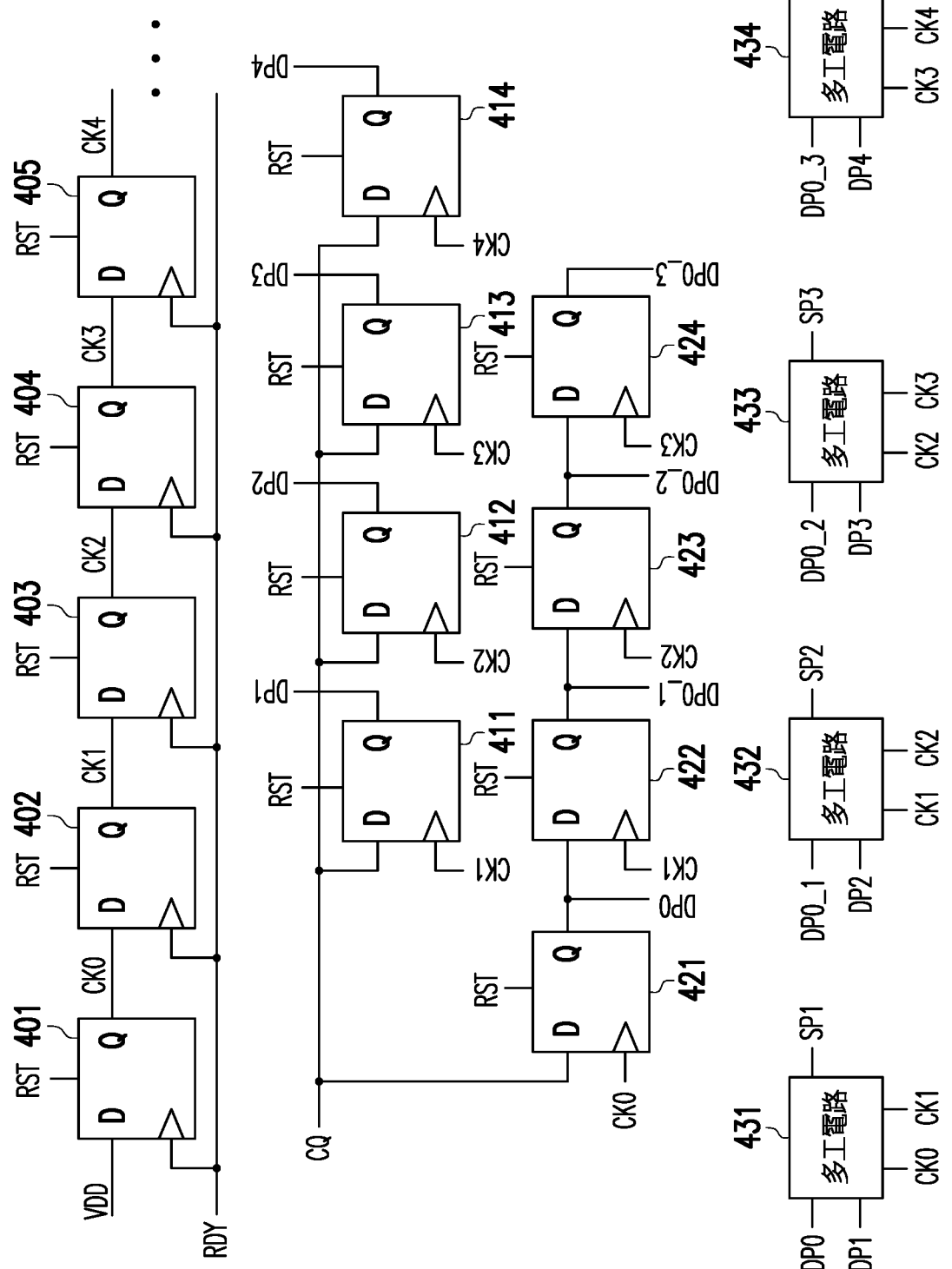




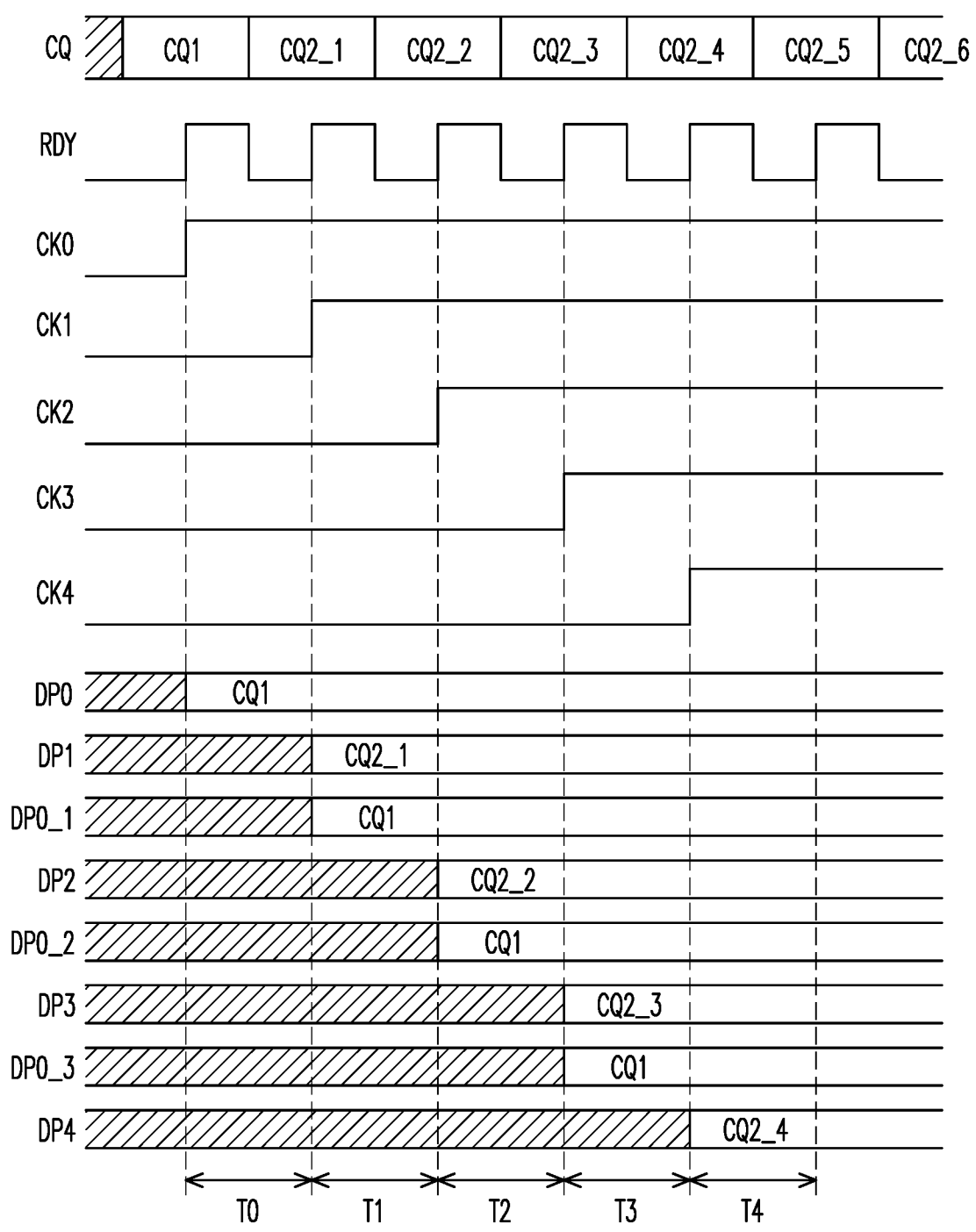
【圖2】



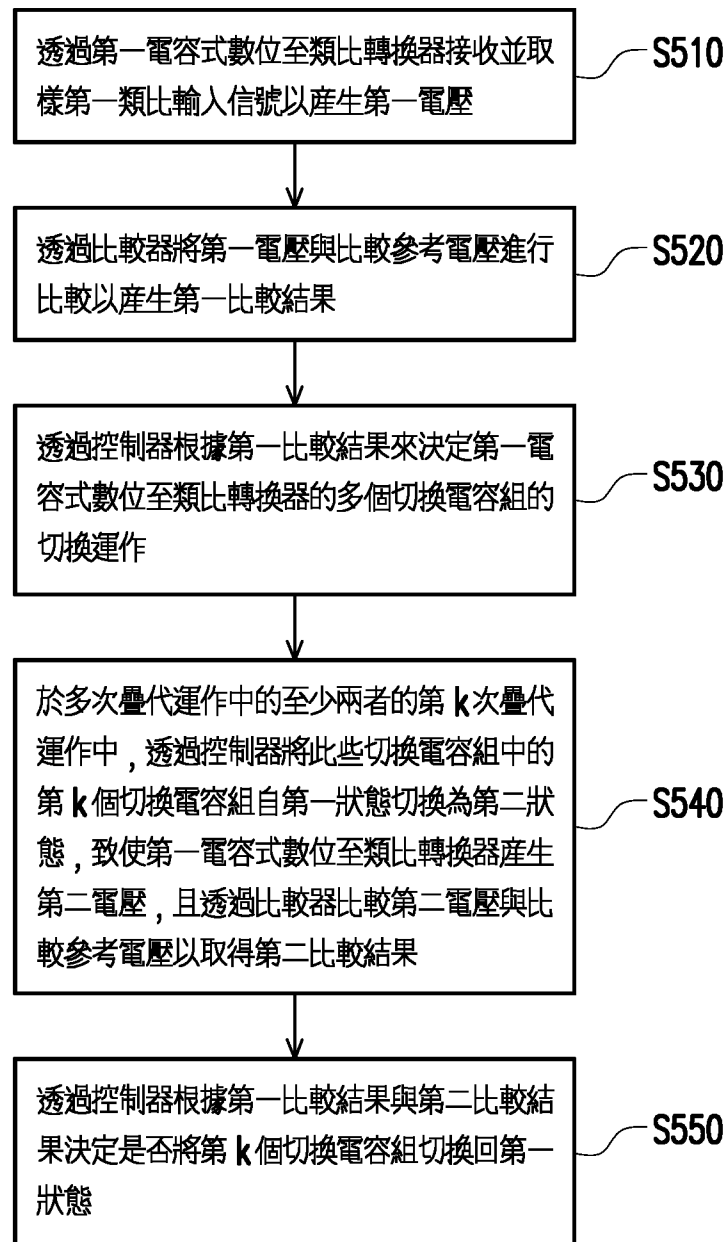
【圖3】



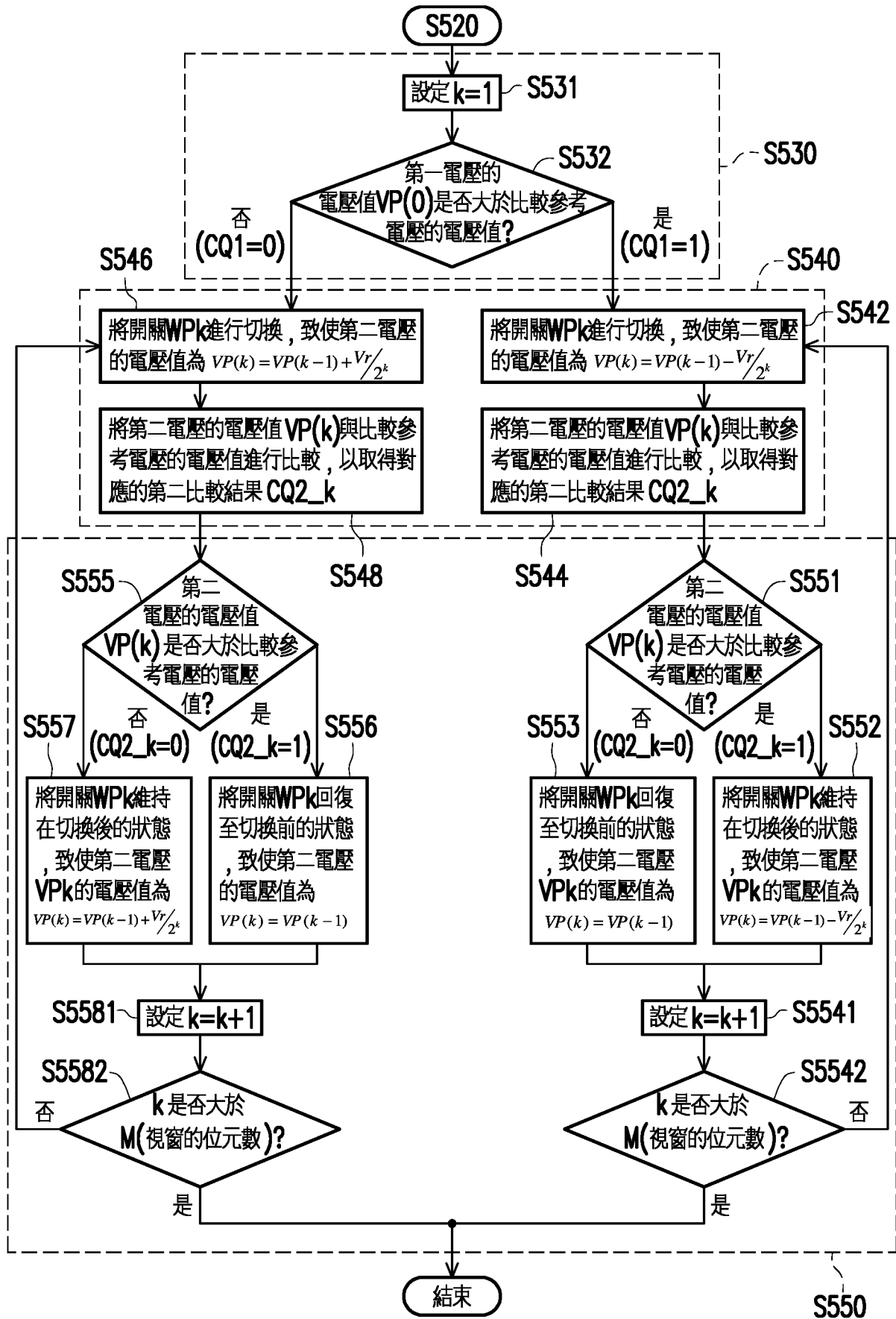
【圖4A】



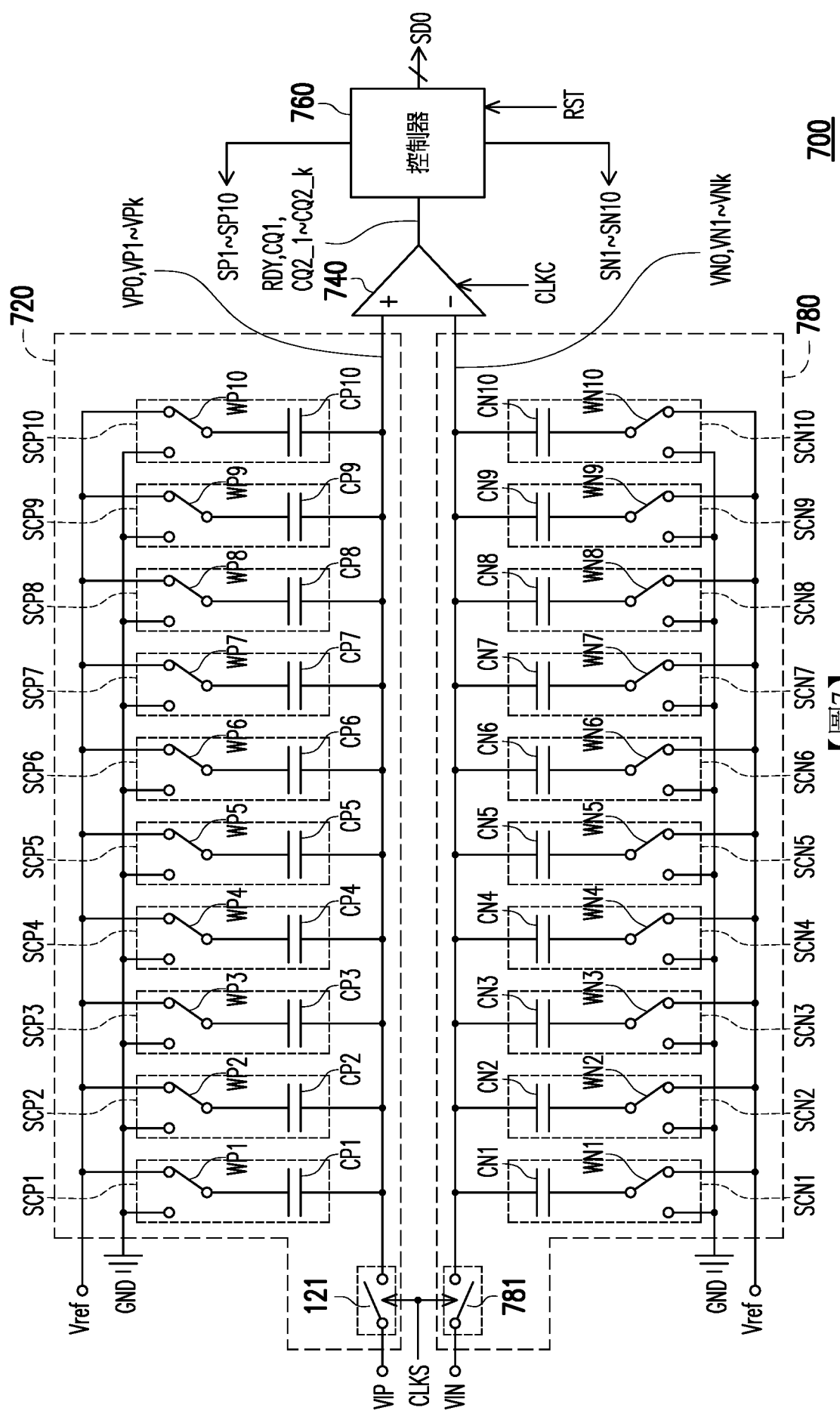
【圖4B】



【圖5】

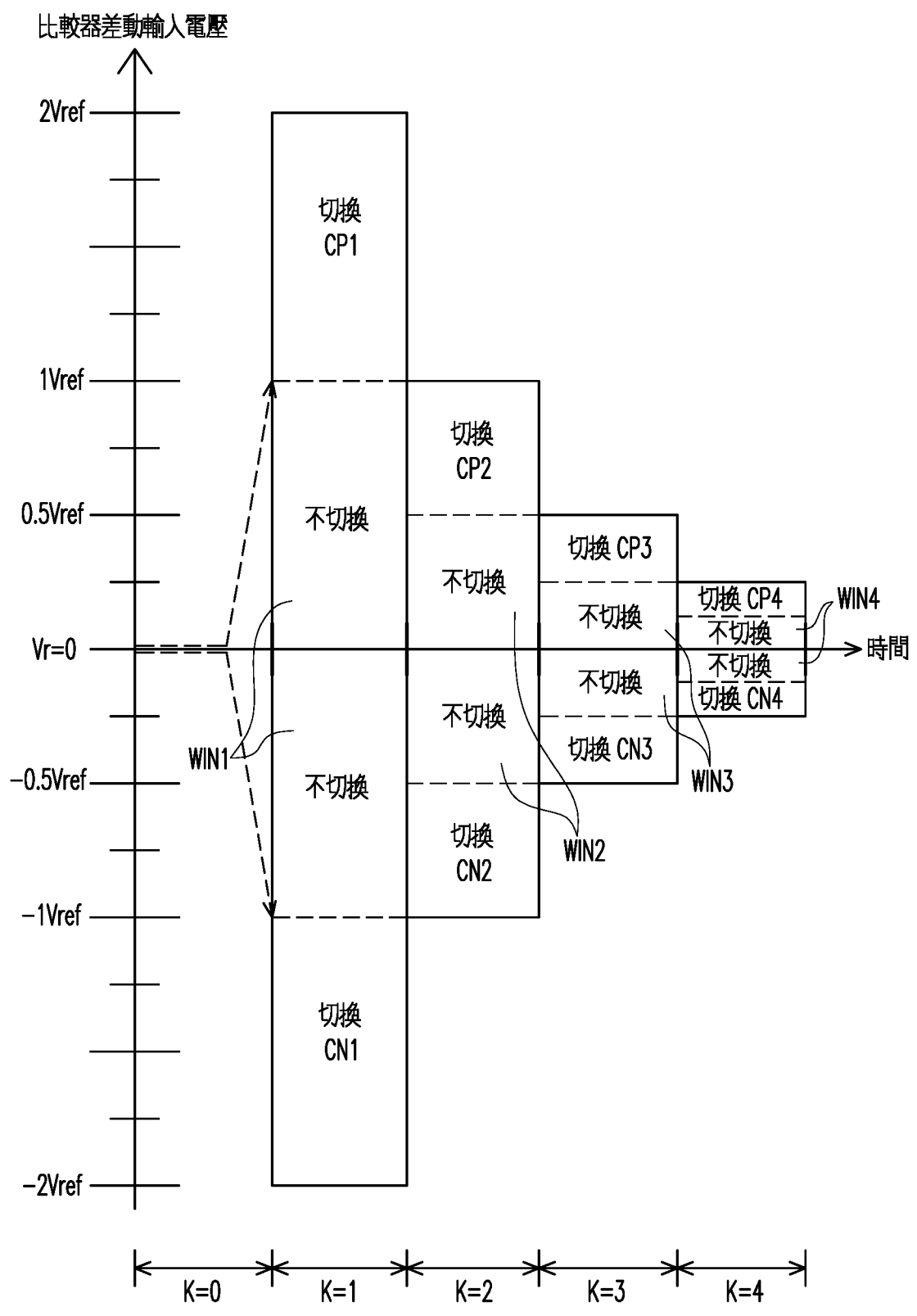


【圖6】

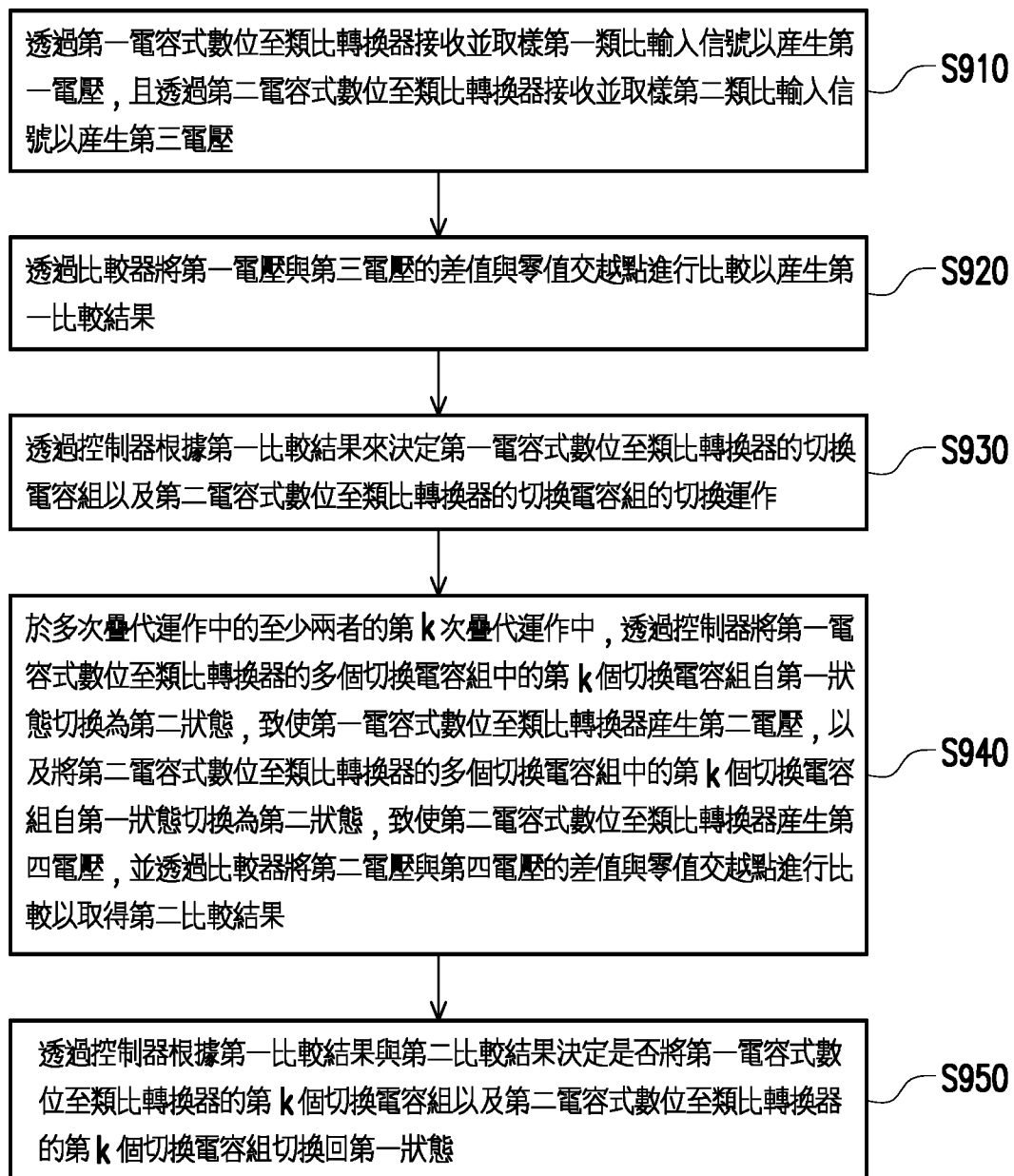


【圖7】

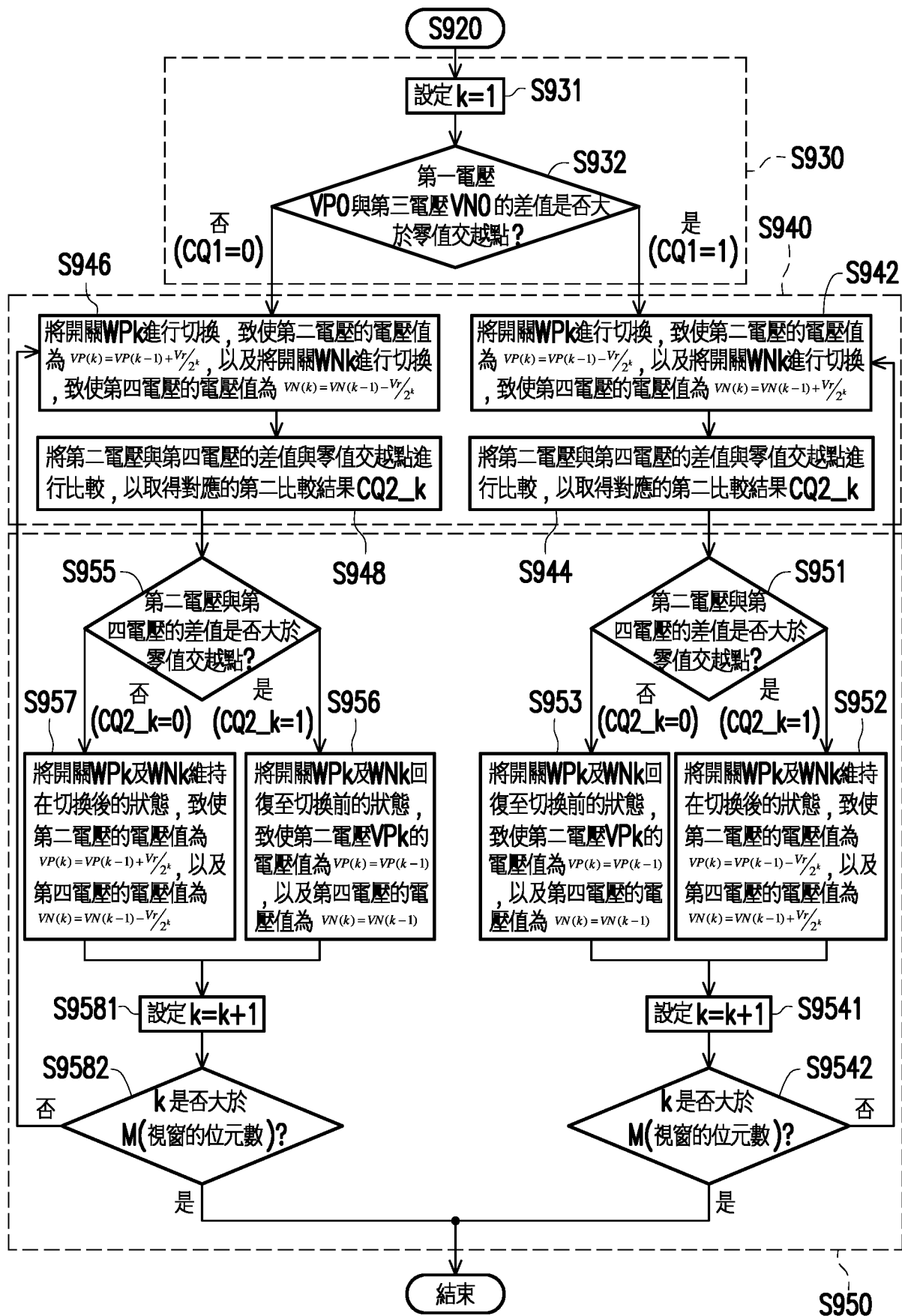




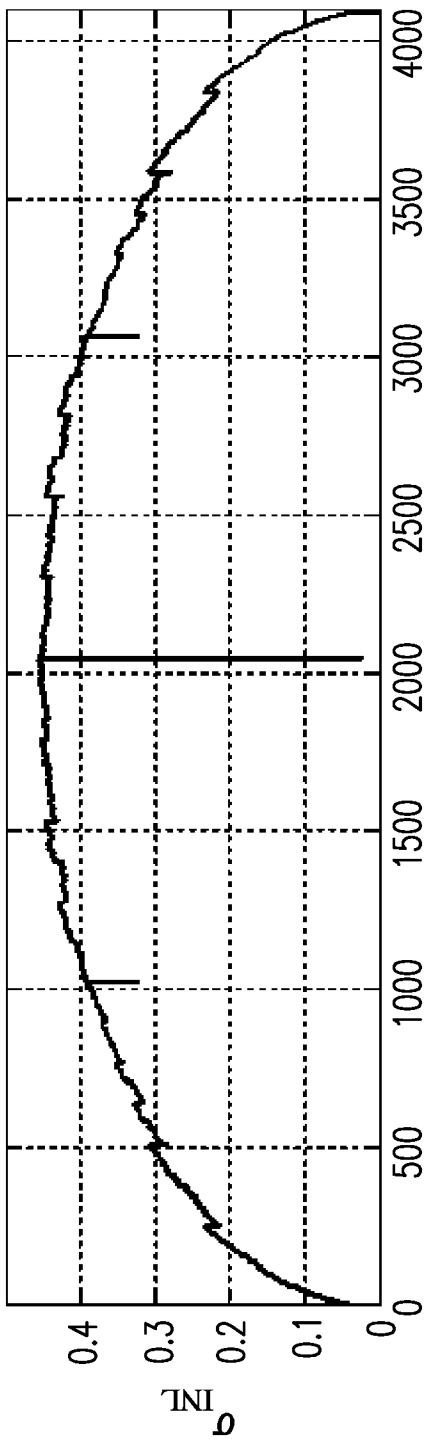
【圖8】



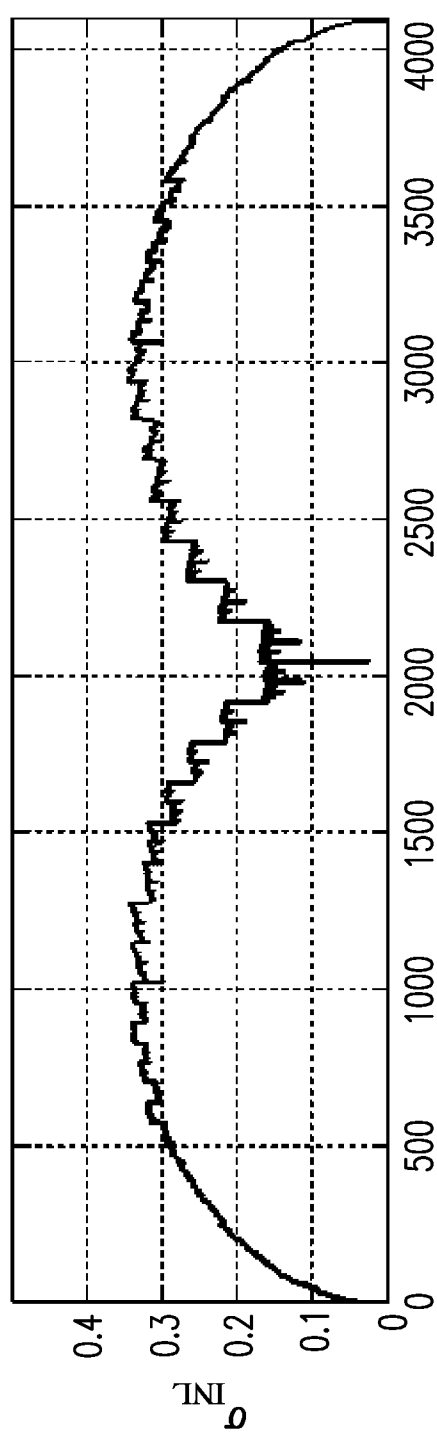
【圖9】



【圖10】



數位碼  
【圖11A】



數位碼  
【圖11B】

## 【發明申請專利範圍】

【第1項】一種連續近似暫存器類比至數位轉換器，用以轉換一第一類比輸入信號為一數位輸出信號，該連續近似暫存器類比至數位轉換器包括：

一第一電容式數位至類比轉換器，用以接收並取樣該第一類比輸入信號以產生一第一電壓；

一比較器，耦接該第一電容式數位至類比轉換器以接收該第一電壓，且將該第一電壓與一比較參考電壓進行比較以產生一第一比較結果；

以及

一控制器，耦接該比較器以及該第一電容式數位至類比轉換器，用以根據該第一比較結果來決定該第一電容式數位至類比轉換器的多個切換電容組的切換運作，

其中於多次疊代運作中的至少兩者的第  $k$  次疊代運作中，該控制器將該些切換電容組中的第  $k$  個切換電容組自一第一狀態切換為一第二狀態，致使該第一電容式數位至類比轉換器產生一第二電壓，且該比較器將該第二電壓與該比較參考電壓進行比較以產生一第二比較結果，其中  $k$  為正整數，

其中該控制器根據該第一比較結果與該第二比較結果決定一視窗區域以及決定是否將該第  $k$  個切換電容組切換回該第一狀態。

【第2項】如申請專利範圍第1項所述的連續近似暫存器類比至數位轉換器，其中：

當該第一比較結果表示該第一電壓大於該比較參考電壓，且該第二比較結果表示該第二電壓大於該比較參考電壓時，該控制器將該第

k 個切換電容組維持在該第二狀態；或者是

當該第一比較結果表示該第一電壓小於該比較參考電壓，且該第二比較結果表示該第二電壓小於該比較參考電壓時，該控制器將該第 k 個切換電容組維持在該第二狀態。

【第3項】如申請專利範圍第1項所述的連續近似暫存器類比至數位轉換器，其中：

當該第二比較結果及該第一比較結果表示該第一電壓與該第二電壓的其中之一大於該比較參考電壓，且該第一電壓與該第二電壓的其中另一小於該比較參考電壓時，該控制器將該第 k 個切換電容組切換回該第一狀態。

【第4項】如申請專利範圍第1項所述的連續近似暫存器類比至數位轉換器，其中：

在所有該些疊代運作結束後，該控制器根據該第一比較結果與各該些疊代運作的該第二比較結果，產生與該類比輸入信號對應的該數位輸出信號。

【第5項】如申請專利範圍第1項所述的連續近似暫存器類比至數位轉換器，其中該比較參考電壓為一零值交越點，且該連續近似暫存器類比至數位轉換器更包括：

一第二電容式數位至類比轉換器，耦接該比較器及該控制器，用以接收並取樣一第二類比輸入信號以產生一第三電壓，其中該第二類比輸入信號與該第一類比輸入信號為差動對信號，

其中該比較器將該第一電壓與該第三電壓的一差值與該零值交越

點進行比較以做為該第一比較結果，且該控制器根據該第一比較結果來決定該第一電容式數位至類比轉換器的該些切換電容組及該第二電容式數位至類比轉換器的多個切換電容組的切換運作，

其中於該些疊代運作中的該至少兩者的該第  $k$  次疊代運作中，該控制器更將該第二電容式數位至類比轉換器的該些切換電容組中的第  $k$  個切換電容組自該第一狀態切換為該第二狀態，致使該第二電容式數位至類比轉換器產生一第四電壓，且該比較器將該第二電壓與該第四電壓的一差值與該零值交越點進行比較以做為該第二比較結果，

其中該控制器根據該第一比較結果與該第二比較結果決定是否將該第一電容式數位至類比轉換器的該第  $k$  個切換電容組及該第二電容式數位至類比轉換器的該第  $k$  個切換電容組切換回該第一狀態。

【第6項】如申請專利範圍第5項所述的連續近似暫存器類比至數位轉換器，其中：

當該第一比較結果表示該第一電壓與該第三電壓的該差值大於該零值交越點，且該第二比較結果表示該第二電壓與該第四電壓的該差值大於該零值交越點時，該控制器將該第一電容式數位至類比轉換器的該第  $k$  個切換電容組及該第二電容式數位至類比轉換器的該第  $k$  個切換電容組維持在該第二狀態；或者是

當該第一比較結果表示該第一電壓與該第三電壓的該差值小於該零值交越點，且該第二比較結果表示該第二電壓與該第四電壓的該差值小於該零值交越點時，該控制器將該第一電容式數位至類比轉換器

的該第 k 個切換電容組及該第二電容式數位至類比轉換器的該第 k 個切換電容組維持在該第二狀態。

【第7項】如申請專利範圍第5項所述的連續近似暫存器類比至數位轉換器，其中：

當該第一比較結果表示該第一電壓與該第三電壓的該差值大於該零值交越點，且該第二比較結果表示該第二電壓與該第四電壓的該差值小於該零值交越點時，該控制器將該第一電容式數位至類比轉換器的該第 k 個切換電容組及該第二電容式數位至類比轉換器的該第 k 個切換電容組切換回該第一狀態；或者是

當該第一比較結果表示該第一電壓與該第三電壓的該差值小於該零值交越點，且該第二比較結果表示該第二電壓與該第四電壓的該差值大於該零值交越點時，該控制器將該第一電容式數位至類比轉換器的該第 k 個切換電容組及該第二電容式數位至類比轉換器的該第 k 個切換電容組切換回該第一狀態。

【第8項】一種連續近似暫存器類比至數位轉換器，用以轉換一第一類比輸入信號為一數位輸出信號，該連續近似暫存器類比至數位轉換器包括：

一第一電容式數位至類比轉換器，用以接收並取樣該第一類比輸入信號，且受控於多個第一控制信號以分別控制該第一電容式數位至類比轉換器的多個切換電容組的切換運作；

一比較器，耦接該第一電容式數位至類比轉換器，用以將該第一電容式數位至類比轉換器的輸出與一比較參考電壓進行比較；以及



一控制器，耦接該比較器以及該第一電容式數位至類比轉換器，用以根據該比較器的輸出產生該些第一控制信號及該數位輸出信號，

其中該控制器根據該比較器的該輸出而將該第一電容式數位至類比轉換器的該輸出逼近  $M$  位元的視窗，且該控制器藉由該比較器的  $(M+1)$  次比較運算的結果，來完成將該第一電容式數位至類比轉換器的該輸出逼近該  $M$  位元的視窗的一運作，其中  $M$  為大於一的正整數。

【第9項】如申請專利範圍第8項所述的連續近似暫存器類比至數位轉換器，其中：

該第一電容式數位至類比轉換器取樣該第一類比輸入信號以產生一第一電壓，該比較器將該第一電壓與該比較參考電壓進行比較以產生一第一比較結果，且該控制器根據該第一比較結果產生該些第一控制信號，

其中於  $M$  次疊代運作中的第  $k$  次疊代運作中，該控制器將該些切換電容組中的第  $k$  個切換電容組自一第一狀態切換為一第二狀態，致使該第一電容式數位至類比轉換器產生一第二電壓，且該比較器將該第二電壓與該比較參考電壓進行比較以產生一第二比較結果，其中  $k$  小於或等於  $M$ ，

其中該控制器根據該第一比較結果與該第二比較結果決定一視窗區域以及決定是否將該第  $k$  個切換電容組切換回該第一狀態。

【第10項】一種連續近似暫存器類比至數位轉換器的運作方法，用以轉換一第一類比輸入信號為一數位輸出信號，該運作方法包括：

透過一第一電容式數位至類比轉換器接收並取樣該第一類比輸入信號以產生一第一電壓；

透過一比較器將該第一電壓與一比較參考電壓進行比較以產生一第一比較結果；

透過一控制器根據該第一比較結果來決定該第一電容式數位至類比轉換器的多個切換電容組的切換運作；

於多次疊代運作中的至少兩者的第  $k$  次疊代運作中，透過該控制器將該些切換電容組中的第  $k$  個切換電容組自一第一狀態切換為一第二狀態，致使該第一電容式數位至類比轉換器產生一第二電壓，且透過該比較器將該第二電壓與該比較參考電壓進行比較以取得一第二比較結果，其中  $k$  為正整數；以及

透過該控制器根據該第一比較結果與該第二比較結果決定一視窗區域以及決定是否將該第  $k$  個切換電容組切換回該第一狀態。

**【第11項】** 如申請專利範圍第10項所述的連續近似暫存器類比至數位轉換器的運作方法，其中所述根據該第一比較結果與該第二比較結果決定是否將該第 $k$ 個切換電容組切換回該第一狀態的步驟包括：

當該第一比較結果表示該第一電壓大於該比較參考電壓，且該第二比較結果表示該第二電壓大於該比較參考電壓時，將該第  $k$  個切換電容組維持在該第二狀態；或者是

當該第一比較結果表示該第一電壓小於該比較參考電壓，且該第二比較結果表示該第二電壓小於該比較參考電壓時，將該第  $k$  個切換電容組維持在該第二狀態。

【第12項】如申請專利範圍第10項所述的連續近似暫存器類比至數位轉換器的運作方法，其中所述根據該第一比較結果與該第二比較結果決定是否將該第k個切換電容組切換回該第一狀態的步驟包括：

當該第二比較結果及該第一比較結果表示該第一電壓與該第二電壓的其中之一大於該比較參考電壓，且該第一電壓與該第二電壓的其中另一小於該比較參考電壓時，將該第k個切換電容組切換回該第一狀態。

【第13項】如申請專利範圍第10項所述的連續近似暫存器類比至數位轉換器的運作方法，更包括：

在所有該些疊代運作結束後，透過該控制器根據該第一比較結果與各該些疊代運作的該第二比較結果，產生與該類比輸入信號對應的該數位輸出信號。

【第14項】如申請專利範圍第10項所述的連續近似暫存器類比至數位轉換器的運作方法，更包括：

透過一第二電容式數位至類比轉換器接收並取樣一第二類比輸入信號以產生一第三電壓，其中該第二類比輸入信號與該第一類比輸入信號為差動對信號；

透過該控制器更根據該第一比較結果來決定該第二電容式數位至類比轉換器的多個切換電容組的切換運作；

於該些疊代運作中的該至少兩者的該第k次疊代運作中，透過該控制器將該第二電容式數位至類比轉換器的該些切換電容組中的第k個切換電容組自該第一狀態切換為該第二狀態，致使該

第二電容式數位至類比轉換器產生一第四電壓；以及

透過該控制器更根據該第一比較結果與該第二比較結果來決定是否將該第二電容式數位至類比轉換器的該第 k 個切換電容組切換回該第一狀態，

其中該比較參考電壓為一零值交越點，

其中所述透過該比較器將該第一電壓與該比較參考電壓進行比較以產生該第一比較結果的步驟包括：

透過該比較器將該第一電壓與該第三電壓的一差值與該零值交越點進行比較以取得該第一比較結果，

其中所述透過該比較器將該第二電壓與該比較參考電壓進行比較以取得該第二比較結果的步驟包括：

透過該比較器將該第二電壓與該第四電壓的一差值與該零值交越點進行比較以取得該第二比較結果。

**【第15項】** 如申請專利範圍第14項所述的連續近似暫存器類比至數位轉換器的運作方法，其中所述根據該第一比較結果與該第二比較結果，來決定是否將該第一電容式數位至類比轉換器的該第k個切換電容組及該第二電容式數位至類比轉換器的該第k個切換電容組切換回該第一狀態的步驟包括：

當該第一比較結果表示該第一電壓與該第三電壓的該差值大於該零值交越點，且該第二比較結果表示該第二電壓與該第四電壓的該差值大於該零值交越點時，將該第一電容式數位至類比轉換器的該第 k 個切換電容組及該第二電容式數位至類比轉換器的該第 k 個切換

電容組維持在該第二狀態；或者是

當該第一比較結果表示該第一電壓與該第三電壓的該差值小於該零值交越點，且該第二比較結果表示該第二電壓與該第四電壓的該差值小於該零值交越點時，將該第一電容式數位至類比轉換器的該第 k 個切換電容組及該第二電容式數位至類比轉換器的該第 k 個切換電容組維持在該第二狀態。

【第16項】如申請專利範圍第14項所述的連續近似暫存器類比至數位轉換器的運作方法，其中所述根據該第一比較結果與該第二比較結果，來決定是否將該第一電容式數位至類比轉換器的該第k個切換電容組及該第二電容式數位至類比轉換器的該第k個切換電容組切換回該第一狀態的步驟包括：

當該第一比較結果表示該第一電壓與該第三電壓的該差值大於該零值交越點，且該第二比較結果表示該第二電壓與該第四電壓的該差值小於該零值交越點時，將該第一電容式數位至類比轉換器的該第 k 個切換電容組及該第二電容式數位至類比轉換器的該第 k 個切換電容組切換回該第一狀態；或者是

當該第一比較結果表示該第一電壓與該第三電壓的該差值小於該零值交越點，且該第二比較結果表示該第二電壓與該第四電壓的該差值大於該零值交越點時，將該第一電容式數位至類比轉換器的該第 k 個切換電容組及該第二電容式數位至類比轉換器的該第 k 個切換電容組切換回該第一狀態。