

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 7 月 31 日(31.07.2014)



(10) 国際公開番号

WO 2014/115277 A1

- (51) 国際特許分類:
G06F 13/00 (2006.01) G06F 13/28 (2006.01)
G06F 3/06 (2006.01)
- (21) 国際出願番号: PCT/JP2013/051392
- (22) 国際出願日: 2013 年 1 月 24 日(24.01.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.)
[JP/JP]; 〒1008280 東京都千代田区丸の内一丁目
6 番 6 号 Tokyo (JP).
- (72) 発明者: 笠原 信一 (KASAHARA, Shinichi); 〒
2500872 神奈川県小田原市中里 3 2 2 番 2 号
株式会社日立製作所 IT プラットフォーム事
業本部内 Kanagawa (JP). 井出 昌宏 (IDE,
Masahiro); 〒2500872 神奈川県小田原市中里 3 2
2 番 2 号 株式会社日立製作所 IT プラット
フォーム事業本部内 Kanagawa (JP). 小島 徹也
(KOJIMA, Tetsuya); 〒1400002 東京都品川区東品
川四丁目 1 2 番 7 号 株式会社日立ソリュー
ションズ内 Tokyo (JP).
- (74) 代理人: 特許業務法人ウィルフォート国際特許
事務所(WILLFORT INTERNATIONAL); 〒1010052

東京都千代田区神田小川町三丁目 3 番地 神田
小川町トーセイビル I I 7 階 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

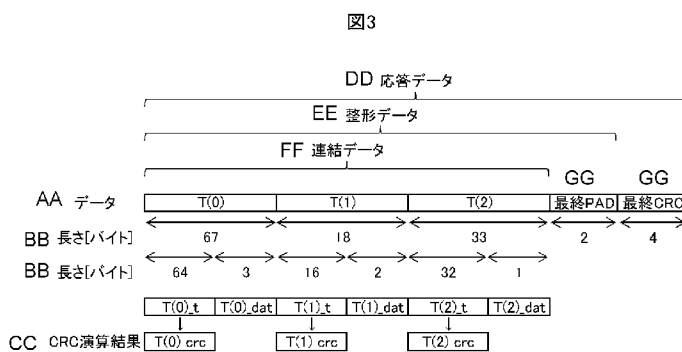
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: STORAGE DEVICE AND METHOD FOR CONTROLLING STORAGE DEVICE

(54) 発明の名称: ストレージ装置およびストレージ装置制御方法

[図3]



AA Data
BB Length [in bytes]
CC CRC arithmetic result
DD Response data
EE Shaped data
FF Concatenated data
GG Last

(57) Abstract: The present invention improves the performance of a data transfer by using a plurality of arithmetic units each calculating a plurality of guarantee codes on the basis of a plurality of data. A storage device is provided with a channel control unit, a storage unit, and a processor. The channel control unit has a plurality of arithmetic units. When a request for reading out a plurality of element data is received from a host computer, the processor specifies the plurality of element data for each of the plurality of arithmetic units. Each of the plurality of arithmetic units reads out the plurality of element data from the storage unit, calculates a plurality of partial codes which are a plurality of guarantee codes on the basis of the plurality of element data, and sends the plurality of partial codes to the processor. The processor calculates, on the basis of the plurality of partial codes, a series code which is a guarantee code for series data including a concatenated plurality of element data.

(57) 要約:

[続葉有]



複数の演算部が、複数のデータに基づいて複数の保証コードを夫々算出することにより、データの転送性能を向上させる。ストレージ装置は、チャンネル制御部と、記憶部と、プロセッサと、を備える。チャンネル制御部は、複数の演算部を有する。プロセッサは、複数の要素データを読み出す要求をホストコンピュータから受信した場合、複数の演算部に対して複数の要素データを夫々指定する。複数の演算部は、記憶部から複数の要素データを夫々読み出し、複数の要素データに基づいて複数の保証コードである複数の部分コードを夫々算出し、プロセッサへ複数の部分コードを夫々送る。プロセッサは、複数の部分コードに基づいて、連結された複数の要素データを含む系列データの保証コードである系列コードを算出する。

明 細 書

発明の名称：ストレージ装置およびストレージ装置制御方法

技術分野

[0001] 本発明は、ストレージ装置におけるデータ保証技術に関する。

背景技術

[0002] ストレージ装置とホストコンピュータの間の通信インタフェースにおいて、転送されるデータの保証コードの生成や確認を行う技術が知られている（特許文献1）。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2008／0109615号明細書

発明の概要

発明が解決しようとする課題

[0004] 保証コードにCRC（Cyclic Redundancy Check）を用い、複数のデータが連結されたデータの保証コードを算出するために、複数のデータの夫々を用いて演算を行う場合、複数のデータの順序によって演算結果が異なるため、複数のデータの順序を維持して保証コードを算出する必要がある。

[0005] 複数のデータの転送に一つのDMA（Direct Memory Access）コントローラを用いる場合、そのDMAコントローラが、連結されたデータの保証コードを算出する。また、複数のデータの転送に複数のDMAコントローラを用いる場合、或るDMAコントローラが、或るデータの保証コードの演算を行い、別のDMAコントローラが、その演算の結果を引き継いで次のデータの保証コードの演算を行う。この場合、複数のDMAコントローラを用いても、複数のデータを逐次演算する必要があるため、データの転送性能を向上させることが困難である。

課題を解決するための手段

[0006] 上記課題を解決するために、本発明の一態様であるストレージ装置は、ホ

ストコンピュータに接続されるチャネル制御部と、前記チャネル制御部に接続される記憶部と、前記チャネル制御部及び前記記憶部に接続されるプロセッサと、を備える。前記チャネル制御部は、複数の演算部を有する。前記プロセッサは、複数の要素データを読み出す要求を前記ホストコンピュータから受信した場合、前記複数の演算部に対して前記複数の要素データを夫々指定する。前記複数の演算部は、前記記憶部から前記複数の要素データを夫々読み出し、前記複数の要素データに基づいて複数の保証コードである複数の部分コードを夫々算出し、前記プロセッサへ前記複数の部分コードを夫々送る。前記プロセッサは、前記複数の部分コードに基づいて、連結された前記複数の要素データを含む系列データの保証コードである系列コードを算出する。

発明の効果

[0007] 本発明の一態様によれば、複数の演算部が、複数のデータに基づいて複数の保証コードを夫々算出することにより、データの転送性能を向上させることができる。

図面の簡単な説明

[0008] [図1]図1は、本発明の実施例のストレージ装置の構成を示す。

[図2]図2は、チャネルアダプタ220の構成を示す。

[図3]図3は、マルチトラックリード要求に対する応答データの一例を示す。

[図4]図4は、マルチトラックリード処理を模式的に示す。

[図5]図5は、DMA処理を示す。

[図6]図6は、最終CRC処理を示す。

[図7]図7は、CRC最終処理の具体例を示す。

[図8]図8は、CRC演算に関するDMAコントローラとMP240の動作を示す。

発明を実施するための形態

[0009] 以下、本発明の実施例について図面を用いて説明する。

[0010] なお、以後の説明では「aaaテーブル」、「aaaリスト」、「aaa

DB」、「aaaキュー」等の表現にて本発明の情報を説明するが、これら情報はテーブル、リスト、DB、キュー、等のデータ構造以外で表現されていてもよい。そのため、データ構造に依存しないことを示すために「aaaテーブル」、「aaaリスト」、「aaaDB」、「aaaキュー」等について「aaa情報」と呼ぶことがある。

[0011] さらに、各情報の内容を説明する際に、「識別情報」、「識別子」、「名」、「名前」、「ID」という表現を用いるが、これらについてはお互いに置換が可能である。

[0012] 以後の説明では「プログラム」を主語として説明を行う場合があるが、プログラムはプロセッサによって実行されることで定められた処理をメモリ及び通信ポート（通信制御デバイス）を用いながら行うため、プロセッサを主語とした説明としてもよい。また、プログラムを主語として開示された処理は管理サーバ等の計算機、情報処理装置が行う処理としてもよい。また、プログラムの一部または全ては専用ハードウェアによって実現されてもよい。

[0013] また、各種プログラムはプログラム配布サーバや、計算機が読み取り可能な記憶メディアによってストレージ装置にインストールされてもよい。

[0014] 以下、本発明の実施例のストレージ装置について説明する。

[0015] 図1は、本発明の実施例のストレージ装置の構成を示す。この図に示されているストレージ装置100は、複数のホストコンピュータ400に接続されている。ストレージ装置100は、ストレージコントローラ200と、複数のHDD（Hard Disk Drive）300とを有する。ストレージコントローラ200は、SAN（Storage Area Network）等を介してホストコンピュータ400に接続されている。複数のHDD300は、ストレージコントローラ200に接続されている。なお、ストレージ装置100は、一つのホストコンピュータ400に接続されていても良い。また、ストレージ装置100は、一つのHDD300を有していても良い。また、HDD300の代わりに、SSD（Solid State Drive）等の他のドライブが用いられても良い。

[0016] ストレージコントローラ200は、スイッチ（SW）210と、複数のチ

チャネルアダプタ（CHA）220と、複数のデータキャッシュ（Cache）230と、複数のMP（Microprocessor）240と、複数のディスクアダプタ（DKA）250とを有する。ストレージコントローラ200は、一つのデータキャッシュ230を有していても良いし、一つのMP240を有していても良いし、一つのディスクアダプタ250を有していても良い。

[0017] スイッチ210は、チャネルアダプタ220と、データキャッシュ230と、MP240と、ディスクアダプタ250との間の通信を制御する。

[0018] チャネルアダプタ220は、ホストコンピュータ400に接続され、ホストコンピュータ400との通信を制御する。

[0019] データキャッシュ230は、ホストコンピュータ400へ送信されるデータや、ホストコンピュータ400から受信されたデータを格納する。データキャッシュ230は更に、共用メモリを有する。共用メモリは、MP240により用いられるプログラム及びデータを格納する。

[0020] MP240は、共用メモリに格納されたプログラム及びデータに基づいて、ストレージ装置100の各部を制御する。

[0021] ディスクアダプタ250は、HDD300に接続され、HDD300との通信を制御する。

[0022] 図2は、チャネルアダプタ220の構成を示す。チャネルアダプタ220は、複数のホストチャネル制御LSI（large-scale integration）510と、DMA用LSI520と、複数の中間バッファ（DXBF）530とを有する。チャネルアダプタ220は、一つのホストチャネル制御LSI510を有していても良い。チャネルアダプタ220は、一つの中間バッファ530を有していても良い。

[0023] ホストチャネル制御LSI510は、通信制御部511と、内部バッファ512とを有する。通信制御部511は、ホストコンピュータ400に接続され、所定のプロトコルに従って、ホストコンピュータ400との通信を制御する。本実施例において通信制御部511は、FICON（Fiber Connectivity）－HPF（High Performance）を用いるが、他のプロトコルを用いて

も良い。内部バッファ 512 は、ホストコンピュータ 400 へ送信するデータを格納する。

[0024] 中間バッファ 530 は、例えば D R A M (Dynamic Random Access Memory) であり、DMA 用 L S I 520 によりデータキャッシュ 230 から転送されたデータ等を格納する。

[0025] DMA 用 L S I 520 は、複数の DMA コントローラ (D M A C) 521 を有する。複数の DMA コントローラ 521 の夫々は、互いに異なる DMA 回路であっても良いし、DMA 回路が割り当てられる仮想 DMA コントローラであっても良い。なお、DMA 用 L S I 520 内の一つの DMA 回路が、論理的に複数の DMA コントローラ 521 に分割されても良い。DMA 回路は、保証コードを算出する。本実施例における保証コードは、C R C であり、DMA 回路は、4 バイトの初期値と、4 バイトの倍数の長さの入力とを用いて、4 バイトの C R C を算出する。この C R C の生成多項式は例えば、 $0 \times 04C11DB7$ で表される。なお、保証コードは、他の誤り検出符号や誤り訂正符号であっても良い。

[0026] DMA コントローラ 521 は、M P 240 からの指示に従って、データキャッシュ 230 からデータを読み出し、読み出されたデータに基づいて C R C 演算を行い、読み出されたデータを中間バッファ 530 へ書き込む。

[0027] F I C O N - H P F は、一つのリード要求により複数のトラックを連結して転送するためのマルチトラックリード要求をサポートする。ここでのトラックは、1 バイト単位で指定される任意の長さのデータである。

[0028] 以下、マルチトラックリード処理について説明する。

[0029] ホストコンピュータ 400 がマルチトラックリード要求をストレージ装置 100 へ送信することにより、ストレージ装置 100 は、マルチトラックリード処理を行う。マルチトラックリード要求は、複数のトラックを指定する。

[0030] 図 3 は、マルチトラックリード要求に対する応答データの一例を示す。

[0031] マルチトラックリード要求を受けたストレージ装置 100 は、複数のトラ

ックが要求された順に連結された連結データと、最終PADと、最終CRCとを連結した応答データをホストコンピュータ400へ送信する。連結データの後に最終PADが連結されたデータを整形データとする。整形データの長さは4バイトの倍数である。最終PADは、長さを調整するためのALLゼロデータである。最終CRCは、整形データのCRCである。最終CRCの長さは4バイトである。ここで、MP240は、連結データ長以上で最も小さい4バイトの倍数を整形データ長として算出し、整形データ長から連結データ長を減じた値を最終PAD長として算出する。更にMP240は、最終PAD長が0でない場合、最終PAD長のALLゼロデータである最終PADを生成する。

[0032] 図4は、マルチトラックリード処理を模式的に示す。

[0033] この図は、ホストコンピュータ400と、ホストチャネル制御LSI510と、中間バッファ530と、複数のDMAコントローラ521と、MP240と、データキャッシュ230との間のデータの流れを示す。ここでのマルチトラックリード要求は、ストレージ装置100に格納された三つのトラックであるT(0)、T(1)、T(2)を指定する。また、DMA用LSI520は、三つのDMAコントローラ521であるX(0)、X(1)、X(2)を有する。ここで、T(0)、T(1)、T(2)は、データキャッシュ230に格納されている状態を示す。T(0)、T(1)、T(2)の何れかがキャッシュミスと判定された場合、ディスクアダプタ250は、キャッシュミスと判定されたトラックをHDD300から読み出し、データキャッシュ230へ書き込む。

[0034] まず、ホストコンピュータ400は、マルチトラックリード要求をホストチャネル制御LSI510へ発行する(S110)。マルチトラックリード要求を受けたホストチャネル制御LSI510は、そのマルチトラックリード要求をMP240へ送る(S120)。

[0035] マルチトラックリード要求を受けたMP240は、そのマルチトラックリード要求に基づいて、複数のトラックのデータ転送を並列に行うために、T

(0) のデータ転送を X (0) に割り当て、T (1) のデータ転送を X (1) に割り当て、T (2) のデータ転送を X (2) に割り当てる。その後、MP 240 は、CCW (channel command word) により、T (0) を指定する転送起動要求を X (0) へ送り (S 130)、T (1) を指定する転送起動要求を X (1) へ送り (S 140)、T (2) を指定する転送起動要求を X (2) へ送る (S 150)。

[0036] 転送起動要求を受けた X (0) は、T (0) の DMA 処理である DMA (0) を起動する (S 160)。DMA (0) により、X (0) は、データキャッシュ 230 内の T (0) を読み出し、T (0) に基づいて CRC 演算を行うと共に、T (0) を中間バッファ 530 へ転送する。転送起動要求を受けた X (1) は、T (1) の DMA 処理である DMA (1) を起動する (S 170)。DMA (1) により、X (1) は、データキャッシュ 230 内の T (1) を読み出し、T (1) に基づいて CRC 演算を行うと共に、T (1) を中間バッファ 530 へ転送する。転送起動要求を受けた X (2) は、T (2) の DMA 処理である DMA (2) を起動する (S 180)。DMA (2) により、X (2) は、データキャッシュ 230 内の T (2) を読み出し、T (2) に基づいて CRC 演算を行うと共に、T (2) を中間バッファ 530 へ転送する。

[0037] DMA (0) が完了すると、X (0) は、DMA (0) の結果を示す転送完了報告を MP 240 へ送る (S 190)。DMA (1) が完了すると、X (1) は、DMA (1) の結果を示す転送完了報告を MP 240 へ送る (S 200)。DMA (2) が完了すると、X (2) は、DMA (2) の結果を示す転送完了報告を MP 240 へ送る (S 210)。

[0038] X (0)、X (1)、X (2) から転送完了報告を受けた MP 240 は、転送完了報告に基づいて最終 PAD 及び最終 CRC を算出する最終 CRC 処理を行う (S 220)。その後、MP 240 は、最終 PAD 及び最終 CRC を中間バッファ 530 へ書き込み (S 230)、応答データをホストコンピュータ 400 へ転送することを指示するデータ転送開始指示をホストチャネ

ル制御LSI510へ送る(S240)。

[0039] データ転送開始指示を受けたホストチャネル制御LSI510は、中間バッファ530からT(0)、T(1)、T(2)、最終PAD、最終CRCを読み出し、1バイト単位でアドレスオフセットを与えることにより、T(0)、T(1)、T(2)、最終PAD、最終CRCを連結し、応答データとして内部バッファ512へ格納する(S250)。その後、ホストチャネル制御LSI510は、応答データをホストコンピュータ400へ送信する(S260)。応答データの転送が完了すると、ホストチャネル制御LSI510は、マルチトラックリード要求に対するステータス応答をホストコンピュータ400へ送信する(S270)。

[0040] 以上がマルチトラックリード処理の一例である。この処理によれば、MP240が複数のDMAコントローラ521にリード対象の複数のトラックを夫々割り当てることにより、複数のDMAコントローラ521が並列に複数のDMA処理を行うことができる。また、MP240が、複数のDMAコントローラ521による処理結果に基づいて演算を行うことにより、複数のトラックを順に連結したデータのCRCを算出することができる。

[0041] なお、中間バッファ530及び内部バッファ512の何れか一つが用いられても良い。例えば、DMAコントローラ521は、データキャッシュ230内のデータを内部バッファ512へ転送しても良い。また、通信制御部511は、中間バッファ530内のデータをホストコンピュータ400へ転送しても良い。

[0042] 以下、前述のS130～S210におけるDMA処理の詳細について説明する。

[0043] 図5は、DMA処理を示す。

[0044] 転送起動要求は、トラック長(転送長)と、データキャッシュ230内のトラックのアドレスである送信元アドレスと、中間バッファ530内の送信先のアドレスである送信先アドレスと、CRCの初期値とを含む。転送起動要求は、トラックのCRCの生成を行うか否かを示す情報を含んでも良い。

- [0045] MP 240は、マルチトラックリード要求の先頭のトラックの転送起動要求におけるCRCの初期値として0×FFFFFFFFを指定し、先頭以外のトラックの転送起動要求におけるCRCの初期値として0×00000000を指定する。この例では、X(0)への転送起動要求におけるCRCの初期値は、0×FFFFFFFFであり、X(1)及びX(2)の夫々への転送起動要求におけるCRCの初期値は、0×00000000である。このように、各DMAコントローラ521への転送起動要求は、予め定められた値をCRCの初期値として指定するため、他のDMAコントローラ521によるCRC演算の結果を含む必要がない。
- [0046] DMAコントローラ521は、転送起動要求からトラック長を取得し、トラック長を4バイトで除した剰余を端数データ長として算出し、4バイトから端数データ長を減じた値をトラックPAD長として算出し、トラック長から端数データ長を減じた値を短縮データ長として算出し、トラック長にトラックPAD長を加えた値を延長データ長として算出する。DMAコントローラ521は、トラックのうち先頭から短縮データ長までのデータを短縮データとして抽出し、トラックのうち短縮データの後に続く端数データ長のデータを端数データとして抽出する。DMAコントローラ521は更に、トラックの後にトラックPAD長のALLゼロデータであるトラックPADを連結して延長データとする。言い換えれば、短縮データ長は、トラック長以下で最も大きい4バイトの倍数であり、延長データ長は、トラック長以上で最も小さい4バイトの倍数である。なお、トラック長が4の倍数である場合、端数データ長及びトラックPAD長は0になり、短縮データ長及び延長データ長はトラック長に等しくなる。
- [0047] DMAコントローラ521は、データキャッシュ230の送信元アドレスからトラックを読み出し、短縮データのCRCである短縮データCRCを算出し、延長データを中間バッファ530の送信先アドレスへ書き込む。
- [0048] DMAコントローラ521は、延長データの書き込みが完了すると、転送起動要求に対する転送完了報告をMP 240へ送る。転送完了報告は、短縮

データCRCと、端数データとを含む。

[0049] 前述のマルチトラックリード要求処理の例において、 $X(0)$ は、 $T(0)$ を、短縮データである $T(0)_{_t}$ と、端数データである $T(0)_{_dat}$ とに分割し、 $0xFFFFFFFF$ を初期値とし入力 $T(0)_{_t}$ を入力として短縮データCRCである $T(0)_{_crc}$ を算出する。また、 $X(1)$ は、 $T(1)$ を、短縮データである $T(1)_{_t}$ と、端数データである $T(1)_{_dat}$ とに分割し、 $0x00000000$ を初期値とし $T(1)_{_t}$ を入力として短縮データCRCである $T(1)_{_crc}$ を算出する。また、 $X(2)$ は、 $T(2)$ を、短縮データである $T(2)_{_t}$ と、端数データである $T(2)_{_dat}$ とに分割し、 $0x00000000$ を初期値とし $T(2)_{_t}$ を入力として短縮データCRCである $T(2)_{_crc}$ を算出する。

[0050] 以上がDMA処理である。この処理によれば、各DMAコントローラ521は、MP240により指定される値をCRCの初期値として用いるため、別のDMAコントローラ521により算出されたCRCを引き継ぐ必要がない。これにより、複数のDMAコントローラ521は、並列にCRC演算を行うことができる。また、DMAコントローラ521は、4バイト未満の端数データをMP240へ送り、端数データのCRC演算を行わないことから、4バイト単位でCRC演算を行うDMA回路を用いることができる。これにより、DMAコントローラ521の回路規模の増大を防ぐことができる。

[0051] 以下、前述のS220における最終CRC処理の詳細について説明する。

[0052] 図6は、最終CRC処理を示す。ここで、トラックの番号を i とし、最終トラックの番号を n とし、 $T(i)$ の短縮データCRCを $T(i)_{_crc}$ とし、 $T(i)$ の端数データを $T(i)_{_dat}$ とし、 $T(i)$ の長さ [バイト] を $T(i)_{_len}$ とし、一時的なCRCを $temp_crc$ とし、一時的なデータ長を $temp_len$ とし、最終PADの長さ [バイト] を pad_len とする。MP240は、DMAコントローラ521からの転送完了報告から、 $T(i)_{_crc}$ 及び $T(i)_{_dat}$ を取得する。

[0053] まず、MP 240は、変数を初期化する（S310）。ここでMP 240は、 i に0を代入し、 $temp_crc$ に $T(0)_crc$ を代入する。

[0054] その後、MP 240は、 $temp_crc$ を初期値とし、 $T(i)_dat$ を入力として、CRC演算を行うことにより、新たな $temp_crc$ を算出する（S320）。CRC演算の関数を Fd とすると、この処理は次式で表される。

[0055] $temp_crc = Fd(temp_crc, T(i)_dat)$

[0056] これまでの処理により、 $temp_crc$ は、 $T(i)$ までのデータのCRCになる。

[0057] その後、MP 240は、最終トラックまでCRC演算を行ったか否かを判定する（S330）。即ち、MP 240は、 $i = n$ であるか否かを判定する。

[0058] S330において $i = n$ でない場合（S330:N）、MP 240は、 i に1を加算する（S340）。その後、MP 240は、 $T(i)_len$ を超えない4の倍数の最大値を、 $temp_len$ に代入する（S350）。この処理は次式で表される。

[0059] $temp_len = T(i)_len \& 0xFFFFFFFFFC$

[0060] その後、MP 240は、 $temp_crc$ を初期値とし、 $temp_len$ の長さのALLゼロデータを入力として、CRC演算を行うことにより、新たな $temp_crc$ を算出する（S360）。或る初期値と或る長さのALLゼロデータの入力とを用いてCRCを算出する関数を Fz とすると、この処理は次式で表される。

[0061] $temp_crc = Fz(temp_crc, temp_len)$

[0062] その後、MP 240は、ビット単位で $temp_crc$ と $T(i)_crc$ のXOR（排他的論理和）演算を行うことにより、新たな $temp_crc$ を算出し（S370）、処理をS320へ移行させる。XOR演算子を「xor」とすると、この処理は次式で表される。

[0063] $temp_crc = temp_crc \text{ xor } T(i)_crc$

[0064] これまでの処理により、`temp_crc`は、`T(i) __ t`までのデータのCRCになる。

[0065] `S330`において $i = n$ である場合 (`S330 : Y`)、`MP240`は、初期値を`temp_crc`とし、`pad_len`の長さのALLゼロデータを入力として、CRC演算を行うことにより、新たな`temp_crc`を算出する (`S380`)。前述の`Fz`を用いると、この処理は次式で表される。

[0066]
$$\text{temp_crc} = \text{Fz}(\text{temp_crc}, \text{pad_len})$$

[0067] これまでの処理により、`temp_crc`は、整形データのCRCになる。

[0068] その後、`MP240`は、`FICON-HPF`の仕様に従い、`temp_crc`のビット反転を行うことにより、最終CRCを算出し (`S390`)、このフローを終了する。前述の`xor`を用いると、この処理は次式で表される。

[0069]
$$\text{temp_crc} = \text{temp_crc} \text{ xor } 0\text{xFFFFFFFF}$$

[0070] 以上が`MP240`によるCRC演算処理である。この処理によれば、`MP240`は、DMAコントローラ521により算出された各トラックの短縮データCRCに基づいて、整形データの最終CRCを算出することができる。また、`MP240`が端数データのCRCを算出することにより、トラック長を1バイト単位で指定できると共に、DMAコントローラ521は4バイト単位でCRC演算を行うことができ、DMAコントローラ521の回路規模の増大を防ぐことができる。

[0071] また、DMAコントローラ521が連結データ内の特定のデータから第1のCRCを算出した場合、`MP240`が連結データのうち特定のデータより前のデータのCRCを初期値とし、特定のデータの長さのALLゼロデータから第2のCRCを算出し、第1のCRCと第2のCRCのXOR演算を行うことにより、連結データのうち特定のデータまでのデータのCRCを算出することができる。これにより、複数のDMAコントローラ521による複

数のデータのCRC演算結果を用いて、MP 240が連結された複数のデータのCRCを算出することができる。従って、或るDMAコントローラ521によるCRC演算の結果を別のDMAコントローラ521が引き継ぐ必要がない。

[0072] また、MP 240が、DMAコントローラ521から端数データを取得し、端数データのCRC演算を行うことにより、DMAコントローラ521は、4バイト単位でCRC演算を行うことができる。

[0073] なお、MP 240は、全てのDMA処理におけるCRCの初期値を0x00000000と指定しても良いし、全てのDMA処理におけるCRCの初期値を0x00000000に固定しても良い。この場合、MP 240が、最終CRC処理におけるCRCの初期値を0xFFFFFFFFとし、先頭のトラックの短縮データ長のALLゼロデータを入力として、CRCを算出し、そのCRCと短縮データCRCとのXOR演算を行うことにより、初期値を0xFFFFFFFFとして算出される短縮データCRCに等しい結果を得ることができる。

[0074] 以下、CRC最終処理の具体例について説明する。

[0075] 図3の応答データにおいて、T(0)のデータ長を67バイトとし、T(1)のデータ長を18バイトとし、T(2)のデータ長を33バイトとする。従って、連結データ長は、118バイトであり、最終PAD長は、2バイトであり、整形データ長は、4バイトの倍数である120バイトである。

[0076] X(0)は、67バイトのT(0)を、4バイトの倍数である64バイトのT(0)___tと残りの3バイトのT(0)___datに分割する。その後、X(0)は、0xFFFFFFFFを初期値とし、T(0)___tを入力としてCRC演算を行うことにより、T(0)___crcを算出する。

[0077] X(1)は、18バイトのT(1)を、4バイトの倍数である16バイトのT(1)___tと残りの2バイトのT(1)___datに分割する。その後、X(1)は、0x00000000を初期値とし、T(1)___tを入力としてCRC演算を行うことにより、T(1)___crcを算出する。

- [0078] X (2) は、33 バイトの T (2) を、4 バイトの倍数である 32 バイトの T (2) __t と残りの 1 バイトの T (2) __d a t に分割する。その後、X (2) は、0 x 0 0 0 0 0 0 0 0 を初期値とし、T (2) __t を入力として CRC 演算を行うことにより、T (2) __c r c を算出する。
- [0079] 図 7 は、CRC 最終処理の具体例を示す。MP 240 は、X (0) から得られた T (0) __c r c を初期値とし、X (0) から得られた T (0) __d a t を入力として CRC 演算を行うことにより、新たな t e m p __c r c を算出する。この t e m p __c r c は、T (0) までのデータの CRC である。
- [0080] その後、MP 240 は、t e m p __c r c を初期値とし、T (1) の短縮データの長さに等しい 16 バイトの ALL ゼロデータを入力として CRC 演算を行うことにより、新たな t e m p __c r c を算出する。その後、MP 240 は、t e m p __c r c と、X (1) から得られた T (1) __c r c との XOR 演算を行うことにより、新たな t e m p __c r c を算出する。その後、MP 240 は、t e m p __c r c を初期値とし、X (1) から得られた T (1) __d a t を入力として CRC 演算を行うことにより、新たな t e m p __c r c を算出する。この t e m p __c r c は、T (1) までのデータの CRC である。
- [0081] その後、MP 240 は、t e m p __c r c を初期値とし、T (2) の短縮データの長さに等しい 32 バイトの ALL ゼロデータを入力として CRC 演算を行うことにより、新たな t e m p __c r c を算出する。その後、MP 240 は、t e m p __c r c と、X (2) から得られた T (2) __c r c との XOR 演算を行うことにより、新たな t e m p __c r c を算出する。その後、MP 240 は、t e m p __c r c を初期値とし、X (2) から得られた T (2) __d a t を入力として CRC 演算を行うことにより、新たな t e m p __c r c を算出する。この t e m p __c r c は、T (2) までのデータの CRC である。
- [0082] その後、MP 240 は、初期値を t e m p __c r c とし、最終 PAD 長で

ある2バイトのALLゼロデータを入力として、CRC演算を行うことにより、新たなtemp_crcを算出する。このtemp_crcは、最終PADまでのデータのCRCである。

[0083] その後、MP240は、temp_crcのビット反転を行うことにより、最終CRCを算出する。

[0084] 以上が、CRC最終処理の具体例である。

[0085] 以下、前述のS360及びS380におけるFzの演算方法の一例について説明する。

[0086] ALLゼロデータのCRC演算を高速化するために、共用メモリは、複数のLUT (Lookup Table) を格納する。MP240は、CRCの初期値や入力のALLゼロデータ長に応じてLUTを参照することにより、Fzの演算を行う。演算方法やLUTのサイズ及び数は、ストレージ装置100に要求される性能、想定されるALLゼロデータ長、共用メモリのサイズ等により決定される。

[0087] ここでは、初期値を1バイトとし、その値をBiで表す。複数のLUTの夫々は、全てのBiに対するCRCを格納する。また、用意するLUTのALLゼロデータ長を特定の長さに限定する。特定の長さをLtとすると、Ltは例えば、1、2、3、4、16、256、4096である。演算を高速化するために、更に多くの種類のLtを用意しても良い。

[0088] Ltが4未満である場合、Lt毎のLUTが用意される。このLUTから得られるCRCを、LUT[Lt][Bi]で表す。

[0089] Ltが4以上である場合、4バイトの初期値の中のBiのバイト位置をPbで表し、LtとPbの組み合わせ毎のLUTが用意される。このLUTから得られるCRCを、LUT[Lt][Pb][Bi]で表す。

[0090] MP240は、ALLゼロデータ長をLtの組み合わせに分解し、分解された各Ltに対応するCRC演算を行うことにより、Fzの演算を行う。以下、Ltに応じたALLゼロデータのCRC演算であるLUT演算処理を示す。ここで、4バイトの初期値であるtemp_crcの各バイトをB0、

B 1、B 2、B 3で表し、左ビットシフトの演算子を「<<」で表す。

[0091] L t が1バイトである場合のL U T 演算処理は次式で表される。

[0092]
$$\begin{aligned} \text{temp_crc} = & \\ & \text{LUT}[1][B0] \text{ XOR } (B1 \ll 8) \\ & \text{XOR } (B2 \ll 16) \text{ XOR } (B3 \ll 24) \end{aligned}$$

[0093] L t が2バイトである場合のL U T 演算処理は次式で表される。

[0094]
$$\begin{aligned} \text{temp_crc} = & \\ & \text{LUT}[2][B0] \text{ XOR } \text{LUT}[1][B1] \\ & \text{XOR } (B2 \ll 16) \text{ XOR } (B3 \ll 24) \end{aligned}$$

[0095] L t が3バイトである場合のL U T 演算処理は次式で表される。

[0096]
$$\begin{aligned} \text{temp_crc} = & \\ & \text{LUT}[3][B0] \text{ XOR } \text{LUT}[2][B1] \\ & \text{XOR } \text{LUT}[1][B2] \text{ XOR } (B3 \ll 24) \end{aligned}$$

[0097] L t が4バイト以上である場合のL U T 演算処理は次式で表される。

[0098]
$$\begin{aligned} \text{temp_crc} = & \\ & \text{LUT}[Lt][0][B0] \text{ XOR } \text{LUT}[Lt][1][B1] \\ & \text{XOR } \text{LUT}[Lt][2][B2] \text{ XOR } \text{LUT}[Lt][3][B3] \end{aligned}$$

[0099] 例えば、ALLゼロデータ長が8458バイトである場合、MP240は、ALLゼロデータ長を4096+4096+256+4+4+2のL t に分解し、各L t に対応するL U T 演算処理を行う。

[0100] このような演算方法によれば、MP240によるALLゼロデータのCRC演算を高速化することができる。また、ALLゼロデータ長を特定の長さの組み合わせに分解することにより、L U T の数を削減することができる。

[0101] なお、MP240は、L U T を用いて端数データのCRCを算出しても良い。このL U T は例えば、初期値を0x00000000とし、1バイトの入力のデータ毎のCRC演算結果を格納する。この場合、MP240は、L U T から得られたCRCを、端数データの長さに応じてビットシフトし、そ

れ以前のCRCとのXOR演算を行う。

[0102] 以下、DMAコントローラ521の並列動作について説明する。

[0103] 図8は、CRC演算に関するDMAコントローラ521とMP240の動作を示す。

[0104] このシーケンス図は、MP240と、DMAコントローラ521であるX(0)、X(1)、X(2)との動作を示す。前述のS130、S140、S150において、MP240は、X(0)、X(1)、X(2)へ転送起動要求を夫々送る。転送起動要求を受けたX(0)、X(1)、X(2)は、DMA(0)、DMA(1)、DMA(2)を夫々起動する。これにより、X(0)、X(1)、X(2)は、並列にDMA処理を行う。その後、前述のS190、S200、S210において、データ転送を完了したX(0)、X(1)、X(2)は、CRC演算結果を含む転送完了報告をMP240へ送る。その後、前述のS220において、MP240は、X(0)、X(1)、X(2)からのCRC演算結果を順に用いて、最終CRC処理を行うことにより最終CRCを算出する。

[0105] 一方、本発明を適用しないストレージ装置において、或るDMAコントローラが他のDMAコントローラによるCRC演算の結果を引き継いでCRC演算を行う場合、それらのDMAコントローラは、並列にCRC演算を行うことができない。

[0106] 本実施例によれば、複数のDMAコントローラ521が並列に複数のトラックのCRC演算を行うことにより、並列に複数のトラックの転送を行うことができる。これにより、マルチトラックリード処理の性能を向上させることができる。

[0107] なお、各トラックの長さが4バイトの倍数であっても良い。この場合、MP240及びDMAコントローラ521は、端数データ、トラックPAD、最終PAD等を用いない。

[0108] 以上の実施例で説明された技術は、次のように表現することができる。
(表現1)

ホストコンピュータに接続されるチャネル制御部と、
前記チャネル制御部に接続される記憶部と、
前記チャネル制御部及び前記記憶部に接続されるプロセッサと、
を備え、

前記チャネル制御部は、複数の演算部を有し、

前記プロセッサは、複数の要素データを読み出す要求を前記ホストコンピュータから受信した場合、前記複数の演算部に対して前記複数の要素データを夫々指定し、

前記複数の演算部は、前記記憶部から前記複数の要素データを夫々読み出し、前記複数の要素データに基づいて複数の保証コードである複数の部分コードを夫々算出し、前記プロセッサへ前記複数の部分コードを夫々送り、

前記プロセッサは、前記複数の部分コードに基づいて、連結された前記複数の要素データを含む系列データの保証コードである系列コードを算出する、

ストレージ装置。

(表現 2)

前記複数の演算部は並列に、前記複数の部分コードを夫々算出する、
表現 1 に記載のストレージ装置。

(表現 3)

前記保証コードは、所定長を有する CRC である、
表現 2 に記載のストレージ装置。

(表現 4)

前記複数の演算部の夫々は、前記プロセッサにより指定された要素データから、前記所定長の倍数の長さを有するデータである部分データを抽出し、所定コードを部分コードの初期値として、前記部分データを入力として、保証コード演算を行うことにより前記部分コードを算出する、
表現 3 に記載のストレージ装置。

(表現 5)

前記プロセッサは、前記系列データの内の前記部分データより前のデータの保証コードを保証コードの初期値として、前記部分データに等しい長さのゼロを入力として、保証コード演算を行うことにより、一時的な保証コードを算出し、前記一時的な保証コードと前記部分データのXOR演算により、前記系列データの内の前記部分データまでのデータの保証コードを算出する、

表現 4 に記載のストレージ装置。

(表現 6)

前記複数の演算部の夫々は、前記指定された要素データ内に前記部分データの残りのデータである端数データがある場合、前記端数データを前記プロセッサへ送る、

表現 5 に記載のストレージ装置。

(表現 7)

前記プロセッサは、前記系列データの内の前記端数データより前のデータの保証コードを保証コードの初期値として、前記端数データを入力として、保証コード演算を行うことにより、前記系列データの内の前記端数データまでのデータの保証コードを算出する、

表現 6 に記載のストレージ装置。

(表現 8)

前記プロセッサは、前記所定コードを前記複数の演算部の夫々へ送る、
表現 7 に記載のストレージ装置。

(表現 9)

前記複数の要素データの中の先頭以外の要素データが指定された演算部に対応する所定コードは、前記所定長のゼロである、

表現 8 に記載のストレージ装置。

(表現 10)

前記チャネル制御部は更に、前記複数の演算部に接続されたバッファと、前記バッファに接続された通信制御部とを有し、

前記複数の演算部は、前記複数の要素データを前記バッファへ夫々書き込み、

前記プロセッサは、前記系列コードを前記バッファへ書き込み、

前記通信制御部は、前記バッファ内の前記系列データ及び前記系列コードを連結して前記ホストコンピュータへ送信する、
表現 9 に記載のストレージ装置。

(表現 11)

ホストコンピュータに接続されるチャネル制御部と、前記チャネル制御部に接続される記憶部と、前記チャネル制御部及び前記記憶部に接続されるプロセッサとを有し、前記チャネル制御部が、複数の演算部を有するストレージ装置を、制御するためのストレージ装置制御方法であって、

前記プロセッサが、複数の要素データを読み出す要求を前記ホストコンピュータから受信した場合、前記複数の演算部に対して前記複数の要素データを夫々指定し、

前記複数の演算部が、前記記憶部から前記複数の要素データを夫々読み出し、前記複数の要素データに基づいて複数の保証コードである複数の部分コードを夫々算出し、前記プロセッサへ前記複数の部分コードを夫々送り、

前記プロセッサが、前記複数の部分コードに基づいて、連結された前記複数の要素データを含む系列データの保証コードである系列コードを算出する、

ことを備えるストレージ装置制御方法。

[0109] 以上の表現における用語について説明する。チャネル制御部は、チャネルアダプタ 220 等に対応する。記憶部は、データキャッシュ 230 や HDD 300 等に対応する。プロセッサは、MP 240 等に対応する。演算部は、DMA コントローラ 521 等に対応する。バッファは、中間バッファ 530 や内部バッファ 512 等に対応する。通信制御部は、通信制御部 511 等に対応する。要素データは、トラック等に対応する。部分データは、短縮データ等に対応する。部分コードは、短縮データ CRC 等に対応する。系列デー

タは、整形データや連結データ等に対応する。系列コードは、最終CRC等に対応する。所定コードは、0×FFFFFFFFFや0×00000000等に対応する。

符号の説明

[0110] 100 : ストレージ装置、 200 : ストレージコントローラ、 210 : スイッチ、 220 : チャネルアダプタ、 230 : データキャッシュ、 250 : ディスクアダプタ、 400 : ホストコンピュータ、 510 : ホストチャネル制御LSI、 511 : 通信制御部、 512 : 内部バッファ、 520 : DMA用LSI、 521 : DMAコントローラ、 530 : 中間バッファ

請求の範囲

- [請求項1] ホストコンピュータに接続されるチャネル制御部と、
 前記チャネル制御部に接続される記憶部と、
 前記チャネル制御部及び前記記憶部に接続されるプロセッサと、
 を備え、
 前記チャネル制御部は、複数の演算部を有し、
 前記プロセッサは、複数の要素データを読み出す要求を前記ホスト
 コンピュータから受信した場合、前記複数の演算部に対して前記複数の
 要素データを夫々指定し、
 前記複数の演算部は、前記記憶部から前記複数の要素データを夫々
 読み出し、前記複数の要素データに基づいて複数の保証コードである
 複数の部分コードを夫々算出し、前記プロセッサへ前記複数の部分コ
 ードを夫々送り、
 前記プロセッサは、前記複数の部分コードに基づいて、連結された
 前記複数の要素データを含む系列データの保証コードである系列コ
 ードを算出する、
 ストレージ装置。
- [請求項2] 前記複数の演算部は並列に、前記複数の部分コードを夫々算出する
 、
 請求項 1 に記載のストレージ装置。
- [請求項3] 前記保証コードは、所定長を有する C R C である、
 請求項 2 に記載のストレージ装置。
- [請求項4] 前記複数の演算部の夫々は、前記プロセッサにより指定された要素
 データから、前記所定長の倍数の長さを有するデータである部分デー
 タを抽出し、所定コードを部分コードの初期値として、前記部分デー
 タを入力として、保証コード演算を行うことにより前記部分コードを
 算出する、
 請求項 3 に記載のストレージ装置。

- [請求項5] 前記プロセッサは、前記系列データの内の前記部分データより前のデータの保証コードを保証コードの初期値として、前記部分データに等しい長さのゼロを入力として、保証コード演算を行うことにより、一時的な保証コードを算出し、前記一時的な保証コードと前記部分コードのXOR演算により、前記系列データの内の前記部分データまでのデータの保証コードを算出する、
請求項4に記載のストレージ装置。
- [請求項6] 前記複数の演算部の夫々は、前記指定された要素データ内に前記部分データの残りのデータである端数データがある場合、前記端数データを前記プロセッサへ送る、
請求項5に記載のストレージ装置。
- [請求項7] 前記プロセッサは、前記系列データの内の前記端数データより前のデータの保証コードを保証コードの初期値として、前記端数データを入力として、保証コード演算を行うことにより、前記系列データの内の前記端数データまでのデータの保証コードを算出する、
請求項6に記載のストレージ装置。
- [請求項8] 前記プロセッサは、前記所定コードを前記複数の演算部の夫々へ送る、
請求項7に記載のストレージ装置。
- [請求項9] 前記複数の要素データの中の先頭以外の要素データが指定された演算部に対応する所定コードは、前記所定長のゼロである、
請求項8に記載のストレージ装置。
- [請求項10] 前記チャネル制御部は更に、前記複数の演算部に接続されたバッファと、前記バッファに接続された通信制御部とを有し、
前記複数の演算部は、前記複数の要素データを前記バッファへ夫々書き込み、
前記プロセッサは、前記系列コードを前記バッファへ書き込み、
前記通信制御部は、前記バッファ内の前記系列データ及び前記系列

コードを連結して前記ホストコンピュータへ送信する、
請求項 9 に記載のストレージ装置。

[請求項11]

ホストコンピュータに接続されるチャネル制御部と、前記チャネル制御部に接続される記憶部と、前記チャネル制御部及び前記記憶部に接続されるプロセッサとを有し、前記チャネル制御部が、複数の演算部を有するストレージ装置を、制御するためのストレージ装置制御方法であって、

前記プロセッサが、複数の要素データを読み出す要求を前記ホストコンピュータから受信した場合、前記複数の演算部に対して前記複数の要素データを夫々指定し、

前記複数の演算部が、前記記憶部から前記複数の要素データを夫々読み出し、前記複数の要素データに基づいて複数の保証コードである複数の部分コードを夫々算出し、前記プロセッサへ前記複数の部分コードを夫々送り、

前記プロセッサが、前記複数の部分コードに基づいて、連結された前記複数の要素データを含む系列データの保証コードである系列コードを算出する、

ことを備えるストレージ装置制御方法。

图1

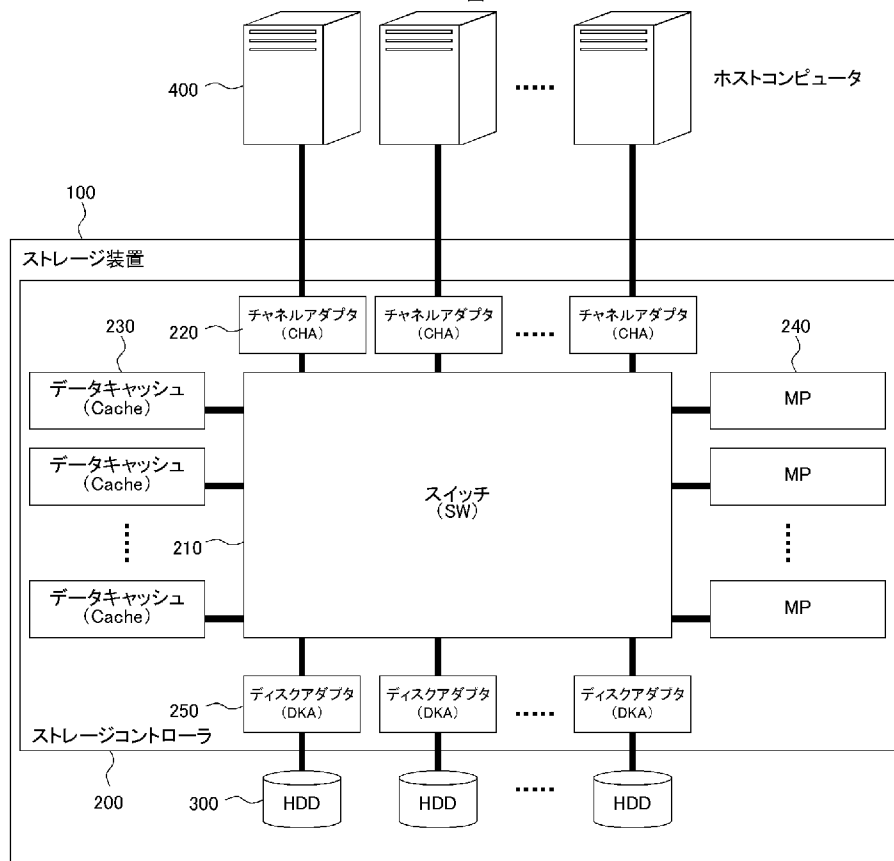
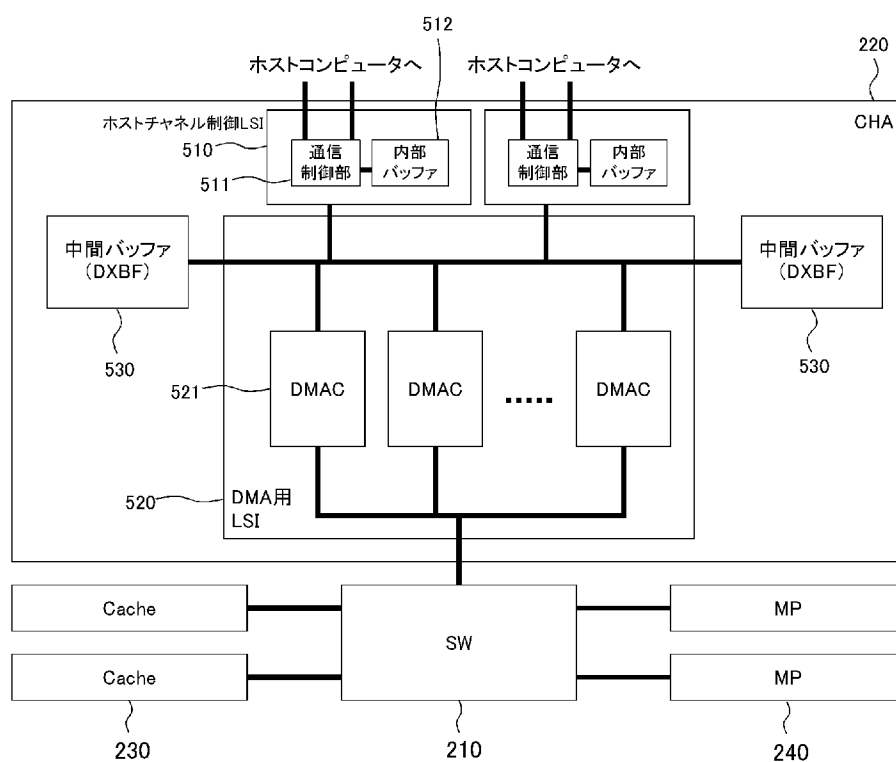
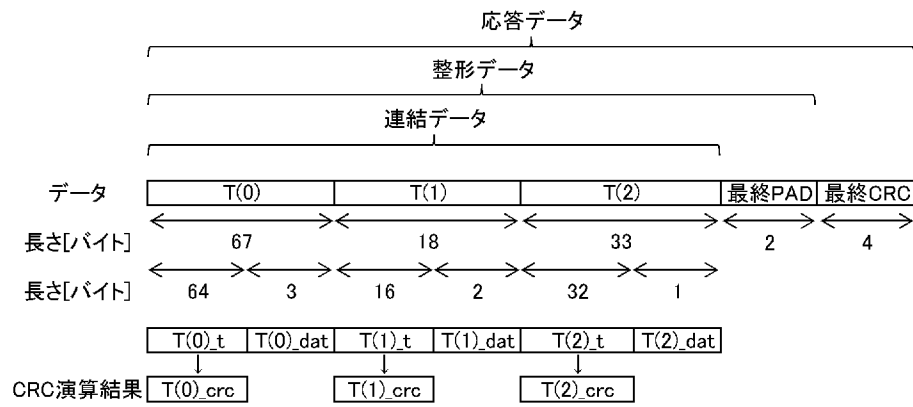


图2

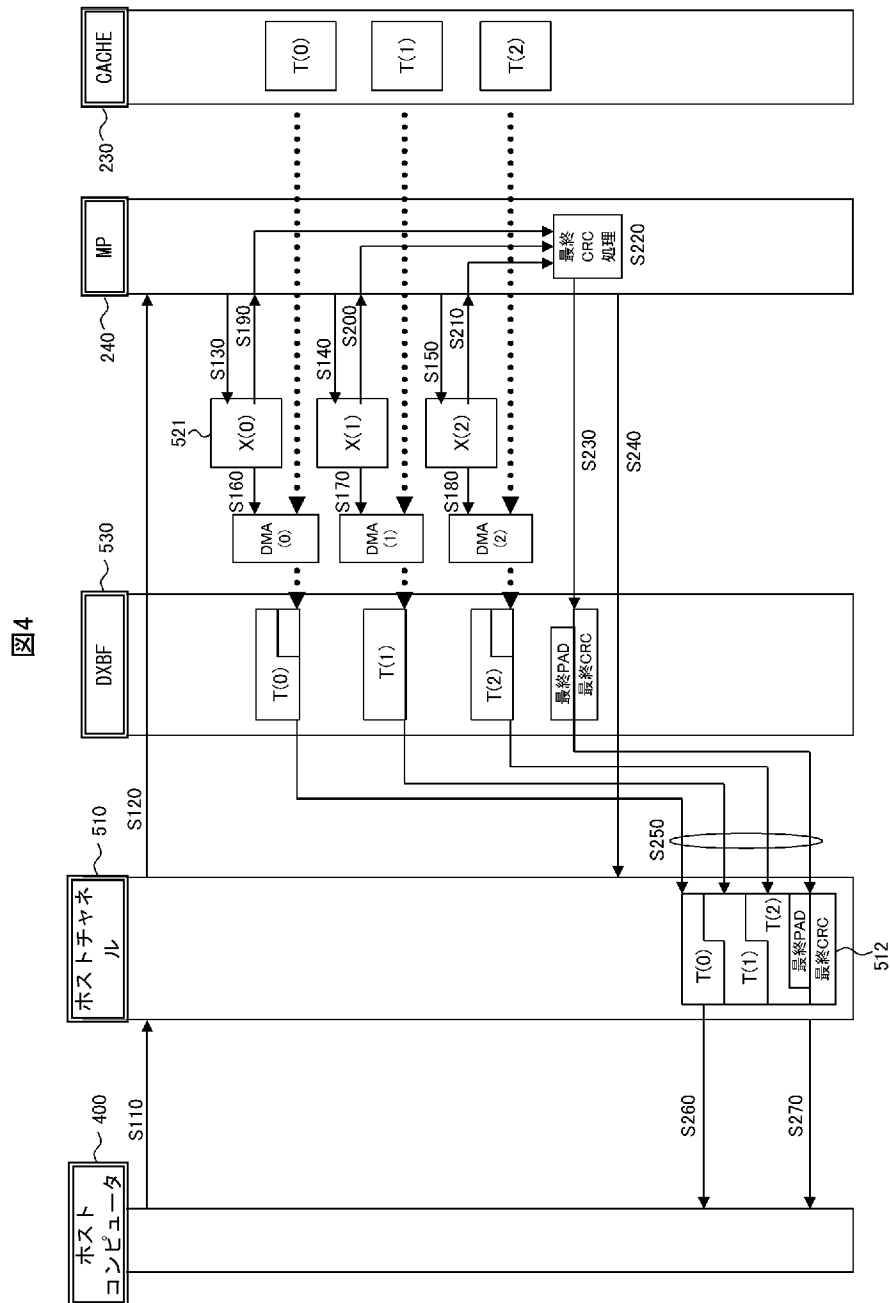


[図3]

図3

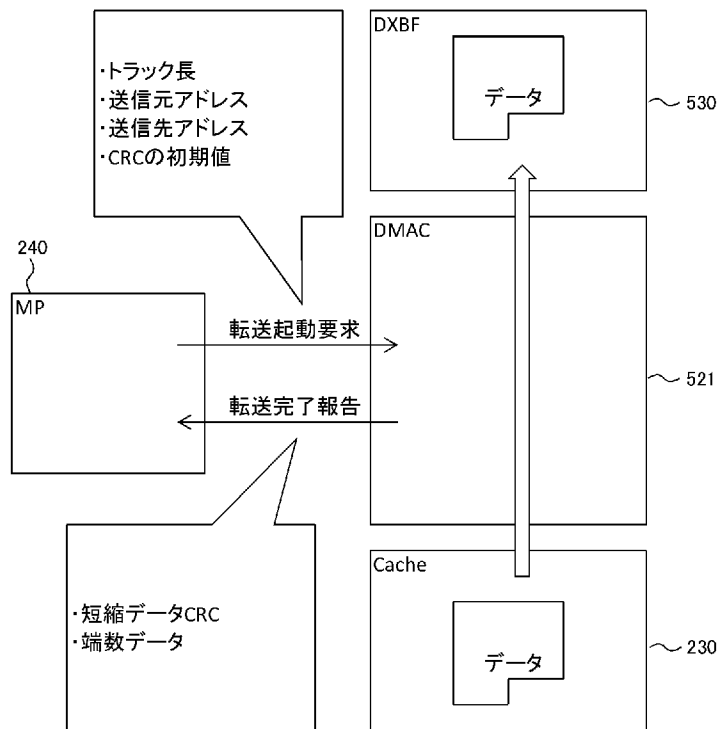


[図4]



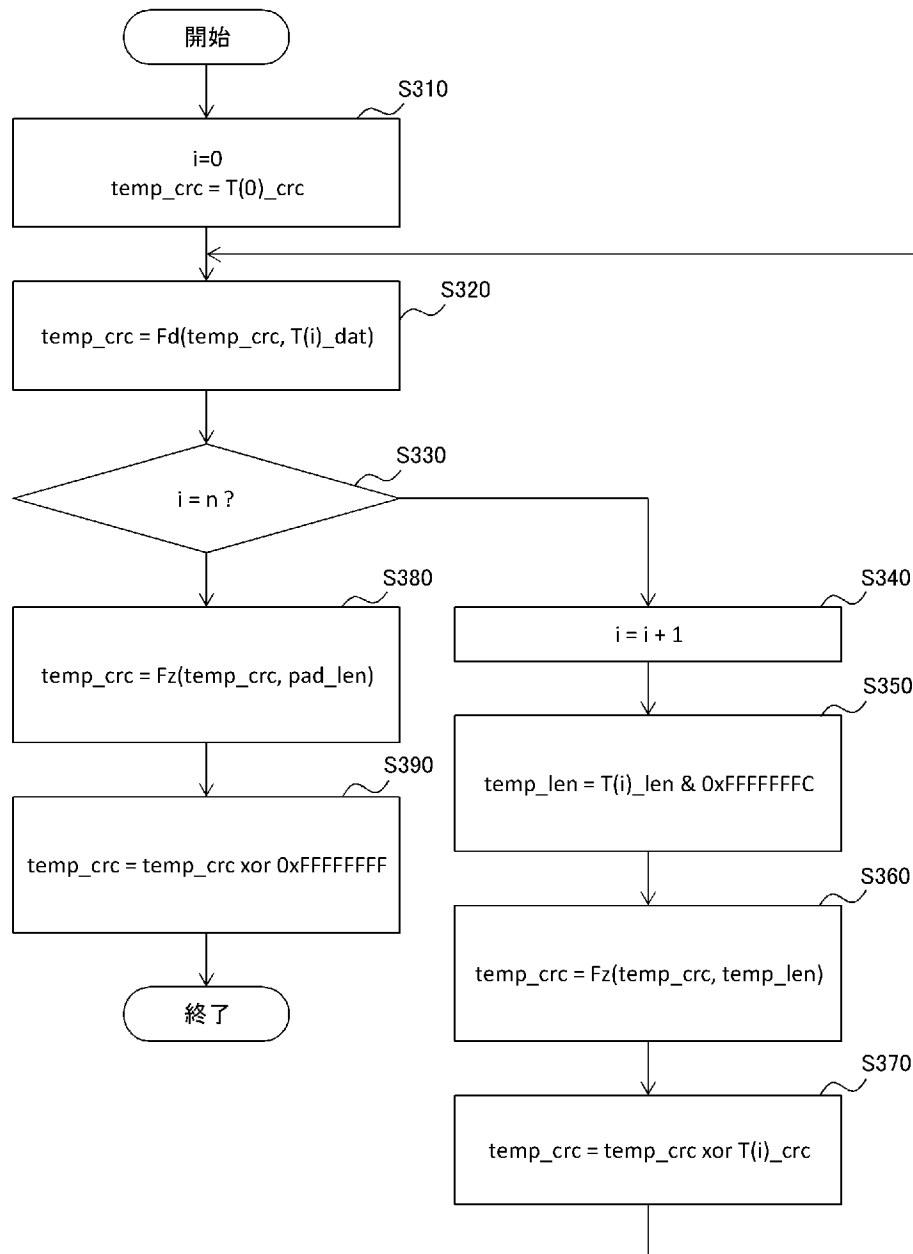
[図5]

図5



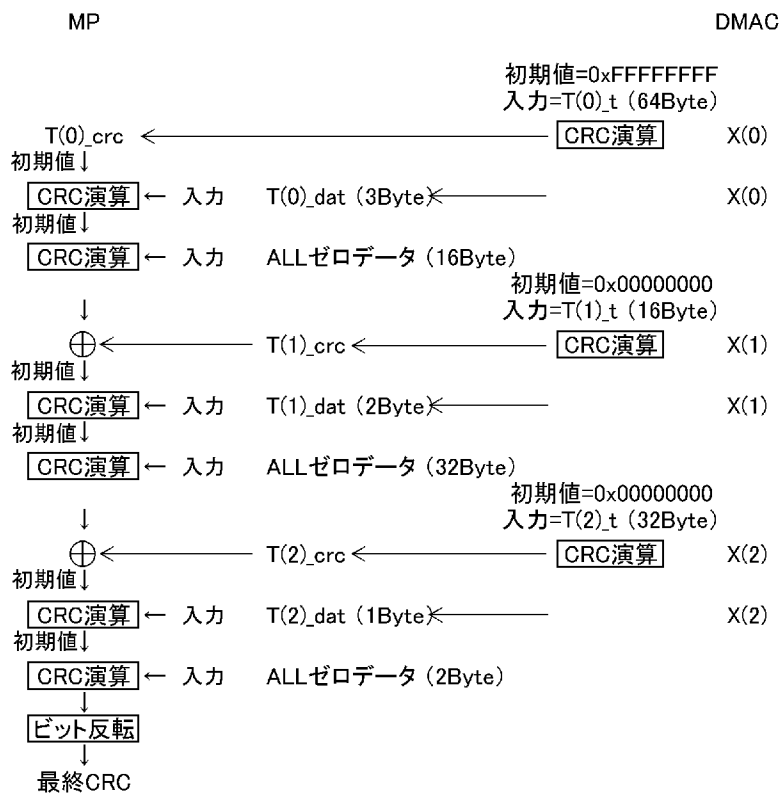
[図6]

図6



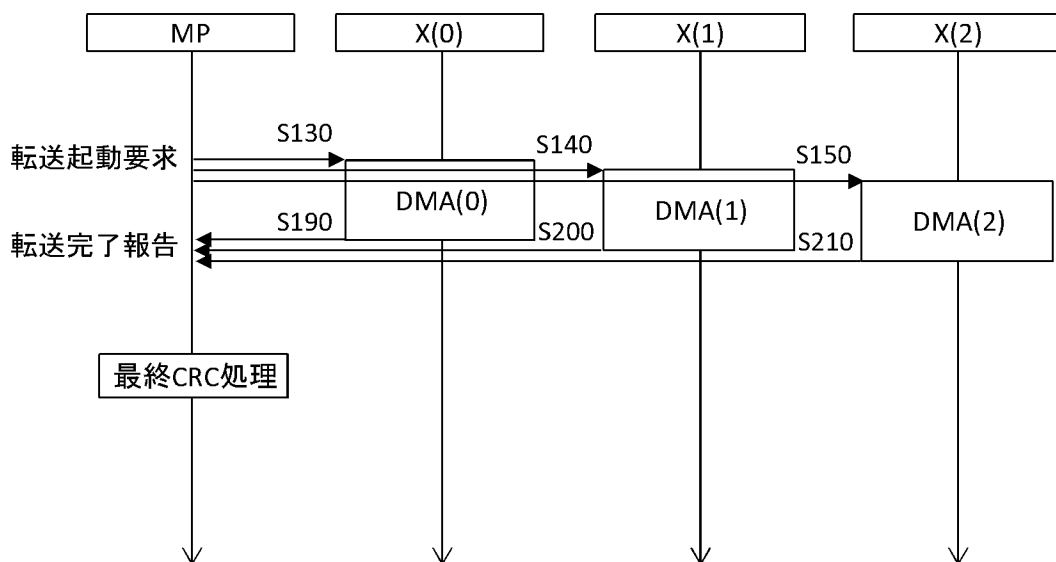
[図7]

図7



[図8]

図8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/051392

A. CLASSIFICATION OF SUBJECT MATTER

G06F13/00(2006.01)i, G06F3/06(2006.01)i, G06F13/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F13/00, G06F3/06, G06F13/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2010/095173 A1 (HITACHI, LTD.), 26 August 2010 (26.08.2010), entire text; all drawings & JP 2012-504788 A & US 2010/0211703 A1	1-3, 11 4, 5 6-10
A	JP 2002-185438 A (Matsushita Electric Industrial Co., Ltd.), 28 June 2002 (28.06.2002), entire text; all drawings (Family: none)	1-11
A	JP 2004-173178 A (NEC Corp.), 17 June 2004 (17.06.2004), entire text; all drawings (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 April, 2013 (15.04.13)Date of mailing of the international search report
23 April, 2013 (23.04.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/051392

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-176597 A (Panasonic Corp.), 08 September 2011 (08.09.2011), paragraphs [0025] to [0049]; fig. 3 to 6 & WO 2011/105031 A1	4, 5
Y	JP 09-116541 A (Toshiba Corp.), 02 May 1997 (02.05.1997), paragraphs [0032] to [0065]; fig. 1 to 5 & US 5867509 A	4, 5

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F13/00(2006.01)i, G06F3/06(2006.01)i, G06F13/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F13/00, G06F3/06, G06F13/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2010/095173 A1 (HITACHI, LTD) 2010.08.26, 全文、全図 & JP 2012-504788 A & US 2010/0211703 A1	1-3, 11 4, 5 6-10
A	JP 2002-185438 A (松下電器産業株式会社) 2002.06.28, 全文、全図 (ファミリーなし)	1-11
A	JP 2004-173178 A (日本電気株式会社) 2004.06.17, 全文、全図 (ファミリーなし)	1-11

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 4 . 2 0 1 3

国際調査報告の発送日

2 3 . 0 4 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

木村 貴俊

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 8

5 T

9 8 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-176597 A (パナソニック株式会社) 2011.09.08, 第25－49段落、図3－6 & WO 2011/105031 A1	4,5
Y	JP 09-116541 A (株式会社東芝) 1997.05.02, 第32－65段落、図1－5 & US 5867509 A	4,5