

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 21 年 4 月 30 日 (2009.4.30)

【公開番号】特開 2007-281091 (P2007-281091A)

【公開日】平成 19 年 10 月 25 日 (2007.10.25)

【年通号数】公開・登録公報 2007-041

【出願番号】特願 2006-103463 (P2006-103463)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 27/10 (2006.01)

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 8 1

【手続補正書】

【提出日】平成 21 年 3 月 12 日 (2009.3.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板の主面上に複数の不揮発性メモリセルを備え、
 前記複数の不揮発性メモリセルの各々は、
 前記半導体基板上に形成された電荷蓄積用の絶縁膜を含む第 1 ゲート絶縁膜と、
 前記第 1 ゲート絶縁膜上に形成され、前記半導体基板の主面に沿う方向に沿って互いに
 反対側に位置する第 1、第 2 側面を持つメモリゲート電極と、
 前記メモリゲート電極の前記第 1 側面に形成された第 1 サイドウォールと、
 前記第 1 サイドウォールの側面に形成された第 2 サイドウォールと、
 前記半導体基板の主面において、前記メモリゲート電極の前記第 1 側面に対して自己整
 合的に形成された第 1 半導体領域と、
 前記半導体基板の主面において、前記第 1 半導体領域に電氣的に接続されるように、前
 記第 1 サイドウォールの側面に対して自己整合的に形成された第 2 半導体領域と、
 前記第 2 半導体領域の上部に、前記第 2 サイドウォールの側面に対して自己整合的に形
 成された第 1 シリサイド層とを有し、
 前記第 2 半導体領域の上部には、前記メモリゲート電極下の前記半導体基板の表面に対
 して下方に位置する第 1 窪みが形成され、
 前記第 2 サイドウォールは、前記第 2 半導体領域に形成された前記第 1 窪みの側面を覆
 うように形成され、
 前記第 1 シリサイド層の前記メモリゲート電極側の端部は、前記第 2 サイドウォールに
 よって、前記第 1 半導体領域と前記第 2 半導体領域との接合端から離れた位置に形成され
 ていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記複数の不揮発性メモリセルの各々は、

前記半導体基板の主面上に形成された第2ゲート絶縁膜と、

前記第2ゲート絶縁膜上であって、前記メモリゲート電極の前記第2側面に前記第1ゲート絶縁膜を介して隣接する位置に設けられ、前記メモリゲート電極の前記第2側面に対向する第3側面と、前記第3側面に対して前記半導体基板の主面に沿う方向に沿って反対側に位置する第4側面とを有するコントロールゲート電極と、

前記コントロールゲート電極の前記第4側面に設けられた第3サイドウォールと、

前記第3サイドウォールの側面に設けられた第4サイドウォールと、

前記半導体基板の主面において、前記コントロールゲート電極の前記第4側面に対して自己整合的に形成された第3半導体領域と、

前記半導体基板の主面において、前記第3半導体領域に電氣的に接続されるように、前記第3サイドウォールの側面に対して自己整合的に形成された第4半導体領域と、

前記第4半導体領域の上部に、前記第4サイドウォールの側面に対して自己整合的に形成された第2シリサイド層とを有し、

前記第4半導体領域の上部には、前記コントロールゲート電極下の前記半導体基板の表面に対して下方に位置する第2窪みが形成され、

前記第4サイドウォールは、前記第4半導体領域に形成された前記第2窪みの側面を覆うように形成され、

前記第2シリサイド層の前記コントロールゲート電極側の端部は、前記第4サイドウォールによって、前記第3半導体領域と前記第4半導体領域との接合端から離れた位置に形成されていることを特徴とする半導体装置。

【請求項3】

請求項1または2記載の半導体装置において、

前記電荷蓄積用の絶縁膜を含む前記第1ゲート絶縁膜は、酸化シリコンおよび窒化シリコンの積層膜からなり、

前記電荷蓄積用の絶縁膜は前記窒化シリコンであることを特徴とする半導体装置。

【請求項4】

請求項1、2または3記載の半導体装置において、

前記第2サイドウォールの厚さは10nm～80nmであることを特徴とする半導体装置。

【請求項5】

請求項2、3または4記載の半導体装置において、

前記第4サイドウォールの厚さは10nm～80nmであることを特徴とする半導体装置。

【請求項6】

不揮発性メモリセルを有する半導体装置であって、

前記不揮発性メモリセルは、

半導体基板内に形成された第1導電型の第1ウェルと、

前記第1ウェル上に形成された第1ゲート絶縁膜と、

前記第1ゲート絶縁膜上に形成され、第1側面および第2側面を有するコントロールゲート電極と、

前記コントロールゲート電極の前記第1側面に形成され、かつ、第3側面および第4側面を有するメモリゲート電極と、

前記コントロールゲート電極の前記第1側面と前記メモリゲート電極の前記第3側面との間に形成され、かつ、前記メモリゲート電極と前記第1ウェルとの間に形成された第2ゲート絶縁膜と、

前記メモリゲート電極の前記第4側面側の前記第1ウェル内に形成され、前記第1導電型と反対の導電型である第2導電型の第1半導体領域と、

前記コントロール電極の前記第2側面側の前記第1ウェル内に形成され、前記第2導電型の第2半導体領域と、

前記メモリゲート電極の前記第 4 側面に形成された第 1 サイドウォールと、
前記コントロールゲート電極の前記第 2 側面に形成され、前記第 1 サイドウォールと同層の膜からなる第 2 サイドウォールと、
前記第 1 サイドウォールの側面側の前記第 1 ウェル内に形成され、かつ、前記第 1 半導体領域と電氣的に接続されるように形成された、前記第 2 導電型の第 3 半導体領域と、
前記第 2 サイドウォールの側面側の前記第 1 ウェル内に形成され、かつ、前記第 2 半導体領域と電氣的に接続されるように形成された、前記第 2 導電型の第 4 半導体領域と、
前記第 1 サイドウォールの側面に形成された第 3 サイドウォールと、
前記第 2 サイドウォールの側面に形成され、前記第 3 サイドウォールと同層の膜からなる第 4 サイドウォールと、
前記第 3 半導体領域の上部に形成され、かつ、前記第 3 サイドウォールの側面側に形成された第 1 シリサイド層と、
前記第 4 半導体領域の上部に形成され、かつ、前記第 4 サイドウォールの側面側に形成された第 2 シリサイド層とを有し、
前記第 3 半導体領域および前記第 4 半導体領域の上部には、前記コントロールゲート電極下の前記第 1 ウェルの表面および前記メモリゲート電極下の前記第 1 ウェルの表面に対して下方に位置する第 1 窪みおよび第 2 窪みが形成され、
前記第 3 サイドウォールは前記第 3 半導体領域に形成された前記第 1 窪みの側面を覆うように形成され、前記第 4 サイドウォールは前記第 4 半導体領域に形成された前記第 2 窪みの側面を覆うように形成されていることを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、
前記メモリゲート電極はサイドウォール状に形成されていることを特徴とする半導体装置。

【請求項 8】

請求項 6 または 7 記載の半導体装置において、
前記第 1 導電型は p 型であり、前記第 2 導電型は n 型であることを特徴とする半導体装置。

【請求項 9】

請求項 6 , 7 または 8 記載の半導体装置において、
前記第 2 ゲート絶縁膜は、第 1 絶縁膜、前記第 1 絶縁膜上に形成された電荷蓄積膜、および、前記電荷蓄積膜上に形成された第 2 絶縁膜の積層膜からなることを特徴とする半導体装置。

【請求項 10】

請求項 9 記載の半導体装置において、
前記電荷蓄積膜は窒化シリコン膜であることを特徴とする半導体装置。

【請求項 11】

請求項 6 ~ 10 のいずれか一項に記載の半導体装置において、
前記第 3 サイドウォールの厚さは 10 nm ~ 80 nm であることを特徴とする半導体装置。

【請求項 12】

半導体基板中に形成された第 1 導電型の第 1 ウェルと、
前記第 1 ウェル上に形成された第 1 ゲート絶縁膜と、
前記第 1 ゲート絶縁膜上に形成された第 1 側面および第 2 側面を有する第 1 ゲート電極と、
前記第 1 ゲート電極の前記第 1 側面に形成された第 1 サイドウォールと、
前記第 1 ゲート電極の前記第 2 側面に形成された前記第 1 サイドウォールと同層の膜からなる第 2 サイドウォールと、
前記第 1 ウェル中に形成され、かつ、前記第 1 ゲート電極の前記第 1 側面側に形成された前記第 1 導電型と反対の導電型である第 2 導電型の第 1 半導体領域と、

前記第 1 ウェル中に形成され、かつ、前記第 1 ゲート電極の前記第 2 側面側に形成された前記第 2 導電型の第 2 半導体領域と、

前記第 1 半導体領域に電氣的に接続されるように、前記第 1 ウェル中に形成され、かつ、前記第 1 サイドウォールの側面側に形成された前記第 2 導電型の第 3 半導体領域と、

前記第 2 半導体領域に電氣的に接続されるように、前記第 1 ウェル中に形成され、かつ、前記第 2 サイドウォールの側面側に形成された前記第 2 導電型の第 4 半導体領域と、

前記第 1 サイドウォールの側面に形成された第 3 サイドウォールと、

前記第 2 サイドウォールの側面に形成された前記第 3 サイドウォールと同層の膜からなる第 4 サイドウォールと、

前記第 3 半導体領域の上部で、前記第 3 サイドウォールの側面側に形成された第 1 シリサイド層と、

前記第 4 半導体領域の上部で、前記第 4 サイドウォールの側面側に形成された第 2 シリサイド層とを有し、

前記第 3 半導体領域の上部には前記第 1 ゲート電極下の前記半導体基板の表面に対して下方に位置する第 1 窪みが形成され、

前記第 4 半導体領域の上部には前記第 1 ゲート電極下の前記半導体基板の表面に対して下方に位置する第 2 窪みが形成され、

前記第 3 サイドウォールが前記第 3 半導体領域に形成された前記第 1 窪みの側面を覆うように形成され、

前記第 4 サイドウォールが前記第 4 半導体領域に形成された前記第 2 窪みの側面を覆うように形成されていることを特徴とする半導体装置。

【請求項 1 3】

請求項 1 2 記載の半導体装置において、

前記第 3 サイドウォールおよび前記第 4 サイドウォールの厚さは 10 nm ~ 80 nm であることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 ~ 1 3 のいずれか一項に記載の半導体装置において、

前記半導体基板の主面には分離部で規定される活性領域が形成されており、

前記分離部は、前記半導体基板の主面に掘られた溝の内部に分離用絶縁膜が埋め込まれることで形成されており、

前記半導体基板の主面の前記分離用絶縁膜の上面において、前記活性領域との隣接部分には、前記溝の側面の前記半導体基板の一部が露出するような第 3 窪みが形成されており、

前記第 3 窪みには、前記第 3 窪みから露出する前記溝の側面の前記半導体基板の一部を覆うように、第 5 サイドウォールが形成されていることを特徴とする半導体装置。

【請求項 1 5】

(a) 半導体基板の主面に、分離部と、これによって規定される活性領域とを形成する工程、

(b) 前記半導体基板の主面に不揮発性メモリセルの電荷蓄積用の絶縁膜を含む第 1 ゲート絶縁膜を形成する工程、

(c) 前記第 1 ゲート絶縁膜上に、前記半導体基板の主面に沿う方向に沿って互いに反対側に位置する第 1、第 2 側面を持つメモリゲート電極を形成する工程、

(d) 前記半導体基板の主面に、前記メモリゲート電極の第 1 側面に対して自己整合的に第 1 半導体領域を形成する工程、

(e) 前記 (d) 工程後、前記半導体基板の主面上に第 1 絶縁膜を堆積する工程、

(f) 前記第 1 絶縁膜および前記第 1 半導体領域をエッチングすることで、前記メモリゲート電極の前記第 1 側面に第 1 サイドウォールを形成し、かつ、前記第 1 半導体領域の上部で、かつ、前記第 1 サイドウォールの側面側に、前記メモリゲート電極下の前記半導体基板の表面に対して下方に位置する第 1 窪みを形成する工程、

(g) 前記 (f) 工程後、前記半導体基板の主面に、前記第 1 半導体領域に電氣的に接

続されるように、前記第 1 サイドウォールの側面に対して自己整合的に第 2 半導体領域を形成する工程、

(h) 前記 (g) 工程後、前記半導体基板の主面上に第 2 絶縁膜を堆積する工程、

(i) 前記第 2 絶縁膜をエッチングすることで、前記第 1 サイドウォールの側面に第 2 サイドウォールを形成する工程、

(j) 前記 (i) 工程後、前記第 2 半導体領域の上部に、前記第 2 絶縁膜の側面に対して自己整合的に形成された第 1 シリサイド層を形成する工程とを有し、

前記第 2 サイドウォールは前記第 1 窪みの側面を覆うように形成され、

前記第 1 シリサイド層の前記メモリゲート電極側の端部は、前記第 2 サイドウォールによって、前記第 1 半導体領域と前記第 2 半導体領域との接合部から離れた位置に形成されていることを特徴とする半導体装置の製造方法。

【請求項 16】

請求項 15 記載の半導体装置の製造方法において、

前記 (b) 工程の前に、

前記半導体基板の主面の前記不揮発性メモリセルの形成領域に第 2 ゲート絶縁膜を形成する工程、

前記第 2 ゲート絶縁膜上であって、前記メモリゲート電極の前記第 2 側面に前記第 1 ゲート絶縁膜を介して隣接する位置に、前記メモリゲート電極の前記第 2 側面に対向する第 3 側面と、前記第 3 側面に対して前記半導体基板の主面に沿う方向に沿って反対側に位置する第 4 側面とを有するコントロールゲート電極を形成する工程を有し、

前記 (d) 工程の前記第 1 半導体領域の形成においては、前記半導体基板の主面に、前記コントロールゲート電極の前記第 4 側面に対して自己整合的に第 3 半導体領域を形成し、

前記 (f) 工程の前記第 1 サイドウォールの形成工程においては、前記第 1 絶縁膜および前記第 3 半導体領域をエッチングすることで、前記コントロールゲート電極の前記第 4 側面に第 3 サイドウォールを形成し、かつ、前記第 3 半導体領域の上部で、かつ、前記第 3 サイドウォールの側面側に、前記コントロール電極下の前記半導体基板に対して下方に位置する第 2 窪みを形成し、

前記 (g) 工程の前記第 2 半導体領域の形成工程においては、前記半導体基板の主面に、前記第 3 半導体領域に電氣的に接続されるように、前記第 3 サイドウォールの側面に対して自己整合的に第 4 半導体領域を形成し、

前記 (i) 工程の前記第 2 絶縁膜のエッチング工程においては、前記第 3 サイドウォールの側面に第 4 サイドウォールを形成し、

前記 (j) 工程の前記第 1 シリサイド層の形成工程においては、前記第 4 半導体領域の上部に、前記第 4 絶縁膜の側面に対して自己整合的に第 2 シリサイド層を形成し、

前記第 4 サイドウォールは前記第 2 窪みの側面を覆うように形成され、

前記第 2 シリサイド層の前記コントロール電極側の端部は、前記第 4 サイドウォールによって、前記第 3 半導体領域と前記第 4 半導体領域との接合端から離れた位置に形成されていることを特徴とする半導体装置の製造方法。

【請求項 17】

請求項 15 または 16 記載の半導体装置の製造方法において、

前記分離部の形成工程は、

前記半導体基板の主面に溝を形成する工程と、

前記溝内に分離用絶縁膜を埋め込む工程とを有しており、

前記 (i) 工程では、

前記半導体基板の主面の前記分離用絶縁膜の上面において、前記活性領域との隣接部分に、前記メモリゲート電極下の前記半導体基板の表面および前記コントロールゲート電極下の前記半導体基板の主面に対して下方に位置するように形成された第 3 窪みに、前記第 3 窪みから露出する前記溝の側面の前記半導体基板の一部を覆うように、第 5 サイドウォールを形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 18】

請求項 15, 16 または 17 記載の半導体装置の製造方法において、
前記 (b) 工程における前記第 1 ゲート絶縁膜を形成する工程は、
(b1) 前記半導体基板の主面に第 4 絶縁膜を形成する工程、
(b2) 前記第 4 絶縁膜上に第 1 電荷蓄積膜を形成する工程、
(b3) 前記第 1 電荷蓄積膜上に第 5 絶縁膜を形成する工程を有することを特徴とする
半導体装置の製造方法。

【請求項 19】

請求項 18 記載の半導体装置の製造方法において、
前記第 1 電荷蓄積膜は窒化シリコンであることを特徴とする半導体装置の製造方法。

【請求項 20】

請求項 15 ~ 19 のいずれか一項に記載の半導体装置の製造方法において、
前記第 2 サイドウォールの厚さは 10 nm ~ 80 nm であることを特徴とする半導体装置の製造方法。

【請求項 21】

請求項 15 ~ 20 のいずれか一項に記載の半導体装置の製造方法において、
前記第 2 サイドウォールは、前記半導体基板の主面上に、前記第 1 シリサイド層または
第 2 シリサイド層を形成しない領域を覆う絶縁膜のパターンを形成する工程と同一工程で
形成することを特徴とする半導体装置の製造方法。

【請求項 22】

請求項 16 ~ 21 のいずれか一項に記載の半導体装置の製造方法において、
前記第 4 サイドウォールの厚さは 10 nm ~ 80 nm であることを特徴とする半導体装置の製造方法。

【請求項 23】

請求項 16 ~ 22 のいずれか一項に記載の半導体装置の製造方法において、
前記第 4 サイドウォールは、前記半導体基板の主面上に、前記第 1 シリサイド層または
第 2 シリサイド層を形成しない領域を覆う絶縁膜のパターンを形成する工程と同一工程で
形成することを特徴とする半導体装置の製造方法。

【請求項 24】

(a) 半導体基板中に第 1 導電型の第 1 ウェルを形成する工程、
(b) 前記第 1 ウェル上に第 1 ゲート絶縁膜を形成する工程、
(c) 前記第 1 ゲート絶縁膜上に、第 1 側面および第 2 側面を有するコントロールゲート電極を形成する工程、
(d) 前記 (c) 工程の後に、前記第 1 ウェル上に第 2 ゲート絶縁膜を形成する工程、
(e) 第 3 側面および第 4 側面を有し、前記第 2 絶縁膜を介して前記第 1 ウェル上に位置し、かつ、前記第 2 ゲート絶縁膜を介して前記コントロールゲート電極の前記第 1 側面側に前記第 3 側面が位置するようにメモリゲート電極を形成する工程、
(f) 前記 (e) 工程の後に、前記第 1 ウェル中に前記第 1 導電型と反対の導電型である第 2 導電型の第 1 半導体領域を前記メモリゲート電極の前記第 4 側面側に形成し、かつ、前記第 2 導電型の第 2 半導体領域を前記コントロールゲート電極の前記第 2 側面側に形成する工程、
(g) 前記 (f) 工程の後に、前記半導体基板上に第 1 絶縁膜を堆積する工程、
(h) 前記第 1 絶縁膜をエッチングすることで、前記メモリゲート電極の前記第 4 側面に第 1 サイドウォールを形成し、かつ、前記コントロールゲート電極の前記第 2 側面に第 2 サイドウォールを形成し、さらに、前記第 1 半導体領域をエッチングすることで、前記第 1 半導体領域の上部で、かつ、前記第 1 サイドウォールの側面側に、前記コントロールゲート電極下の前記第 1 ウェルの表面および前記メモリゲート電極の前記第 1 ウェルの表面に対して下方に位置する第 1 窪みを形成し、かつ、前記第 2 半導体領域をエッチングすることで、前記第 2 半導体領域の上部であり、かつ、前記第 2 サイドウォールの側面側に、前記コントロールゲート電極下の前記第 1 ウェルの表面および前記メモリゲート電極下の前記第 1 ウ

エルの表面に対して下方に位置する第 2 窪みを形成する工程、

(i) 前記 (h) 工程の後に、前記第 1 ウェル中で前記第 1 サイドウォールの側面側に、前記第 1 半導体領域に電氣的に接続されるように前記第 2 導電型の第 3 半導体領域を形成し、かつ、前記第 1 ウェル中で前記第 2 サイドウォールの側面側に、前記第 2 半導体領域に電氣的に接続されるように前記第 2 導電型の第 4 半導体領域を形成する工程、

(j) 前記 (i) 工程の後に、前記半導体基板上に第 2 絶縁膜を堆積する工程、

(k) 前記第 2 絶縁膜をエッチングすることで、前記第 1 サイドウォールの側面に第 3 サイドウォールを形成し、かつ、前記第 2 サイドウォールの側面に第 4 サイドウォールを形成する工程、

(l) 前記 (k) 工程後、前記第 3 半導体領域の上部で、かつ、前記第 3 サイドウォールの側面側に第 1 シリサイド層を形成し、かつ、前記第 4 半導体領域の上部で、かつ、前記第 4 サイドウォールの側面側に第 2 シリサイド層を形成する工程とを有し、

前記第 3 サイドウォールは前記第 1 窪みの側面を覆うように形成され、かつ、前記第 4 サイドウォールは前記第 2 窪みの側面を覆うように形成されていることを特徴とする半導体装置の製造方法。

【請求項 25】

請求項 24 記載の半導体装置の製造方法において、

前記メモリゲート電極はサイドウォール状に形成されていることを特徴とする半導体装置の製造方法。

【請求項 26】

請求項 24 または 25 記載の半導体装置の製造方法において、

前記 (a) 工程の前に、前記半導体基板中に溝を形成する工程と、

前記溝内に第 3 絶縁膜を埋め込み、素子分離構造を形成する工程とを有し、

前記半導体基板上には前記素子分離構造で規定される活性領域が形成されており、

前記 (l) 工程では、前記半導体基板上の前記第 3 絶縁膜の上面において、前記活性領域との隣接部分に前記メモリゲート電極下の前記半導体基板の主面および前記コントロールゲート電極下の前記半導体基板の主面に対して下方に位置するように形成された第 3 窪みに、前記第 3 窪みから露出する前記溝の側面の前記半導体基板の一部を覆うように、第 5 サイドウォールが形成されていることを特徴とする半導体装置の製造方法。

【請求項 27】

請求項 24 , 25 または 26 記載の半導体装置の製造方法において、

前記第 1 導電型は p 型であり、前記第 2 導電型は n 型であることを特徴とする半導体装置の製造方法。

【請求項 28】

請求項 24 ~ 27 のいずれか一項に記載の半導体装置の製造方法において、

前記 (e) 工程における前記第 2 ゲート絶縁膜を形成する工程は、

(e 1) 前記第 1 ウェル上に第 4 絶縁膜を形成する工程、

(e 2) 前記第 4 絶縁膜上に第 1 電荷蓄積膜を形成する工程、

(e 3) 前記第 1 電荷蓄積膜上に第 5 絶縁膜を形成する工程とからなることを特徴とする半導体装置の製造方法。

【請求項 29】

請求項 28 記載の半導体装置の製造方法において、

前記第 1 電荷蓄積膜は窒化シリコンであることを特徴とする半導体装置の製造方法。

【請求項 30】

請求項 24 ~ 29 のいずれか一項に記載の半導体装置の製造方法において、

前記第 3 サイドウォールおよび前記第 4 サイドウォールの厚さは 10 nm ~ 80 nm であることを特徴とする半導体装置の製造方法。

【請求項 31】

請求項 24 ~ 30 のいずれか一項に記載の半導体装置の製造方法において、

前記第 3 サイドウォールおよび第 4 サイドウォールは、前記半導体基板の主面上に、前

記第 1 シリサイド層または第 2 シリサイド層を形成しない領域を覆う絶縁膜のパターンを形成する工程と同一工程で形成することを特徴とする半導体装置の製造方法。

【請求項 3 2】

- (a) 半導体基板中に第 1 導電型の第 1 ウェルを形成する工程、
- (b) 前記第 1 ウェル上に第 1 ゲート絶縁膜を形成する工程、
- (c) 前記第 1 ゲート絶縁膜上に、第 1 側面および第 2 側面を有する第 1 ゲート電極を形成する工程、
- (d) 前記 (c) 工程の後に、前記第 1 ウェル中に前記第 1 導電型と反対の導電型である第 2 導電型の第 1 半導体領域を前記第 1 ゲート電極の前記第 1 側面側に形成し、かつ、前記第 2 導電型の第 2 半導体領域を前記第 1 ゲート電極の前記第 2 側面側に形成する工程、
- (e) 前記 (d) 工程の後に、前記半導体基板上に第 1 絶縁膜を堆積する工程、
- (f) 前記第 1 絶縁膜をエッチングすることで、前記第 1 ゲート電極の前記第 1 側面に第 1 サイドウォールを形成し、かつ、前記第 1 ゲート電極の前記第 2 側面に第 2 サイドウォールを形成し、さらに、前記第 1 半導体領域をエッチングすることで、前記第 1 半導体領域の上部で、かつ、前記第 1 サイドウォールの側面側に、前記第 1 ゲート電極下の前記第 1 ウェルの表面に対して下方に位置する第 1 窪みを形成し、かつ、前記第 2 半導体領域をエッチングすることで、前記第 2 半導体領域の上部で、かつ、前記第 2 サイドウォールの側面側に、前記第 1 ゲート電極下の前記第 1 ウェルの表面に対して下方に位置する第 2 窪みを形成する工程、
- (g) 前記 (f) 工程の後に、前記第 1 ウェル中で前記第 1 サイドウォールの側面側に、前記第 1 半導体領域に電氣的に接続されるように前記第 2 導電型の第 3 半導体領域を形成し、かつ、前記第 1 ウェル中で前記第 2 サイドウォールの側面側に、前記第 2 半導体領域に電氣的に接続されるように前記第 2 導電型の第 4 半導体領域を形成する工程、
- (h) 前記 (g) 工程の後に、前記半導体基板上に第 2 絶縁膜を堆積する工程、
- (i) 前記第 2 絶縁膜をエッチングすることで、前記第 1 サイドウォールの側面に第 3 サイドウォールを形成し、かつ、前記第 2 サイドウォールの側面に第 4 サイドウォールを形成する工程、
- (j) 前記 (i) 工程後、前記第 3 半導体領域の上部で、かつ、前記第 3 サイドウォールの側面側に第 1 シリサイド層を形成し、かつ、前記第 4 半導体領域の上部で、かつ、前記第 4 サイドウォールの側面側に第 2 シリサイド層を形成する工程とを有し、
前記第 3 サイドウォールは前記第 1 窪みの側面を覆うように形成され、かつ、前記第 4 サイドウォールは前記第 2 窪みの側面を覆うように形成されていることを特徴とする半導体装置の製造方法。

【請求項 3 3】

請求項 3 2 記載の半導体装置の製造方法において、
前記第 3 サイドウォールおよび前記第 4 サイドウォールの厚さは 10 nm ~ 80 nm であることを特徴とする半導体装置の製造方法。

【請求項 3 4】

請求項 3 2 または 3 3 記載の半導体装置の製造方法において、
前記第 3 サイドウォールおよび第 4 サイドウォールは、前記半導体基板の主面上に、前記第 1 シリサイド層または第 2 シリサイド層を形成しない領域を覆う絶縁膜のパターンを形成する工程と同一工程で形成することを特徴とする半導体装置の製造方法。