

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年4月30日(2009.4.30)

【公開番号】特開2007-281091(P2007-281091A)

【公開日】平成19年10月25日(2007.10.25)

【年通号数】公開・登録公報2007-041

【出願番号】特願2006-103463(P2006-103463)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

H 01 L 27/115 (2006.01)

H 01 L 27/10 (2006.01)

【F I】

H 01 L 29/78 3 7 1

H 01 L 27/10 4 3 4

H 01 L 27/10 4 8 1

【手続補正書】

【提出日】平成21年3月12日(2009.3.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板の主面上に複数の不揮発性メモリセルを備え、

前記複数の不揮発性メモリセルの各々は、

前記半導体基板上に形成された電荷蓄積用の絶縁膜を含む第1ゲート絶縁膜と、

前記第1ゲート絶縁膜上に形成され、前記半導体基板の主面に沿う方向に沿って互いに反対側に位置する第1、第2側面を持つメモリゲート電極と、

前記メモリゲート電極の前記第1側面に形成された第1サイドウォールと、

前記第1サイドウォールの側面に形成された第2サイドウォールと、

前記半導体基板の主面において、前記メモリゲート電極の前記第1側面に対して自己整合的に形成された第1半導体領域と、

前記半導体基板の主面において、前記第1半導体領域に電気的に接続されるように、前記第1サイドウォールの側面に対して自己整合的に形成された第2半導体領域と、

前記第2半導体領域の上部に、前記第2サイドウォールの側面に対して自己整合的に形成された第1シリサイド層とを有し、

前記第2半導体領域の上部には、前記メモリゲート電極下の前記半導体基板の表面に対して下方に位置する第1窪みが形成され、

前記第2サイドウォールは、前記第2半導体領域に形成された前記第1窪みの側面を覆うように形成され、

前記第1シリサイド層の前記メモリゲート電極側の端部は、前記第2サイドウォールによって、前記第1半導体領域と前記第2半導体領域との接合端から離れた位置に形成されていることを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記複数の不揮発性メモリセルの各々は、

前記半導体基板の主面上に形成された第2ゲート絶縁膜と、

前記第2ゲート絶縁膜上であって、前記メモリゲート電極の前記第2側面に前記第1ゲート絶縁膜を介して隣接する位置に設けられ、前記メモリゲート電極の前記第2側面に対向する第3側面と、前記第3側面に対して前記半導体基板の主面に沿う方向に沿って反対側に位置する第4側面とを有するコントロールゲート電極と、

前記コントロールゲート電極の前記第4側面に設けられた第3サイドウォールと、

前記第3サイドウォールの側面に設けられた第4サイドウォールと、

前記半導体基板の主面において、前記コントロールゲート電極の前記第4側面に対して自己整合的に形成された第3半導体領域と、

前記半導体基板の主面において、前記第3半導体領域に電気的に接続されるように、前記第3サイドウォールの側面に対して自己整合的に形成された第4半導体領域と、

前記第4半導体領域の上部に、前記第4サイドウォールの側面に対して自己整合的に形成された第2シリサイド層とを有し、

前記第4半導体領域の上部には、前記コントロールゲート電極下の前記半導体基板の表面に対して下方に位置する第2窪みが形成され、

前記第4サイドウォールは、前記第4半導体領域に形成された前記第2窪みの側面を覆うように形成され、

前記第2シリサイド層の前記コントロールゲート電極側の端部は、前記第4サイドウォールによって、前記第3半導体領域と前記第4半導体領域との接合端から離れた位置に形成されていることを特徴とする半導体装置。

#### 【請求項3】

請求項1または2記載の半導体装置において、

前記電荷蓄積用の絶縁膜を含む前記第1ゲート絶縁膜は、酸化シリコンおよび窒化シリコンの積層膜からなり、

前記電荷蓄積用の絶縁膜は前記窒化シリコンであることを特徴とする半導体装置。

#### 【請求項4】

請求項1, 2または3記載の半導体装置において、

前記第2サイドウォールの厚さは10nm~80nmであることを特徴とする半導体装置。

#### 【請求項5】

請求項2, 3または4記載の半導体装置において、

前記第4サイドウォールの厚さは10nm~80nmであることを特徴とする半導体装置。

#### 【請求項6】

不揮発性メモリセルを有する半導体装置であって、

前記不揮発性メモリセルは、

半導体基板内に形成された第1導電型の第1ウェルと、

前記第1ウェル上に形成された第1ゲート絶縁膜と、

前記第1ゲート絶縁膜上に形成され、第1側面および第2側面を有するコントロールゲート電極と、

前記コントロールゲート電極の前記第1側面に形成され、かつ、第3側面および第4側面を有するメモリゲート電極と、

前記コントロールゲート電極の前記第1側面と前記メモリゲート電極の前記第3側面との間に形成され、かつ、前記メモリゲート電極と前記第1ウェルとの間に形成された第2ゲート絶縁膜と、

前記メモリゲート電極の前記第4側面側の前記第1ウェル内に形成され、前記第1導電型と反対の導電型である第2導電型の第1半導体領域と、

前記コントロール電極の前記第2側面側の前記第1ウェル内に形成され、前記第2導電型の第2半導体領域と、

前記メモリゲート電極の前記第4側面に形成された第1サイドウォールと、  
前記コントロールゲート電極の前記第2側面に形成され、前記第1サイドウォールと同層の膜からなる第2サイドウォールと、

前記第1サイドウォールの側面側の前記第1ウェル内に形成され、かつ、前記第1半導体領域と電気的に接続されるように形成された、前記第2導電型の第3半導体領域と、

前記第2サイドウォールの側面側の前記第1ウェル内に形成され、かつ、前記第2半導体領域と電気的に接続されるように形成された、前記第2導電型の第4半導体領域と、

前記第1サイドウォールの側面に形成された第3サイドウォールと、

前記第2サイドウォールの側面に形成され、前記第3サイドウォールと同層の膜からなる第4サイドウォールと、

前記第3半導体領域の上部に形成され、かつ、前記第3サイドウォールの側面側に形成された第1シリサイド層と、

前記第4半導体領域の上部に形成され、かつ、前記第4サイドウォールの側面側に形成された第2シリサイド層とを有し、

前記第3半導体領域および前記第4半導体領域の上部には、前記コントロールゲート電極下の前記第1ウェルの表面および前記メモリゲート電極下の前記第1ウェルの表面に対して下方に位置する第1窪みおよび第2窪みが形成され、

前記第3サイドウォールは前記第3半導体領域に形成された前記第1窪みの側面を覆うように形成され、前記第4サイドウォールは前記第4半導体領域に形成された前記第2窪みの側面を覆うように形成されていることを特徴とする半導体装置。

#### 【請求項7】

請求項6記載の半導体装置において、

前記メモリゲート電極はサイドウォール状に形成されていることを特徴とする半導体装置。

#### 【請求項8】

請求項6または7記載の半導体装置において、

前記第1導電型はp型であり、前記第2導電型はn型であることを特徴とする半導体装置。

#### 【請求項9】

請求項6,7または8記載の半導体装置において、

前記第2ゲート絶縁膜は、第1絶縁膜、前記第1絶縁膜上に形成された電荷蓄積膜、および、前記電荷蓄積膜上に形成された第2絶縁膜の積層膜からなることを特徴とする半導体装置。

#### 【請求項10】

請求項9記載の半導体装置において、

前記電荷蓄積膜は窒化シリコン膜であることを特徴とする半導体装置。

#### 【請求項11】

請求項6~10のいずれか一項に記載の半導体装置において、

前記第3サイドウォールの厚さは10nm~80nmであることを特徴とする半導体装置。

#### 【請求項12】

半導体基板中に形成された第1導電型の第1ウェルと、

前記第1ウェル上に形成された第1ゲート絶縁膜と、

前記第1ゲート絶縁膜上に形成された第1側面および第2側面を有する第1ゲート電極と、

前記第1ゲート電極の前記第1側面に形成された第1サイドウォールと、

前記第1ゲート電極の前記第2側面に形成された前記第1サイドウォールと同層の膜からなる第2サイドウォールと、

前記第1ウェル中に形成され、かつ、前記第1ゲート電極の前記第1側面側に形成された前記第1導電型と反対の導電型である第2導電型の第1半導体領域と、

前記第1ウェル中に形成され、かつ、前記第1ゲート電極の前記第2側面側に形成された前記第2導電型の第2半導体領域と、

前記第1半導体領域に電気的に接続されるように、前記第1ウェル中に形成され、かつ、前記第1サイドウォールの側面側に形成された前記第2導電型の第3半導体領域と、

前記第2半導体領域に電気的に接続されるように、前記第1ウェル中に形成され、かつ、前記第2サイドウォールの側面側に形成された前記第2導電型の第4半導体領域と、

前記第1サイドウォールの側面に形成された第3サイドウォールと、

前記第2サイドウォールの側面に形成された前記第3サイドウォールと同層の膜からなる第4サイドウォールと、

前記第3半導体領域の上部で、前記第3サイドウォールの側面側に形成された第1シリサイド層と、

前記第4半導体領域の上部で、前記第4サイドウォールの側面側に形成された第2シリサイド層とを有し、

前記第3半導体領域の上部には前記第1ゲート電極下の前記半導体基板の表面に対して下方に位置する第1窪みが形成され、

前記第4半導体領域の上部には前記第1ゲート電極下の前記半導体基板の表面に対して下方に位置する第2窪みが形成され、

前記第3サイドウォールが前記第3半導体領域に形成された前記第1窪みの側面を覆うように形成され、

前記第4サイドウォールが前記第4半導体領域に形成された前記第2窪みの側面を覆うように形成されていることを特徴とする半導体装置。

#### 【請求項13】

請求項12記載の半導体装置において、

前記第3サイドウォールおよび前記第4サイドウォールの厚さは10nm～80nmであることを特徴とする半導体装置。

#### 【請求項14】

請求項1～13のいずれか一項に記載の半導体装置において、

前記半導体基板の正面には分離部で規定される活性領域が形成されており、

前記分離部は、前記半導体基板の正面に掘られた溝の内部に分離用絶縁膜が埋め込まれることで形成されており、

前記半導体基板の正面の前記分離用絶縁膜の上面において、前記活性領域との隣接部分には、前記溝の側面の前記半導体基板の一部が露出するよう<sub>な</sub>第3窪みが形成されており、

前記第3窪みには、前記第3窪みから露出する前記溝の側面の前記半導体基板の一部を覆うように、第5サイドウォールが形成されていることを特徴とする半導体装置。

#### 【請求項15】

(a) 半導体基板の正面に、分離部と、これによって規定される活性領域とを形成する工程、

(b) 前記半導体基板の正面に不揮発性メモリセルの電荷蓄積用の絶縁膜を含む第1ゲート絶縁膜を形成する工程、

(c) 前記第1ゲート絶縁膜上に、前記半導体基板の正面に沿う方向に沿って互いに反対側に位置する第1、第2側面を持つメモリゲート電極を形成する工程、

(d) 前記半導体基板の正面に、前記メモリゲート電極の第1側面に対して自己整合的に第1半導体領域を形成する工程、

(e) 前記(d)工程後、前記半導体基板の主面上に第1絶縁膜を堆積する工程、

(f) 前記第1絶縁膜および前記第1半導体領域をエッチングすることで、前記メモリゲート電極の前記第1側面に第1サイドウォールを形成し、かつ、前記第1半導体領域の上部で、かつ、前記第1サイドウォールの側面側に、前記メモリゲート電極下の前記半導体基板の表面に対して下方に位置する第1窪みを形成する工程、

(g) 前記(f)工程後、前記半導体基板の正面に、前記第1半導体領域に電気的に接

続されるように、前記第1サイドウォールの側面に対して自己整合的に第2半導体領域を形成する工程、

(h) 前記(g)工程後、前記半導体基板の主面上に第2絶縁膜を堆積する工程、

(i) 前記第2絶縁膜をエッチングすることで、前記第1サイドウォールの側面に第2サイドウォールを形成する工程、

(j) 前記(i)工程後、前記第2半導体領域の上部に、前記第2絶縁膜の側面に対して自己整合的に形成された第1シリサイド層を形成する工程とを有し、

前記第2サイドウォールは前記第1窪みの側面を覆うように形成され、

前記第1シリサイド層の前記メモリゲート電極側の端部は、前記第2サイドウォールによって、前記第1半導体領域と前記第2半導体領域との接合部から離れた位置に形成されていることを特徴とする半導体装置の製造方法。

#### 【請求項16】

請求項15記載の半導体装置の製造方法において、

前記(b)工程の前に、

前記半導体基板の主面の前記不揮発性メモリセルの形成領域に第2ゲート絶縁膜を形成する工程、

前記第2ゲート絶縁膜上であって、前記メモリゲート電極の前記第2側面に前記第1ゲート絶縁膜を介して隣接する位置に、前記メモリゲート電極の前記第2側面に対向する第3側面と、前記第3側面に対して前記半導体基板の主面に沿う方向に沿って反対側に位置する第4側面とを有するコントロールゲート電極を形成する工程を有し、

前記(d)工程の前記第1半導体領域の形成においては、前記半導体基板の主面に、前記コントロールゲート電極の前記第4側面に対して自己整合的に第3半導体領域を形成し、

前記(f)工程の前記第1サイドウォールの形成工程においては、前記第1絶縁膜および前記第3半導体領域をエッチングすることで、前記コントロールゲート電極の前記第4側面に第3サイドウォールを形成し、かつ、前記第3半導体領域の上部で、かつ、前記第3サイドウォールの側面側に、前記コントロール電極下の前記半導体基板に対して下方に位置する第2窪みを形成し、

前記(g)工程の前記第2半導体領域の形成工程においては、前記半導体基板の主面に、前記第3半導体領域に電気的に接続されるように、前記第3サイドウォールの側面に対して自己整合的に第4半導体領域を形成し、

前記(i)工程の前記第2絶縁膜のエッチング工程においては、前記第3サイドウォールの側面に第4サイドウォールを形成し、

前記(j)工程の前記第1シリサイド層の形成工程においては、前記第4半導体領域の上部に、前記第4絶縁膜の側面に対して自己整合的に第2シリサイド層を形成し、

前記第4サイドウォールは前記第2窪みの側面を覆うように形成され、

前記第2シリサイド層の前記コントロール電極側の端部は、前記第4サイドウォールによって、前記第3半導体領域と前記第4半導体領域との接合端から離れた位置に形成されていることを特徴とする半導体装置の製造方法。

#### 【請求項17】

請求項15または16記載の半導体装置の製造方法において、

前記分離部の形成工程は、

前記半導体基板の主面に溝を形成する工程と、

前記溝内に分離用絶縁膜を埋め込む工程とを有しており、

前記(i)工程では、

前記半導体基板の主面の前記分離用絶縁膜の上面において、前記活性領域との隣接部分に、前記メモリゲート電極下の前記半導体基板の表面および前記コントロールゲート電極下の前記半導体基板の主面に対して下方に位置するように形成された第3窪みに、前記第3窪みから露出する前記溝の側面の前記半導体基板の一部を覆うように、第5サイドウォールを形成する工程を有することを特徴とする半導体装置の製造方法。

**【請求項 18】**

請求項 15, 16 または 17 記載の半導体装置の製造方法において、  
前記 (b) 工程における前記第1ゲート絶縁膜を形成する工程は、  
(b1) 前記半導体基板の主面に第4絶縁膜を形成する工程、  
(b2) 前記第4絶縁膜上に第1電荷蓄積膜を形成する工程、  
(b3) 前記第1電荷蓄積膜上に第5絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。

**【請求項 19】**

請求項 18 記載の半導体装置の製造方法において、  
前記第1電荷蓄積膜は窒化シリコンであることを特徴とする半導体装置の製造方法。

**【請求項 20】**

請求項 15 ~ 19 のいずれか一項に記載の半導体装置の製造方法において、  
前記第2サイドウォールの厚さは 10 nm ~ 80 nm であることを特徴とする半導体装置の製造方法。

**【請求項 21】**

請求項 15 ~ 20 のいずれか一項に記載の半導体装置の製造方法において、  
前記第2サイドウォールは、前記半導体基板の主面上に、前記第1シリサイド層または第2シリサイド層を形成しない領域を覆う絶縁膜のパターンを形成する工程と同一工程で形成することを特徴とする半導体装置の製造方法。

**【請求項 22】**

請求項 16 ~ 21 のいずれか一項に記載の半導体装置の製造方法において、  
前記第4サイドウォールの厚さは 10 nm ~ 80 nm であることを特徴とする半導体装置の製造方法。

**【請求項 23】**

請求項 16 ~ 22 のいずれか一項に記載の半導体装置の製造方法において、  
前記第4サイドウォールは、前記半導体基板の主面上に、前記第1シリサイド層または第2シリサイド層を形成しない領域を覆う絶縁膜のパターンを形成する工程と同一工程で形成することを特徴とする半導体装置の製造方法。

**【請求項 24】**

(a) 半導体基板中に第1導電型の第1ウェルを形成する工程、  
(b) 前記第1ウェル上に第1ゲート絶縁膜を形成する工程、  
(c) 前記第1ゲート絶縁膜上に、第1側面および第2側面を有するコントロールゲート電極を形成する工程、  
(d) 前記 (c) 工程の後に、前記第1ウェル上に第2ゲート絶縁膜を形成する工程、  
(e) 第3側面および第4側面を有し、前記第2絶縁膜を介して前記第1ウェル上に位置し、かつ、前記第2ゲート絶縁膜を介して前記コントロールゲート電極の前記第1側面側に前記第3側面が位置するようにメモリゲート電極を形成する工程、  
(f) 前記 (e) 工程の後に、前記第1ウェル中に前記第1導電型と反対の導電型である第2導電型の第1半導体領域を前記メモリゲート電極の前記第4側面側に形成し、かつ、前記第2導電型の第2半導体領域を前記コントロールゲート電極の前記第2側面側に形成する工程、

(g) 前記 (f) 工程の後に、前記半導体基板上に第1絶縁膜を堆積する工程、  
(h) 前記第1絶縁膜をエッチングすることで、前記メモリゲート電極の前記第4側面に第1サイドウォールを形成し、かつ、前記コントロールゲート電極の前記第2側面に第2サイドウォールを形成し、さらに、前記第1半導体領域をエッチングすることで、前記第1半導体領域の上部で、かつ、前記第1サイドウォールの側面側に、前記コントロール電極下の前記第1ウェルの表面および前記メモリゲート電極の前記第1ウェルの表面に対して下方に位置する第1窪みを形成し、かつ、前記第2半導体領域をエッチングすることで、前記第2半導体領域の上部であり、かつ、前記第2サイドウォールの側面側に、前記コントロール電極下の前記第1ウェルの表面および前記メモリゲート電極下の前記第1ウ

エルの表面に対して下方に位置する第2窪みを形成する工程、

(i) 前記(h)工程の後に、前記第1ウェル中で前記第1サイドウォールの側面側に、前記第1半導体領域に電気的に接続されるように前記第2導電型の第3半導体領域を形成し、かつ、前記第1ウェル中で前記第2サイドウォールの側面側に、前記第2半導体領域に電気的に接続されるように前記第2導電型の第4半導体領域を形成する工程、

(j) 前記(i)工程の後に、前記半導体基板上に第2絶縁膜を堆積する工程、

(k) 前記第2絶縁膜をエッチングすることで、前記第1サイドウォールの側面に第3サイドウォールを形成し、かつ、前記第2サイドウォールの側面に第4サイドウォールを形成する工程、

(l) 前記(k)工程後、前記第3半導体領域の上部で、かつ、前記第3サイドウォールの側面側に第1シリサイド層を形成し、かつ、前記第4半導体領域の上部で、かつ、前記第4サイドウォールの側面側に第2シリサイド層を形成する工程とを有し、

前記第3サイドウォールは前記第1窪みの側面を覆うように形成され、かつ、前記第4サイドウォールは前記第2窪みの側面を覆うように形成されていることを特徴とする半導体装置の製造方法。

**【請求項25】**

請求項24記載の半導体装置の製造方法において、

前記メモリゲート電極はサイドウォール状に形成されていることを特徴とする半導体装置の製造方法。

**【請求項26】**

請求項24または25記載の半導体装置の製造方法において、

前記(a)工程の前に、前記半導体基板中に溝を形成する工程と、

前記溝内に第3絶縁膜を埋め込み、素子分離構造を形成する工程とを有し、

前記半導体基板上には前記素子分離構造で規定される活性領域が形成されており、

前記(1)工程では、前記半導体基板上の前記第3絶縁膜の上面において、前記活性領域との隣接部分に前記メモリゲート電極下の前記半導体基板の正面および前記コントローラゲート電極下の前記半導体基板の正面に対して下方に位置するように形成された第3窪みに、前記第3窪みから露出する前記溝の側面の前記半導体基板の一部を覆うように、第5サイドウォールが形成されていることを特徴とする半導体装置の製造方法。

**【請求項27】**

請求項24、25または26記載の半導体装置の製造方法において、

前記第1導電型はp型であり、前記第2導電型はn型であることを特徴とする半導体装置の製造方法。

**【請求項28】**

請求項24～27のいずれか一項に記載の半導体装置の製造方法において、

前記(e)工程における前記第2ゲート絶縁膜を形成する工程は、

(e1) 前記第1ウェル上に第4絶縁膜を形成する工程、

(e2) 前記第4絶縁膜上に第1電荷蓄積膜を形成する工程、

(e3) 前記第1電荷蓄積膜上に第5絶縁膜を形成する工程とからなることを特徴とする半導体装置の製造方法。

**【請求項29】**

請求項28記載の半導体装置の製造方法において、

前記第1電荷蓄積膜は窒化シリコンであることを特徴とする半導体装置の製造方法。

**【請求項30】**

請求項24～29のいずれか一項に記載の半導体装置の製造方法において、

前記第3サイドウォールおよび前記第4サイドウォールの厚さは10nm～80nmであることを特徴とする半導体装置の製造方法。

**【請求項31】**

請求項24～30のいずれか一項に記載の半導体装置の製造方法において、

前記第3サイドウォールおよび第4サイドウォールは、前記半導体基板の主面上に、前

記第1シリサイド層または第2シリサイド層を形成しない領域を覆う絶縁膜のパターンを形成する工程と同一工程で形成することを特徴とする半導体装置の製造方法。

【請求項32】

- (a) 半導体基板中に第1導電型の第1ウェルを形成する工程、
- (b) 前記第1ウェル上に第1ゲート絶縁膜を形成する工程、
- (c) 前記第1ゲート絶縁膜上に、第1側面および第2側面を有する第1ゲート電極を形成する工程、
- (d) 前記(c)工程の後に、前記第1ウェル中に前記第1導電型と反対の導電型である第2導電型の第1半導体領域を前記第1ゲート電極の前記第1側面側に形成し、かつ、前記第2導電型の第2半導体領域を前記第1ゲート電極の前記第2側面側に形成する工程、
- (e) 前記(d)工程の後に、前記半導体基板上に第1絶縁膜を堆積する工程、
- (f) 前記第1絶縁膜をエッティングすることで、前記第1ゲート電極の前記第1側面に第1サイドウォールを形成し、かつ、前記第1ゲート電極の前記第2側面に第2サイドウォールを形成し、さらに、前記第1半導体領域をエッティングすることで、前記第1半導体領域の上部で、かつ、前記第1サイドウォールの側面側に、前記第1ゲート電極下の前記第1ウェルの表面に対して下方に位置する第1窪みを形成し、かつ、前記第2半導体領域をエッティングすることで、前記第2半導体領域の上部で、かつ、前記第2サイドウォールの側面側に、前記第1ゲート電極下の前記第1ウェルの表面に対して下方に位置する第2窪みを形成する工程、
- (g) 前記(f)工程の後に、前記第1ウェル中で前記第1サイドウォールの側面側に、前記第1半導体領域に電気的に接続されるように前記第2導電型の第3半導体領域を形成し、かつ、前記第1ウェル中で前記第2サイドウォールの側面側に、前記第2半導体領域に電気的に接続されるように前記第2導電型の第4半導体領域を形成する工程、
- (h) 前記(g)工程の後に、前記半導体基板上に第2絶縁膜を堆積する工程、
- (i) 前記第2絶縁膜をエッティングすることで、前記第1サイドウォールの側面に第3サイドウォールを形成し、かつ、前記第2サイドウォールの側面に第4サイドウォールを形成する工程、
- (j) 前記(i)工程後、前記第3半導体領域の上部で、かつ、前記第3サイドウォールの側面側に第1シリサイド層を形成し、かつ、前記第4半導体領域の上部で、かつ、前記第4サイドウォールの側面側に第2シリサイド層を形成する工程とを有し、  
前記第3サイドウォールは前記第1窪みの側面を覆うように形成され、かつ、前記第4サイドウォールは前記第2窪みの側面を覆うように形成されていることを特徴とする半導体装置の製造方法。

【請求項33】

請求項32記載の半導体装置の製造方法において、  
前記第3サイドウォールおよび前記第4サイドウォールの厚さは10nm～80nmであることを特徴とする半導体装置の製造方法。

【請求項34】

請求項32または33記載の半導体装置の製造方法において、  
前記第3サイドウォールおよび第4サイドウォールは、前記半導体基板の主面上に、前記第1シリサイド層または第2シリサイド層を形成しない領域を覆う絶縁膜のパターンを形成する工程と同一工程で形成することを特徴とする半導体装置の製造方法。