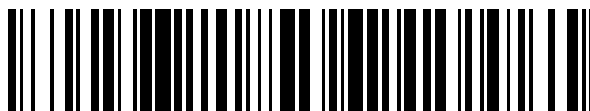


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 882 563**

51 Int. Cl.:

H03M 13/27 (2006.01)

H04L 27/26 (2006.01)

H04L 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **22.10.2008** **E 19170301 (6)**

97 Fecha y número de publicación de la concesión europea: **07.07.2021** **EP 3582399**

54 Título: **Aparato y método de procesamiento de datos**

30 Prioridad:

30.10.2007 GB 0721269

19.11.2007 GB 0722645

20.11.2007 GB 0722728

45 Fecha de publicación y mención en BOPI de la
traducción de la patente:
02.12.2021

73 Titular/es:

SATURN LICENSING LLC (100.0%)

25 Madison Avenue

New York, NY, US

72 Inventor/es:

TAYLOR, MATTHEW PAUL ATHOL;

ATUNGSIRI, SAMUEL ASANBENG y

WILSON, JOHN NICHOLAS

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 882 563 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato y método de procesamiento de datos

Campo de la invención

5 La presente invención se refiere a un aparato de procesamiento de datos, operable para mapear símbolos recibidos de un número predeterminado de señales de subportadoras de símbolos OFDM [*Orthogonal Frequency Division Multiplexing*, multiplexación por división ortogonal de frecuencias] hacia un flujo de símbolos de salida.

Las realizaciones de la presente invención pueden proporcionar un receptor OFDM.

Antecedentes de la invención

10 El estándar de transmisión de video digital terrestre (DVB-T, *Digital Video Broadcasting-Terrestrial*) utiliza la multiplexación por división ortogonal de frecuencias (OFDM) para comunicar los datos que representan imágenes de video y sonido a los receptores, a través de una señal de comunicaciones de radiodifusión. Se sabe que existen dos modos para el estándar DVB-T, que se conocen como el modo 2k y el modo 8k. El modo 2k proporciona 2048 subportadoras, mientras que el modo 8k proporciona 8192 subportadoras. De manera similar, para el estándar de transmisión de video digital para terminales móviles/portátiles (DVB-H, *Digital Video Broadcasting-Handheld*), se proporcionó un modo 4k, en el que el número de subportadoras es 4096.

15 Los esquemas de codificación de corrección de errores, como la codificación LDPC/BCH [*low density parity check*, comprobación de paridad de baja densidad/*Bose-Chaudhuri Hocquenghem*], que se han propuesto para el DVB-T2 funcionan mejor cuando el ruido y la degradación de los valores de los símbolos resultantes de la comunicación no están correlacionados. Los canales de transmisión terrestres pueden sufrir un desvanecimiento correlacionado, tanto en el dominio del tiempo como en el de la frecuencia. En tal sentido, al separar los símbolos codificados en diferentes señales de subportadoras del símbolo OFDM en la medida de lo posible, se puede aumentar el rendimiento de los esquemas de codificación de corrección de errores. Por consiguiente, para mejorar la integridad de los datos comunicados utilizando DVB-T o DVB-H, se proporciona un intercalador de símbolos, para intercalar los símbolos de datos de entrada cuando estos símbolos se asignan a las señales de la subportadora de un símbolo OFDM. Un intercalador de símbolos de este tipo comprende una memoria del intercalador y un generador de direcciones. El intercalador está dispuesto para ingresar en la memoria intercaladora los símbolos de datos, a fin de mapearlos hacia las señales de las subportadoras OFDM, y para recuperar de la memoria los símbolos de datos para las subportadoras OFDM; la recuperación está en un orden diferente que el ingreso, en donde el orden se determina a partir de un conjunto de direcciones, que son creadas por el generador de direcciones. Para el modo 2k y el modo 8k, se ha descrito una disposición en el estándar DVB-T para generar las direcciones destinadas a efectuar el mapeo. Del mismo modo, para el modo 4k del estándar DVB-H, se ha proporcionado una disposición para generar direcciones para el mapeo, y en la solicitud de patente europea EP 1 463 256 A (SONY UK LTD [GB]) 29 septiembre 2004 (29-09-2004), se describe un generador de direcciones para implementar este mapeo. El generador de direcciones comprende un registro de desplazamiento de realimentación lineal, que es operable para generar una secuencia de bits pseudoaleatorios y un circuito de permutación. El circuito de permutación permuta el orden del contenido del registro de desplazamiento de realimentación lineal para generar una dirección. La dirección proporciona una indicación de una ubicación en la memoria de la memoria del intercalador para escribir el símbolo de datos de entrada en o leer el símbolo de datos de entrada de la memoria del intercalador para mapear en una de las señales de la subportadora del símbolo OFDM. De manera similar, hay un generador de direcciones en el receptor, dispuesto para generar direcciones de la memoria del intercalador para escribir los símbolos de datos recibidos en la memoria del intercalador o para recuperar los símbolos de datos desde la memoria del intercalador, a fin de formar un flujo de datos de salida.

45 De acuerdo con un desarrollo posterior del estándar transmisión de video digital terrestre, conocido como DVB-T2, existe el deseo de mejorar la comunicación de los datos y, más en particular, de proporcionar una disposición mejorada para intercalar los símbolos de datos en las señales de los símbolos OFDM de las subportadoras.

Compendio de la invención

La presente invención se define en las reivindicaciones adjuntas.

Breve descripción de los dibujos

50 Las realizaciones de la presente invención se describirán ahora a modo de ejemplo, solamente con referencia a los dibujos adjuntos, en los que a partes similares se les asignan números de referencia correspondientes, y en las que:

La figura 1 es un diagrama de bloques esquemático de un transmisor OFDM codificado, que se puede usar, por ejemplo, con el estándar DVB-T2;

La figura 2 es un diagrama de bloques esquemático de partes del transmisor que se muestra en la figura 1, en el que un mapeador de símbolos y un generador de tramas ilustran la operación de un intercalador;

La figura 3 es un diagrama de bloques esquemático del intercalador de símbolos que se muestra en la figura 2;

La figura 4 es un diagrama de bloques esquemático de una memoria del intercalador que se muestra en la figura 3 y el correspondiente desintercalador de símbolos en el receptor;

5 La figura 5 es un diagrama de bloques esquemático de un generador de direcciones que se muestra en la figura 3, para el modo 8k;

La figura 6 es un diagrama de bloques esquemático de un receptor OFDM codificado que se puede usar, por ejemplo, con el estándar DVB-T2;

La figura 7 es un diagrama de bloques esquemático de un desintercalador de símbolos que aparece en la figura 6;

10 La figura 8(a) es un diagrama que ilustra los resultados para un intercalador para símbolos OFDM pares y la figura 8(b) es un diagrama que ilustra los resultados para símbolos OFDM impares; las figuras 8(a) y 8(b) muestran gráficos de la distancia en la salida del intercalador de las subportadoras que estaban adyacentes a la entrada del intercalador;

15 La figura 9 proporciona un diagrama de bloques esquemático del intercalador de símbolos que se muestra en la figura 3, que ilustra un modo operativo en el que el intercalado se realiza de acuerdo con un modo de intercalado impar solamente y

La figura 10 proporciona un diagrama de bloques esquemático del desintercalador de símbolos que se muestra en la figura 7, que ilustra el modo operativo en el que el intercalado se realiza de acuerdo con el modo de intercalado impar.

Descripción de las realizaciones preferidas

20 La siguiente descripción se proporciona para ilustrar el funcionamiento de un intercalador de símbolos de acuerdo con la presente técnica, aunque se apreciará que el intercalador de símbolos puede usarse con otros modos, otros estándares DVB y otros sistemas OFDM.

25 La figura 1 brinda un ejemplo de un diagrama de bloques de un transmisor OFDM codificado, que se puede usar, por ejemplo, para transmitir imágenes de video y señales de audio de acuerdo con el estándar DVB-T2. En la figura 1, una fuente de programa genera datos para ser transmitidos por el transmisor COFDM [*Coded Orthogonal Frequency Division Multiplexing*, multiplexación por división ortogonal de frecuencias codificada]. Un codificador de video 2, un codificador de audio 4 y un codificador de datos 6 generan video, audio y otros datos a transmitir, que se introducen en un multiplexor de programas 10. La salida del multiplexor de programas 10 forma un flujo multiplexado con otra información requerida para comunicar el video, el audio y otros datos. El multiplexor 10 proporciona un flujo en un canal de conexión 12. Puede haber muchos flujos multiplexados de este tipo que se introducen en diferentes ramificaciones A, B, etc. Para simplificar, solo se describirá la ramificación A.

30 Como se muestra en la figura 1, un transmisor COFDM 20 recibe el flujo en un bloque de adaptación y dispersión de energía del multiplexor 22. El bloque de adaptación y dispersión de energía del multiplexor 22 aleatoriza los datos e introduce los datos apropiados en un codificador de corrección de errores hacia adelante 24, que realiza la codificación de corrección de errores del flujo. Se provee un intercalador de bits 26 para intercalar los bits de datos codificados que, para el ejemplo de DVB-T2, es la salida del codificador LDPC/BCH. La salida proveniente del intercalador de bits 26 se introduce en un bit, en el mapeador de constelaciones 28, que mapea grupos de bits en un punto de constelación, que debe utilizarse para transportar los bits de datos codificados. Las salidas desde el bit hacia el mapeador de constelaciones 28 son etiquetas de puntos de constelación que representan componentes reales e imaginarios. Las etiquetas de puntos de constelación representan símbolos de datos formados a partir de dos o más bits, según el esquema de modulación utilizado. Estos se denominarán celdas de datos. Estas celdas de datos se hacen pasar a través de un intercalador de tiempo 30, cuyo efecto es intercalar celdas de datos resultantes de múltiples palabras clave de LDPC.

35 Las celdas de datos son recibidas por un generador de tramas 32, con las celdas de datos producidas por la ramificación B, etc. en la figura 1, a través de otros canales 31. El generador de tramas 32 luego forma muchas celdas de datos en secuencias para ser transmitidas en los símbolos COFDM, donde un símbolo COFDM comprende varias celdas de datos, en donde cada celda de datos se mapea a una de las subportadoras. El número de subportadoras dependerá del modo operativo del sistema, que puede incluir uno de los siguientes: 1k, 2k, 4k, 8k, 16k o 32k, cada uno de los cuales proporciona un número diferente de subportadoras según, por ejemplo, a la siguiente tabla:

Modo	Subportadoras
1K	756
2K	1512
4K	3024

8K	6048
16K	12096
32K	24192

Número de subportadoras adaptadas del DVB-T/H

Así, en un ejemplo, el número de subportadoras para el modo 8k es seis mil cuarenta y ocho. Para el sistema DVB-T2, el número de subportadoras por símbolo OFDM puede variar dependiendo del número de portadoras pilotos piloto y otras reservadas. Por lo tanto, en DVB-T2, a diferencia de DVB-T, el número de subportadoras para transportar datos no es fijo. Las compañías de radio/televisión pueden seleccionar uno de los modos operativos de 1k, 2k, 4k, 8k, 16k, 32k; cada uno proporciona un intervalo de subportadoras para datos por símbolo OFDM, siendo el máximo disponible para cada uno de estos modos de 1024, 2048, 4096, 8192, 16384, 32768 respectivamente. En DVB-T2, una trama de capa física se compone de muchos símbolos OFDM. Normalmente, la trama comienza con uno o más preámbulos o símbolos P2 OFDM, que luego son seguidos por una carga útil numérica que lleva símbolos OFDM. El final de la trama de la capa física está marcado por un símbolo de cierre de trama. Para cada modo operativo, el número de subportadoras puede ser diferente para cada tipo de símbolo. Además, esto puede variar para cada uno según si se selecciona la extensión de ancho de banda, si se habilita la reserva de tonos y según qué patrón de subportadora piloto se haya seleccionado. En tal sentido, es difícil generalizar respecto de un número específico de subportadoras por símbolo OFDM. Sin embargo, el intercalador de frecuencia para cada modo puede intercalar cualquier símbolo cuyo número de subportadoras sea inferior o igual al número máximo de subportadoras disponibles para el modo dado. Por ejemplo, en el modo 1k, el intercalador funcionaría para los símbolos cuyo número de subportadoras sea inferior o igual a 1024 y para el modo 16k, cuyo número de subportadoras sea inferior o igual a 16384.

La secuencia de celdas de datos que deben transportarse en cada símbolo COFDM se hace pasar luego al intercalador de símbolos 33. El símbolo COFDM es generado entonces mediante un bloque generador de símbolos COFDM 37, que introduce señales piloto y de sincronización provenientes de un formador de señales piloto e integradas 36. Un modulador OFDM 38 forma el símbolo OFDM en el dominio del tiempo que se introduce a un procesador de inserción de guarda 40 para generar un intervalo de guarda entre símbolos, y luego a un conversor digital a analógico 42 y finalmente a un amplificador de RF, dentro de un extremo frontal de RF 44 para la posible transmisión por el transmisor COFDM desde una antena 46.

Como se explicó anteriormente, la presente invención proporciona una instalación para proporcionar un mapeo casi óptimo de los símbolos de datos en las señales de subportadoras OFDM. De acuerdo con la técnica de ejemplo, el intercalador de símbolos se provee para efectuar el mapeo óptimo de los símbolos de datos de entrada en las señales de subportadoras COFDM, de acuerdo con un código de permutación y un polinomio generador, que se ha verificado mediante análisis de simulación.

Como se muestra en la figura 2, se brinda una ilustración ejemplar más detallada del mapeador de constelaciones bit a símbolos 28 y del generador de tramas 32 para ilustrar una realización ejemplar de la presente técnica. Los bits de datos recibidos desde el intercalador de bits 26 a través de un canal 62 se agrupan en conjuntos de bits, para ser mapeados a una celda de datos, de acuerdo con un número de bits por símbolo proporcionado por el esquema de modulación. Los grupos de bits, que forman una palabra de datos, se introducen en paralelo a través de los canales de datos 64 en un procesador de mapeo 66. El procesador de mapeo 66 selecciona entonces uno de los símbolos de datos, de acuerdo con un mapeo preasignado. El punto de constelación está representado por un componente real y un componente imaginario, que se provee al canal de salida 29, como una de un conjunto de entradas al generador de tramas 32.

El generador de tramas 32 recibe las celdas de datos desde el bit hasta el mapeador de constelaciones 28, a través del canal 29, junto con las celdas de datos de los otros canales 31. Después de generar una trama de muchas secuencias de celdas COFDM, las celdas de cada símbolo COFDM se escriben en una memoria del intercalador 100 y se recuperan de la memoria del intercalador 100, de acuerdo con las direcciones de escritura y las direcciones de lectura generadas por un generador de direcciones 102. De acuerdo con el orden de escritura de ingreso y recuperación, se logra el intercalado de las celdas de datos, generando las direcciones apropiadas. La operación del generador de direcciones 102 y la memoria del intercalador 100 se describirá con más detalle en breve, con referencia a las figuras 3, 4 y 5. Las celdas de datos intercalados se combinan con los símbolos piloto y de sincronización recibidos desde el formador de señales piloto e integradas 36 hacia un generador de símbolos OFDM 37, para formar el símbolo COFDM, que se introduce en el modulador OFDM 38, como se explicó anteriormente.

Intercalador

La figura 3 brinda un ejemplo de las partes del intercalador de símbolos 33, que ilustra la técnica actual para intercalar símbolos. En la figura 3, las celdas de datos de entrada provenientes del generador de tramas 32 se escriben en la memoria del intercalador 100. Las celdas de datos se escriben en la memoria del intercalador 100 de acuerdo con una dirección de escritura suministrada desde el generador de direcciones 102 al canal 104, y se recuperan de la memoria del intercalador 100, de acuerdo con una dirección de lectura suministrada desde el generador de direcciones 102 a un canal 106. El generador de direcciones 102 genera la dirección de escritura y la

dirección de lectura como se explica a continuación, dependiendo de si el símbolo COFDM es par o impar, lo cual se identifica a partir de una señal introducida desde un canal 108, y dependiendo de un modo seleccionado, lo cual se identifica a partir de una señal introducida desde un canal 110. Como se explicó, el modo puede ser uno de los siguientes: un modo 1k, un modo 2k, un modo 4k, un modo 8k, un modo 16k o un modo 32k. Como se explicará a continuación, la dirección de escritura y la dirección de lectura se generan de manera diferente para los símbolos pares e impares, como se explica con referencia a la figura 4, que ofrece un ejemplo de implementación de la memoria del intercalador 100.

En el ejemplo que se representa en la figura 4, se muestra que la memoria del intercalador comprende una parte superior 100, que ilustra el funcionamiento de la memoria del intercalador en el transmisor, y una parte inferior 340, que ilustra el funcionamiento de la memoria del desintercalador en el receptor. El intercalador 100 y el desintercalador 340 se muestran juntos en la figura 4, para facilitar la comprensión de su funcionamiento. Como se muestra en la figura 4, una representación de la comunicación entre el intercalador 100 y el desintercalador 340, a través de otros dispositivos y por medio de un canal de transmisión, se ha simplificado y representado como una sección 140, entre el intercalador 100 y el desintercalador 340. La operación del intercalador 100 se describe en los siguientes párrafos:

Aunque la figura 4 ofrece una ilustración de solo cuatro celdas de datos de entrada, en un ejemplo de cuatro señales de subportadoras de un símbolo COFDM, se apreciará que la técnica ilustrada en la figura 4 se puede extender a un mayor número de subportadoras, como 756 para el modo 1k 1512 para el modo 2k, 3024 para el modo 4k y 6048 para el modo 8k, 12096 para el modo 16k y 24192 para el modo 32k.

El direccionamiento de entrada y salida de la memoria del intercalador 100 que se muestra en la figura 4 se muestra para los símbolos pares e impares. Para un símbolo COFDM par, las celdas de datos se toman del canal de entrada 77 y se escriben en la memoria del intercalador 124.1, de acuerdo con una secuencia de direcciones 120 generadas para cada símbolo COFDM por el generador de direcciones 102. Las direcciones de escritura se aplican para el símbolo par de modo que, como se ilustra, el intercalado se efectúe mediante la mezcla de las direcciones de escritura. Por lo tanto, para cada símbolo intercalado $y(h(q)) = y'(q)$.

Para los símbolos impares se utiliza la misma memoria del intercalador 124.2. Sin embargo, como se muestra en la figura 4 para el símbolo impar, el orden de escritura de ingreso 132 está en la misma secuencia de direcciones que se usó para recuperar el símbolo par 126 anterior. Esta característica permite que las implementaciones del intercalador de símbolos pares e impares solo usen una memoria del intercalador 100, siempre que la operación de recuperación para una dirección dada se realice antes de la operación de escritura de ingreso. A las celdas de datos escritas en la memoria del intercalador 124 durante los símbolos impares se las recupera e ingresa en una secuencia 134 generada por el generador de direcciones 102 para el siguiente símbolo COFDM par, y así sucesivamente. Por lo tanto, solo se genera una dirección por símbolo, en donde el ingreso y la recuperación para el símbolo COFDM par/impar se ejecutan simultáneamente.

En resumen, como se representa en la figura 4, una vez que se ha calculado el conjunto de direcciones $H(q)$ para todas las subportadoras activas, se procesa el vector de entrada $Y' = (y_0', y_1', y_2' \dots y_{N_{\max}-1}')$ para producir el vector intercalado $Y = (y_0, y_1, y_2 \dots y_{N_{\max}-1})$ definido por:

$y_{H(q)} = y'_q$ para los símbolos pares, para $q = 0, \dots, N_{\max}-1$

$y_q = y'_{H(q)}$ para símbolos impares, para $q = 0, \dots, N_{\max}-1$

En otras palabras, para los símbolos OFDM pares, las palabras de entrada se escriben de forma permutada en una memoria y se vuelven a leer de manera secuencial, mientras que para los símbolos impares, se escriben de forma secuencial y se las vuelve a leer permutadas. En el caso anterior, la permutación $H(q)$ se define en la siguiente tabla:

q	0	1	2	3
H(q)	1	3	0	2

Tabla 1: permutación para el caso simple donde $N_{\max} = 4$

Como se muestra en la figura 4, el desintercalador 340 funciona para revertir el intercalado aplicado por el intercalador 100, aplicando el mismo conjunto de direcciones generado por un generador de direcciones equivalente, pero aplicando las direcciones de escritura de ingreso y recuperación de datos en sentido inverso. En tal sentido, para los símbolos pares, las direcciones de escritura de ingreso 342 están en orden secuencial, mientras que las direcciones de recuperación de datos 344 son proporcionadas por el generador de direcciones. De forma correspondiente, para los símbolos impares, el orden de escritura de ingreso 346 se determina a partir del conjunto de direcciones generado por el generador de direcciones, mientras que la recuperación de datos 348 está en orden secuencial.

Generación de direcciones para el modo 8k

Un diagrama de bloques esquemático del algoritmo utilizado para generar la función de permutación $H(q)$ se representa en la figura 5 para el modo 8K. En la figura 5, un registro de desplazamiento de realimentación lineal está formado por doce etapas de registro de desplazamiento 200, para generar una dirección entre 0 y 8191, y una puerta xor 202 que está conectada a las etapas del registro de desplazamiento 200, de acuerdo con un polinomio generador. Por lo tanto, de acuerdo con el contenido del registro de desplazamiento 200, se proporciona un bit siguiente del registro de desplazamiento desde la salida de la puerta xor 202 por cifrado xor del contenido del registro de desplazamiento $R[0]$ y de la etapa de registro $R[1]$. De acuerdo con el polinomio generador, se genera una secuencia de bits pseudoaleatorios a partir del contenido del registro de desplazamiento 200. Sin embargo, para generar una dirección para el modo 8k como se ilustra, se proporciona un circuito de permutación 210, que permuta efectivamente el orden de los bits dentro del registro de desplazamiento 200, desde un orden $R'_{[i]}$ hasta un orden $R_{[i]}$ en la salida del circuito de permutación 210. Doce bits de la salida del circuito de permutación 210 se introducen luego en un canal de conexión 212, al que se agrega un bit más significativo a través de un canal 214, que es proporcionado por un circuito de conmutación 218. Por lo tanto, se genera una dirección de trece bits en el canal 212. Sin embargo, para asegurar la autenticidad de una dirección, un circuito de verificación de direcciones 216 analiza la dirección generada, para determinar si excede el número máximo de señales de subportadoras. De ser así, se genera entonces una señal de control y se introduce a través de un canal de conexión 220 a una unidad de control 224. Si la dirección generada excede el número máximo de señales portadoras, esta dirección se rechaza y se vuelve a generar una nueva dirección para el símbolo en particular.

En resumen, se define una palabra R'_i de $(N_r - 1)$ bits, en donde $N_r = \log_2 M_{\max}$, en donde $M_{\max} = 8192$ en el modo 8K, utilizando un LFSR (*Linear Feedback Shift Register*, registro de desplazamiento de realimentación lineal).

Los polinomios utilizados para generar esta secuencia son los siguientes:

Modo 8K: $R'_i[11] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[6]$

donde i varía de 0 a $M_{\max} - 1$

Una vez que se ha generado una palabra R'_i , pasa por una permutación para producir otra palabra de $(N_r - 1)$ bits llamada R_i . R_i deriva de R'_i por las permutaciones de bits que se proporcionan en la siguiente tabla:

Posiciones de bits de R'_i	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bits de R_i	5	11	3	0	10	8	6	9	2	4	1	7

Tabla: permutación de bits para el modo 8K

Para el código de permutación anterior, esto significa que para el modo 8K, el número de bit 11 de R'_i se envía al número de posición de bit 5 de R_i .

La dirección $H(q)$ se infiere entonces a partir de R_i mediante la siguiente ecuación:

$$H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

La parte $(i \bmod 2) \cdot 2^{N_r-1}$ de la ecuación anterior se representa en la figura 5 mediante el bloque de conmutación T 218.

Luego se realiza una verificación de la dirección en $H(q)$ para verificar que la dirección generada esté dentro del intervalo de direcciones aceptables: if $(H(q) < N_{\max})$, donde, en un ejemplo $N_{\max} = 6048$ en el modo 8K, entonces la dirección es válida. Si la dirección no es válida, se informa a la unidad de control y esta intentará generar una nueva $H(q)$ incrementando el índice i .

La función del bloque de conmutación es asegurarse de que no generemos una dirección que exceda $N_{\max}$ dos veces seguidas. En efecto, si se generó un valor excedente, esto significa que el MSB (es decir, el bit basculador) de la dirección $H(q)$ era uno. Por lo tanto, el siguiente valor generado tendrá un MSB establecido en cero, asegurándose de producir una dirección válida.

Las siguientes ecuaciones resumen el comportamiento general y ayudan a comprender la estructura del bucle de este algoritmo:

$q = 0$;

para $(i = 0; i < M_{\max}; i = i + 1)$

$$\{ H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j; \}$$

si $(H(q) < N_{\max}) \quad q = q + 1; \}$

Como se explicará en breve, en el generador de direcciones, el código de permutación mencionado anteriormente se utiliza para generar direcciones para todos los símbolos OFDM. Los códigos de permutación se cambian entre símbolos, con el efecto de que un conjunto de códigos de permutación se alternan en ciclos para los sucesivos símbolos OFDM. Para este fin, las líneas de control 108, 110 que proporcionan una indicación de si el símbolo OFDM es par o impar y el modo actual, se usan para seleccionar el código de permutación. Este modo en el que una pluralidad de códigos de permutación se alternan en ciclos es particularmente apropiado para el ejemplo en el que solo se utiliza el intercalador impar, lo cual se explicará más adelante. Se provee una señal que indica que se debe usar un código de permutación diferente a través de un canal de control 111. En un ejemplo, los códigos de permutación posibles se almacenan previamente en el circuito de códigos de permutación 210. En otro ejemplo, la unidad de control 224 suministra el nuevo código de permutación para ser utilizado para un símbolo OFDM.

Receptor

La figura 6 proporciona una ilustración ejemplar de un receptor que puede usarse con la técnica actual. Como se muestra en la figura 6, una antena 300 recibe una señal COFDM y un sintonizador 302 la detecta y la convierte a una forma digital mediante un conversor analógico a digital 304. Un procesador de eliminación de intervalos de guarda 306 elimina el intervalo de protección de símbolo COFDM recibido, antes de que se recuperen los datos del símbolo COFDM utilizando un procesador de Transformada Rápida de Fourier (FFT, *Fast Fourier Transform*) 308 en combinación con un estimador de canal y corrección 310, en cooperación con una unidad de decodificación de señales integradas 311, de acuerdo con técnicas conocidas. Los datos desmodulados se recuperan de un mapeador 312 y se introducen en un desintercalador de símbolos 314, que funciona para efectuar el mapeo inverso del símbolo de datos recibido para regenerar un flujo de datos de salida con los datos desintercalados.

El desintercalador de símbolos 314 se forma a partir de un aparato de procesamiento de datos, como se muestra en la figura 6, con una memoria del intercalador 540 y un generador de direcciones 542. La memoria del intercalador es como la que se muestra en la figura 4 y funciona como ya se explicó anteriormente, para efectuar el desintercalado utilizando conjuntos de direcciones generadas por el generador de direcciones 542. El generador de direcciones 542 se forma como se muestra en la figura 7 y está dispuesto para generar direcciones correspondientes para mapear los símbolos de datos recuperados de cada una de las señales de subportadoras COFDM dirigiéndolas hacia un flujo de datos de salida.

Las partes restantes del receptor COFDM que se muestra en la figura 6 se proporcionan para efectuar la decodificación de corrección de errores 318, a fin de corregir errores y recuperar una estimación de los datos fuente.

Una ventaja que ofrece la técnica actual, tanto para el receptor como para el transmisor, reside en que un intercalador de símbolos y un desintercalador de símbolos que funcionan en los receptores y transmisores se pueden intercambiar entre los modos 1k, 2k, 4k, 8k, 16k y 32k mediante al cambiar los polinomios generadores y el orden de permutación. Por lo tanto, el generador de direcciones 542 que se muestra en la figura 7 incluye una entrada 544, que proporciona una indicación del modo, así como una entrada 546 que indica si hay símbolos COFDM impares/pares. Por lo tanto, se brinda una implementación flexible porque es posible formar un intercalador y un desintercalador de símbolos como se muestra en las figuras 3 y 7, con un generador de direcciones como se ilustra en la figura 5. El generador de direcciones se puede adaptar entonces a los diferentes modos cambiando a los polinomios generadores y los órdenes de permutación indicados para cada uno de los modos. Por ejemplo, esto puede efectuarse utilizando un cambio de *software*. De un modo alternativo, en otras realizaciones, una señal integrada que indica el modo de la transmisión DVB-T2 puede detectarse en el receptor en la unidad de procesamiento de señalización integrada 311 y usarse para configurar automáticamente el desintercalador de símbolos de acuerdo con el modo detectado.

Uso óptimo de los intercaladores impares

Como se muestra en la figura 4, dos procesos de intercalado de símbolos, uno para los símbolos COFDM pares y otro para los símbolos COFDM impares permiten reducir la cantidad de memoria utilizada durante el intercalado. En el ejemplo que se muestra en la figura 4, el orden de la escritura de ingreso para el símbolo impar es el mismo que el orden de recuperación para el símbolo par, por lo tanto, mientras se lee un símbolo impar de la memoria, se puede escribir un símbolo par en la ubicación donde se acaba de leer; posteriormente cuando ese símbolo par se lea de la memoria, el siguiente símbolo impar se podrá escribir en la ubicación donde se acaba de leer.

La selección del generador de polinomios y los códigos de permutación explicados anteriormente se han identificado después del análisis de simulación del rendimiento relativo del intercalador. El rendimiento relativo del intercalador se ha evaluado utilizando una capacidad relativa del intercalador para separar símbolos sucesivos o una "calidad de intercalado". La medida relativa de la calidad del intercalador se determina definiendo una distancia D (en número de

subportadoras). Se elige un criterio C para identificar un número de subportadoras que se encuentran a la distancia $\leq D$ en la salida del intercalador que estaban a una distancia $\leq D$ en la entrada del intercalador; el número de subportadoras para cada distancia D se pondera con respecto a la distancia relativa. El criterio C se evalúa para los símbolos COFDM pares e impares. Minimizar C produce un intercalador de calidad superior.

$$C = \sum_{d=1}^{d=D} N_{par}(d) / d + \sum_{d=1}^{d=D} N_{impar}(d) / d$$

en la que: $N_{par}(d)$ y $N_{impar}(d)$ son el número de subportadoras en un símbolo par e impar, respectivamente, en la salida del intercalador que permanecen dentro de la separación entre una y otra subportadora d.

Como se mencionó con anterioridad, durante un análisis experimental del rendimiento de los intercaladores (utilizando el criterio C como se definió anteriormente) y, por ejemplo, como se muestra en la figura 8(a) y en la figura 8(b), se ha descubierto que los esquemas de intercalado diseñados para los intercaladores de símbolos 2k y 8k para DVB-T y el intercalador de símbolos 4k para DVB-H funcionan mejor para símbolos impares que para los símbolos pares. Por lo tanto, a partir de los resultados de la evaluación de rendimiento de los intercaladores, por ejemplo, para el 16K, como se ilustra en las Figuras 8(a) y 8(b), se ha revelado que los intercaladores impares funcionan mejor que los intercaladores pares. Esto se puede ver comparando la figura 8 (a), que muestra los resultados para un intercalador para los símbolos pares, y la figura 8(b), que ilustra los resultados para los símbolos impares: se puede ver que la distancia promedio en la salida del intercalador de las subportadoras que estaban adyacentes a la entrada del intercalador es mayor para un intercalador para símbolos impares que para un intercalador para los símbolos pares.

Como se entenderá, la cantidad de memoria del intercalador necesaria para implementar un intercalador de símbolos depende de la cantidad de símbolos de datos que se mapearán a los símbolos de portadora COFDM. Por lo tanto, un intercalador de símbolos de modo 16k requiere la mitad de la memoria necesaria para implementar un intercalador de símbolos de modo 32k y, de manera similar, la cantidad de memoria requerida para implementar un intercalador de símbolos de 8k es la mitad de la requerida para implementar un intercalador de 16k. Por lo tanto, un transmisor o receptor que esté dispuesto para implementar un intercalador de símbolos de un modo, que establece el número máximo de símbolos de datos que pueden transmitirse por símbolo OFDM, entonces ese receptor o transmisor incluirá memoria suficiente para implementar dos procesos de intercalado impares para cualquier otro modo, lo que proporciona la mitad o menos de la mitad del número de subportadoras por símbolo OFDM en ese modo máximo dado. Por ejemplo, un receptor o transmisor que incluya un intercalador de 32K tendrá suficiente memoria para realizar dos procesos de intercalado impares de 16K, cada uno con su propia memoria de 16K.

En consecuencia, para aprovechar el mejor rendimiento del proceso de intercalado impar, se puede disponer un intercalador de símbolos capaz de adecuarse a múltiples modos de modulación, de modo que solo se utilice un proceso de intercalado de símbolos impar si está en un modo que comprenda la mitad o menos de la mitad del número de subportadoras en un modo máximo, que represente el número máximo de subportadoras por símbolo OFDM. Este modo máximo, por lo tanto, establece el tamaño máximo de memoria. Por ejemplo, en un transmisor/receptor apto para el modo 32K, cuando se opera en un modo con menos portadoras (es decir, 16K, 8K, 4K o 1K), en lugar de emplear procesos de intercalado de símbolos par e impar separados, se podrían usar dos intercaladores impares.

En la figura 9 se muestra una ilustración de una adaptación del intercalador de símbolos 33, que se muestra en la figura 3, cuando se intercalan símbolos de datos de entrada en las subportadoras de símbolos OFDM solo en el modo de intercalado impar. El intercalador de símbolos 33.1 corresponde exactamente al intercalador de símbolos 33, como se muestra en la figura 3, excepto que el generador de direcciones 102.1 está adaptado para realizar solo el proceso de intercalado impar. Para el ejemplo que se muestra en la figura 9, el intercalador de símbolos 33.1 está funcionando en un modo en el que el número de símbolos de datos que se pueden transportar por símbolo OFDM es menor que la mitad del número máximo que puede ser transportado por un símbolo OFDM en un modo operativo con el mayor número de subportadoras por símbolo OFDM. En tal sentido, el intercalador de símbolos 33.1 se ha dispuesto para dividir la memoria del intercalador 100. Para la ilustración que se muestra en la figura 9, la memoria del intercalador 100 se divide en dos partes 401, 402. Como una ilustración del intercalador de símbolos 33.1 que opera en un modo en el que los símbolos de datos se asignan a los símbolos OFDM usando el proceso de intercalado impar, la figura 9 proporciona una vista ampliada de cada mitad de la memoria del intercalador 401, 402. La vista ampliada proporciona una ilustración del modo de intercalado impar, como se representa para el lado del transmisor para los cuatro símbolos A, B, C, D reproducidos de la figura 4. Por lo tanto, como se muestra en la figura 9, para los conjuntos sucesivos de primeros y segundos símbolos de datos, los símbolos de datos se escriben en la memoria del intercalador 401, 402 en un orden secuencial y se recuperan en un orden permutado, de acuerdo con las direcciones generadas por el generador de direcciones 102, como se explicó anteriormente. Así, como se ilustra en la figura 9, dado que se está realizando un proceso de intercalado impar para los conjuntos sucesivos de primeros y segundos conjuntos de símbolos de datos, la memoria del intercalador debe dividirse en dos partes. Los

símbolos de un primer conjunto de símbolos de datos se escriben en la primera mitad de la memoria 401 del intercalador, y los símbolos de un segundo conjunto de datos se escriben en una segunda parte de la memoria 402 del intercalador. Esto se debe a que el intercalador de símbolos ya no puede reutilizar las mismas partes de la memoria del intercalador de símbolos que puede aprovechar cuando opera en un modo de intercalado impar y par.

5 En la figura 10 se muestra un ejemplo correspondiente del intercalador en el receptor, que aparece en la figura 7 pero que está adaptado para operar con un proceso de intercalado impar. Como se muestra en la figura 10, la memoria 540 del intercalador se divide en dos mitades 410, 412 y el generador de direcciones 542 está adaptado para escribir símbolos de datos en la memoria del intercalador y leer los símbolos de datos leídos de la memoria del intercalador e ingresarlos a las partes respectivas de la memoria 410, 402 para los conjuntos sucesivos de símbolos de datos, a fin de implementar un proceso de intercalado de impares solamente. Por lo tanto, en correspondencia con la representación que se muestra en la figura 9, la figura 10 muestra el mapeo del proceso de intercalado que se realiza en el receptor y se ilustra en la figura 4, como una vista ampliada que opera para la primera y la segunda mitades de la memoria de intercalado 410, 412. Así, un primer conjunto de símbolos de datos se escriben en una primera parte de la memoria del intercalador 410, en un orden permutado definido de acuerdo con las direcciones generadas por el generador de direcciones 542 como se ilustra por el orden de escritura en los símbolos de datos que proporciona una secuencia de escritura de 1, 3, 0, 2. Tal como se ilustra, los símbolos de datos se leen de la primera parte de la memoria del intercalador 410 en un orden secuencial, recuperando así la secuencia original A, B, C, D.

20 Correspondientemente, un segundo conjunto subsiguiente de símbolos de datos, que se recuperan de un símbolo OFDM sucesivo, se escriben en la segunda mitad de la memoria del intercalador 412, de acuerdo con las direcciones generadas por el generador de direcciones 542, en un orden permutado y se recuperan e ingresan en el flujo de datos de salida en un orden secuencial.

25 En un ejemplo, las direcciones generadas para que un primer conjunto de símbolos de datos se escriba en la primera mitad de la memoria del intercalador 410 pueden reutilizarse para escribir un segundo conjunto de símbolos de datos subsiguientes en la memoria de intercalador 412. En consecuencia, el transmisor también puede reutilizar direcciones generadas para una mitad del intercalador para un primer conjunto de símbolos de datos, para leer un segundo conjunto de símbolos de datos que se han escrito en la segunda mitad de la memoria en orden secuencial.

Intercalador impar con compensación

30 El rendimiento de un intercalador, que utiliza dos intercaladores impares, podría mejorarse aún más mediante el uso de una secuencia de intercaladores impares solamente, en lugar de un intercalador impar único, de modo que cualquier bit de entrada de datos a intercalador no siempre module la misma portadora en el símbolo OFDM.

Una secuencia de intercaladores impares solamente se podría realizar mediante:

- el agregado de una compensación a la dirección del intercalador que modula la cantidad de portadoras de datos o
- el uso de una secuencia de permutaciones en el intercalador

35 Agregado de una compensación

40 Al agregar una compensación a la dirección del intercalador que modula el número de portadoras de datos cambia y envuelve el símbolo OFDM de manera efectiva, para que cualquier bit de entrada de datos al intercalador no siempre module la misma portadora en el símbolo OFDM. Por lo tanto, el generador de direcciones podría incluir opcionalmente un generador de compensación, que genere una compensación en una dirección generada por el generador de direcciones en el canal de salida H(q).

La compensación cambiaría cada símbolo. Por ejemplo, esta compensación podría proporcionar una secuencia cíclica. Esta secuencia cíclica podría ser, por ejemplo, de una longitud de 4 y podría consistir, por ejemplo, en números primos. Por ejemplo, tal secuencia podría ser la siguiente:

0, 41, 97, 157

45 Además, la compensación puede ser una secuencia aleatoria, que podría ser generada por otro generador de direcciones, desde un intercalador de símbolos OFDM similar o podría ser generada por algún otro medio.

Uso de una secuencia de permutaciones

50 Como se muestra en la figura 5, una línea de control 111 se extiende desde la unidad de control del generador de direcciones hasta el circuito de permutación. Como se mencionó anteriormente, el generador de direcciones aplica un código de permutación diferente, tomado de un conjunto de códigos de permutación para símbolos OFDM sucesivos. El uso de una secuencia de permutaciones en el generador de direcciones del intercalador reduce la probabilidad de que cualquier bit de entrada de datos al intercalador no siempre module la misma subportadora en el símbolo OFDM.

Por ejemplo, esta podría ser una secuencia cíclica, para que se use un código de permutación diferente en un conjunto de códigos de permutación en una secuencia, para los sucesivos símbolos OFDM y que luego se repita. Esta secuencia cíclica podría ser, por ejemplo, de una longitud de dos o cuatro. Para el intercalador de símbolos 8K, una secuencia de dos códigos de permutación que se alternan en ciclos por cada símbolo OFDM es:

5 5 11 3 0 10 8 6 9 2 4 1 7 *
8 10 7 6 0 5 2 1 3 9 4 11

Mientras que una secuencia de cuatro códigos de permutación podría ser:

5 11 3 0 10 8 6 9 2 4 1 7 *
8 10 7 6 0 5 2 1 3 9 4 11
11 3 6 9 2 7 4 10 5 1 0 8
10 8 1 7 5 6 0 11 4 2 9 3

10 La conmutación de un código de permutación a otro podría efectuarse en respuesta a un cambio en la señal impar/par indicada en el canal de control 108. En respuesta, la unidad de control 224 cambia el código de permutación en el circuito de códigos de permutación 210, a través de la línea de control 111.

Para el ejemplo de un intercalador de símbolos 1k, dos códigos de permutación podrían ser los siguientes:

4 3 2 1 0 5 6 7 8
3 2 5 0 1 4 7 8 6

mientras que cuatro códigos de permutación podrían ser:

4 3 2 1 0 5 6 7 8
3 2 5 0 1 4 7 8 6
7 5 3 8 2 6 1 4 0
1 6 8 2 5 3 4 0 7

15 Otras combinaciones de secuencias pueden ser posibles para los modos de portadoras 2k, 4k y 16k o incluso, para el modo de portadora de 0,5k. Por ejemplo, los siguientes códigos de permutación para cada uno de los modos 0,5k, 2k, 4k y 16k proporcionan una buena descorrelación de símbolos y se pueden usar cíclicamente para generar la compensación para la dirección generada por un generador de direcciones para cada uno de los modos respectivos:

Modo 2k:

20 0 7 5 1 8 2 6 9 3 4 *
4 8 3 2 9 0 1 5 6 7
8 3 9 0 2 1 5 7 4 6
7 0 4 8 3 6 9 1 5 2

Modo 4k:

7 10 5 8 1 2 4 9 0 3 6 **
6 2 7 10 8 0 3 4 1 9 5
9 5 4 2 3 10 1 0 6 8 7
1 4 10 3 9 7 2 6 5 0 8

Modo 16k:

8 4 3 2 0 1 1 1 5 12 10 6 7 9
7 9 5 3 1 1 1 4 0 2 12 10 8 6
6 1 1 7 5 2 3 0 1 10 8 12 9 4
5 12 9 0 3 10 2 4 6 7 8 1 1 1

- 5 Para los códigos de permutación indicados anteriormente, los dos primeros podrían usarse en un ciclo de dos secuencias, mientras que los cuatro podrían usarse para un ciclo de cuatro secuencias. Además, a continuación se proporcionan algunas secuencias adicionales de cuatro códigos de permutación, que se alternan en ciclos para proporcionar la compensación en un generador de direcciones, a fin de producir una buena descorrelación en los símbolos intercalados (algunos son comunes a los anteriores):

Modo 0,5k:

3 7 4 6 1 2 0 5
4 2 5 7 3 0 1 6
5 3 6 0 4 1 2 7
6 1 0 5 2 7 4 3

10 Modo 2k:

0 7 5 1 8 2 6 9 3 4 *
3 2 7 0 1 5 8 4 9 6
4 8 3 2 9 0 1 5 6 7
7 3 9 5 2 1 0 6 4 8

Modo 4k:

7 10 5 8 1 2 4 9 0 3 6 **
6 2 7 10 8 0 3 4 1 9 5
10 3 4 1 2 7 0 6 8 5 9
0 8 9 5 10 4 6 3 2 1 7

Modo 8k:

5 11 3 0 10 8 6 9 2 4 1 7 *
10 8 5 4 2 9 1 0 6 7 3 1 1
11 6 9 8 4 7 2 1 0 10 5 3
15 8 3 11 7 9 1 5 6 4 0 2 10

* Estas son las permutaciones en el estándar DVB-T.

** Estas son las permutaciones en el estándar DVB-H.

- 20 En la solicitud de patente europea número 04251667.4, cuyo contenido se incorpora a la presente por referencia, se dan a conocer ejemplos de generadores de direcciones y de los intercaladores correspondientes para los modos 2k, 4k y 8k. Un generador de direcciones para el modo 0,5k se describe en nuestra solicitud de patente del Reino Unido número 0722553.5.

- 25 Tal como se apreciará, el transmisor y el receptor que se muestran en las figuras 1 y 6, respectivamente, se brindan solo como ilustraciones y no pretenden ser limitativos. Por ejemplo, se apreciará que la posición del intercalador de símbolos y el desintercalador con respecto, por ejemplo, al intercalador de bits y al mapeador se pueden cambiar. Como se apreciará, el efecto del intercalador y del desintercalador no se modifica por su posición relativa, aunque el intercalador puede intercalar símbolos I/Q en lugar de vectores de v bits. Se puede hacer un cambio correspondiente en el receptor. En consecuencia, el intercalador y el desintercalador pueden operar con diferentes tipos de datos, y pueden posicionarse de manera diferente a la posición descrita en las realizaciones ejemplares.

Como se explicó anteriormente, los códigos de permutación y el polinomio generador del intercalador, que se han

descrito con referencia a una implementación de un modo particular, se pueden aplicar igualmente a otros modos, cambiando la dirección máxima permitida predeterminada de acuerdo con el número de subportadoras para ese modo.

5 Como se mencionó anteriormente, las realizaciones de la presente invención encuentran aplicación con los estándares DVB, tales como DVB-T, DVB-T2 y DVB-H, que se incorporan a la presente por referencia. Por ejemplo, las realizaciones de la presente invención se pueden usar en un transmisor o receptor que funcione de acuerdo con el estándar DVB-H, en terminales móviles portátiles. Las terminales móviles pueden integrarse con teléfonos móviles (ya sean de segunda, tercera o superior generación) o con asistentes digitales personales o PC del tipo tableta, por ejemplo. Tales terminales móviles pueden ser capaces de recibir señales compatibles con DVB-H o DVB-T/T2 10 dentro de edificios o en movimiento, por ejemplo, si se trata de automóviles o trenes, incluso a altas velocidades. Las terminales móviles pueden ser, por ejemplo, alimentados por baterías, por la red eléctrica o mediante el suministro de CC de baja tensión o se las puede alimentar con una batería de automóvil. Los servicios que puede proporcionar el DVB-H pueden incluir voz, mensajería, navegación por Internet, radio, imágenes de video fijas y/o en movimiento, servicios de televisión, servicios interactivos, video o casi video bajo a demanda y por opción. Los servicios pueden 15 operar en combinación unos con otros. En otras realizaciones ejemplares de la presente invención encuentra aplicación con el estándar DVB-T2, como se especifica de acuerdo con la norma EN 302 755 del ETSI. En otras realizaciones ejemplares de la presente invención encuentran aplicación con el estándar de transmisión por cables, conocido como DVB-C2. Sin embargo, se apreciará que la presente invención no está limitada a la aplicación con DVB y que puede extenderse a otros estándares para transmisión o recepción, tanto fijos como móviles.

20

REIVINDICACIONES

1. Un aparato de recepción de transmisión de video digital, comprendiendo el aparato un desintercalador (314) configurado para desintercalarse portadoras de datos en un símbolo multiplexado por división ortogonal de frecuencias, OFDM, de una señal de transmisión de video digital hacia celdas de datos de un símbolo OFDM de acuerdo con al menos un primer polinomio generador y una permutación de bits,

estando asociados los símbolos OFDM con un modo 8K,

caracterizado por que la permutación de bits cambia de un símbolo OFDM a otro.

2. El aparato de recepción de transmisión de video digital según la reivindicación 1, en el que la permutación de bits es operable para recorrer en ciclos una secuencia de diferentes códigos de permutación para símbolos OFDM sucesivos.

3. El aparato de recepción de transmisión de video digital según la reivindicación 1 o 2, en el que una secuencia de símbolos de permutación de bits está asociada con un primer código de permutación y un segundo código de permutación, respectivamente, definidos por las tablas

Posiciones de bits de R'_i	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bits de R_i	5	11	3	0	10	8	6	9	2	4	1	7

y

Posiciones de bits de R'_i	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bits de R_i	8	10	7	6	0	5	2	1	3	9	4	11

4. El aparato de recepción de transmisión de video digital según cualquiera de las reivindicaciones 1 a 3, en el que el desintercalador está configurado para escribir en una memoria (540) datos asociados a cada portadora del símbolo OFDM, y para recuperar de la memoria (540) los datos desintercalados para efectuar el desintercalado de portadoras de datos en el símbolo OFDM en las celdas de datos de un símbolo OFDM, estando la recuperación en un orden diferente al del ingreso; estando determinado el orden a partir de un conjunto de direcciones,

incluyendo el desintercalador medios para generar una dirección (542) operable para generar un conjunto de direcciones, comprendiendo los medios para generar una dirección:

- un registro de desplazamiento de realimentación lineal (200), que incluye un número predeterminado de etapas de registro y que es operable para generar una secuencia de bits pseudoaleatoria, de acuerdo con el polinomio generador,

- un circuito de permutación (210) operable para recibir el contenido de las etapas del registro de desplazamiento y para permutar el orden de los bits presentes en las etapas de registro, de acuerdo con el código de permutación de bits para formar una dirección de una de las subportadoras OFDM y

- una unidad de control (224) operable en combinación con un circuito de verificación de direcciones (216), para volver a generar una dirección cuando una dirección generada excede una dirección válida máxima predeterminada.

5. El aparato de recepción de transmisión de video digital según la reivindicación 4, en el que la dirección válida máxima predeterminada es un valor entre seis mil y ocho mil ciento noventa y dos.

6. Un método de recepción de transmisión de video digital, comprendiendo el método desintercalarse portadoras de datos en un símbolo multiplexado por división ortogonal de frecuencias, OFDM, de una señal de transmisión de video digital hacia celdas de datos de un símbolo OFDM de acuerdo con al menos un primer polinomio generador y una permutación de bits,

estando asociados los símbolos OFDM con un modo 8K,

caracterizado por que la permutación de bits cambia de un símbolo OFDM a otro.

7. El método de recepción de transmisión de video digital según la reivindicación 6, en el que la permutación de bits es operable para recorrer en ciclos una secuencia de diferentes códigos de permutación para símbolos OFDM sucesivos.

8. El método de recepción de transmisión de video digital según la reivindicación 6 o 7, en el que una secuencia de permutación de bits está asociada con un primer código de permutación y un segundo código de permutación, respectivamente, definidos por las tablas:

Posiciones de bits de R'_i	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bits de R_i	5	11	3	0	10	8	6	9	2	4	1	7

y

Posiciones de bits de R'_i	11	10	9	8	7	6	5	4	3	2	1	0
Posiciones de bits de R_i	8	10	7	6	0	5	2	1	3	9	4	11

- 5 9. El método de recepción de transmisión de video digital según cualquiera de las reivindicaciones 6 a 8, en el que el desintercalador comprende escribir en una memoria (540) datos asociados a cada portadora del símbolo OFDM, y recuperar de la memoria (540) los datos desintercalados para efectuar el desintercalado de portadoras de datos en los símbolos OFDM en las celdas de datos del símbolo OFDM, siendo la recuperación en un orden diferente al del ingreso; estando determinado el orden a partir de un conjunto de direcciones,
- incluyendo el desintercalador generar una dirección incluyendo:
- 10 - usar un registro de desplazamiento de realimentación lineal (200), que incluye un número predeterminado de etapas de registro y que es operable para generar una secuencia de bits pseudoaleatoria, de acuerdo con el polinomio generador,
- usar un circuito de permutación (210) operable para recibir el contenido de las etapas del registro de desplazamiento y para permutar el orden de los bits presentes en las etapas de registro, de acuerdo con el código de permutación de bits para formar una dirección de una de las subportadoras OFDM y
- 15 - usar una unidad de control (224) operable en combinación con un circuito de verificación de direcciones (216), para volver a generar una dirección cuando una dirección generada excede una dirección válida máxima predeterminada.
10. El método de recepción de transmisión de video digital según la reivindicación 9, en el que la dirección válida máxima predeterminada es un valor entre seis mil y ocho mil ciento noventa y dos.
- 20 11. El aparato de recepción de transmisión de video digital según cualquiera de las reivindicaciones 1 a 5, en el que el aparato de recepción de transmisión de video digital es una televisión.

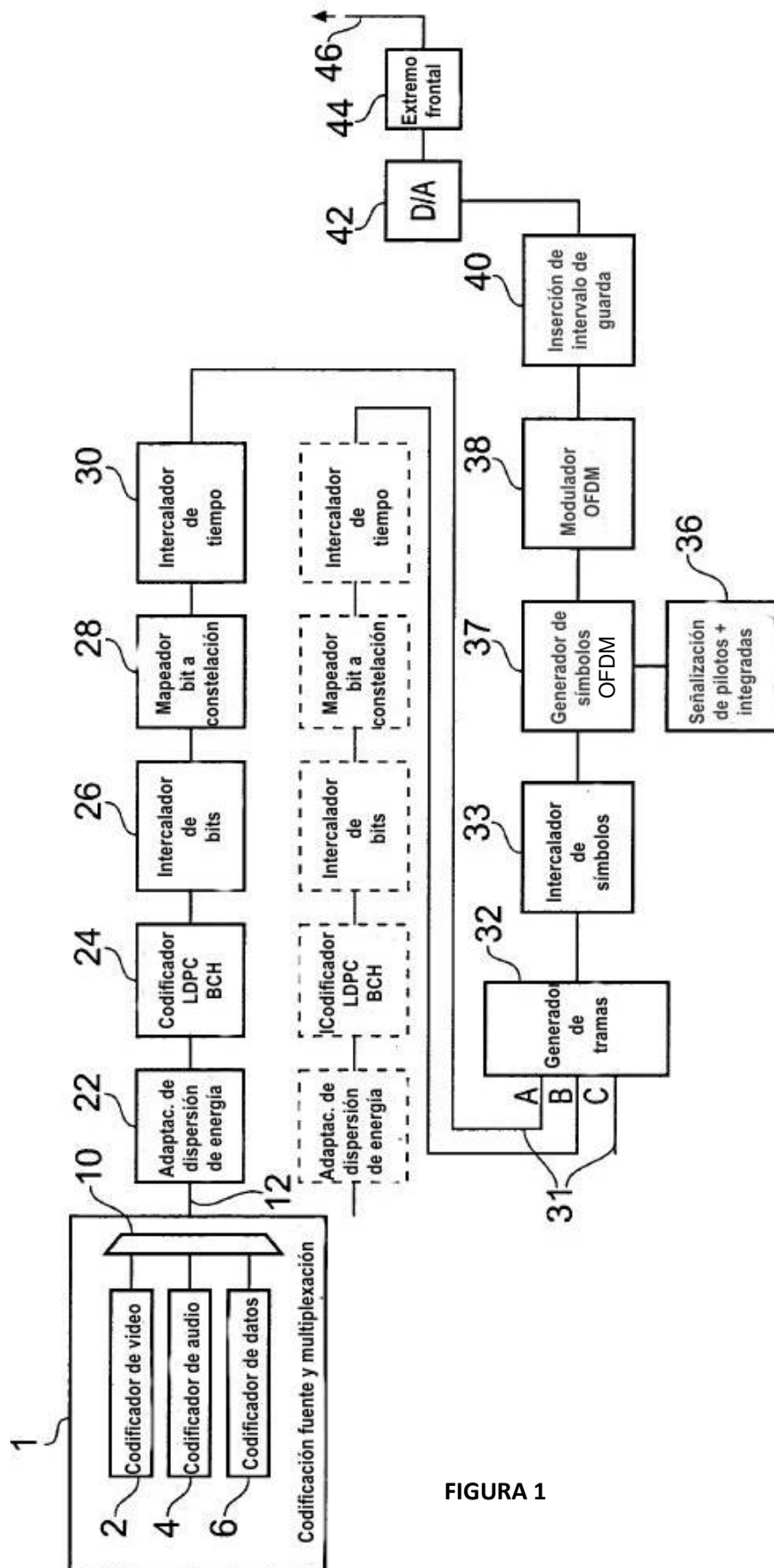


FIGURA 1

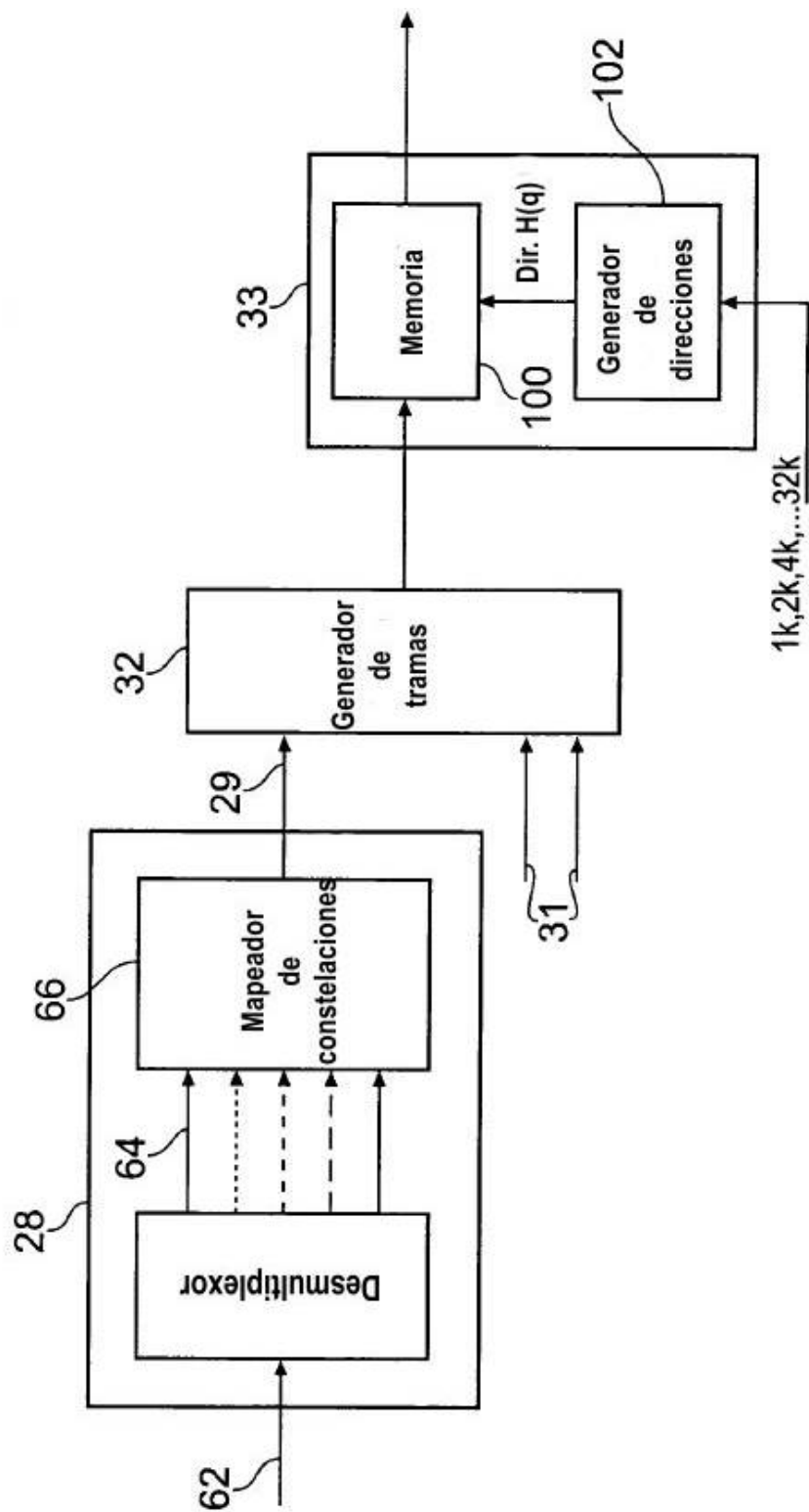


FIGURA 2

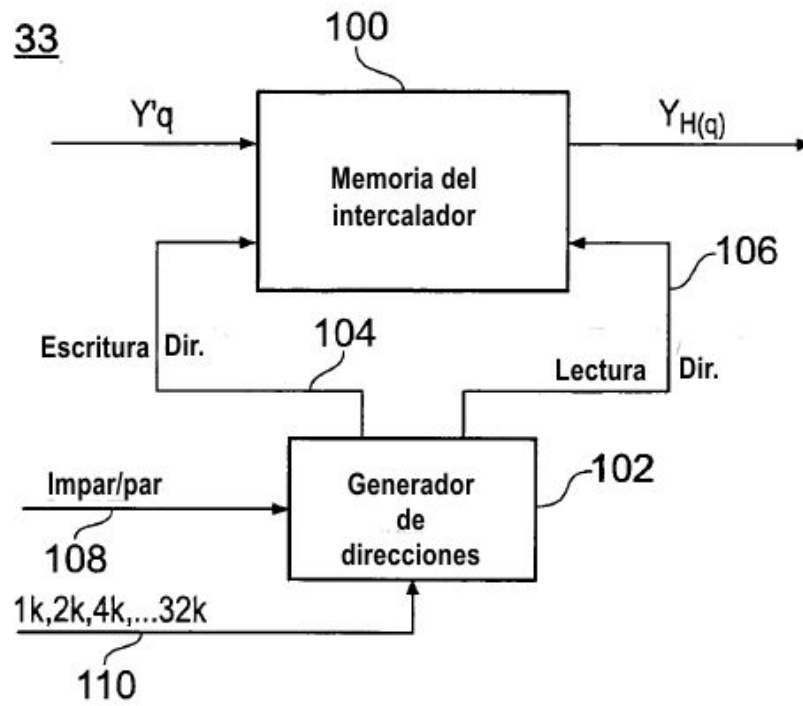
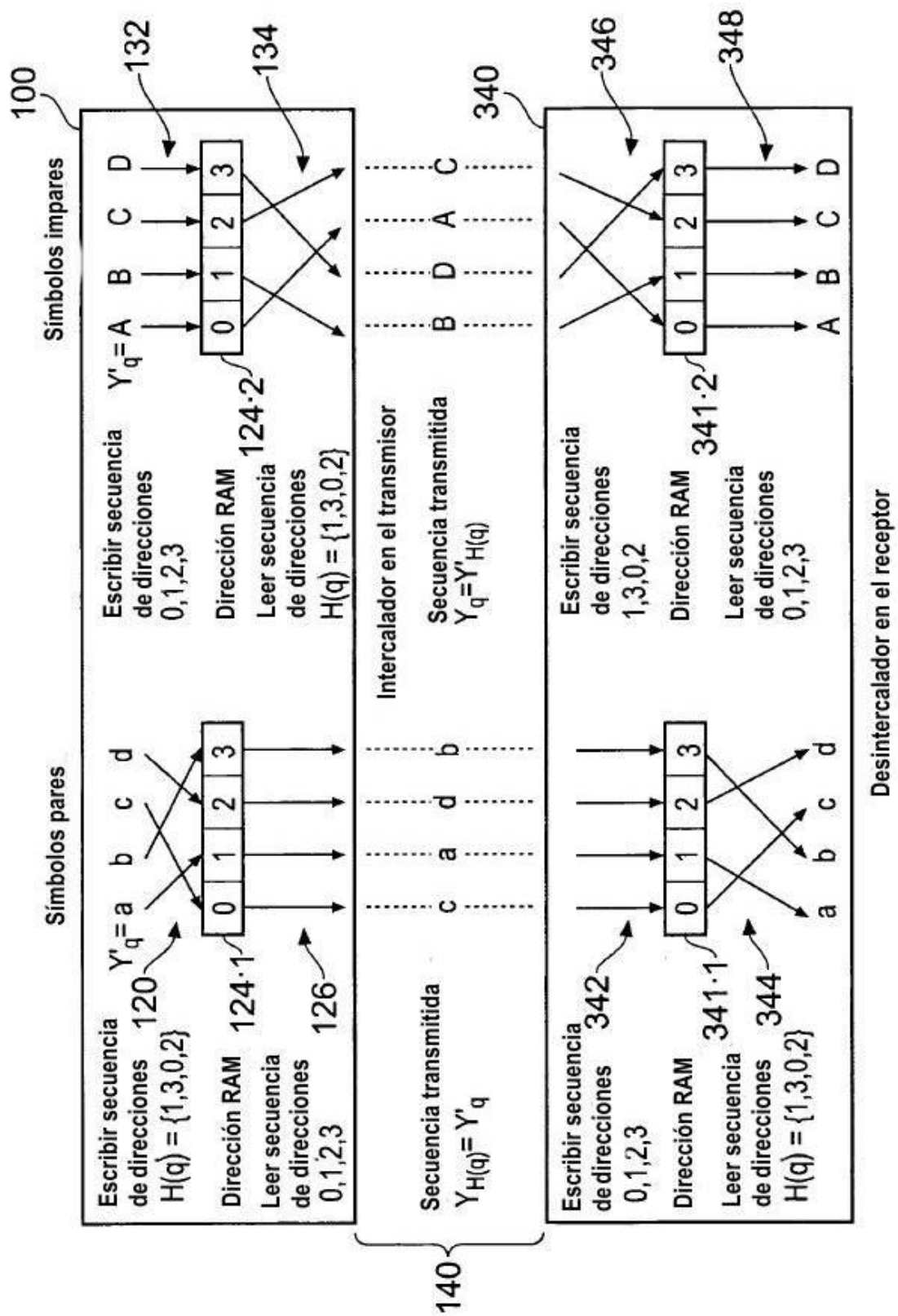


FIGURA 3

**FIGURA 4**

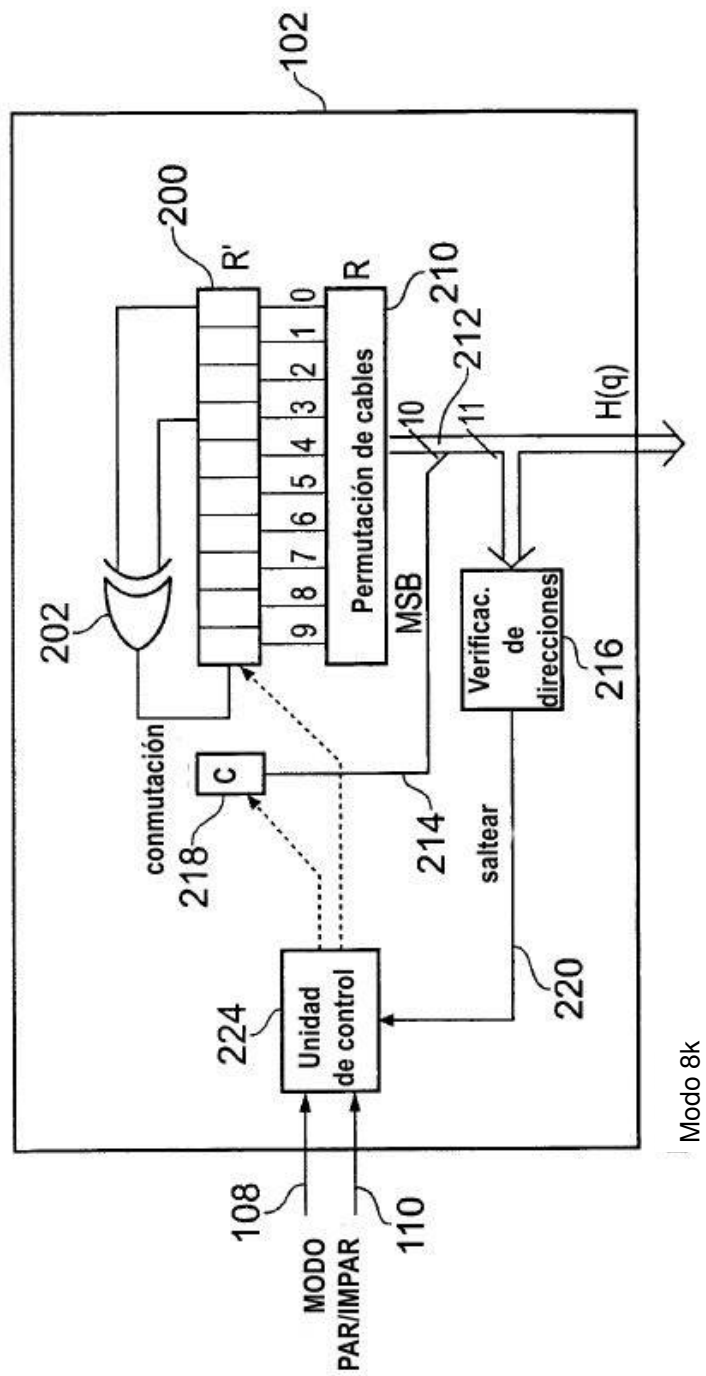


FIGURA 5

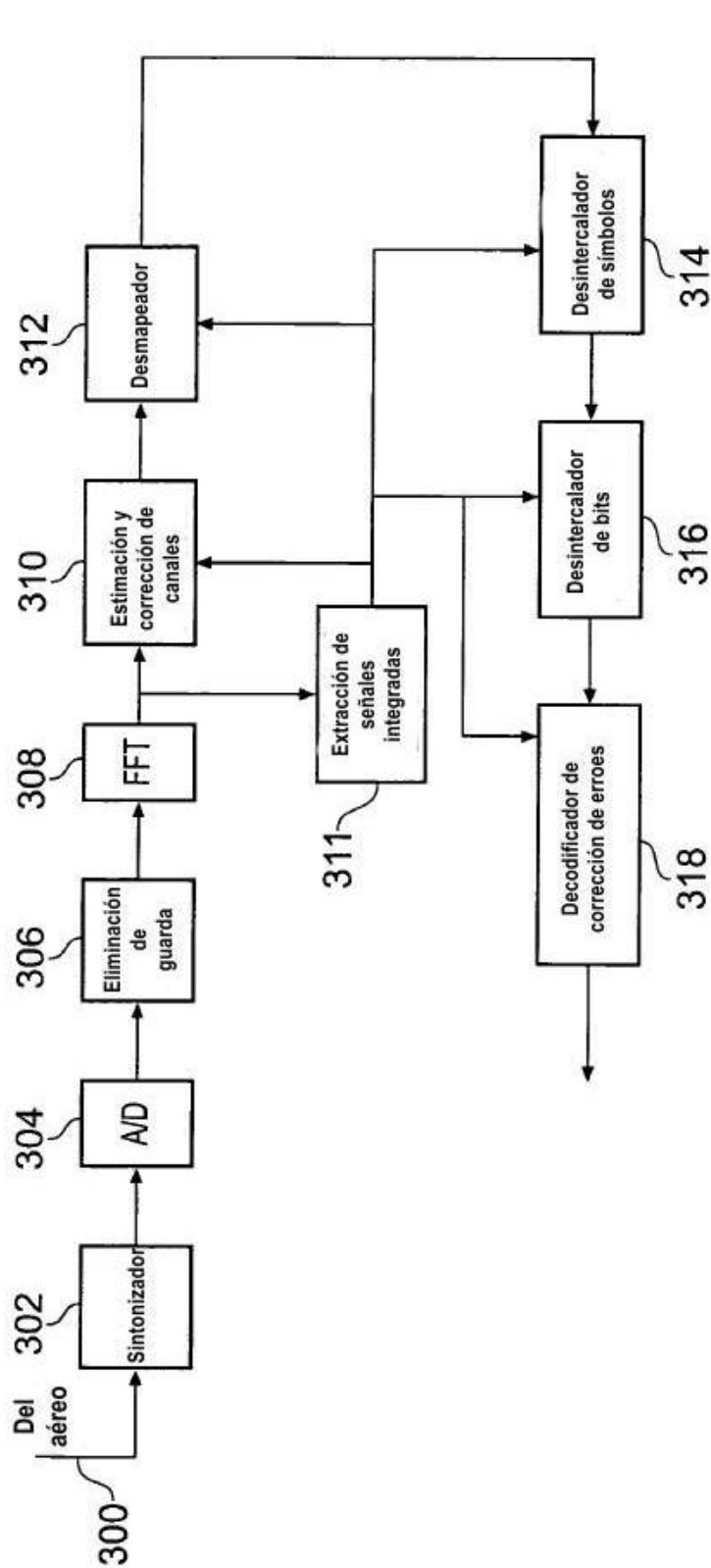


FIGURA 6

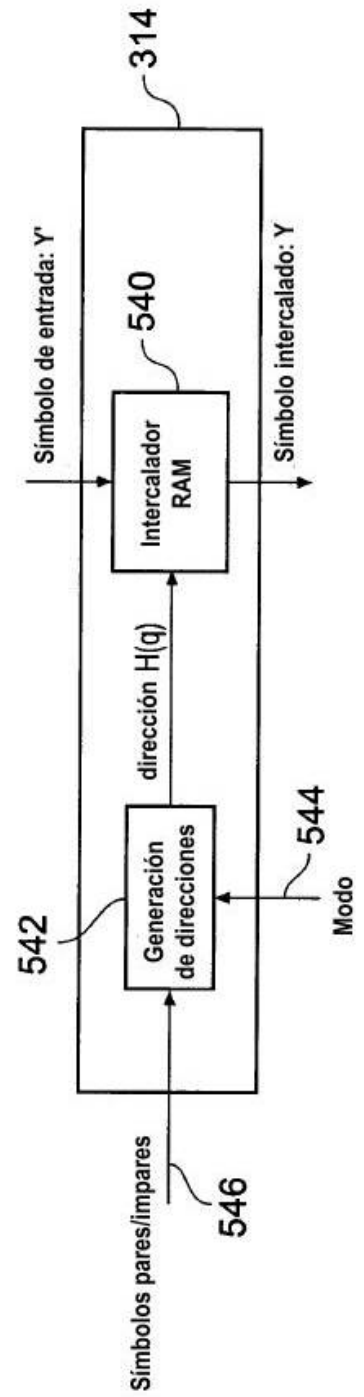


FIGURA 7

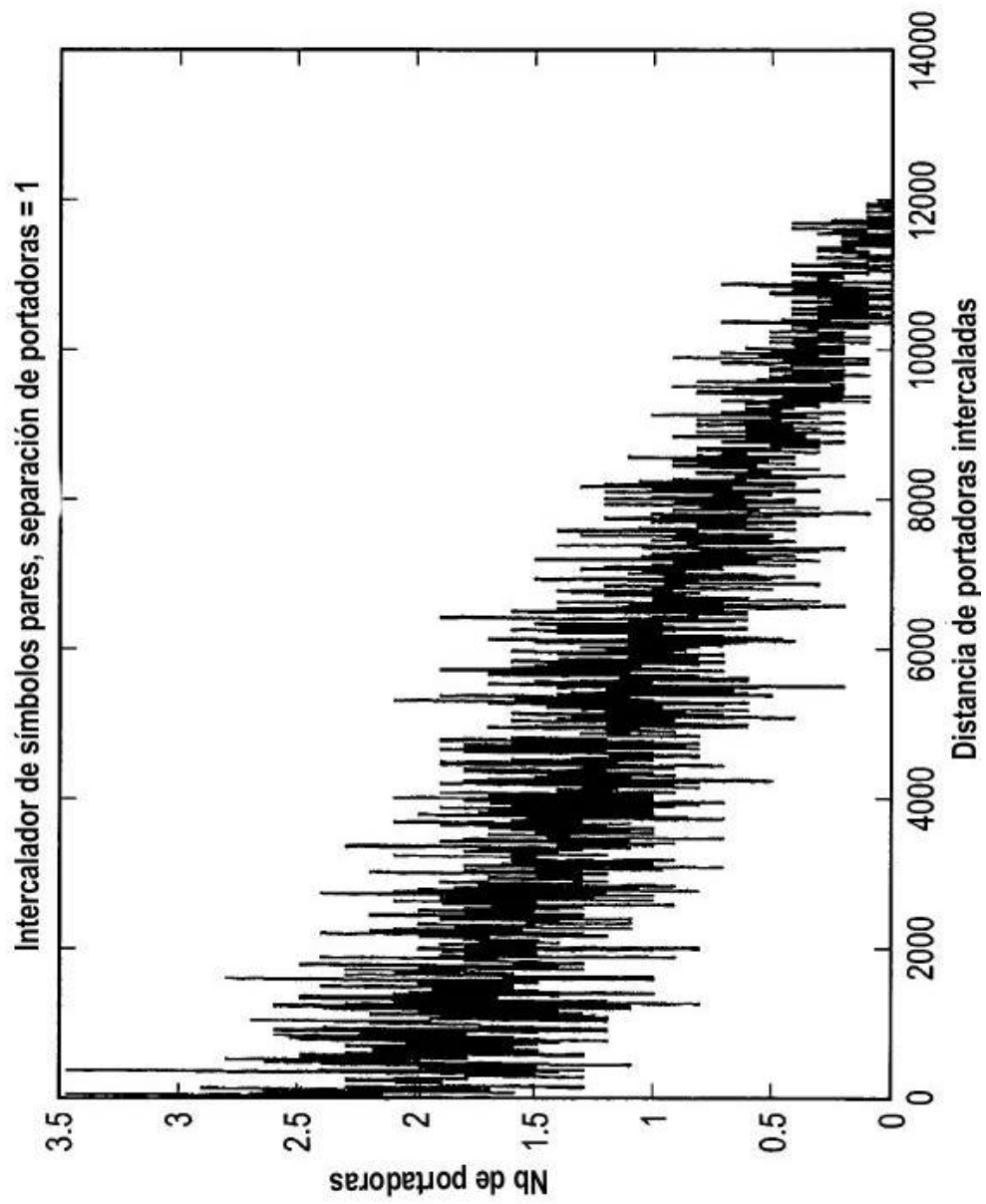


FIGURA 8(a)

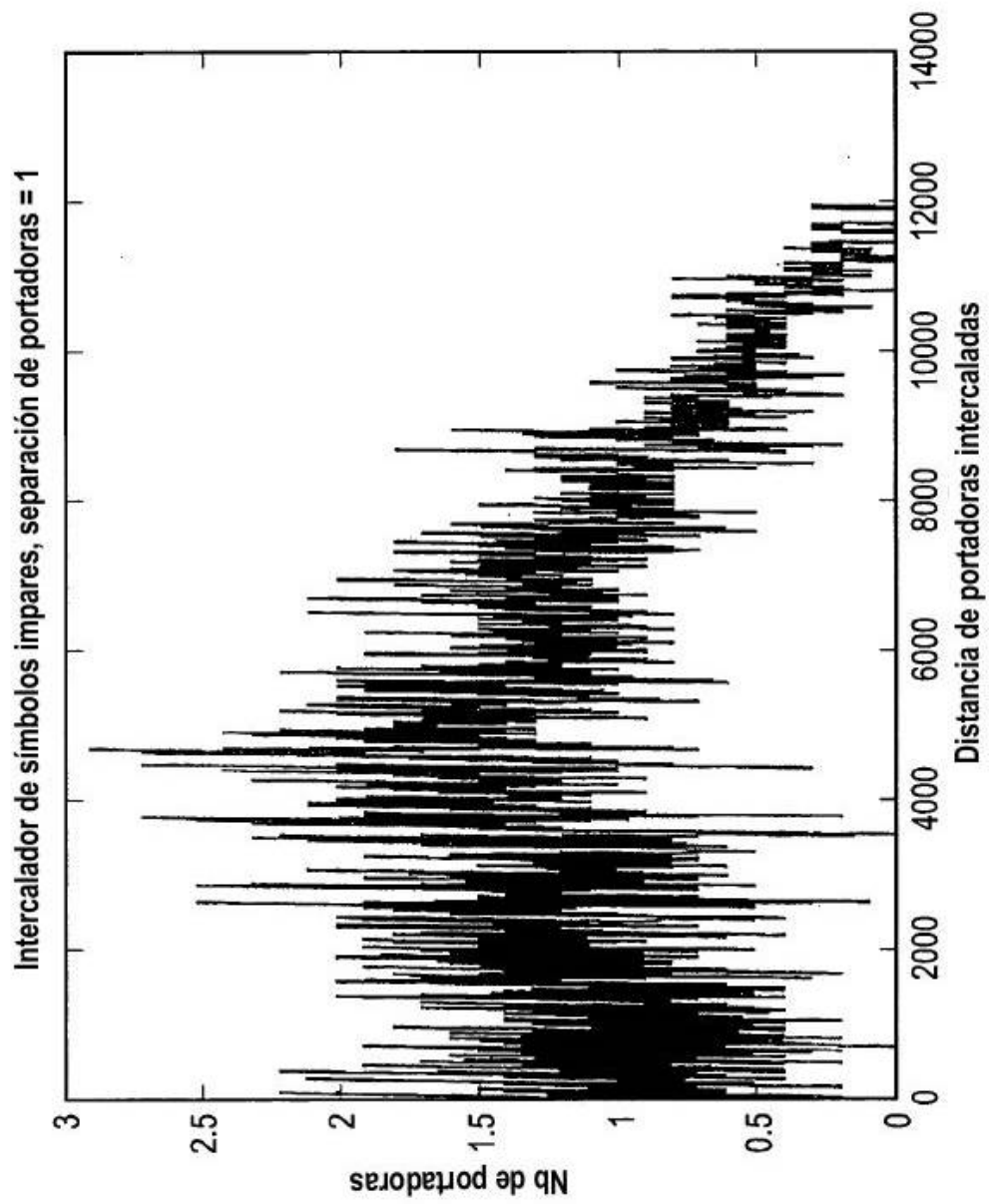


FIGURA 8(b)

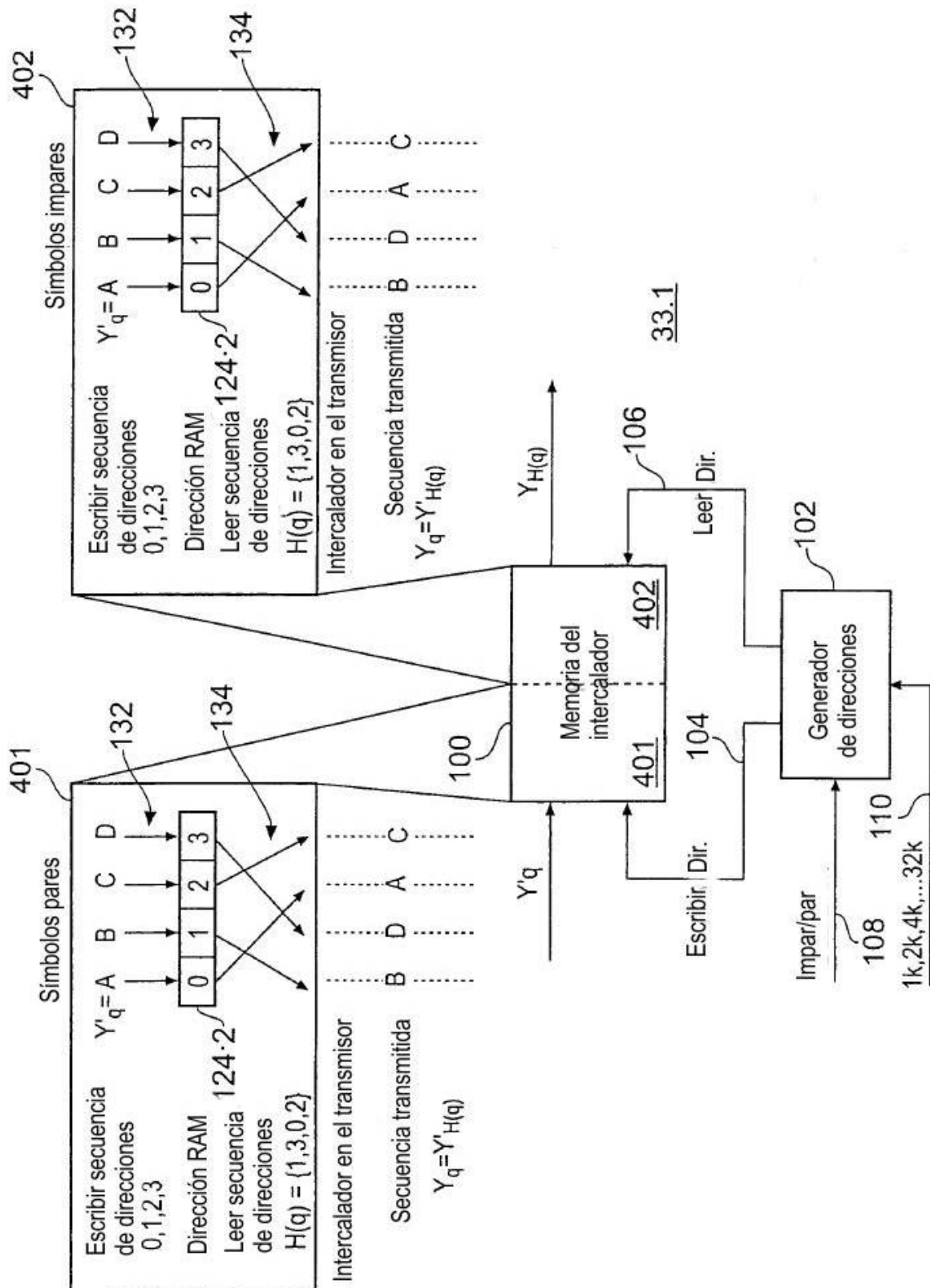


FIGURA 9

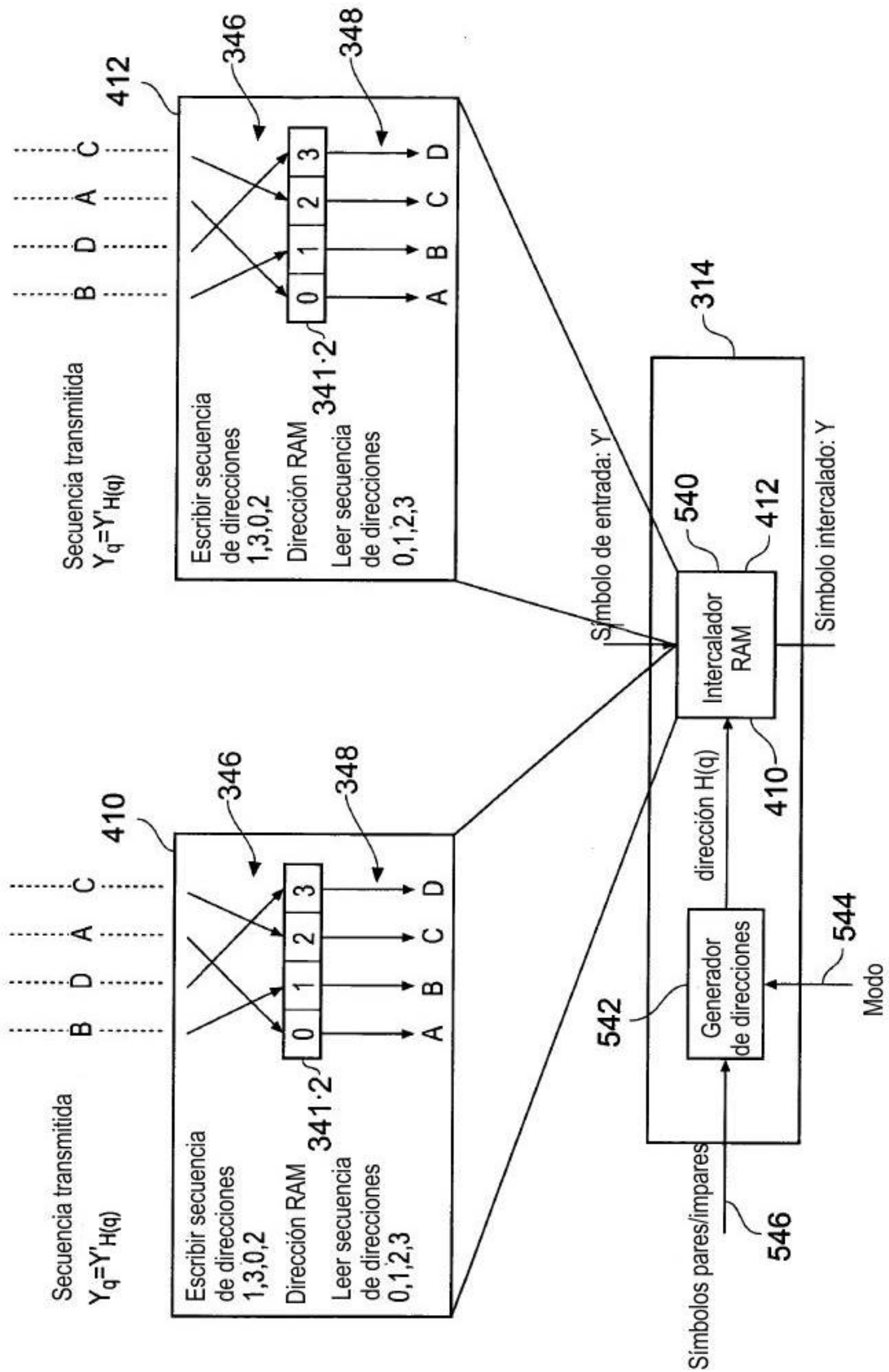


FIGURA 10