(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H04L 27/14

(45) 공고일자 2002년11월13일
(11) 등록번호 10-0331496
(24) 등록일자 2002년03월23일

(21) 출원번호 10-1994-0032877
(22) 출원일자 1994년12월02일

(65) 공개번호 특1995-0022511
(43) 공개일자 1995년07월28일

(30) 우선권주장 08/162518 1993년12월03일 미국(US)

(73) 특허권자 텍사스 인스트루먼츠 도이취랜드 게엠베하
독일 8050 프라이싱 하게르티스트라쎄 1

(72) 발명자 헤른울리치카이저
독일연방공화국59581워스테인오베르보흘25

(74) 대리인 장수길
주성민

심사관 : 박정학

(54) 주파수쉬프트키잉RF데이타전송을위한자기동조수신기/디코더

요약

FSK 데이타 수신을 위한 자기 동조 수신기/디코더. 공진 회로(10)를 갖는 RF 단은 연속적으로 이러한 주파수에서의 질의에 따른 이러한 주파수의 수신을 위한 4개의 가능한 전송 주파수중 제1 주파수로 동조된다. 임계(18)와 카운터 회로(12, 16)는 전송된 주파수의 각 주파수 쉬프트 변화를 검출하고 각각의 이러한 주파수의 수신을 가능하게 하도록 미리 결정된 순차에 걸쳐 카운팅함으로써 따라서 다음의 비공지된 주파수로 공진 회로를 재동조한다. 설비(24)는 수신된 주파수 쉬프트 키잉 RF 포맷과 다른 포맷으로의 출력으로서 적절히 주파수 쉬프트 데이타 비트 신호를 래칭하기 위한 것이다. 수신기/디코더는 수신과 전송 모드간에 선택적인 트랜스폰더 동작을 최소화하는데 특히 유용하고, 한 주기에 걸쳐 제1 주파수의 연속적인 전송에 응답하여 용량적으로 저장된 전하에 의해 전력 공급된다.

대표도

제1도

1	2	3	4	5
주파수의 수	가능 상태의 수	데이타 비트의 정수	데이타 속도	코딩/디코딩 복잡성
2	4	2	1.00	저
3	27	4	1.33	고
4	256	8	2.00	저
5	3125	11	2.20	고
6	46656	15	2.50	고
7	823543	19	2.71	고
8	16777316	24	3.00	저

명세서

도면의 간단한 설명

제1도는 가능한 상태에서 키잉 주파수의 범위, 수학식(1)에 의해 결정된 바와같이 복구가능한 데이타 비트이 수, 키잉 주파수의 수 대 데이타 비트의 비율로서 정의된 소위 데이타 속도, 및 코딩/디코딩 회로 복잡성의 평가를 도시하는 수학식(1)에 기초한 데이타 테이블.

제2도는 본 발명에 따른 4개의 주파수 쉬프트 RF 데이타 전송을 위한 자기 동조 수신기/디코더의 실시예의 예시도.

도면의주요 부분에 대한 부호의 설명

10 : 공진 회로

12 : 2-비트 카운터

16 : 분할기

18 : 클리퍼/리미터

19 : 타이밍 회로

20 : 검출기

22 : 단안정 회로

24 : 래치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 본 명세서에서의 FSK와 같은 주파수 쉬프트 키잉이라고 공지된 변조 기술을 사용하는 RF 캐리어 신호에 의해 전송된 디지탈 데이타의 수신을 위한 수신기/디코더에 관한 것이다. 특히, 수신된 것과 일치하는 포맷으로 FSK 변조 신호를 위한 전송 소스로서 기능할 수 있는 이러한 수신기/디코더에 관한 것이다.

이하, FSK 수신기라고 공지된 FSK 수신기/디코더를 사용하는 시스템에서, 2개의 적절하게 분리된 주파수(f_1, f_2)가 FSK에 의해 정보를 전송하기 위해 사용된다.

공지된 FSK 수신기를 사용한 이러한 시스템에서, 디지탈 정보는 데이타 비트 1이 존재할 때는 주파수 f_1을, 데이타 비트 0이 존재할 때는 주파수 f_2를 나타냄으로써 전송될 수 있다. 연속적인 디지탈 데이타 스트림은 시간 슬롯으로서 공지되는 규칙적인 미리 결정된 샘플링 간격동안 주파수(f_1과 f_2) 사이에서 변화되어 전송될 수 있다.

공지된 FSK 수신기는 연속적인 시간 슬롯에서 주파수(f_1과 f_2)의 존재를 감지하고 수신된 주파수에 따라 1 또는 0의 데이타 값을 적절하게 할당한다. 이와 같이 수신된 디지탈 데이타 스트림은 저장, 프로세싱 및/또는 추후 검색을 위해 데이타 블록으로 어셈블될 수 있다.

이러한 데이타 변조 및 전송 방법의 불리한 점은 모든 가능한 조합, 즉, 주파수(f_1과 f_2)의 각각의 다중 가능 상태가 디지탈 순차 01, 00, 10 및 11에서 발생한다는 점이다. 그러므로 전송된 주파수 수 대 전송된 데이터 비트 수의 비율로서 정의 된 데이타 속도 또는 비율은, 단지 2개의 주파수만이 데이타 비트 1과 0을 신호화하므로 1이 된다. 공지된 FSK 신호 송신기와 수신기에서, 이러한 단점은 마이크로파 범위에서 주파수(f_1과 f_2)를 전송함으로써 극복될 수 있다. 매우 짧은 기간의 시간 슬롯과 높은 송신기 주파수를 사용함으로써, 높은 전송 데이타 비율이 달성될 수 있다.

이러한 기술은 다른 이유로 인해, 예를 들면 VLF 주파수 영역에서, 송신기의 지향성 효과를 최소화하고 디코딩 회로에서 소비와 전력 사용해서 최대의 경제성을 달성하기 위해 좀더 낮은 송신기 주파수로 제한되는 경우에 유리하게 사용되지 않는다.

따라서, 본 발명의 여러 가지 목적 중 하나는 송신기 주파수가 마이크로파 범위, 즉, VLF 범위보다 좀더 낮은 값으로 제한되도록 응용되어 가장 높은 가능 데이타 비율이 될 수 있게 하고, 송신기 주파수가 송신기의 지향성 효과를 최소화하기 위해 비교적 낮게되는 시스템에서 유용하며, 소비와 전력 사용에서 최대의 경제성을 달성하면서 가장 높은 가능 데이타 비율을 제공하는 FSK 수신기/디코더를 제공하는 것이다.

본 발명의 다른 목적은 데이타가 수신된 것과 일치하는 포맷으로 재전송을 위해 발생될 수 있는 모드에서 동작하기 위한 트랜스폰더로서 쉽게 재구성될 수 있는 그러한 FSK 수신기/디코더를 제공하는 것이다.

또한 본 발명의 목적은 3개 이상의 다중 전송 주파수를 사용하면서 비교적 낮은 주파수 즉, 양호하게는 4개의 시간 슬롯에 걸쳐 2-비트로 각각 코드된 4개의 이산 주파수에서 동작함으로써 2개의 시간 슬롯을 갖는 공지된 2개의 주파수 시스템의 것보다 데이타 속도가 2배가 되고, 수신기/디코더가 트랜스폰더 모드에서 동작 할 때 인코딩 회로를 유리하게 최소화하고 단순화하는 그러한 FSK 수신기/디코더를 제공하는 것이다.

또한 본 발명의 목적은 환경 조건의 결과인 수신 입력 신호 크기의 일시적 손실 또는 감쇠를 극복할 수 있는 FSK 수신기/디코더를 제공하는 것이다.

본 발명의 다른 목적은 시스템에서 높은 효율의 그러한 FSK 수신기/디코더를 제공하는 것이다.

요약하면, 주파수 쉬프트 키잉(FSK) 데이타 전송의 수신을 위한 자기 동조 수신기/디코더가 기술된다. 공진 회로를 갖는 무선 주파수(RF) 단은 주파수 쉬프트 키잉 RF 데이타 전송에 동조되고, 무선 주파수 단은 다수의, 양호하게는 4개의 서로 다른 2개의 주파수들 중 제1 주파수로 동조되는 공진 회로 수단을 포함하는데, 이러한 주파수에서 질의(interrogation)에 따라 순차적으로 수신한다. 다른 주파수중 다음의 주파수로의 이러한 질의 주파수의 각 주파수 쉬프트 변

화를 검출하기 위한 수단이 제공된다. 수신기/디코더는 각각의 이러한 다른 주파수를 수신하기 위해 공진 회로를 재동조하기 위한 수단을 포함함으로써 수신된 주파수 쉬프트 키잉 RF 포맷과 일치하는 포맷으로 주파수 쉬프트 데이타 비트 신호를 발생한다.

기본적으로, 본 발명의 FSK 수신기/디코더는 4개의 시간 슬롯 스팬 동안 2개의 이진 디지트로 각각 확인되는 4개의 전송된 주파수를 사용한다. FSK 변조 시스템에서 주파수의 수를 증가함으로써, 시간 슬롯의 주어진 스팬에 걸쳐 인코드된 복구가능한 데이타 비트의 수기 또한 증가된다. 이러한 4개의 주파수 FSK 수신기/디코더를 사용하는 시스템의 데이타 비율은 4개의 주파수에 대해 전체 8비트로 정의되고 따라서 공지된 2개의 주파수 FSK 시스템이 것에 2배가 된다.

이제 먼저 제1도를 참조하여, 본 발명이 양호한 실시예에 따라 기술된다.

주파수의 수(NF)와 NF 시간 슬롯 내에서의 데이타 비트의 가능한 수 간의 이론적인 관계는 다음과 같이 나타낸 FSK 변조 이론에서 공지된 이론에 의해 주어진다.

$X_d = INT(NF\ lnNF/ln2).....(1)$

여기서 NF는 주파수 및 시간 슬롯의 수이고, X_d는 데이타 비트의 수이며, lnNF는 NF의 자연 로그이고, 및 ln2는 2의 자연 로그이며, 항 INT는 X_d의 다음의 가장 낮은 정수로 계산의 결과를 반올림한다.

그러므로, 제1도에서, 열 1은 2에서 8까지 가능한 키잉 주파수의 범위를 도시한다. 열 2는 가능한 상태의 수 또는 키잉 주파수의 주어진 수와 연관된 조합을 도시한다. 열 1과 열 2간의 관계는 지수 함수적이다. 즉, 2개의 주파수의 경우에서, 가능한 상태의 수는 2exp2(4)로 주어지고, 3개의 주파수일 때는 3exp3(27), 및 4개의 주파수일 때는 4exp4(256)로 주어진다. 주파수의 수가 증가할수록, 주파수 발생의 복잡성과 분리 회로가 증가한다.

제1도의 열 3은 시간 슬롯의 수와 키잉된 주파수에 대한 복구가능한 데이타 비트의 수를 도시한다. 데이타 비트 수는 시간 슬롯과 주파수에 대해 같은 수를 사용한 수학식(1)으로부터 계산된다.

열 4에서, 소위 데이타 속도가 도시된다. 이것은 데이타 비율과 같지 않지만 신호 인코딩/디코딩 효율의 측정을 나타내도록 정의되고 시도되는 것이다. 그 형태는 카메라 렌즈의 " 속도" 와 비슷하다. 이 열은 데이타 속도가 주파수의 수에 따라 증가시키지만 주파수 상태의 수보다 천천히 증가시키는 것을 보여준다.

제1도의 열 5는 데이타 비트의 디코딩과 연관된 난이도 및/또는 복잡성의 질적인 평가이다. 본 발명의 2개의 이진 디지트로 코드되고 4개의 연속적인 시간 슬롯에서 감지된 4개의 주파수의 경우를 유리하게 실시한다. 이 경우는 데이타 속도, 송신기 주파수의 발생과 분리의 용이성, 및 디코딩 회로와 구성요소에서의 복잡성과 경비 팩터의 조합을 최적화 한다.

제2도는 공진 회로(10)를 포함하는 본 발명의 자기 동조 수신기/디코더의 실시예를 도시한다. 수신기 개시(start-up)에서, 인덕턴스(L_0)와 병렬 캐패시턴스(C_0)를 갖는 공진 회로(10)가, $f_0 > f_1 > f_2 > f_3$의 관계를 갖는 4개의 주파수 f_0, f_1, f_2, f_3중 가장 높은 주파수 f_0으로 동조된다. 이러한 공진 회로는 이하의 설명된 방식으로 공진 회로의 내부 또는 외부로 조합적으로 캐패시터(C_1과 C_2)를 스위칭함으로써 MOSFET(금속 산화 반도체 전계 효과 트랜지스터) 스위치(M_1과 M_2)의 동작에 따라, 송수신될 수 있는 주파수중 하나에 따른 소자($L_0 C_0 C_1 C_2$)를 다양하게 포함할 수 있다.

수신기/디코더는 본 명세서에 참고로 사용하는 미합중국 특허 제5,053,774호에 슈만에 의해 기술된 방법과 이러한 방법의 구현에 따라, 소정의 고정된 시간 주기동안 전송된 신호 범위의 가장 높은 주파수에서 신호를 전송하는 판독기 또는 질문기(interrogator)와 같은 시스템의 분리 송신기에 의해 전력이 공급된다. 이러한 개시에 따라, 본 발명의 수신기/디코더용 전원(11)은 C_L이 C_0보다 상당히 크기 때문에(즉, $C_L >> C_0$) V_{CC}가 0보다 크고($V_{CC} > 0$), HF_1이 0보다 작을($HF_1 < 0$)때마다 다이오드(15)의 수단에 의해 충전되는 캐패시터(13)이고, AC 전류에서는 탱크 회로(L_0/C_0)가 C_L을 통해 접지에 효과적으로 접속된다. 즉, C_L은 실질적으로 V_{CC}와 접지간의 AC 단락을 제공한다. 하나의 실시예에 따르면, 충전된 C_L은 소정의 고정된 시간 주기동안 가장 높은 신호 주파수의 연속적인 전송에 의해 실현된다. 즉, 송신기는 수신기 전력을 제공하기 위해 소정의 시간 주기동안 이 주파수의 전송을 지속시킨다.

특허 5,053,774에 따른 기술을 사용함으로써 수신기 전력을 공급하는 동안, 2-비트 카운터(12)는 $X_1=X_2=0$으로 리셋된다. 이러한 전송에 응답하여 공진 회로(10)양단에 나타나는 수신된 사인 신호는 2가지 경로를 따른다. 하나의 경로 (HF_1)는 사인 대 구형파 컨버터(14)로 유입되고, 그 출력은 수신된 신호 주파수에서 분할기(16) 즉, 1/N 분할 카운터로 유입된다. 비율(N)은 이하에 설명되는 이론적 해석에 따라 설명된다. 분할기 출력은 2-비트 카운터(12)에 대한 클럭 신호원이다. 그러므로, 카운터(12)가 인에이블될때 f_n/N의 비율로 카운트하는데, 여기서 f_n은 주파수 f_0, f_1, f_2, f_3중 수신된 하나의 주파수이다.

제2 신호 경로(HF_2)는 사인파 신호 입력 레벨이 미리 결정된 임계값을 초과하기만 하면 펄스 트레인(HFLON)을 발생하는 임계 검출기 수단으로서 기능하고 고주파수 클리퍼/리미터(18)로 유입된다.

펄스 트레인(HFLON)은 또한 분할기(16)의 입력으로서, 이 입력은 분할기를 리셋하고 억제시킨다. HFLON 펄스 트레인은 2개의 다른 기능을 실행한다. 하나의 기능은 여기서 타이머(T_2)로서 표시된 타이밍 회로(19)를 초기화하는 것인데, 하나의 출력(P_2)은 즉시 사인 대 구형과 컨버터(14)를 구동하고 전력 손실 검출기(SPOR)(20)에 의해 조절되는 제2 출력(POR)은 나중에 모두 제로가 되는 조건으로 카운터(12)를 리셋한다. 펄스 트레인(HFLON)의 제2 기능은 단안정 회로(22)를 트리거하는 것인데 그 출력은 HFLON의 짧은 인터럽트 후에만 나타나는 단일 펄스(P_1)이다. 이 펄스는 카운터(12)로부터 유도된 비트(X_1과 X_2)를 전송하고 유지하기 위해 사용된다. 그러므로 카운터 비트(X_1과 X_2)는 상기 특허 5,053,774에 따라 사용되기 위해 2-비트 데이타 래치(24)의 출력상의 데이타 비트(D_1과 D_2)로서 나타나게 된다. 래치(24)는 HFLON이 나타날 때 리셋하기 위한 출력(P_1)을 구비한다.

그러므로, 수신기/디코더의 동작이 다음과 같다는 것이 자명하다.

개시 후에, 수신기/디코더가 동조되어 수신기/디코더가 분리 송신기로부터 RF 에너지를 수신하는 제1 부분에서 트랜스폰더 주기동안 수신된 주파수(f_0)에 의해(특허 5,053,774로부터 자명한 기술에 따라) 전력 공급된다. 펄스 트레인(HFLON)은 클리퍼/리미터(18)에 충분히 높은 신호 세기로 인해 존재한다. 분할기에서의 HFLON의 존재가 억제되면, 클럭 펄스 트레인(CLK)을 디스에이블하고, 카운터의 출력(X_1과 X_2)은 양쪽 모두 초기화되는 0 상태가 된다.

송신기가 다른 주파수로 변할 때, 이러한 가능 주파수들 f_0, f_1, f_2, f_3중 값은 수신기/디코더의 위치에 공지되지 않고, 수신기/디코더는 물론, 프리셋트 초기 조건으로부터 비동조되며, 따라서 수신된 신호 세기는 떨어진다. 신호 세기가 리미터(18)에 의해 새로운 가능한 송신기 주파수를 표시하면서 설정된 임계값 이하로 떨어지면, HFLON 펄스 트레인은 사라지고, 분할기(16)가 구동되어, 컨버터(14)로부터의 클럭 신호는 카운터(12)의 상태를 진행시킨다. 카운터(12)의 데이타 비트(X_1과 X_2)를 변화시켜, 수신기가 재동조되고 펄스 트레인(HFLON)이 제출현할 때까지 공진 회로(10)의 공진 주파수를 변경시키기 위해 동조 인덕터(L_0)와 캐패시터(C_0)에 병렬로, 단일로 또는 조합하여 동조 캐패시터(C_1과 C_2)를 스위치한다.

HFLON의 재출현은 분할기(16)의 1/N 분할을 즉시 억제시켜, 2-비트 카운터(12)를 막는다. 카운터(12)의 현재 정적 출력(X_1과 X_2)은 단지 수신된 주파수를 위한 식별자이고 단안정 회로(22)로부터의 펄스는 유리하게 2-비트 데이타(D_1, D_2)로서 래치(24)를 출력하기 위해 X_1과 X_2를 전송하므로, 다른 경우 요구되는 특정 디코딩 회로가 없게 된다.

따라서, 리미터/클리퍼(18)와 함께 카운터(12, 16)는 순차적으로 각 이러한 주파수 전송을 검출하고 그에 따른 동조 주파수의 변경함으로써 수신된 다중 주파수를 결정하고 확인하기 위한 수단으로서 기능한다는 것을 알 수 있다.

이러한 방식으로, 수신기/디코더는, 순차 …, f_2, f_3, f_0, f_1, f_2, f_3, f_0, f_1, …에 따른 특정 송신기 주파수 변화를 나타내고, 적절한 수신기 재동조 동작이 순차적으로 각 이러한 주파수에서 완료될 때 카운터(12)를 억제시켜 데이타 비트(X_1과 X_2)를 전송하는 코드를 카운터(2)의 주기적이고 전방향적인 진행에 의해 유리하게 다른 주파수 변화에 응답한다.

본 발명의 실시예는 또한 순차적으로 주파수의 검출을 위한 새로운 수신기/디코더를 초기화하고, 주변 환경 조건으로 인한 수신기로의 입력 신호 세기의 일시적 손실 또는 감쇠를 극복하기 위한 설비를 포함한다. 이러한 능력은 다음과 같이 설명된다.

수신된 신호의 이러한 감쇠가 발생한다면, 펄스 트레인(HFLON)의 존재에 의해 연속적으로 트리거되는 타이밍 회로(19)에 의해 제공되는 T_2 간격은 시간(T_2)보다 긴 신호 손실이 발생하면 타임 아웃되거나 만료된다. 타이머(T_2) 간격의 만료는 사인파 대 구형파 컨버터(14)를 디스에이블하고, 카운터(12)의 출력(X_1과 X_2)을 0으로 리셋하여, 적절한 전송된 신호 세기의 복귀를 기다리기 위해 수신기/디코더를 재초기화하는 신호(POR)를 발생한다.

이 방식으로 재초기화될때의 새로운 수신기/디코더는 4개의 주파수 f_0,f_1, f_2,f_3 중 가장 높은 주파수 f_0의 초기 수신을 위해 다시 동조될 것이다.

본 발명의 FSK 수신 능력의 다른 특징은, 캐패시터(C_1과 C_2)를 제어하기 위한 스위치(M_1과 M_2)로서 기능하는 MOSFET 트랜지스터 쌍의 선택적인 외부 제어를 허용하기 위한 수단으로서 기능하도록 본 개발된 기술에서 숙련된 기술자들에게 공지된 회로 제어된 반도체형인 스위치(S1)의 설비이다.

수신 모드에서 이들 트랜지스터(M_1과 M_2)는 제어 비트(X_1과 X_2)에 의해 스위치 되나, 그 외에는 M_1과 M_2를 스위칭하기 위해 신호 경로(Z_1과 Z_2)를 통해 상기 특허 5,053,774(본 명세서의 일부를 형성하지 않음)에 따라서 스위치(S1)를 제어하는 제어 수단(26)을 스위칭함으로써 전송 뿐만 아니라 수신동안 공진 회로 재동조 내부 또는 외부로 캐패시터(C_1과 C_2)를 스위칭하는 전송 모드 스위칭 제어 수단(26)에 의한 트랜스폰더 모드 동작을 위해 스위치될 수 있다. 그러므로, 이러한 공진 회로는, 신호의 재전송을 위해 그 주파수가 수신된 포맷과 일치하는 포맷으로 RF 신호의 원래의 순차의 선택적인 조합에 의해 수정되는 공진 전송 회로(10)로서 기능할 수 있다.

따라서 새로운 수신기/디코더는 상기 특허 5,053,774에 따른 수신과 전송 모드를 번갈아 선택함으로써 송수신기로서 동작하기 위한 트랜스폰더로 기능하기 위한 설비를 포함한다.

이상으로부터, 수신된 포맷과 일치하는 포맷으로 RF 키잉 신호를 발생하는 수신기/디코더의 무선 주파수 스테이지를 재구성하기 위한 수단을 효과적으로 포함하는 주파수 쉬프트 키잉 RF 데이타 수신을 위한 자기 동조 수신기/디코더를 이와같이 얻을 수 있게 된다.

수신기/디코더는 그 전원이 소정의 고정된 시간 주기동안 가장 높은 주파수의 연속적인 전송에 의해 충전되는 캐패시턴스이기 때문에, 외부의 별도 전원을 필요로 하지 않는 구현으로 변경될 수 있다.

동작과 특징은 다음과 같이 적절히 요약될 것이다.

수신기/디코더는 전송된 가장 높은 단일 주파수 RF 신호에서 공진을 제공하기 위한 인덕터(L_0)와 캐패시터(C_0)에 병렬로, 개별적으로 또는 조합적인 것 중 하나로 스위치되는 캐패시터(C_1과 C_2)에 의해 4개의 가능 전송 주파수중 하나를 수신하기 위한 자동 재동조를 효과적으로 허용하는 회로를 포함한다.

재동조 전송 신호를 위한 추구는 사인 대 구형파 컨버터(14)를 통해, 수신된 신호의 디지트화된 형태로 2-비트 디지탈 카운터(12)의 상태를 진행시키는 이러한 펄스 트레인에 의해 구동되는 디지탈 분할기(16)로부터 얻어진 펄스 트레인에 의해 실현되고, 2-비트 디지탈 카운터(12)의 출력은 첫 번째 하나의 캐패시터, 다음에 두번째 캐패시터와 마지막으로 수신기 대역폭 동조 회로(10)와 병렬로 양쪽의 이러한 캐패시터(C_1과 C_2)를 연속적으로 스위칭하고, 상기 스위칭 동작은 상기 변화된 공진 주파수가 수신된 신호 세기를 증가시킬 때까지 상기 대역폭 동조 회로(10)의 공진 주파수를 변화시킨다. 증가된 신호 세기는 미리 결정된 임계 회로(18)에 의해 기준에 대하여 테스트되는데. 이 회로는 캐패시터 조합에 대응하는 제어 상태에서 2-비트 카운터(12)를 중지시키는 억제 신호 펄스를 내게 함으로써 수신기 동조 회로(10)를 새로운 이전의 공지되지 않은 주파수에서 공진시킨다.

증가된 세기 신호의 재출현과 임계 시험은 2-비트 래치(24)에 의해 구성되는 저장 회로로 2-비트 카운터(12)의 상태를 전송하는 제2 펄스를 발생시켜 저장과 프로세싱을 위한 엑세스를 위해 상기 상태를 유지한다.

또한, 미리 결정된 시간동안의 상기 증가된 신호 세기의 지연 또는 부재는 모든 수신기 기능을 수위치 오프시키고, 수신기/디코더를 재초기화하여 전력의 저장을 목적으로 하는 지정된 최고 주파수의 연속적인 전송을 받아들일 준비를 하는 초기화 조건으로 놓게 한다.

모든 4개의 주파수의 식별은 각각의 복수의 가능한 디지탈 상태를 통해 2-비트 카운터(12)를 진행시킴으로써 이루어진다.

선택적으로 N을 변화시킴으로써, RF 신호-유도된 디지트화 펄스 트레인에 의해 구동되는 분할기(16)의 비율은 2-비트 카운터가 상태를 변화시키는 시간 간격을 바람직하게 길게 또는 짧게 최적화하여 유리하게 수정될 수 있다.

또한, 상기 2개의 캐패시터(C_1과 C_2)의 값과 상기 참조된 데이타 전송 펄스의 발생 시간은 수신기 성능 최적화를 위해 유리하게 변화될 수 있다.

상기한 점에 비추어, 본 발명의 여러 가지 목적이 실현되고 다른 이점이 달성되는 것을 알 수 있다.

상기 설명이 본 발명을 수행하기 위해 의도된 가장 좋은 모드를 포함하더라도, 여러 가지 수정이 의도된다.

다양한 수정이 본 발명의 사상을 벗어나지 않고 기술되고 예시되는 구성으로 만들어질 수 있으므로, 상기 기술에서 얻어진 또는 첨부된 도면에 도시된 모든 방법이 제한되는 것이 아니라 예시되는 것으로 해석될 수 있는 것이 인지된다.

유사하게, 청구 범위에서 참조 번호 또는 대표적인 파라미터는 제한되는 것이 아니라 예시하기 위한 것이다.

(57) 청구의 범위

청구항 1.

주파수 쉬프트 키잉 RF 데이타 수신용 자기 동조 수신기/디코더에 있어서,

3개 이상의 다른 주파수에서의 질의(interrogation)에 따라 상기 주파수를 순차적으로 수신하기 위해 상기 주파수 중 제1 주파수에 동조하기 위한 공진 회로 수단;

상기 질의 주파수에서 상기 다른 주파수 중 다음 주파수로의 각각의 주파수 쉬프트 변화를 검출하기 위한 수단; 및

수신된 주파수 쉬프트 키잉 RF 포맷과 동일한 포맷으로 주파수 쉬프트 데이타 비트 신호를 발생시키기 위하여 각각의 상기 다른 주파수를 수신하도록 상기 공진 회로를 재동조하기 위한 수단

을 구비한 무선 주파수 스테이지를 포함하는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 2.

제1항에 있어서, 상기 질의 주파수에서 상기 다른 주파수 중 다음 주파수로의 각각의 주파수 쉬프트 변화를 검출하기 위한 수단은, 수신된 신호 세기가 가능한 새로운 송신기 주파수를 표시하도록 미리 결정된 임계값 미만으로 떨어지는지의 여부를 결정하기 위한 임계 검출 수단을 포함하는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 3.

제2항에 있어서, 상기 임계 검출 수단은 출력 신호를 제공하기 위해 상기 공진 회로로부터 신호를 수신하는 리미터/클리퍼 회로인 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 4.

제1항에 있어서, 상기 공진 회로를 재동조하기 위한 수단은, 수신된 주파수 쉬프트 키잉 RF 포맷에 대응하는 순서로 3개 이상의 복수의 송신기 주파수 변화를 순차적으로 카운팅하기 위한 카운터 회로를 포함하는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 5.

제1항에 있어서, 상기 공진 회로는 미리 결정된 순서에 따라 각각의 복수의 4개의 주파수로 연속적으로 동조될 수 있는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 6.

제5항에 있어서, 상기 4개의 주파수가 $f_0 > f_1 > f_2 > f_3$의 관계를 갖는 f_0, f_1, f_2, f_3으로 나타낼 수 있으므로, 미리 결정된 순서는 전형적으로 …, $f_2, f_3, f_0, f_1, f_2, f_3, f_0, f_1$, …의 순서로 나타낼 수 있는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 7.

제4항에 있어서, 상기 카운터 수단은,

$f_0 > f_1 > f_2 > f_3$의 관계를 갖는 상기 4개의 주파수 f_0, f_1, f_2, f_3의 미리 결정된 순서에 대응하는 순서로 카운팅하기 위해 동작하는 2-비트 카운터; 및

상기 2-비트 카운터의 카운팅을 중지시키는 각각의 주파수 쉬프트 변화를 검출하고, 각 수신된 상기 주파수에 대한 공진 회로의 재동조시 한 쌍의 데이타 비트를 전송한 후, 상기 주파수를 수신하지 않는 공진 회로 상에서 상기 2-비트 카운터의 카운팅을 재초기화하기 위한 수단

을 포함하는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 8.

제7항에 있어서, 상기 카운터 수단은, f_n/N의 비율에서 인에이블될때 2-비트 카운터로 카운팅하기 위한 카운트 펄스를 제공하도록 수신된 주파수 f_n을 인수 N으로 분할하는 1/N 분할 카운터를 포함하는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 9.

제8항에 있어서, 상기 공진 회로에 의해 수신된 신호를 1/N 분할 카운터에 제공하기 위한 사인 대 구형파 컨버터를 더 포함하는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 10.

제7항에 있어서,

신호 전력 손실 검출기; 및

상기 수신된 신호의 손실 이후의 미리 결정된 시간 간격 후에 상기 수신기/디코더를 초기화하기 위해 상기 2-비트 카운터를 모두 0인 조건으로 리셋하기 위한 시간 지연 수단

을 더 포함하는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 11.

제1항에 있어서, 상기 수신기/디코더는 임의의 고정된 시간 주기동안 상기 주파수 중 선택된 주파수의 연속적인 전송에 응답하여 용량적으로 저장된 전하에 의해 전력 공급되는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 12.

제10항에 있어서, 상기 주파수 중 선택된 주파수가 $f_0 > f_1 > f_2 > f_3$ 의 관계를 갖고 f_0, f_1, f_2, f_3 으로 나타낼 수 있는 4개의 주파수 중 가장 높은 f_0 이고, 상기 공진 회로는 가장 높은 주파수 f_0 에서 공진하도록 초기에 동조되는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 13.

제11항에 있어서, 각각의 상기 다른 주파수를 수신하도록 공진 회로를 재동조하는 수단은,

복수의 부가 캐패시턴스; 및

미리 결정된 데이타 순서에 따라 재동조하도록 상기 공진 회로의 내부 또는 외부로 조합적인 부가 캐패시턴스를 선택적으로 스위칭하기 위한 반도체 스위치 수

을 포함하는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 14.

제13항에 있어서, 상기 반도체 스위치 수단은,

상기 수신기/디코더의 수신 모드 동안에는 카운터 회로에, 송신 모드 동안에는 전송 모드 스위칭 제어 수단에 선택적으로 응답하는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 15.

제12항에 있어서, 상기 주파수 쉬프트 데이타 비트 신호를 나타내도록 상기 수신기/디코더의 출력으로서 미리 결정된 데이타 순서를 제공하기 위한 래치 수단을 더 포함하는 것을 특징으로 하는 자기 동조 수신기/디코더.

청구항 16.

제14항에 있어서, 상기 주파수의 미리 결정된 순서에 대응하여 순차적으로 카운트하도록 동작하는 2-비트 카운터를 더 포함하고,

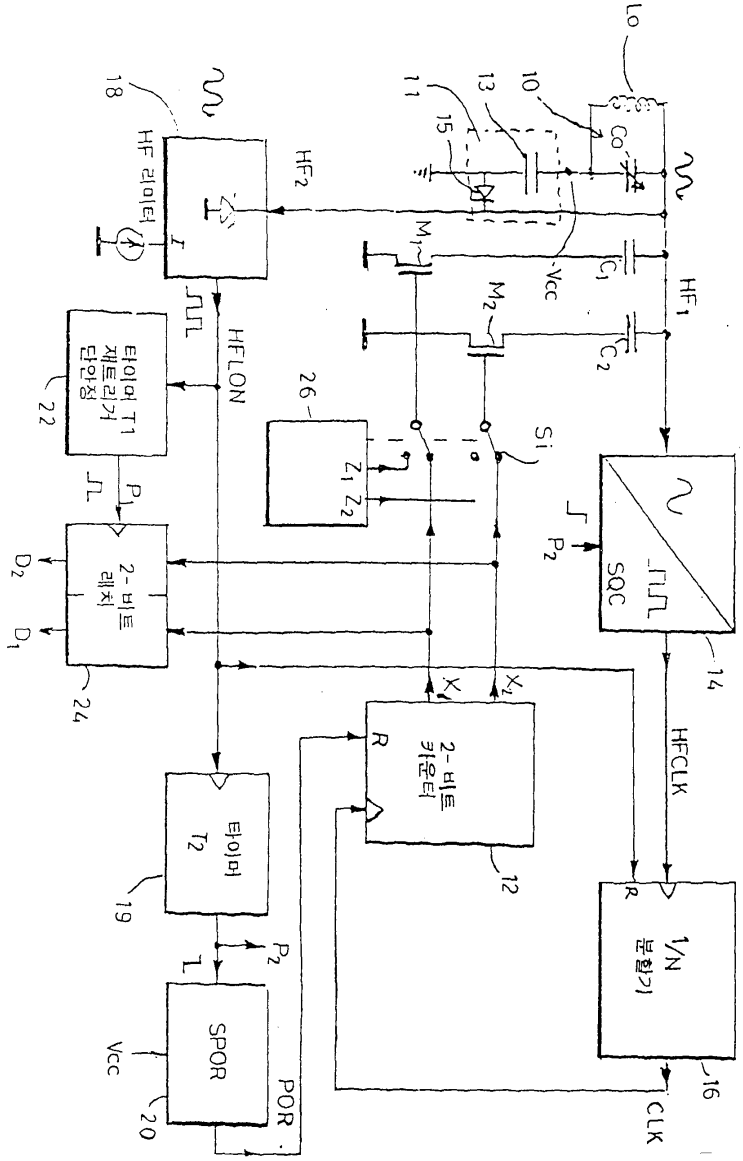
상기 반도체 스위치 수단은, 상기 주파수 중 다른 수신된 주파수에 공진 회로가 동조될 때 카운팅이 억제되는 상기 2-비트 카운터에 응답하여, 상기 주파수들 중 서로 다른 주파수로 상기 공진 회로를 재동조하도록 각각의 부가적인 캐패시턴스를 공진 회로 내부와 외부에서 선택적으로 스위칭하고, 각각의 수신된 상기 주파수에 대한 공진 회로의 재동조시 한 쌍의 데이타 비트를 전송한 후, 상기 공진 회로가 상기 주파수를 수신하지 않을 때 상기 2-비트 카운터의 카운팅을 재초기화하기 위한 MOSFET 디바이스를 포함하는 것을 특징으로 하는 자기 동조 수신기/디코더.

도면

도면 1

1	2	3	4	5
주파수의 수	가능 상태의 수	데이타 비트의 정수	데이타 속도	코딩/디코딩 복잡성
2	4	2	1.00	저
3	27	4	1.33	고
4	256	8	2.00	저
5	3125	11	2.20	고
6	46656	15	2.50	고
7	823543	18	2.71	고
8	16777216	24	3.00	저

도면 2


Lo
Co
10
11
13
15
18
HF 리미터
HF2
M1
M2
C1
C2
Vcc
HF1
HFLON
타이머 T1
재트리거
단안정
22
P1
2-비트
래치
D2
D1
24
26
Z1 Z2
Si
P2
SQC
14
X1
X2
2-비트
카운터
R
12
HFCLK
타이머
T2
19
P2
SPOR
Vcc
20
POR
1/N
분할기
16
CLK