

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2015年3月19日(19.03.2015)



(10) 国際公開番号  
WO 2015/037455 A1

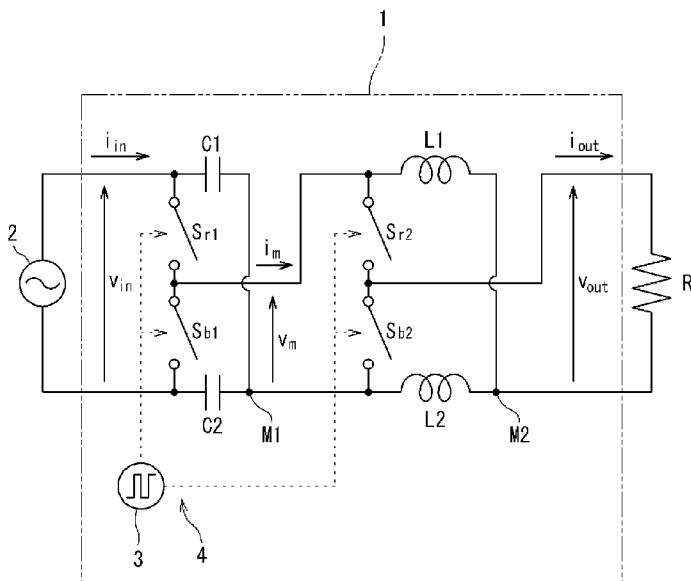
- (51) 国際特許分類:  
H02M 5/293 (2006.01)
- (21) 国際出願番号: PCT/JP2014/072706
- (22) 国際出願日: 2014年8月29日(29.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2013-189648 2013年9月12日(12.09.2013) JP  
特願 2014-149787 2014年7月23日(23.07.2014) JP
- (71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP). 国立大学法人豊橋技術科学大学 (NATIONAL UNIVERSITY CORPORATION TOYOHASHI UNIVERSITY OF TECHNOLOGY) [JP/JP]; 〒4418580 愛知県豊橋市天伯町雲雀ヶ丘1-1 Aichi (JP).
- (72) 発明者: 中幡 英章 (NAKAHATA, Hideaki); 〒5540024 大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 弘津 研一 (HIROTSU, Kenichi); 〒5540024 大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内

Osaka (JP). 志賀 信夫 (SHIGA, Nobuo); 〒5540024 大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 大平 孝 (OHIRA, Takashi); 〒4418580 愛知県豊橋市天伯町雲雀ヶ丘1-1 国立大学法人豊橋技術科学大学内 Aichi (JP). 山田 恭平 (YAMADA, Kyohei); 〒4418580 愛知県豊橋市天伯町雲雀ヶ丘1-1 国立大学法人豊橋技術科学大学内 Aichi (JP). 江頭 大也 (EGASHIRA, Daiya); 〒4418580 愛知県豊橋市天伯町雲雀ヶ丘1-1 国立大学法人豊橋技術科学大学内 Aichi (JP).

- (74) 代理人: 特許業務法人サンクレスト国際特許事務所 (SUNCREST PATENT AND TRADEMARK ATTORNEYS); 〒6500023 兵庫県神戸市中央区栄町通四丁目1番11号 Hyogo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: TRANSFORMER  
(54) 発明の名称: 変圧装置



(57) Abstract: A transformer device provided between a power source and a load, and equipped with a front-stage circuit and a rear-stage circuit, each of which has the function of alternately switching the polarity of an output with respect to an input. This transformer device is further equipped with: series bodies provided in the front-stage circuit and/or the rear-stage circuit and formed by connecting a pair of reactance elements to each other in series at a connection point; and a switch device which transmits power from a first port to a second port or transmits power from the second port to the first port, when both ends of a series body are set as the first port, and the interval between one end of the series body and the connection point and the interval between the other end of the series body and the connection point are alternately set as the second port by means of switching, while inverting the polarity.

(57) 要約: 電源と負荷との間に設けられ、入力に対する出力の極性を交互に反転させるスイッチングを行う機能をそれぞれが有する前段回路及び後段回路を備えている変圧装置であって、前段回路及び後段回路の少なくとも一方に設けられ、一対のリアクタンス素子を接続点で互いに直列に接続して成る直列体と、直列体の両端を第1ポートとした場合に、直列体の一端と接続点との間、及び、直列体の他端と接続点との間を、スイッチングにより交互に、かつ、極性を反転させながら第2ポートとして、第1ポートから第2ポートへの電力の伝送、及び、第2ポートから第1ポートへの電力の伝送のいずれか一方を実行するスイッチ装置と、を備えたものである。

と接続点との間、及び、直列体の他端と接続点との間を、スイッチングにより交互に、かつ、極性を反転させながら第2ポートとして、第1ポートから第2ポートへの電力の伝送、及び、第2ポートから第1ポートへの電力の伝送のいずれか一方を実行するスイッチ装置と、を備えたものである。

WO 2015/037455 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：変圧装置

技術分野

[0001] 本発明は、変圧装置に関する。

背景技術

[0002] 商用交流の送配電システムには、変圧器が用いられる。需要家の直近では、例えば6600V（50Hz又は60Hz）を、200Vに変圧する柱上トランスが用いられる（非特許文献1参照。）。このような柱上トランスは、導線となる太いコイルが鉄心に巻回されており、相応の重量がある。また、さらに絶縁油やケースを含めると、例えば直径40cm、高さ80cmのタイプでは200kg程度の重量がある。

[0003] 一方、次世代の電力システムであるスマートグリッドの実現に向け、SST（Solid-State Transformer）の研究が行われている。SSTには、高周波トランスが用いられる（例えば、非特許文献2参照。）。

先行技術文献

非特許文献

[0004] 非特許文献1：中部電力ホームページ、「柱上変圧器」、[online]、[平成25年7月19日検索]、インターネット<URL：[http://www.chuden.co.jp/e-museum/guide/3floor/exhibit\\_c23.html](http://www.chuden.co.jp/e-museum/guide/3floor/exhibit_c23.html)>

非特許文献2：Falcones, S. : et al., Power and Energy Society General Meeting, 2010 IEEE, pp. 1-8, Minneapolis, July 2010

発明の概要

発明が解決しようとする課題

[0005] 従来の柱上トランスは重く、従って、取り扱いが容易ではない。また、その外形寸法を収めるに足る大きな取付スペースが、柱上に必要である。

一方、高周波トランスは、寄生容量の影響が回避できず、設計上の困難性がある。

[0006] かかる従来の問題点に鑑み、本発明は、小型軽量で、従来のトランスのような磁気結合や電磁誘導、相互インダクタンス用のコイルや鉄心等を必要としない画期的な次世代の変圧装置を提供することを目的とする。

### 課題を解決するための手段

[0007] 本発明は、電源と負荷との間に設けられる変圧装置であって、前記電源と接続される前端側に入力ポート P 1 及び P 2 を有し、後端側に出力ポート P 3 及び P 4 を有する前段回路と、前記負荷と接続される後端側に出力ポート P 7 及び P 8 を有し、前端側に入力ポート P 5 及び P 6 を有する後段回路とを備え、

前記前段回路としては、以下の (F 1) ~ (F 5) のいずれかが選択可能であり、

(F 1) 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記入力ポート P 1 及び前記入力ポート P 2 に接続され、前記キャパシタ接続点は前記出力ポート P 4 に接続され、前記入力ポート P 1 と前記出力ポート P 3 との間にある第 1 スイッチと、前記入力ポート P 2 と前記出力ポート P 3 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる前段回路、

(F 2) 前記 (F 1) の前段回路において前記出力ポート P 3 に直結する線路にキャパシタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの前記出力ポート P 3, P 4 を互いに並列に接続した前段回路、

(F 3) 一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポート P 3 及び前記出力ポート P 4 に接続され、前記インダクタ接続点は前記入力ポート P 2 に接続され、前記入力

ポート P 1 と前記出力ポート P 3 との間にある第 1 スイッチと、前記入力ポート P 1 と前記出力ポート P 4 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる前段回路、

(F 4) 前記 (F 3) の前段回路において前記入力ポート P 1 に直結する線路にインダクタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの前記出力ポート P 3, P 4 を互いに並列に接続した前段回路、

(F 5) 4 個のスイッチによって構成され、前記入力ポート P 1, P 2 から入力して前記出力ポート P 3, P 4 から出力するフルブリッジ回路の前段回路、

また、前記後段回路としては、以下の (R 1) ~ (R 5) のいずれかが選択可能であり、

(R 1) 一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記入力ポート P 5 及び前記入力ポート P 6 に接続され、前記インダクタ接続点は前記出力ポート P 8 に接続され、前記入力ポート P 5 と前記出力ポート P 7 との間にある第 1 スイッチと、前記入力ポート P 6 と前記出力ポート P 7 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる後段回路、

(R 2) 前記 (R 1) の前段回路において前記出力ポート P 7 に直結する線路にインダクタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 5, P 6 を互いに直列に接続し、複数ユニットの前記出力ポート P 7, P 8 を互いに並列に接続した後段回路、

(R 3) 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポート P 7 及び前記出力ポート P 8 に接続され、前記キャパシタ接続点は前記入力ポート P 6 に接続され、前記入力ポート P 5 と前記出力ポート P 7 との間にある第 1 スイッチと、前記入力ポート P 5 と前記出力ポート P 8 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる後段回路、

(R4) 前記(R3)の前段回路において前記入力ポートP5に直結する線路にキャパシタを介挿したものを1ユニットとして、複数ユニットの前記入力ポートP5、P6を互いに直列に接続し、複数ユニットの前記出力ポートP7、P8を互いに並列に接続した後段回路、

(R5) 4個のスイッチによって構成され、前記入力ポートP5、P6から入力して前記出力ポートP7、P8から出力するフルブリッジ回路の後段回路、

前記前段回路(F1)～(F5)のうちのいずれか一つと、前記後段回路(R1)～(R5)のうちのいずれか一つとを備えて構成され、かつ、前段回路が(F5)で後段回路が(R5)であるという組み合わせは除外する変圧装置である。

[0008] また、他の観点からの本発明は、電源と負荷との間に設けられ、入力に対する出力の極性を交互に反転させるスイッチングを行う機能をそれぞれが有する前段回路及び後段回路を備えている変圧装置であって、前記前段回路及び前記後段回路の少なくとも一方に設けられ、一对のリアクタンス素子を接続点で互いに直列に接続して成る直列体と、前記直列体の両端を第1ポートとした場合に、前記直列体の一端と前記接続点との間、及び、前記直列体の他端と前記接続点との間を、スイッチングにより交互に、かつ、極性を反転させながら第2ポートとして、前記第1ポートから前記第2ポートへの電力の伝送、及び、前記第2ポートから前記第1ポートへの電力の伝送のいずれか一方を実行するスイッチ装置と、を含むものである。

なお、リアクタンス素子とは、誘導性リアクタンスを有するインダクタ、又は、容量性リアクタンスを有するキャパシタである。

[0009] 一方、電源を直流電源に限定すれば、さらに他の構成もある。すなわち、本発明は、直流電源と負荷との間に設けられる変圧装置であって、前記電源と接続される前端側に入力ポートP1及びP2を有し、後端側に出力ポートP3及びP4を有する前段回路と、前記負荷と接続される後端側に出力ポートP7及びP8を有し、前端側に入力ポートP5及びP6を有する後段回路

とを備え、

前記前段回路としては、以下の（F 1）～（F 5）のいずれかが選択可能であり、

（F 1） 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記入力ポート P 1 及び前記入力ポート P 2 に接続され、前記キャパシタ接続点は前記出力ポート P 4 に接続され、前記入力ポート P 1 と前記出力ポート P 3 との間にある第 1 スイッチと、前記入力ポート P 2 と前記出力ポート P 3 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる前段回路、

（F 2） 前記（F 1）の前段回路において前記出力ポート P 3 に直結する線路にキャパシタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの前記出力ポート P 3, P 4 を互いに並列に接続した前段回路、

（F 3） 一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポート P 3 及び前記出力ポート P 4 に接続され、前記インダクタ接続点は前記入力ポート P 2 に接続され、前記入力ポート P 1 と前記出力ポート P 3 との間にある第 1 スイッチと、前記入力ポート P 1 と前記出力ポート P 4 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる前段回路、

（F 4） 前記（F 3）の前段回路において前記入力ポート P 1 に直結する線路にインダクタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの前記出力ポート P 3, P 4 を互いに並列に接続した前段回路、

（F 5） 4 個のスイッチによって構成され、前記入力ポート P 1, P 2 から入力して前記出力ポート P 3, P 4 から出力するフルブリッジ回路の前段回路、

また、前記後段回路としては、以下の（R 1）～（R 5）のいずれかが選択可能であり、

(R1) 一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記入力ポート P5 及び前記入力ポート P6 に接続され、前記インダクタ接続点は前記出力ポート P8 に接続され、前記入力ポート P5 と前記出力ポート P7 との間にある第1ダイオードと、前記入力ポート P6 と前記出力ポート P7 との間にある第2ダイオードとが、入力電圧の極性に依じて交互に導通する後段回路、

(R2) 前記(R1)の後段回路において前記出力ポート P7 に直結する線路にインダクタを介挿したものを1ユニットとして、複数ユニットの前記入力ポート P5, P6 を互いに直列に接続し、複数ユニットの前記出力ポート P7, P8 を互いに並列に接続した後段回路、

(R3) 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポート P7 及び前記出力ポート P8 に接続され、前記キャパシタ接続点は前記入力ポート P6 に接続され、前記入力ポート P5 と前記出力ポート P7 との間にある第1ダイオードと、前記入力ポート P5 と前記出力ポート P8 との間にある第2ダイオードとが、入力電圧の極性に依じて交互に導通する後段回路、

(R4) 前記(R3)の後段回路において前記入力ポート P5 に直結する線路にキャパシタを介挿したものを1ユニットとして、複数ユニットの前記入力ポート P5, P6 を互いに直列に接続し、複数ユニットの前記出力ポート P7, P8 を互いに並列に接続した後段回路、

(R5) 4個のダイオードによって構成され、前記入力ポート P5, P6 から入力して前記出力ポート P7, P8 から出力するフルブリッジ回路の後段回路、

前記前段回路(F1)～(F5)のうちのいずれか一つと、前記後段回路(R1)～(R5)のうちのいずれか一つとを備えて構成され、かつ、前段回路が(F5)で後段回路が(R5)であるという組み合わせは除外する変圧装置である。

**発明の効果**

[0010] 本発明の変圧装置を電力用の変圧器として用いることにより、コイルや鉄心等を含む従来のトランスは不要となる。従って、変圧器の飛躍的な小型軽量化及び、それに伴う低コスト化を実現することができる。

### 図面の簡単な説明

[0011] [図1]第1実施形態に係る変圧装置を示す回路図である。

[図2] (a) は、図1における4つのスイッチのうち、上側にある2つのスイッチがオンで、下側にある2つのスイッチがオフであるときの、実体接続の状態を示す回路図である。(b) は、(a)と同じ回路図を、階段状に書き換えた回路図である。

[図3] (a) は、図1における4つのスイッチのうち、下側にある2つのスイッチがオンで、上側にある2つのスイッチがオフであるときの、実体接続の状態を示す回路図である。また、(b) は、(a)と同じ回路図を、階段状に書き換えた回路図である。

[図4]変圧装置に対する入力電圧及び入力電流をそれぞれ表す波形図である。

[図5]変圧の中間段階での電圧及び電流をそれぞれ表す波形図である。

[図6]変圧装置からの出力電圧及び出力電流をそれぞれ表す波形図である。

[図7]第2実施形態に係る変圧装置を示す回路図である。

[図8]図7に示す変圧装置に対する入力電圧及び入力電流をそれぞれ表す波形図である。

[図9]図7に示す変圧装置からの出力電圧及び出力電流をそれぞれ表す波形図である。

[図10]第3実施形態に係る変圧装置を示す回路図である。

[図11]第4実施形態に係る変圧装置を示す回路図である。

[図12]第5実施形態に係る変圧装置を示す回路図である。

[図13]第6実施形態に係る変圧装置を示す回路図である。

[図14]第7実施形態に係る変圧装置を示す回路図である。

[図15]第8実施形態に係る変圧装置を示す回路図である。

[図16]第9実施形態に係る変圧装置を示す回路図である。

- [図17]第10実施形態に係る変圧装置を示す回路図である。
- [図18]第11実施形態に係る変圧装置を示す回路図である。
- [図19]第12実施形態に係る変圧装置の前段回路を示す回路図である。
- [図20]第12実施形態に係る変圧装置の後段回路を示す回路図である。
- [図21]図1に相当する実験用の回路図の例である。
- [図22]各実施形態の変圧装置を大局的に見た概略構成を示すブロック図である。
- [図23]変圧装置の前段回路として選択しうる回路の基本形を示す図である。
- [図24]変圧装置の後段回路として選択しうる回路の基本形を示す図である。
- [図25]分布定数回路による変圧装置を示す接続図である。
- [図26]図1に示した変圧装置と、図25の変圧装置とを、組み合わせた回路図である。
- [図27]二端子対回路（四端子回路）による変圧装置の概念を示す図である。
- [図28]回路を構成する要素数の考え方を示す図である。
- [図29]最小の要素数4で構成できる回路構成のうちの4パターンを示す図である。
- [図30]4A型の回路構成を示す図である。
- [図31]4A型の回路構成の実例6パターンを示す図である。
- [図32]図1に示した変圧装置と、4A型の回路構成を有する変圧装置とを、組み合わせた回路図である。
- [図33]4B型の回路構成を示す図である。
- [図34]4B型の回路構成の実例6パターンを示す図である。
- [図35]図1に示した変圧装置と、4B型の回路構成を有する変圧装置とを、組み合わせた回路図である。
- [図36]4C型の回路構成を示す図である。
- [図37]4C型の回路構成の実例6パターンを示す図である。
- [図38]図1に示した変圧装置と、4C型の回路構成を有する変圧装置とを、組み合わせた回路図である。

[図39] 4 D型の回路構成を示す図である。

[図40] 4 D型の回路構成の実例 2 パターンを示す図である。

[図41] 図 1 に示した変圧装置と、4 D型の回路構成を有する変圧装置とを、組み合わせた回路図である。

[図42] (a) は、 $n = 5$  の第 1 例の回路構成を示す図である。(b) は、T 型回路を示す。

[図43] (a) は、 $n = 5$  の第 2 例の回路構成を示す図である。(b) は、 $\pi$  型回路を示す。

[図44] (a) は、 $n = 6$  の第 1 例の回路構成を示す図である。(b) は、 $n = 6$  の第 2 例の回路構成を示す図である。

[図45] 図 1 9 の前段回路 3 ユニットの 2 ユニットのみに書いた回路図である。

[図46] 図 4 5 と等価な回路である。

[図47] 図 1 2 の変圧装置の前段回路と後段回路との間に、後述の集中定数回路による変圧装置を介挿した複合的な変圧装置を示す回路図である。

[図48] 第 1 3 実施形態に係る変圧装置 1 を示す回路図である。

[図49] 図 4 8 の変圧装置に、環流ダイオードを付加した回路図である。

[図50] ダイオードを用いた場合の、後段回路として選択しうる回路の基本形を示す図である。

[図51] 直流電源に対する変圧装置の使用例を示す接続図である。

## 発明を実施するための形態

[0012] [実施形態の要旨]

本発明の実施形態の要旨としては、少なくとも以下のものが含まれる。

[0013] (1) これは、電源と負荷との間に設けられる変圧装置であって、前記電源と接続される前端側に入力ポート P 1 及び P 2 を有し、後端側に出力ポート P 3 及び P 4 を有する前段回路と、前記負荷と接続される後端側に出力ポート P 7 及び P 8 を有し、前端側に入力ポート P 5 及び P 6 を有する後段回路とを備え、

前記前段回路としては、以下の（F 1）～（F 5）のいずれかが選択可能であり、

（F 1） 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記入力ポート P 1 及び前記入力ポート P 2 に接続され、前記キャパシタ接続点は前記出力ポート P 4 に接続され、前記入力ポート P 1 と前記出力ポート P 3 との間にある第 1 スイッチと、前記入力ポート P 2 と前記出力ポート P 3 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる前段回路、

（F 2） 前記（F 1）の前段回路において前記出力ポート P 3 に直結する線路にキャパシタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの前記出力ポート P 3, P 4 を互いに並列に接続した前段回路、

（F 3） 一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポート P 3 及び前記出力ポート P 4 に接続され、前記インダクタ接続点は前記入力ポート P 2 に接続され、前記入力ポート P 1 と前記出力ポート P 3 との間にある第 1 スイッチと、前記入力ポート P 1 と前記出力ポート P 4 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる前段回路、

（F 4） 前記（F 3）の前段回路において前記入力ポート P 1 に直結する線路にインダクタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの前記出力ポート P 3, P 4 を互いに並列に接続した前段回路、

（F 5） 4 個のスイッチによって構成され、前記入力ポート P 1, P 2 から入力して前記出力ポート P 3, P 4 から出力するフルブリッジ回路の前段回路、

また、前記後段回路としては、以下の（R 1）～（R 5）のいずれかが選択可能であり、

（R 1） 一对のインダクタをインダクタ接続点で互いに直列に接続して成

る直列体の両端がそれぞれ前記入力ポート P 5 及び前記入力ポート P 6 に接続され、前記インダクタ接続点は前記出力ポート P 8 に接続され、前記入力ポート P 5 と前記出力ポート P 7 との間にある第 1 スイッチと、前記入力ポート P 6 と前記出力ポート P 7 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる後段回路、

(R 2) 前記 (R 1) の後段回路において前記出力ポート P 7 に直結する線路にインダクタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 5, P 6 を互いに直列に接続し、複数ユニットの前記出力ポート P 7, P 8 を互いに並列に接続した後段回路、

(R 3) 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポート P 7 及び前記出力ポート P 8 に接続され、前記キャパシタ接続点は前記入力ポート P 6 に接続され、前記入力ポート P 5 と前記出力ポート P 7 との間にある第 1 スイッチと、前記入力ポート P 5 と前記出力ポート P 8 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる後段回路、

(R 4) 前記 (R 3) の後段回路において前記入力ポート P 5 に直結する線路にキャパシタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 5, P 6 を互いに直列に接続し、複数ユニットの前記出力ポート P 7, P 8 を互いに並列に接続した後段回路、

(R 5) 4 個のスイッチによって構成され、前記入力ポート P 5, P 6 から入力して前記出力ポート P 7, P 8 から出力するフルブリッジ回路の後段回路、

前記前段回路 (F 1) ~ (F 5) のうちのいずれか一つと、前記後段回路 (R 1) ~ (R 5) のうちのいずれか一つとを備えて構成され、かつ、前段回路が (F 5) で後段回路が (R 5) であるという組み合わせは除外する変圧装置である。

[0014] 上記 (1) のように構成された変圧装置では、回路構成とスイッチングとによって変圧を行うことができる。このような変圧装置を電力用の変圧器と

して用いることにより、コイルや鉄心等を含む従来のトランスは不要となる。従って、変圧器の飛躍的な小型軽量化及び、それに伴う低コスト化を実現することができる。また、高周波トランスで課題となる寄生容量、漏れ磁界発生の問題も解消され、低損失な変圧器を実現することができる。

[0015] (2) また、異なる表現をすれば、これは、電源と負荷との間に設けられ、入力に対する出力の極性を交互に反転させるスイッチングを行う機能をそれぞれが有する前段回路及び後段回路を備えている変圧装置であって、前記前段回路及び前記後段回路の少なくとも一方に設けられ、一对のリアクタンス素子を接続点で互いに直列に接続して成る直列体と、前記直列体の両端を第1ポートとした場合に、前記直列体の一端と前記接続点との間、及び、前記直列体の他端と前記接続点との間を、スイッチングにより交互に、かつ、極性を反転させながら第2ポートとして、前記第1ポートから前記第2ポートへの電力の伝送、及び、前記第2ポートから前記第1ポートへの電力の伝送のいずれか一方を実行するスイッチ装置と、を含むものである。

[0016] 上記(2)のように構成された変圧装置では、一对のリアクタンス素子を含む回路構成とスイッチングとによって変圧を行うことができる。このような変圧装置を電力用の変圧器として用いることにより、コイルや鉄心等を含む従来のトランスは不要となる。従って、変圧器の飛躍的な小型軽量化及び、それに伴う低コスト化を実現することができる。また、高周波トランスで課題となる寄生容量、漏れ磁界発生の問題も解消され、低損失な変圧器を実現することができる。

[0017] (3) また、(1)又は(2)の変圧装置において、前記直列体が一对のインダクタの直列体であって、前記電源の周波数を $f_0$ 、スイッチング周波数を $f_s$ 、任意の前記インダクタのインダクタンス値を $L$ 、前記負荷の抵抗値を $R$ とすると、

$$2\pi f_0 L \ll R \ll 2\pi f_s L$$

であることが好ましい。

この場合、歪みの少ない、より安定した変圧動作が得られる。なお、不等

号で示す差は、例えば、1桁以上、より好ましくは2桁以上の差があることが好ましい。

- [0018] (4) また、(1) 又は(2) の変圧装置において、前記直列体が一対のキャパシタの直列体であって、前記電源の周波数を  $f_0$ 、スイッチング周波数を  $f_s$ 、任意の前記キャパシタのキャパシタンス値を  $C$ 、前記負荷の抵抗値を  $R$  とすると、

$$1 / (2 \pi f_s C) \ll R \ll 1 / (2 \pi f_0 C)$$

であることが好ましい。

この場合、歪みの少ない、より安定した変圧動作が得られる。なお、不等号で示す差は、例えば、1桁以上、より好ましくは2桁以上の差があることが好ましい。

- [0019] (5) また、(1) 又は(2) の変圧装置において、前記直列体の接続点とは繋がっていない方の出力用の線路に、キャパシタを介挿した構成であってもよい。

この場合、装置が故障した場合や、線路中に地絡や短絡があった場合に、電源から負荷に過電流が流れることを抑制できる。

- [0020] (6) また、(1) ~ (5) のいずれかの変圧装置において、前記前段回路と前記後段回路との間に、分布定数回路を介挿し、当該分布定数回路は、前記前段回路の出力の周波数を  $f$  とし、周波数  $f$  における波長を  $\lambda$  とし、長さ  $\lambda / 4$  の第1変換器と、当該第1変換器の終端と前記後段回路との間に設けられた、長さ  $\lambda / 4$  の第2変換器と、を備えているものであってもよい。

この場合、介挿される分布定数回路が変圧機能を有する。従って、分布定数回路の変圧機能と組み合わせることにより、変圧比の広範囲な設計が可能な変圧装置とすることができる。

- [0021] (7) また、(1) ~ (5) のいずれかの変圧装置において、前記前段回路と前記後段回路との間に、二端子対回路を介挿し、当該二端子対回路は、4以上の自然数を  $n$  とし、 $n$  個のリアクタンス素子を相互に接続して構成

されたものであって、前記負荷の任意の抵抗値  $R$  に対して、前記二端子対回路の入力インピーダンス  $Z_{in}$  は、その実数成分が、 $k$  を定数として、 $k \cdot R$  で表され、かつ、虚数成分が  $0$  である、という構成であってもよい。

この場合、介挿される二端子対回路が変圧機能を有する。従って、二端子対回路の変圧機能と組み合わせることにより、変圧比の広範囲な設計が可能な変圧装置とすることができる。

[0022] (8) また、(1) 又は (2) の変圧装置を複数組、縦続に構成してもよい。

この場合、大きな変圧比を実現することができる。

[0023] (9) また、(1) ~ (7) のいずれかの変圧装置において、キャパシタ、インダクタ又はリアクタンス素子として、ケーブルのキャパシタンス及びインダクタンスを利用することもできる。

この場合、ケーブルは耐圧性能を容易に確保することができ、また、低コストである。

[0024] (10) また、これは、直流電源と負荷との間に設けられる変圧装置であって、前記電源と接続される前端側に入力ポート  $P1$  及び  $P2$  を有し、後端側に出力ポート  $P3$  及び  $P4$  を有する前段回路と、前記負荷と接続される後端側に入力ポート  $P7$  及び  $P8$  を有し、前端側に入力ポート  $P5$  及び  $P6$  を有する後段回路とを備え、

前記前段回路としては、以下の (F1) ~ (F5) のいずれかが選択可能であり、

(F1) 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記入力ポート  $P1$  及び前記入力ポート  $P2$  に接続され、前記キャパシタ接続点は前記出力ポート  $P4$  に接続され、前記入力ポート  $P1$  と前記出力ポート  $P3$  との間にある第1スイッチと、前記入力ポート  $P2$  と前記出力ポート  $P3$  との間にある第2スイッチとが、スイッチングにより交互にオン状態となる前段回路、

(F2) 前記 (F1) の前段回路において前記出力ポート  $P3$  に直結する

線路にキャパシタを介挿したものを1ユニットとして、複数ユニットの前記入力ポートP 1, P 2を互いに直列に接続し、複数ユニットの前記出力ポートP 3, P 4を互いに並列に接続した前段回路、

(F 3) 一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポートP 3及び前記出力ポートP 4に接続され、前記インダクタ接続点は前記入力ポートP 2に接続され、前記入力ポートP 1と前記出力ポートP 3との間にある第1スイッチと、前記入力ポートP 1と前記出力ポートP 4との間にある第2スイッチとが、スイッチングにより交互にオン状態となる前段回路、

(F 4) 前記(F 3)の前段回路において前記入力ポートP 1に直結する線路にインダクタを介挿したものを1ユニットとして、複数ユニットの前記入力ポートP 1, P 2を互いに直列に接続し、複数ユニットの前記出力ポートP 3, P 4を互いに並列に接続した前段回路、

(F 5) 4個のスイッチによって構成され、前記入力ポートP 1, P 2から入力して前記出力ポートP 3, P 4から出力するフルブリッジ回路の前段回路、

また、前記後段回路としては、以下の(R 1)～(R 5)のいずれかが選択可能であり、

(R 1) 一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記入力ポートP 5及び前記入力ポートP 6に接続され、前記インダクタ接続点は前記出力ポートP 8に接続され、前記入力ポートP 5と前記出力ポートP 7との間にある第1ダイオードと、前記入力ポートP 6と前記出力ポートP 7との間にある第2ダイオードとが、入力電圧の極性に応じて交互に導通する後段回路、

(R 2) 前記(R 1)の後段回路において前記出力ポートP 7に直結する線路にインダクタを介挿したものを1ユニットとして、複数ユニットの前記入力ポートP 5, P 6を互いに直列に接続し、複数ユニットの前記出力ポートP 7, P 8を互いに並列に接続した後段回路、

(R3) 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポート P7 及び前記出力ポート P8 に接続され、前記キャパシタ接続点は前記入力ポート P6 に接続され、前記入力ポート P5 と前記出力ポート P7 との間にある第1ダイオードと、前記入力ポート P5 と前記出力ポート P8 との間にある第2ダイオードとが、入力電圧の極性に依じて交互に導通する後段回路、

(R4) 前記 (R3) の後段回路において前記入力ポート P5 に直結する線路にキャパシタを介挿したものを1ユニットとして、複数ユニットの前記入力ポート P5, P6 を互いに直列に接続し、複数ユニットの前記出力ポート P7, P8 を互いに並列に接続した後段回路、

(R5) 4個のダイオードによって構成され、前記入力ポート P5, P6 から入力して前記出力ポート P7, P8 から出力するフルブリッジ回路の後段回路、

前記前段回路 (F1) ~ (F5) のうちのいずれか一つと、前記後段回路 (R1) ~ (R5) のうちのいずれか一つとを備えて構成され、かつ、前段回路が (F5) で後段回路が (R5) であるという組み合わせは除外する変圧装置である。

[0025] 上記 (10) のように構成された変圧装置では、回路構成とスイッチングとによって変圧を行うことができる。このような変圧装置を電力用の DC/DC 変換の変圧器として用いることにより、コイルや鉄心等を含む従来のトランスは不要となる。従って、変圧器の飛躍的な小型軽量化及び、それに伴う低コスト化を実現することができる。また、高周波トランスで課題となる寄生容量、漏れ磁界発生の問題も解消され、低損失な変圧器を実現することができる。

[0026] [実施形態の詳細]

提案する変圧装置は、その構成によって、以下の3種類がある。

(A) リアクタンス素子を用いた回路構成とスイッチングとによる変圧装置

(B) 分布定数回路による変圧装置

(C) 集中定数回路による変圧装置

本発明の実施形態としては主として (A) を挙げ、補足的に、(B) 及び (C) についても説明する。

[0027] <リアクタンス素子を用いた回路構成とスイッチングとによる変圧装置>  
《第1実施形態》

図1は、第1実施形態に係る変圧装置1を示す回路図である。図において、変圧装置1は、交流電源2と、負荷R (Rは、抵抗値でもある。)との間に設けられている。変圧装置1は、一对のキャパシタC1, C2と、一对のインダクタL1, L2と、4つのスイッチ $S_{r1}$ ,  $S_{r2}$ ,  $S_{b1}$ ,  $S_{b2}$ と、これらのスイッチ $S_{r1}$ ,  $S_{r2}$ ,  $S_{b1}$ ,  $S_{b2}$ のオン/オフを制御するスイッチング制御部3とを備えている。スイッチング制御部3のスイッチング周波数は、例えば1MHz程度である。

なお、一对のキャパシタC1, C2のキャパシタンス値は同じ値であってもよいし、互いに異なる値であってもよい。一对のインダクタL1, L2のインダクタンス値についても同様である。

[0028] スイッチ $S_{r1}$ ,  $S_{r2}$ ,  $S_{b1}$ ,  $S_{b2}$ 及びスイッチング制御部3により、変圧装置1の回路接続の状態を切り替えるスイッチ装置4が構成されている。スイッチ $S_{r1}$ ,  $S_{r2}$ は互いに同期して動作し、また、スイッチ $S_{b1}$ ,  $S_{b2}$ は互いに同期して動作する。そして、スイッチ $S_{r1}$ ,  $S_{r2}$ のペアと、スイッチ $S_{b1}$ ,  $S_{b2}$ のペアとは、排他的に交互にオンとなるよう動作する。スイッチ $S_{r1}$ ,  $S_{r2}$ ,  $S_{b1}$ ,  $S_{b2}$ は、例えば、SiC素子又はGaN素子からなる半導体スイッチング素子である。SiC素子又はGaN素子は、例えばSi素子に比べて、より高速なスイッチングが可能である。また、素子を多段に接続しなくても、十分な耐圧 (例えば6kV/1個も可能) が得られる。

[0029] 図1において、一对のキャパシタC1, C2は、接続点M1において互いに直列に接続されている。そして、その直列体の両端に、交流電源2が接続されている。一对のキャパシタC1, C2の直列体には入力電圧 $v_{in}$ が印加

され、入力電流  $i_{in}$  が流れる。

また、一对のインダクタ  $L_1$ 、 $L_2$  は、接続点  $M_2$  において互いに直列に接続されている。そして、その直列体の両端に、キャパシタ  $C_1$ 、 $C_2$  を介した入力電圧  $v_m$  が印加され、入力電流  $i_m$  が流れる。負荷  $R$  には、スイッチ  $S_{r2}$ 、 $S_{b2}$  のいずれかがオンのとき電流が流れる。ここで、負荷  $R$  に印加される電圧を  $v_{out}$ 、変圧装置 1 から負荷  $R$  に流れる出力電流を  $i_{out}$  とする。

[0030] 図 2 の (a) は、図 1 における 4 つのスイッチ  $S_{r1}$ 、 $S_{r2}$ 、 $S_{b1}$ 、 $S_{b2}$  のうち、上側にある 2 つのスイッチ  $S_{r1}$ 、 $S_{r2}$  がオンで、下側にある 2 つのスイッチ  $S_{b1}$ 、 $S_{b2}$  がオフであるときの、実体接続の状態を示す回路図である。なお、図 1 におけるスイッチ装置 4 の図示は省略している。また、図 2 の (b) は、(a) と同じ回路図を、階段状に書き換えた回路図である。

一方、図 3 の (a) は、図 1 における 4 つのスイッチ  $S_{r1}$ 、 $S_{r2}$ 、 $S_{b1}$ 、 $S_{b2}$  のうち、下側にある 2 つのスイッチ  $S_{b1}$ 、 $S_{b2}$  がオンで、上側にある 2 つのスイッチ  $S_{r1}$ 、 $S_{r2}$  がオフであるときの、実体接続の状態を示す回路図である。また、図 3 の (b) は、(a) と同じ回路図を、階段状に書き換えた回路図である。

[0031] 図 2、図 3 の状態を交互に繰り返すことにより、キャパシタ  $C_1$ 、 $C_2$  の直列体の接続点  $M_1$  を介して取り出される電圧は、さらに、インダクタ  $L_1$ 、 $L_2$  の直列体の接続点  $M_2$  を介して取り出される電圧となる。すなわち、一对のキャパシタ  $C_1$ 、 $C_2$  を含む前段回路と、一对のインダクタ  $L_1$ 、 $L_2$  を含む後段回路を備えた回路構成であり、かつ、各段において、スイッチングにより、入力に対する出力の極性が反転する。なお、キャパシタ  $C_1$ 、 $C_2$  に関してはスイッチングにより交互に電流の向きが反転し、インダクタ  $L_1$ 、 $L_2$  に関してはスイッチングにより交互に電圧の向きが反転する。

ここで、入力電圧は  $1/4$  となって出力されるのではないかと推定できる。以下、これを理論的に証明する。

[0032] 図 2 において、交流電源 2 からの入力電圧を  $v_{in}$ 、負荷  $R$  に印加される電圧を  $v_{out}$ 、キャパシタ  $C_1$  に印加される電圧を  $v_1$ 、キャパシタ  $C_2$  に印加

される電圧を  $v_2$ 、インダクタ  $L_1$  に流れる電流を  $i_1$ 、インダクタ  $L_2$  に流れる電流を  $i_2$  とすると、以下の式が成り立つ。

なお、計算の簡略化のため、キャパシタ  $C_1$ 、 $C_2$  のキャパシタンスは共に同じ値  $C$ 、インダクタ  $L_1$ 、 $L_2$  のインダクタンスは共に同じ値  $L$ 、とする。

[0033]

$$-v_{in} = v_1 - v_2$$

$$-\frac{v_{out}}{R} = i_1 + i_2$$

$$C \frac{d}{dt} (v_1 + v_2) = -i_2$$

$$L \frac{d}{dt} (i_1 - i_2) = -v_1$$

$$v_{out} = L \frac{d}{dt} i_1$$

[0034] 上記の式は、 $v_1$ 、 $i_1$ 、 $i_2$  の式に変形すると、以下のようになる。

[0035]

$$L \frac{d}{dt} i_1 = -R(i_1 + i_2)$$

$$L \frac{d}{dt} i_2 = v_1 - R(i_1 + i_2)$$

$$2C \frac{d}{dt} v_1 = -i_2 - C \frac{d}{dt} v_{in}$$

[0036] ここで、 $R i_1 = v_3$ 、 $R i_2 = v_4$  と置くと、以下の方程式 1 が得られる。

[0037] (方程式 1)

$$\begin{aligned}\frac{d}{dt}v_3 &= -\frac{R}{L}(v_3 + v_4) \\ \frac{d}{dt}v_4 &= \frac{R}{L}(v_1 - v_3 - v_4) \\ \frac{d}{dt}v_1 &= -\frac{1}{2CR}v_4 - \frac{1}{2}\frac{d}{dt}v_{in}\end{aligned}$$

[0038] また、図3において、図2と同様に、交流電源2からの入力電圧を  $v_{in}$ 、負荷Rに印加される電圧を  $v_{out}$ 、キャパシタC1に印加される電圧を  $v_1$ 、キャパシタC2に印加される電圧を  $v_2$ 、インダクタL1に流れる電流を  $i_1$ 、インダクタL2に流れる電流を  $i_2$  とすると、以下の式が成り立つ。

$$\begin{aligned}[0039] \quad -v_{in} &= v_1 - v_2 \\ -\frac{v_{out}}{R} &= i_1 + i_2 \\ C\frac{d}{dt}(v_1 + v_2) &= i_1 \\ L\frac{d}{dt}(i_1 - i_2) &= -v_2 \\ v_{out} &= L\frac{d}{dt}i_2\end{aligned}$$

[0040] 上記の式は、 $v_1$ 、 $i_1$ 、 $i_2$ の式に変形すると、以下のようになる。

[0041]

$$\begin{aligned}L\frac{d}{dt}i_2 &= -R(i_1 + i_2) \\ L\frac{d}{dt}i_1 &= -v_1 - v_{in} - R(i_1 + i_2) \\ 2C\frac{d}{dt}v_1 &= i_1 - C\frac{d}{dt}v_{in}\end{aligned}$$

[0042] ここで、 $Ri_1 = v_3$ 、 $Ri_2 = v_4$ と置くと、以下の方程式2が得られる。

[0043] (方程式 2)

$$\frac{d}{dt}v_4 = -\frac{R}{L}(v_3 + v_4)$$

$$\frac{d}{dt}v_3 = -\frac{R}{L}(v_1 + v_3 + v_4 + v_{in})$$

$$\frac{d}{dt}v_1 = \frac{1}{2CR}v_3 - \frac{1}{2} \frac{d}{dt}v_{in}$$

[0044] ここで、上記2つの状態から厳密解の導出は困難である。そこで、実用上問題ないと思われる範囲で以下の条件を設定する。

(1) Lのインピーダンス(リアクタンス)は、スイッチング周波数  $f_s$  においては、抵抗値Rに対して十分大きい、入力電圧の周波数  $f_o$  においては、抵抗値に対して十分小さい。すなわち、 $2\pi f_o L \ll R \ll 2\pi f_s L$ 、である。不等号で示す差は、例えば、1桁以上、より好ましくは2桁以上の差であることが好ましい。これにより、歪みの少ない、より安定した変圧動作が得られる。

(2) Cのインピーダンス(リアクタンス)は、スイッチング周波数  $f_s$  においては、抵抗値Rに対して十分小さい、入力電圧の周波数  $f_o$  においては、抵抗値に対して十分大きい。すなわち、 $1/(2\pi f_s C) \ll R \ll 1/(2\pi f_o C)$ 、である。不等号で示す差は、例えば、1桁以上、より好ましくは2桁以上の差であることが好ましい。これにより、歪みの少ない、より安定した変圧動作が得られる。

(3) また、スイッチングの一周期中で、入力電圧は、ほとんど変化しない。

$$\text{従って、} v_{in}(t + \Delta t) = v_{in}(t) \quad (0 \leq \Delta t \leq 1/f_s)$$

)

(4) 系は定常であり、周期 ( $1/f_s$ ) でほぼ同じ状態に戻る。

$$\text{従って、} v_x(t + (1/f_s)) \doteq v_x(t) \quad (x=1, 2, 3, 4)$$

)

[0045] スイッチ  $S_{r1}$ ,  $S_{r2}$  が、 $0 \leq t \leq (1/2f_s)$  の時間でオン、スイッチ  $S_{b1}$ ,  $S_{b2}$  が、 $(1/2f_s) \leq t \leq (1/f_s)$  の時間でオンになるとすると、方程式 1 については  $t=0$  の周りで 1 次近似して以下の方程式 3 が得られる。また、方程式 2 については、 $t = (1/2f_s)$  の周りで 1 次近似して以下の方程式 4 が得られる。

[0046] (方程式 3)

$$\begin{aligned} v_3\left(\frac{1}{2f_s}\right) &\approx v_3(0) - \frac{R}{2f_s L} \{v_3(0) + v_4(0)\} \\ v_4\left(\frac{1}{2f_s}\right) &\approx v_4(0) + \frac{R}{2f_s L} \{v_1(0) - v_3(0) - v_4(0)\} \\ v_1\left(\frac{1}{2f_s}\right) &\approx v_1(0) - \frac{1}{4f_s CR} v_4(0) - \frac{1}{2} \left\{v_{in}\left(\frac{1}{2f_s}\right) - v_{in}(0)\right\} \end{aligned}$$

[0047] なお、上記の方程式 (3) において、3 段目の式における右辺の第 3 項の、 $-(1/2) \{v_{in}(1/2f_s) - v_{in}(0)\}$  は、十分に 0 に近い値である。

[0048] (方程式 4)

$$\begin{aligned} v_4\left(\frac{1}{f_s}\right) &\approx v_4\left(\frac{1}{2f_s}\right) - \frac{R}{2f_s L} \left\{v_3\left(\frac{1}{2f_s}\right) + v_4\left(\frac{1}{2f_s}\right)\right\} \\ v_3\left(\frac{1}{f_s}\right) &\approx v_3\left(\frac{1}{2f_s}\right) - \frac{R}{2f_s L} \left\{v_1\left(\frac{1}{2f_s}\right) + v_3\left(\frac{1}{2f_s}\right) + v_4\left(\frac{1}{2f_s}\right) + v_{in}\left(\frac{1}{2f_s}\right)\right\} \\ v_1\left(\frac{1}{f_s}\right) &\approx v_1\left(\frac{1}{2f_s}\right) + \frac{1}{4f_s CR} v_3\left(\frac{1}{2f_s}\right) - \frac{1}{2} \left\{v_{in}\left(\frac{1}{f_s}\right) - v_{in}\left(\frac{1}{2f_s}\right)\right\} \end{aligned}$$

[0049] なお、上記の方程式 (4) において、3 段目の式における右辺の第 3 項の、 $-(1/2) \{v_{in}(1/f_s) - v_{in}(1/2f_s)\}$  は、十分に 0 に近い値である。

[0050] ここで、方程式 3, 4 における  $v_1$ ,  $v_3$ ,  $v_4$  をそれぞれ繋げると、すなわ

ち、 $v_1(0) = v_1(1/f_s)$ 、 $v_3(0) = v_3(1/f_s)$ 、 $v_4(0) = v_4(1/f_s)$ 、であることを利用し、また、 $\Delta T = 1/(2f_s)$ とにおいて、以下の式が得られる。

$$\begin{aligned}
 [0051] \quad & -v_3(0) - v_4(0) \approx v_1(\Delta T) + v_3(\Delta T) + v_4(\Delta T) + v_{in}(\Delta T) \\
 & v_1(0) - v_3(0) - v_4(0) \approx v_3(\Delta T) + v_4(\Delta T) \\
 & v_4(0) \approx v_3(\Delta T)
 \end{aligned}$$

[0052] また、上記（直前）の式の1段目と2段目との和をとると、

$$v_{in} = -2 \{v_3(0) + v_4(0) + v_3(\Delta T) + v_4(\Delta T)\} + v_1(0) - v_1(\Delta T)$$

ここで、方程式3の3段目の式より、 $v_1(0) - v_1(\Delta T) = (1/(4f_sCR))v_4(0)$

また、 $-v_{out} = R(i_1 + i_2) = v_3 + v_4$ であり、常に成り立つ式であるので、以下の結論式が得られる。

$$[0053] \quad v_{in}(\Delta T) \approx 4v_{out}(\Delta T) + \frac{1}{4f_sCR}v_4(0)$$

[0054] なお、ここでは簡略化のために各C、各Lは同一値として扱ったが、これらが異なる場合においても、同様の式展開によって同様の結果を導くことができる。

結論式における最下段の式の右辺の第2項は第1項に比べて十分に小さいので無視できる。従って、負荷変動（Rの値の変動）に関係なく $v_{in} \doteq 4v_{out}$ となり、出力電圧は、入力電圧のほぼ1/4となる。なお、負荷R以外での損失は無いので、出力電流は入力電流の約4倍、入力インピーダンスは抵抗値Rの1/6倍になる。

[0055] ここで、再度、図1～3の変圧装置1の構成を確認すると、変圧装置1は、第1直列体（C1、C2）と、第2直列体（L1、L2）と、スイッチ装置4とを備えている。第1直列体（C1、C2）は、一对のリアクタンス素子（キャパシタC1、C2）を第1接続点（M1）で互いに直列に接続して成り、その両端が、交流電源2と接続される。第2直列体（L1、L2）は

、一対のリアクタンス素子（インダクタ $L_1$ 、 $L_2$ ）を第2接続点（ $M_2$ ）で互いに直列に接続して成る。

[0056] そして、図2の（b）及び図3の（b）に示すように、スイッチ装置4は、第2直列体（ $L_1$ 、 $L_2$ ）の両端が、第1直列体（ $C_1$ 、 $C_2$ ）の一端と第1接続点（ $M_1$ ）との間に接続される状態と、他端と第1接続点（ $M_1$ ）との間に接続される状態とを、交互に成立させ、かつ、入力に対する出力の極性が反転するように切り替える。また、これと同期して、負荷 $R$ が、第2直列体（ $L_1$ 、 $L_2$ ）の一端と第2接続点（ $M_2$ ）との間に接続される状態と、他端と第2接続点（ $M_2$ ）との間に接続される状態とを、交互に成立させ、かつ、入力に対する出力の極性が反転するように切り替える。

[0057] なお、回路パラメータ条件として、インダクタンスに関しては、 $2\pi f_s L \ll R \ll 2\pi f_s L$ 、である。また、キャパシタンスに関しては、 $1 / (2\pi f_s C) \ll R \ll 1 / (2\pi f_s C)$ である。この回路パラメータ条件が満たされることにより、負荷変動に対して変圧比が一定であることを確実に実現し、歪みの少ない、より安定した変圧動作が得られる。なお、不等号で示す差は、例えば、1桁以上、より好ましくは2桁以上の差があることが好ましい（以下、同様。）。

[0058] 図4は、上が、変圧装置1に対する入力電圧、下が、入力電流をそれぞれ表す波形図である。

図5は、変圧の中間段階での電圧 $v_m$ 、電流 $i_m$ をそれぞれ表す波形図である。これは実際には、スイッチングによるパルス列によって構成され、全体として図示のような波形となる。

また、図6は、上が、変圧装置1からの出力電圧、下が、出力電流をそれぞれ表す波形図である。図4、図6の対比により明らかなように、電圧は $1/4$ に変圧され、それに伴って、電流は4倍となる。

[0059] 図21は、図1に相当する実験用の回路図の例である。図中の符号は、図1に対応している。各スイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{b1}$ 、 $S_{b2}$ には、半導体スイッチング素子のペアを用いる。キャパシタ $C_1$ 、 $C_2$ のキャパシタンスは $1\mu$

Fとした。また、インダクタ $L_1$ 、 $L_2$ のインダクタンスは1 mHとした。

電源2は、直流電源及び60 Hzの交流電源の双方で実験した。入力電圧（電源電圧）は、8 V、16 V、24 Vと変えて実験した。スイッチング周波数は100 kHz～1 MHzで実験した。

実験の結果、負荷 $R$ （100  $\Omega$ ）の両端での出力電圧は、入力電圧8 Vに対して2 V、入力電圧16 Vに対して4 V、入力電圧24 Vに対して6 Vと、全て1/4の変圧比となっていることが確認された。

[0060] 《第2実施形態》

図7は、第2実施形態に係る変圧装置1を示す回路図である。変圧装置1の実体は図1と同じであるが、図1との違いは、交流電源2と負荷 $R$ とが、入れ替わっている点である。この場合、入力/出力が逆になるが、入力電圧は4倍に昇圧される。昇圧に伴って、出力電流は1/4になる。なお、回路パラメータ条件は、第1実施形態と同様である。

[0061] 図8は、上が、変圧装置1に対する入力電圧、下が、入力電流をそれぞれ表す波形図である。また、図9は、上が、変圧装置1からの出力電圧、下が、出力電流をそれぞれ表す波形図である。図8、図9の対比により明らかのように、電圧は4倍に変圧され、それに伴って、電流は1/4となる。

このように、図1又は図7に示す変圧装置1は、入力/出力の可逆性を有している。

[0062] 《第3実施形態》

図10は、第3実施形態に係る変圧装置1を示す回路図である。この変圧装置1は、スイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{b1}$ 、 $S_{b2}$ の配置が図1と異なるが、その他の構成は図1と同じである。すなわち、図10において、インダクタ $L_1$ 、 $L_2$ 側にあるスイッチ $S_{b2}$ 、 $S_{r2}$ は、図1とは上下逆になっている。動作タイミングに関しては、図1の場合と同様に、スイッチ $S_{r1}$ 、 $S_{r2}$ は互いに同期して動作し、また、スイッチ $S_{b1}$ 、 $S_{b2}$ は互いに同期して動作する。そして、スイッチ $S_{r1}$ 、 $S_{r2}$ のペアと、スイッチ $S_{b1}$ 、 $S_{b2}$ のペアとは、排他的に交互にオンとなるよう動作する。なお、回路パラメータ条件は、第1実

施形態と同様である。

[0063] 図10の回路では、インダクタ側にあるスイッチ $S_{b2}$ 、 $S_{r2}$ は、図1の回路とは逆相でスイッチング動作を行うことになる。

このようなスイッチ配置及び動作によれば、入力に対する出力の位相を、図1の場合と比べて、反転することができる。

[0064] 以上のように、図1、7、10に示す変圧装置1によれば、第1直列体の両端間に電圧を入力して一端と接続点との間及び他端と接続点との間から交互に、かつ、極性を反転させながら第2直列体の両端間に出力し、かつ、第2直列体の一端と接続点との間及び他端と接続点との間から交互に、かつ、極性を反転させながら出力することによる電力変換、又は、その入出力を逆にした電力変換により、変圧を行うことができる。この場合の変圧比は、 $1/4$ 又は $4$ となる。このような変圧装置を電力用の変圧器として用いることにより、従来の商用周波トランスや、高周波トランスは不要となる。従って、変圧器の飛躍的な小型軽量化及び、それに伴う低コスト化を実現することができる。また、高周波トランスで課題となる寄生容量、漏れ磁界発生の問題も解消され、低損失な変圧器を実現することができる。

上記のような変圧装置1を基本形とすると、この基本形から、以下に述べる種々のバリエーションが考えられる。

[0065] 《第4実施形態》

図11は、第4実施形態に係る変圧装置1を示す回路図である。この変圧装置1は、4個のキャパシタ $C1$ 、 $C2$ 、 $C3$ 、 $C4$ 及び4個のスイッチ $S_{r1}$ 、 $S_{b1}$ 、 $S_{r2}$ 、 $S_{b2}$ を含む前段回路と、4個のインダクタ $L1$ 、 $L2$ 、 $L3$ 、 $L4$ 及び4個のスイッチ $S_{r3}$ 、 $S_{b3}$ 、 $S_{r4}$ 、 $S_{b4}$ を含む後段回路とを備えている。また、これらのスイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ 、 $S_{r4}$ 、 $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ 、 $S_{b4}$ のオン/オフを制御するスイッチング制御部3が設けられている。なお、回路パラメータ条件は、第1実施形態と同様である。

[0066] 8個のスイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ 、 $S_{r4}$ 、 $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ 、 $S_{b4}$ 及びスイッチング制御部3により、変圧装置1の回路接続の状態を切り替えるス

スイッチ装置4が構成されている。スイッチ $S_{r1}$ ,  $S_{r2}$ ,  $S_{r3}$ ,  $S_{r4}$ は互いに同期して動作し、また、スイッチ $S_{b1}$ ,  $S_{b2}$ ,  $S_{b3}$ ,  $S_{b4}$ は互いに同期して動作する。そして、4個のスイッチ $S_{r1}$ ,  $S_{r2}$ ,  $S_{r3}$ ,  $S_{r4}$ と、他の4個のスイッチ $S_{b1}$ ,  $S_{b2}$ ,  $S_{b3}$ ,  $S_{b4}$ とは、排他的に交互にオンとなるよう動作する。

図11の回路は、図1の回路と基本的な考え方は共通するが、さらに大きな変圧比を確保すべく、キャパシタによる前段回路を2段階に構成し、かつ、インダクタによる後段回路も2段階に構成したものである。

[0067] ここで、前段回路の段数を $N_F$ 、後段回路の段数を $N_R$ とすると、変圧比は、 $(1 / (2 N_F)) \times (1 / (2 N_R))$ となる。従って、図11の変圧装置1の変圧比は、 $(1 / (2 \cdot 2)) \times (1 / (2 \cdot 2)) = 1 / 16$ となる。

回路パラメータ条件は、図1の場合と同様に、 $2 \pi f_0 L \ll R \ll 2 \pi f_s L$ 、かつ、 $1 / (2 \pi f_s C) \ll R \ll 1 / (2 \pi f_0 C)$ 、である。

また、図7と同様に、図11の回路構成でも可逆性があり、交流電源2と負荷Rとを入れ替えれば、昇圧も可能である。この場合の変圧比は16(倍)となる。

[0068] 《第5実施形態》

図12は、第5実施形態に係る変圧装置1を示す回路図である。この変圧装置1は、4個のキャパシタ $C1$ ,  $C2$ ,  $C3$ ,  $C4$ 及び4個のスイッチ $S_{r1}$ ,  $S_{b1}$ ,  $S_{r2}$ ,  $S_{b2}$ を含む前段回路と、2個のインダクタ $L1$ ,  $L2$ 及び2個のスイッチ $S_{r3}$ ,  $S_{b3}$ を含む後段回路とを備えている。また、これらのスイッチ $S_{r1}$ ,  $S_{r2}$ ,  $S_{r3}$ ,  $S_{b1}$ ,  $S_{b2}$ ,  $S_{b3}$ のオン/オフを制御するスイッチング制御部3が設けられている。なお、回路パラメータ条件は、第1実施形態と同様である。

[0069] 6個のスイッチ $S_{r1}$ ,  $S_{r2}$ ,  $S_{r3}$ ,  $S_{b1}$ ,  $S_{b2}$ ,  $S_{b3}$ 及びスイッチング制御部3により、変圧装置1の回路接続の状態を切り替えるスイッチ装置4が構成されている。スイッチ $S_{r1}$ ,  $S_{r2}$ ,  $S_{r3}$ は互いに同期して動作し、ま

た、スイッチ $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ は互いに同期して動作する。そして、3個のスイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ と、他の3個のスイッチ $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ とは、排他的に交互にオンとなるよう動作する。

[0070] ここで、図12の変圧装置1の変圧比 $(1 / (2 N_F)) \times (1 / (2 N_R))$ は、 $(1 / (2 \cdot 2)) \times (1 / (2 \cdot 1)) = 1 / 8$ となる。

回路パラメータ条件は、図1の場合と同様に、 $2 \pi f_o L \ll R \ll 2 \pi f_s L$ 、かつ、 $1 / (2 \pi f_s C) \ll R \ll 1 / (2 \pi f_o C)$ 、である。

また、図7と同様に、図12の回路構成でも可逆性があり、交流電源2と負荷Rとを入れ替えれば、昇圧も可能である。この場合の変圧比は8（倍）となる。

[0071] 《第6実施形態》

図13は、第6実施形態に係る変圧装置1を示す回路図である。この変圧装置1は、2個のキャパシタ $C1$ 、 $C2$ 及び2個のスイッチ $S_{r1}$ 、 $S_{b1}$ を含む前段回路と、4個のインダクタ $L1$ 、 $L2$ 、 $L3$ 、 $L4$ 及び4個のスイッチ $S_{r3}$ 、 $S_{b3}$ 、 $S_{r4}$ 、 $S_{b4}$ を含む後段回路とを備えている。また、これらのスイッチ $S_{r1}$ 、 $S_{r3}$ 、 $S_{r4}$ 、 $S_{b1}$ 、 $S_{b3}$ 、 $S_{b4}$ のオン／オフを制御するスイッチング制御部3が設けられている。なお、回路パラメータ条件は、第1実施形態と同様である。

[0072] 6個のスイッチ $S_{r1}$ 、 $S_{r3}$ 、 $S_{r4}$ 、 $S_{b1}$ 、 $S_{b3}$ 、 $S_{b4}$ 及びスイッチング制御部3により、変圧装置1の回路接続の状態を切り替えるスイッチ装置4が構成されている。スイッチ $S_{r1}$ 、 $S_{r3}$ 、 $S_{r4}$ は互いに同期して動作し、また、スイッチ $S_{b1}$ 、 $S_{b3}$ 、 $S_{b4}$ は互いに同期して動作する。そして、3個のスイッチ $S_{r1}$ 、 $S_{r3}$ 、 $S_{r4}$ と、他の3個のスイッチ $S_{b1}$ 、 $S_{b3}$ 、 $S_{b4}$ とは、排他的に交互にオンとなるよう動作する。

[0073] ここで、図13の変圧装置1の変圧比 $(1 / (2 N_F)) \times (1 / (2 N_R))$ は、 $(1 / (2 \cdot 1)) \times (1 / (2 \cdot 2)) = 1 / 8$ となる。

回路パラメータ条件は、図1の場合と同様に、 $2 \pi f_o L \ll R \ll 2 \pi f_s L$ 、かつ、 $1 / (2 \pi f_s C) \ll R \ll 1 / (2 \pi f_o C)$ 、である。

また、図7と同様に、図13の回路構成でも可逆性があり、交流電源2と負荷Rとを入れ替えれば、昇圧も可能である。この場合の変圧比は8（倍）となる。

[0074] 《第7実施形態》

図14は、第7実施形態に係る変圧装置1を示す回路図である。この変圧装置1は、4個のキャパシタC1、C2、C3、C4及び4個のスイッチ $S_{r1}$ 、 $S_{b1}$ 、 $S_{r2}$ 、 $S_{b2}$ を含む前段回路と、2個のキャパシタC5、C6及び2個のスイッチ $S_{r3}$ 、 $S_{b3}$ を含む後段回路とを備えている。また、これらのスイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ 、 $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ のオン／オフを制御するスイッチング制御部3が設けられている。なお、回路パラメータ条件は、第1実施形態と同様である。

[0075] 6個のスイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ 、 $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ 及びスイッチング制御部3により、変圧装置1の回路接続の状態を切り替えるスイッチ装置4が構成されている。スイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ は互いに同期して動作し、また、スイッチ $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ は互いに同期して動作する。そして、3個のスイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ と、他の3個のスイッチ $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ とは、排他的に交互にオンとなるよう動作する。

[0076] ここで、図14の変圧装置1は、前段回路が降圧の作用、後段回路が昇圧の作用となり、変圧比は、 $(1/4) \times 2 = 1/2$ となる。

回路パラメータ条件は、図1の場合と同様に、 $2\pi f_0 L \ll R \ll 2\pi f_s L$ 、かつ、 $1/(2\pi f_s C) \ll R \ll (1/2\pi f_0 C)$ 、である。

また、図7と同様に、図14の回路構成でも可逆性があり、交流電源2と負荷Rとを入れ替えれば、昇圧も可能である。この場合の変圧比は2（倍）となる。

[0077] 《第8実施形態》

図15は、第8実施形態に係る変圧装置1を示す回路図である。この変圧装置1は、2個のインダクタL1、L2及び2個のスイッチ $S_{r1}$ 、 $S_{b1}$ を含む前段回路と、4個のインダクタL3、L4、L5、L6及び4個のスイッ

チ  $S_{r3}$ ,  $S_{b3}$ ,  $S_{r4}$ ,  $S_{b4}$  を含む後段回路とを備えている。また、これらのスイッチ  $S_{r1}$ ,  $S_{r3}$ ,  $S_{r4}$ ,  $S_{b1}$ ,  $S_{b3}$ ,  $S_{b4}$  のオン／オフを制御するスイッチング制御部 3 が設けられている。なお、回路パラメータ条件は、第 1 実施形態と同様である。

[0078] 6 個のスイッチ  $S_{r1}$ ,  $S_{r3}$ ,  $S_{r4}$ ,  $S_{b1}$ ,  $S_{b3}$ ,  $S_{b4}$  及びスイッチング制御部 3 により、変圧装置 1 の回路接続の状態を切り替えるスイッチ装置 4 が構成されている。スイッチ  $S_{r1}$ ,  $S_{r3}$ ,  $S_{r4}$  は互いに同期して動作し、また、スイッチ  $S_{b1}$ ,  $S_{b3}$ ,  $S_{b4}$  は互いに同期して動作する。そして、3 個のスイッチ  $S_{r1}$ ,  $S_{r3}$ ,  $S_{r4}$  と、他の 3 個のスイッチ  $S_{b1}$ ,  $S_{b3}$ ,  $S_{b4}$  とは、排他的に交互にオンとなるよう動作する。

[0079] ここで、図 15 の変圧装置 1 は、前段回路が昇圧の作用、後段回路が降圧の作用となり、変圧比は、 $2 \times (1/4) = 1/2$  となる。

回路パラメータ条件は、図 1 の場合と同様に、 $2\pi f_0 L \ll R \ll 2\pi f_s L$ 、かつ、 $1/(2\pi f_s C) \ll R \ll 1/(2\pi f_0 C)$ 、である。

また、図 7 と同様に、図 15 の回路構成でも可逆性があり、交流電源 2 と負荷  $R$  とを入れ替えれば、昇圧も可能である。この場合の変圧比は 2 (倍) となる。

[0080] 《第 9 実施形態》

図 16 は、第 9 実施形態に係る変圧装置 1 を示す回路図である。この変圧装置 1 では、リアクタンス素子が存在するのが後段回路のみであり、その後段回路は、2 個のインダクタ  $L_1$ ,  $L_2$  と、2 個のスイッチ  $S_{r3}$ ,  $S_{b3}$  とを備えている。前段回路は、フルブリッジ回路を構成する 4 個のスイッチ  $S_{r1}$ ,  $S_{r2}$ ,  $S_{b1}$ ,  $S_{b2}$  によって構成されている。

[0081] また、スイッチ  $S_{r1}$ ,  $S_{r2}$ ,  $S_{r3}$ ,  $S_{b1}$ ,  $S_{b2}$ ,  $S_{b3}$  のオン／オフを制御するスイッチング制御部 3 が設けられている。6 個のスイッチ  $S_{r1}$ ,  $S_{r2}$ ,  $S_{r3}$ ,  $S_{b1}$ ,  $S_{b2}$ ,  $S_{b3}$  及びスイッチング制御部 3 により、変圧装置 1 の回路接続の状態を切り替えるスイッチ装置 4 が構成されている。スイッチ  $S_{r1}$ ,  $S_{r2}$ ,  $S_{r3}$  は互いに同期して動作し、また、スイッチ  $S_{b1}$ ,  $S_{b2}$ ,  $S_{b3}$

は互いに同期して動作する。そして、3個のスイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ と、他の3個のスイッチ $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ とは、排他的に交互にオンとなるよう動作する。

[0082] 図16の回路は、いわば、図1の回路における前段回路をフルブリッジ回路に変更したものであり、動作の考え方は同様である。前段回路は、スイッチングによって、入力に対する出力の極性を交互に反転させる機能を有するが、変圧にはほとんど寄与しない。

図16の変圧装置1の変圧比は $1/2$ となる。交流電源2と負荷Rを入れ替えば、変圧比は2倍となる。

回路パラメータLの条件は、図1の場合と同様に、 $2\pi f_0 L \ll R \ll 2\pi f_s L$ である。

[0083] 《第10実施形態》

図17は、第10実施形態に係る変圧装置1を示す回路図である。この変圧装置1では、リアクタンス素子が存在するのが前段回路のみであり、その前段回路は、2個のキャパシタ $C1$ 、 $C2$ と、2個のスイッチ $S_{r1}$ 、 $S_{b1}$ とを備えている。後段回路は、フルブリッジ回路を構成する4個のスイッチ $S_{r2}$ 、 $S_{r3}$ 、 $S_{b2}$ 、 $S_{b3}$ によって構成されている。

[0084] また、スイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ 、 $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ のオン/オフを制御するスイッチング制御部3が設けられている。6個のスイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ 、 $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ 及びスイッチング制御部3により、変圧装置1の回路接続の状態を切り替えるスイッチ装置4が構成されている。スイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ は互いに同期して動作し、また、スイッチ $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ は互いに同期して動作する。そして、3個のスイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{r3}$ と、他の3個のスイッチ $S_{b1}$ 、 $S_{b2}$ 、 $S_{b3}$ とは、排他的に交互にオンとなるよう動作する。

[0085] 図17の回路は、いわば、図1の回路における後段回路をフルブリッジ回路に変更したものであり、動作の考え方は同様である。後段回路は、スイッチングによって、入力に対する出力の極性を交互に反転させる機能を有する

が、変圧にはほとんど寄与しない。

図17の変圧装置1の変圧比は $1/2$ となる。交流電源2と負荷Rを入れ替えれば、変圧比は2倍となる。

回路パラメータCの条件は、図1の場合と同様に、 $1/(2\pi f_s C) \ll R \ll 1/(2\pi f_o C)$ 、である。

[0086] 《第11実施形態》

図18は、第11実施形態に係る変圧装置1を示す回路図である。図1との違いは、スイッチ $S_{r1}$ と $S_{b1}$ との相互接続点からインダクタ側へ至る電路上にキャパシタCXを設けた点である。言い換えれば、前段回路において、キャパシタC1、C2の直列体の接続点とは繋がっていない方の出力用の線路に、キャパシタCXを介挿したことになる。このようなキャパシタCXを設けることは、既述及び後述の全ての実施形態において下記の点で有効である。

この場合、スイッチ装置4が故障した（例えばスイッチ $S_{r1}$ 、 $S_{r2}$ 又は $S_{b1}$ 、 $S_{b2}$ がオンのままになった。）場合や、線路中に地絡や短絡があった場合に、交流電源2から負荷Rに過電流が流れることを抑制できる。その他、前段側と後段側とを直流的に互いに絶縁したい場合に有用である。

なお、上記キャパシタCXは、後段回路に同様に設けることもできる。

[0087] 《第12実施形態》

次に、より大きな変圧比を得るために多段化した変圧装置1の一例について説明する。

図19は、第12実施形態に係る変圧装置1の前段回路を示す回路図である。この回路図は、例えば図1における前段回路にキャパシタC3を追加したものを1ユニットとして、これを3ユニット並べたものである。キャパシタC3は、キャパシタC1、C2の直列体の接続点とは繋がっていない方の出力用の線路に介挿されている。なお、図1におけるスイッチ装置4の図示は省略しているが、同様に設けられている。

[0088] 図19において、ユニットUf1、Uf2、Uf3は、入力側で互いに直

列に接続されており、各ユニット  $U_{f1}$ ,  $U_{f2}$ ,  $U_{f3}$  で入力電圧は均等に分担される。また、各ユニット  $U_{f1}$ ,  $U_{f2}$ ,  $U_{f3}$  の出力側は互いに並列に接続されており、各ユニット  $U_{f1}$ ,  $U_{f2}$ ,  $U_{f3}$  の出力電圧はそのまま全体の出力電圧となる。すなわち、全体の入力電圧を  $v_{in}$  とすると、各ユニット  $U_{f1}$ ,  $U_{f2}$ ,  $U_{f3}$  への入力電圧は  $v_{in}/3$  となる。また、出力電圧は、 $(v_{in}/6)$  相当の、パルス列波形（例えば図5のような波形）となる。

[0089] 図20は、第12実施形態に係る変圧装置1の後段回路を示す回路図である。この回路図は、例えば図1における後段回路にインダクタL3を追加したものを1ユニットとして、これを3ユニット並べたものである。インダクタL3は、インダクタL1, L2の直列体の接続点とは繋がっていない方の出力用の線路に介挿されている。なお、図1におけるスイッチ装置4の図示は省略しているが、同様に設けられている。

[0090] 図20において、ユニット  $U_{r1}$ ,  $U_{r2}$ ,  $U_{r3}$  は、入力側で互いに直列に接続されており、各ユニット  $U_{r1}$ ,  $U_{r2}$ ,  $U_{r3}$  で入力電圧は均等に分担される。また、各ユニット  $U_{r1}$ ,  $U_{r2}$ ,  $U_{r3}$  の出力側は互いに並列に接続されており、各ユニット  $U_{r1}$ ,  $U_{r2}$ ,  $U_{r3}$  の出力電圧はそのまま全体の出力電圧となる。すなわち、全体の入力電圧を  $v_{in}/6$  とすると、各ユニット  $U_{r1}$ ,  $U_{r2}$ ,  $U_{r3}$  への入力電圧は  $v_{in}/18$  となる。また、出力電圧は、 $v_{in}/36$  となる。

[0091] 図19及び図20において、例えば、前段回路・後段回路の各ユニットにおける上側のスイッチ ( $S_{r1}$ ,  $S_{r2}$ , 合計6個) は互いに同期して動作し、また、各ユニットにおける下側のスイッチ ( $S_{b1}$ ,  $S_{b2}$ , 合計6個) は互いに同期して動作する。そして、上側の6個のスイッチと、下側の6個のスイッチとは、排他的に交互にオンとなるよう動作する。

なお、スイッチングのタイミングは、これとは別のパターンも可能である。例えば、前段回路（図19）の各ユニットにおける上側のスイッチ（3個）と後段回路（図20）の各ユニットにおける下側のスイッチ（3個）とが

互いに同期して動作し、また、前段回路の各ユニットにおける下側のスイッチ（3個）と後段回路の各ユニットにおける上側のスイッチ（3個）とが互いに同期して動作し、前者（6個）と後者（6個）とが排他的に交互にオンとなるように動作してもよい。

[0092] また、図19、図20に示したユニット数は一例に過ぎず、前段回路、後段回路共に、任意のユニット数を構成することができる。例えば、前段回路のユニット数が $N_F$ 、後段回路のユニット数が $N_R$ であれば、変圧装置1としての変圧比は、 $(1/2N_F) \cdot (1/2N_R)$ となる。このようにして、各種の変圧比を容易に実現することができる。

なお、回路パラメータ条件は、第1実施形態と同様である。

また、第12実施形態の回路構成にも可逆性があり、交流電源と負荷とを入れ替えることができる。

[0093] なお、図19におけるキャパシタC3は、図18におけるキャパシタCXと同じ位置に設けられているが、キャパシタCXのような故障対策目的で設けられているのではなく、多段化接続のために必要な回路要素として設けられている。すなわち、図19におけるキャパシタC3は、ユニット間の短絡を防止し、入力側でのユニット間の電位差を保つために設けられる。但し、短絡を防止することができる範囲内で個数を減らすことは可能である。例えば、図19では3ユニットそれぞれにキャパシタC3を設け、合計3個のキャパシタC3が存在するが、これを2個に減らすことは可能である。

[0094] 例えば、図45は、図19の前段回路3ユニットを2ユニットUf1、Uf2のみで書いた回路図である。図45において、楕円で囲む2つのキャパシタC2、C1は、電気回路的には1個の等価なキャパシタとしても表現できる。この1個のキャパシタを例えばC21とすると、図46は、図45と等価な回路である。そして、図46における5個のキャパシタのうち1個は、スイッチング動作によって回路の短絡が生じない範囲で、省略することができる。例えばその1個がキャパシタC21であるとして、これを省略（短絡）すると、図11の前段回路と同じ回路になる。

[0095] また、図47は、図12の変圧装置1の前段回路と後段回路との間に、後述の集中定数回路による変圧装置200を介挿した複合的な変圧装置を示す回路図である。この場合、変圧装置200内の先頭のキャパシタの存在により、変圧装置1の前段回路における5個のキャパシタのうち例えばキャパシタC1、C3を省略（短絡）しても、スイッチング動作によって回路の短絡が生じないようにすることが可能である。

[0096] 図20に戻り、後段回路におけるインダクタL3も、多段化接続のために必要な回路要素として設けられている。すなわち、図20におけるインダクタL3は、ユニット間で高周波的に絶縁されている状態を担保し、入力側でのユニット間の電位差を保つために設けられる。但し、絶縁状態を維持できる範囲内で個数を減らすことは可能である。例えば、図20では3ユニットそれぞれにインダクタL3を設け、合計3個のインダクタL3が存在するが、これを2個に減らすことは可能である。

[0097] 《各実施形態の総括》

上記の各実施形態に基づいて、変圧装置1のとり得る回路構成を総括する。

図22は、変圧装置1を大局的に見た概略構成を示すブロック図である。すなわち、変圧装置1は、電源2と負荷Rとの間に設けられ、電源2と接続される前端側に入力ポートP1及びP2を有し、後端側に出力ポートP3及びP4を有する前段回路1fと、負荷Rと接続される後端側に出力ポートP7及びP8を有し、前端側に入力ポートP5及びP6を有する後段回路1rとを備えている。

[0098] すなわち変圧装置1は、電源2と負荷Rとの間に設けられ、入力に対する出力の極性を交互に反転させるスイッチングを行う機能をそれぞれが有する前段回路1f及び後段回路1rを備えている。そして、当該変圧装置1は、前段回路1f及び後段回路1rの少なくとも一方に、一对のリアクタンス素子を接続点で互いに直列に接続して成る直列体を備えている。また、変圧装置1に含まれるスイッチ装置4（図1）は、前記直列体の両端を第1ポート

とした場合に、前記直列体の一端と前記接続点との間、及び、前記直列体の他端と前記接続点との間を、スイッチングにより交互に、かつ、極性を反転させながら第2ポートとして、前記第1ポートから前記第2ポートへの電力の伝送、及び、前記第2ポートから前記第1ポートへの電力の伝送のいずれか一方を実行する。

[0099] このように構成された変圧装置1では、一对のリアクタンス素子を含む回路構成とスイッチングとによって変圧を行うことができる。このような変圧装置1を電力用の変圧器として用いることにより、コイルや鉄心等を含む従来のトランスは不要となる。従って、変圧器の飛躍的な小型軽量化及び、それに伴う低コスト化を実現することができる。また、高周波トランスで課題となる寄生容量、漏れ磁界発生の問題も解消され、低損失な変圧器を実現することができる。

[0100] 次に、回路構成のバリエーションから総括する。

図23は、前段回路1fとして選択しうる回路の基本形を示す図である。

変圧装置1の前段回路としては、以下の(F1)～(F5)のいずれかが選択可能である。

[0101] (F1)は、図23の(a)に示す前段回路1fである。

すなわち、(F1)は、一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ入力ポートP1及び入力ポートP2に接続され、キャパシタ接続点は出力ポートP4に接続され、入力ポートP1と出力ポートP3との間にある第1スイッチと、入力ポートP2と出力ポートP3との間にある第2スイッチとが、スイッチングにより交互にオン状態となる前段回路、である。

[0102] (F2)は、図23の(b)に示す前段回路1fを1ユニットとして、複数ユニットで多段化した前段回路である。多段化には、出力ポートP3に直結する線路にもキャパシタが必要になる。

すなわち、(F2)は、(F1)の前段回路において出力ポートP3に直結する線路にキャパシタを介挿したものを1ユニットとして、複数ユニット

の入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの出力ポート P 3, P 4 を互いに並列に接続した前段回路、である。

[0103] (F 3) は、図 23 の (c) に示す前段回路 1 f である。

すなわち、(F 3) は、一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ出力ポート P 3 及び出力ポート P 4 に接続され、インダクタ接続点は入力ポート P 2 に接続され、入力ポート P 1 と出力ポート P 3 との間にある第 1 スイッチと、入力ポート P 1 と出力ポート P 4 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる前段回路、である。

[0104] (F 4) は、図 23 の (d) に示す前段回路 1 f を 1 ユニットとして、複数ユニットで多段化した前段回路である。多段化には、入力ポート P 1 に直結する線路にもインダクタが必要になる。

すなわち、(F 3) の前段回路において入力ポート P 1 に直結する線路にインダクタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの前記出力ポート P 3, P 4 を互いに並列に接続した前段回路、である。

[0105] (F 5) は、図 23 の (e) に示す前段回路 1 f である。

すなわち、(F 5) は、4 個のスイッチによって構成され、入力ポート P 1, P 2 から入力して出力ポート P 3, P 4 から出力するフルブリッジ回路の前段回路、である。

[0106] 図 24 は、後段回路 1 r として選択しうる回路の基本形を示す図である。

変圧装置 1 の後段回路としては、以下の (R 1) ~ (R 5) のいずれかが選択可能である。

[0107] (R 1) は、図 24 の (a) に示す後段回路 1 r である。

すなわち、(R 1) は、一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ入力ポート P 5 及び入力ポート P 6 に接続され、インダクタ接続点は出力ポート P 8 に接続され、入力ポート P 5 と出力ポート P 7 との間にある第 1 スイッチと、入力ポート P 6 と出力

ポート P 7 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる後段回路、である。

[0108] (R 2) は、図 2 4 の (b) に示す後段回路 1 r を 1 ユニットとして、複数ユニットで多段化した後段回路である。多段化には、出力ポート P 7 に直結する線路にもインダクタが必要になる。

すなわち、(R 2) は、(R 1) の後段回路において出力ポート P 7 に直結する線路にインダクタを介挿したものを 1 ユニットとして、複数ユニットの入力ポート P 5, P 6 を互いに直列に接続し、複数ユニットの出力ポート P 7, P 8 を互いに並列に接続した後段回路、である。

[0109] (R 3) は、図 2 4 の (c) に示す後段回路 1 r である。

すなわち、(R 3) は、一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ出力ポート P 7 及び出力ポート P 8 に接続され、キャパシタ接続点は入力ポート P 6 に接続され、入力ポート P 5 と出力ポート P 7 との間にある第 1 スイッチと、入力ポート P 5 と出力ポート P 8 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる後段回路、である。

[0110] (R 4) は、図 2 4 の (d) に示す後段回路 1 r を 1 ユニットとして、複数ユニットで多段化した後段回路である。多段化には、入力ポート P 5 に直結する線路にもキャパシタが必要になる。

すなわち、(R 4) は、(R 3) の後段回路において入力ポート P 5 に直結する線路にキャパシタを介挿したものを 1 ユニットとして、複数ユニットの入力ポート P 5, P 6 を互いに直列に接続し、複数ユニットの出力ポート P 7, P 8 を互いに並列に接続した後段回路、である。

[0111] (R 5) は、図 2 4 の (e) に示す後段回路である。

すなわち、(R 5) は、4 個のスイッチによって構成され、入力ポート P 5, P 6 から入力して出力ポート P 7, P 8 から出力するフルブリッジ回路の後段回路、である。

[0112] そして、上記の前段回路 (F 1) ~ (F 5) のうちのいずれか一つと、後

段回路（R1）～（R5）のうちのいずれか一つとを備えて構成され、かつ、前段回路が（F5）で後段回路が（R5）であるという組み合わせは除外する変圧装置であればよい。

かかる変圧装置では、回路構成とスイッチングとによって変圧を行うことができる。このような変圧装置を電力用の変圧器として用いることにより、コイルや鉄心等を含む従来のトランスは不要となる。従って、変圧器の飛躍的な小型軽量化及び、それに伴う低コスト化を実現することができる。また、高周波トランスで課題となる寄生容量、漏れ磁界発生の問題も解消され、低損失な変圧器を実現することができる。

[0113] なお、上記の変圧装置における前段回路・後段回路の組み合わせと、変圧比との関係は、以下の表1に示す通りである。なお、表1において、「C」はキャパシタを用いる回路を、「L」はインダクタを用いる回路を、「FB」はフルブリッジ回路を用いる回路を、それぞれ示している。

[0114] [表1]

変圧比			後段回路				
			L		C		FB
			R1	R2	R3	R4	R5
前 段 回 路	C	F1	$\frac{1}{4}$	$\frac{1}{4N_R}$	1	$N_R$	$\frac{1}{2}$
		F2	$\frac{1}{4N_F}$	$\frac{1}{4N_F \cdot N_R}$	$\frac{1}{N_F}$	$\frac{N_R}{N_F}$	$\frac{1}{2N_F}$
	L	F3	1	$\frac{1}{N_R}$	4	$4N_R$	2
		F4	$N_F$	$\frac{N_F}{N_R}$	$4N_F$	$4N_F \cdot N_R$	$2N_F$
	FB	F5	$\frac{1}{2}$	$\frac{1}{2N_R}$	2	$2N_R$	

[0115] 上記のように、各種の変圧比を容易に実現することができる。

さらに、上記のいずれかの前段回路・後段回路を備えた変圧装置を、複数組、縦続に構成してもよい。この場合、降圧・昇圧ともに、大きな変圧比を実現することができる。

また、上記各実施形態の変圧装置において、キャパシタ、インダクタとして、ケーブルのキャパシタンス及びインダクタンスを利用することもできる。ケーブルは耐圧性能を容易に確保することができ、また、低コストであるので有利である。

なお、上記各実施形態においては電源が交流電源2であるとしたが、上述の変圧装置1は、直流電源にも適用可能であり、DC/DCコンバータとしても使用可能である。

[0116] 《第13実施形態》

次に、電源が直流電源であって、かつ、後段回路の構成が上述の各実施形態とは異なる変圧装置の例について、補足説明する。図48は、第13実施形態に係る変圧装置1を示す回路図である。この変圧装置1は、5個のキャパシタC1, C2, C3, C4, CX及び4個のスイッチ $S_{r1}$ ,  $S_{b1}$ ,  $S_{r2}$ ,  $S_{b2}$ を含む前段回路と、2個のインダクタL1, L2及び2個のダイオードD1, D2を含む後段回路とを備えている。ダイオードD1, D2は互いのアノード同士が接続されている形である。但し、逆に、互いのカソード同士が接続されている形であってもよい。また、前段回路のスイッチ $S_{r1}$ ,  $S_{r2}$ ,  $S_{b1}$ ,  $S_{b2}$ のオン/オフを制御するスイッチング制御部3が設けられている。なお、回路パラメータ条件は、第1実施形態と同様である。但し、電源の周波数 $f_0$ は、直流であるので、0である。

[0117] 既出の実施形態で、図48と似ているのは例えば第5実施形態、図12である。図12と比較すると、電源が、直流電源2dである。また、変圧に関する4個のキャパシタC1, C2, C3, C4の他に、中央にキャパシタCXが設けられている。このキャパシタCXは、第11実施形態、図18におけるキャパシタCXと同様の理由で設けられている。そして、後段回路は、図12におけるスイッチ $S_{r3}$ ,  $S_{b3}$ がダイオードD1, D2に置き換えら

れている。

[0118] 4個のスイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{b1}$ 、 $S_{b2}$ 及びスイッチング制御部3により、変圧装置1の回路接続の状態を切り替えるスイッチ装置4が構成されている。スイッチ $S_{r1}$ 、 $S_{r2}$ は互いに同期して動作し、また、スイッチ $S_{b1}$ 、 $S_{b2}$ は互いに同期して動作する。そして、2個のスイッチ $S_{r1}$ 、 $S_{r2}$ と、他の2個のスイッチ $S_{b1}$ 、 $S_{b2}$ とは、排他的に交互にオンとなるよう動作する。

[0119] 前段回路の出力電圧により、インダクタ $L_1$ 、 $L_2$ の直列体に電流が流れる。また、前段回路の出力電圧（後段回路の入力電圧）の極性に応じて、インダクタ $L_1$ 、 $L_2$ の直列体の相互接続点から負荷 $R$ 及び、ダイオード $D_1$ 、 $D_2$ のいずれか一方を通して電流が流れる。これにより、負荷 $R$ には、後段回路の入力電圧の $1/2$ の電圧が出力される。

[0120] すなわち、図48の変圧装置1の変圧比 $(1/(2N_F)) \times (1/(2N_R))$ は、 $(1/(2 \cdot 2)) \times (1/(2 \cdot 1)) = 1/8$ となる。

回路パラメータ条件は、図1の場合と同様に、 $2\pi f_0 L \ll R \ll 2\pi f_s L$ 、かつ、 $1/(2\pi f_s C) \ll R \ll 1/(2\pi f_0 C)$ 、であるが、ここで、 $f_0$ は0である。

[0121] このように、電源が直流電源である場合は、後段回路のスイッチをダイオードで代用することができる。すなわち、ダイオードは、後段回路を構成するスイッチの一種となり得る。ダイオードは制御不要であり、半導体スイッチング素子よりも安価である。

なお、図48の回路構成には可逆性が無く、直流電源 $2d$ と負荷 $R$ とを入れ替えて使用することはできない。

[0122] 図49は、図48の変圧装置1に、環流ダイオードを付加した回路図である。図48との違いは、スイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{b1}$ 、 $S_{b2}$ のそれぞれと並列に、環流ダイオード $D_{r1}$ 、 $D_{b1}$ 、 $D_{r2}$ 、 $D_{b2}$ を接続した点である。環流ダイオード $D_{r1}$ 、 $D_{b1}$ 、 $D_{r2}$ 、 $D_{b2}$ は、カソード側が、直流電源 $2d$ のプラス側になるように設けられる。なお、これらの環流ダイオード $D_{r1}$ 、 $D_{b1}$ 、 $D_{r2}$ 、 $D_{b2}$ は、スイッチ $S_{r1}$ 、 $S_{r2}$ 、 $S_{b1}$ 、 $S_{b2}$ に内在するダイオードであって

もよいし、また、スイッチ  $S_{r1}$ ,  $S_{r2}$ ,  $S_{b1}$ ,  $S_{b2}$  とは別に設ける外付けのダイオードであってもよい。

このような環流ダイオード  $D_{r1}$ ,  $D_{b1}$ ,  $D_{r2}$ ,  $D_{b2}$  を設けることにより、損失を小さくできる場合があり、さらには結果的にインダクタ  $L_1$ ,  $L_2$  のインダクタンスを低減することができて小型化に寄与する場合がある。

[0123] 《直流電源の場合の実施形態の総括》

ここで、図24に示した後段回路1rとして選択しうる回路の基本形と対応させて考えると、図50は、ダイオードを用いた場合の、後段回路1rとして選択しうる回路の基本形を示す図である。

直流電源2dに対する変圧装置1の後段回路（ダイオード使用）としては、以下の(R1)～(R5)のいずれかが選択可能である。

[0124] (R1)は、図50の(a)に示す後段回路1rである。

すなわち、(R1)は、一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ入力ポートP5及び入力ポートP6に接続され、インダクタ接続点は出力ポートP8に接続され、入力ポートP5と出力ポートP7との間にある第1ダイオードと、入力ポートP6と出力ポートP7との間にある第2ダイオードとが、入力電圧の極性に依じて交互に導通する後段回路、である。

[0125] (R2)は、図50の(b)に示す後段回路1rを1ユニットとして、複数ユニットで多段化した後段回路である。多段化には、出力ポートP7に直結する線路にもインダクタが必要になる。

すなわち、(R2)は、(R1)の後段回路において出力ポートP7に直結する線路にインダクタを介挿したものを1ユニットとして、複数ユニットの入力ポートP5, P6を互いに直列に接続し、複数ユニットの出力ポートP7, P8を互いに並列に接続した後段回路、である。

[0126] (R3)は、図50の(c)に示す後段回路1rである。

すなわち、(R3)は、一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ出力ポートP7及び出力ポートP

8に接続され、キャパシタ接続点は入力ポートP6に接続され、入力ポートP5と出力ポートP7との間にある第1ダイオードと、入力ポートP5と出力ポートP8との間にある第2ダイオードとが、入力電圧の極性に依じて交互に導通する後段回路、である。

[0127] (R4)は、図50の(d)に示す後段回路1rを1ユニットとして、複数ユニットで多段化した後段回路である。多段化には、入力ポートP5に直結する線路にもキャパシタが必要になる。

すなわち、(R4)は、(R3)の後段回路において入力ポートP5に直結する線路にキャパシタを介挿したものを1ユニットとして、複数ユニットの入力ポートP5、P6を互いに直列に接続し、複数ユニットの出力ポートP7、P8を互いに並列に接続した後段回路、である。

[0128] (R5)は、図50の(e)に示す後段回路である。

すなわち、(R5)は、4個のダイオードによって構成され、入力ポートP5、P6から入力して出力ポートP7、P8から出力するフルブリッジ回路の後段回路、である。

[0129] なお、図50の(a)～(d)におけるダイオードの向きは、個々のダイオードが図示と逆向き(アノード・カソードが逆)であってもよい。

[0130] 以上のように、電源が直流電源である場合は、後段の回路バリエーションが多くなり、まず、交流電源の場合と同様に、図23の前段回路(F1)～(F5)のうちのいずれか一つと、図24の後段回路(R1)～(R5)のうちのいずれか一つとを備えて構成され、かつ、前段回路が(F5)で後段回路が(R5)であるという組み合わせは除外する変圧装置であればよい。

また、図23の前段回路(F1)～(F5)のうちのいずれか一つと、図50の後段回路(R1)～(R5)のうちのいずれか一つとを備えて構成され、かつ、前段回路が(F5)で後段回路が(R5)であるという組み合わせは除外する変圧装置であればよい。

[0131] 《変圧装置の使用例》

図51は、上記のような直流電源に対する変圧装置1の使用例を示す接続

図である。この図は、例えば太陽光発電所での変圧装置 1 の使用例を示している。太陽光発電パネル 10 は、例えば、所定数で 1 スtring を成している。複数の String 11, 12, 13 の出力電路 PL1, PL2, PL3 は、例えば、途中で 1 本の電路 PL にまとめられて、電力がパワーコンディショナ 18 に送られる。計測装置 14 は、電流センサ 15, 16, 17 により、各 String 11, 12, 13 から出力される電流を計測し、また、電路 PL から電圧を計測する。計測信号は、電力線通信又は無線により、パワーコンディショナ 18 や、監視装置（図示せず。）に送られる。

[0132] ここで、計測装置 14 は、例えば 100V 程度の電圧の電源が必要な場合があるが、計測装置 14 は、通常屋外にあり、電源を供給するために別の所から配線工事をするのも面倒である。一方、String 11~13 の各々から送られてくる電圧  $V_H$  は、例えば 600V~1000V の高電圧であり、電圧が高過ぎる。そこで、変圧装置 1 を用いて電圧  $V_H$  を、100ボルト程度の低電圧  $V_L$  に変圧すれば、計測装置 14 の電源として使用することができる。

[0133] <分布定数回路による変圧装置>

《基本構成》

次に、上述の変圧装置 1 とは異なる、分布定数回路による変圧装置について説明する。

図 25 は、分布定数回路による変圧装置 100 を示す接続図である。図において、変圧装置 100 を構成するのは、第 1 変換器 101 と、その終端に接続された第 2 変換器 102 である。第 1 変換器 101 及び第 2 変換器 102 としては、例えばシース付きの単心ケーブル (CV) を用いることができる。前段の第 1 変換器 101 は、入力される電源の周波数を  $f$ 、周波数  $f$  における波長を  $\lambda$  とすると、 $\lambda/4$  の長さを有する ( $\lambda$  は波長)。また、第 1 変換器 101 の終端に接続される後段の第 2 変換器 102 も、入力される電源の周波数  $f$  に対して  $\lambda/4$  の長さを有する。

[0134] ここで、第 1 変換器 101 及び第 2 変換器 102 のそれぞれの特性インピーダンスを  $Z_{01}$  及び  $Z_{02}$ 、第 1 変換器 101 の入力端から見た入力インピー

ダンスを  $Z_{in}$ 、第2変換器102の入力端から見た入力インピーダンスを  $Z_{in}'$  とすると、

$$Z_{in} = Z_{c1}^2 / Z_{in}' \quad , \quad Z_{in}' = Z_{c2}^2 / R \text{ であるから、}$$

$$\begin{aligned} Z_{in} &= Z_{c1}^2 / (Z_{c2}^2 / R) \\ &= (Z_{c1}^2 / Z_{c2}^2) R \end{aligned}$$

となる。 $(Z_{c1}^2 / Z_{c2}^2)$  は定数であるから、これを定数  $k$  と置くと、

$$Z_{in} = k \cdot R$$

となる。

- [0135] また、変圧装置100全体としての、入力電圧を  $V_{in}$ 、入力電力を  $P_{in}$ 、出力電力を  $P_{out}$ 、出力電圧を  $V_{out}$  とすると、 $P_{in} = V_{in}^2 / Z_{in}$ 、 $P_{out} = V_{out}^2 / R$  である。ここで、 $P_{in} = P_{out}$  であるから、以下の関係が得られる。

$$V_{in}^2 / Z_{in} = V_{out}^2 / R$$

となる。これを変形すると、

$$(V_{out}^2 / V_{in}^2) = R / Z_{in} = k$$

となる。従って、

$$(V_{out} / V_{in}) = k^{1/2}$$

となり、一定の変圧比  $k^{1/2}$  が得られる。

- [0136] このように、入力インピーダンス  $Z_{in}$  は負荷の抵抗値  $R$  に比例し、負荷変動に対して変圧比が一定となる。言い換えれば、負荷の抵抗値に関わらず、入力電圧に比例した出力電圧が得られる。すなわち、一定の変圧比  $(1/k)^{1/2} = Z_{c2} / Z_{c1}$  で、入力電圧を出力電圧に変換する変圧装置100が得られる。また、変圧比は、 $Z_{c2} / Z_{c1}$  の値の選択により自由に設計可能である。

この変圧装置は、分布定数回路を2段階に接続したものである。従って、従来の変圧器のような巻線や鉄心等を必要としない画期的な形態となり、変圧器の軽量化及び、それに伴う低コスト化を実現することができる。さらに、高周波トランスで課題となる寄生容量、漏れ磁界発生の問題も解消され、

低損失な変圧器を実現できる。

[0137] 上記の変圧装置 100 は、商用周波レベルの低周波でも理論的には可能であるが、現実的には、 $\lambda/4$  が非常に長くなるので、不向きである。しかし、1 MHz では  $\lambda/4$  が数十 m となり、配電線の電力ケーブルと一体化すれば実現が可能である。さらに 10 MHz では、 $\lambda/4$  が数 m となるので、ケーブルでの実現が現実的に容易になる。

[0138] 《応用例》

図 26 は、図 1 に示した変圧装置 1 と、上記変圧装置 100 とを、組み合わせた回路図である。すなわちこれは、図 1 に示した変圧装置 1 におけるキャパシタ段と、インダクタ段との間に、分布定数型の変圧装置 100 を介挿した回路構成となっている。この場合、変圧装置 1 におけるキャパシタ段とインダクタ段との間は、スイッチングにより高周波（例えば 1 MHz）となっているので、高周波でスイッチングを行っている環境を利用して分布定数型の変圧装置 100 を活用することができる。また、2 種類の変圧装置 1, 100 の変圧機能を組み合わせることにより、変圧比の広範囲な設計が可能となる。なお、当該変圧装置 100 を図 1 の変圧装置 1 と組み合わせたのは一例に過ぎず、既述の全ての変圧装置 1 と組み合わせることができる。

[0139] <集中定数回路による変圧装置>

次に、上述の変圧装置 1, 100 とは異なる、集中定数回路による変圧装置について説明する。

図 27 は、二端子対回路（四端子回路）による変圧装置 200 の概念を示す図である。変圧装置として機能するためには、前述のように、入力インピーダンス  $Z_{in}$  と負荷  $R$ （抵抗値  $R$ ）との間に、

$$Z_{in} = k \cdot R \quad (k \text{ は定数})$$

の関係が成り立つ必要がある。これにより、負荷変動に対して入力インピーダンス  $Z_{in}$  が線形に変化し、変圧比は一定である。また、入力インピーダンス  $Z_{in}$  は、リアクタンス成分を持たない。すなわち、入力インピーダンス  $Z_{in}$  は、実数成分が  $k \cdot R$  であり、虚数成分が 0 であることが必要である。この

ような入力インピーダンス  $Z_{in}$  となる変圧装置 200 を、LILT (Load-Invariant Linear Transformer) と称する。

[0140] 上記のような変圧装置 200 では、負荷の抵抗値  $R$  に関わらず、入力電圧に比例した出力電圧が得られる。すなわち、一定の変圧比  $(1/k)^{1/2}$  で入力電圧を出力電圧に変換する変圧装置 200 が得られる。このような変圧装置 200 を変圧器として用いることにより、従来の商用周波トランスや、高周波トランスは不要となる。従って、変圧器の飛躍的な小型軽量化及び、それに伴う低コスト化を実現することができる。さらに、高周波トランスで課題となる寄生容量、漏れ磁界発生の問題も解消され、低損失な変圧器を実現できる。

[0141] LILT となる回路構成は無数に考えられるが、リアクタンス素子の要素数  $n$  (図 1~20 に関して用いた段数  $n$  とは無関係) は少ない方がよい。本発明者らは、 $n$  の値を 1 から順に、1, 2, 3, 4, ... と全探索を行った結果、最小の要素数  $n$  は 4 であるという知見を得た。

[0142] 図 28 は、回路を構成する要素数  $n$  の考え方の一例を示す図である。図において、左の図には見かけ上、3 つの要素  $X_1$ ,  $X_2$ ,  $X_3$  が存在する。しかし、トポロジ的に等価な  $X_1$ ,  $X_2$  は 1 つとカウントし、電気回路として意味を成さない  $X_3$  はカウントしない。従って、左の回路構成は、右の回路構成と同じであり、要素数  $n$  は 1 である。

[0143] 図 29 は、最小の要素数 4 で構成できる回路構成のうちの 4 パターンを示す図であり、(a)、(b)、(c)、(d) の順にそれぞれ、「4 A 型」、「4 B 型」、「4 C 型」、「4 D 型」と呼ぶものとする。

[0144] 《4 A 型》

図 30 は、4 A 型の回路構成を示す図である。文言上で表現すると、例えば、4 個のリアクタンス素子のリアクタンスをそれぞれ  $X_1$ ,  $X_2$ ,  $X_3$ ,  $X_4$  とすると、入力側から見て順に、二端子対回路の 1 線上にある  $X_1$ , 2 線間にある  $X_2$ , 前記 1 線上にある  $X_3$ , 2 線間にある  $X_4$  によって二端子対回路が構

成されている。この場合の入力インピーダンス  $Z_{in}$  は、以下の式の上段部で表される。また、並列共振及び直列共振により虚数成分を 0 にする条件を設定すると、入力インピーダンス  $Z_{in}$  は、下段部で表される。

なお、以下の各式中の「 $j$ 」は虚数  $(-1)^{1/2}$  を表す。

[0145]

$$Z_{in} = \frac{R\{X_1(X_2+X_3+X_4)+X_2(X_3+X_4)+jX_4(X_1X_2+X_2X_3+X_3X_4)\}}{X_4(X_2+X_3)-jR(X_2+X_3+X_4)}$$

$$= \frac{X_2^2}{X_4^2} R \cdot \left( \frac{1}{X_1} + \frac{1}{X_2} + \frac{1}{X_3} = 0 \wedge X_2+X_3+X_4=0 \right)$$

[0146] すなわち、パラメータ条件が、

$$(1/X_1) + (1/X_2) + (1/X_3) = 0 \quad \wedge \quad X_2+X_3+X_4=0$$

であるとき、言い換えれば、 $(1/X_1) + (1/X_2) + (1/X_3) = 0$  であり、かつ、 $X_2+X_3+X_4=0$  であるとき、 $Z_{in} = (X_2^2/X_4^2) \cdot R$  となり、入力電圧に比例した出力電圧が得られる。

図 3 1 は、4 A 型の回路構成の実例 6 パターンを示す図である。

[0147] 図 3 2 は、図 1 に示した変圧装置 1 と、上記 4 A 型の回路構成を有する変圧装置 2 0 0 とを、組み合わせた回路図である。図において、図 1 に示した変圧装置 1 におけるキャパシタ段と、インダクタ段との間に、変圧装置 2 0 0 が介挿されている。このようにして、2 種類の変圧装置 1, 2 0 0 の変圧機能を組み合わせることにより、変圧比の広範囲な設計が可能となる。

また、この場合、例えば 1 MHz の高周波でスイッチングを行っている環境を利用して集中定数回路の変圧装置 2 0 0 を活用することができる。なお、交流電源 2 が仮に直流電源に置き換わったとしても、変圧装置 2 0 0 には、変圧装置 1 の前段のスイッチングによるスイッチング波形が入力されるので、使用可能である（以下同様）。

なお、当該変圧装置 2 0 0 を図 1 の変圧装置 1 と組み合わせたのは一例に過ぎず、既述の全ての変圧装置 1, 1 0 0 と組み合わせることができる。こ

の点は、以下の例でも同様である。

[0148] 《4 B型》

図33は、4 B型の回路構成を示す図である。文言上で表現すると、例えば、4個のリアクタンス素子のリアクタンスをそれぞれ $X_1$ 、 $X_2$ 、 $X_3$ 、 $X_4$ とすると、入力側から見て順に、二端子対回路の2線間にある $X_1$ 、1線間にある $X_2$ 、2線間にある $X_3$ 、前記1線間にある $X_4$ によって二端子対回路が構成されている。この場合の入力インピーダンス $Z_{in}$ は、以下の式の上段部で表される。また、並列共振及び直列共振により虚数成分を0にする条件を設定すると、入力インピーダンス $Z_{in}$ は、下段部で表される。

[0149]

$$Z_{in} = \frac{RX_1(X_2+X_3) + jX_1(X_2X_3 + X_3X_4 + X_4X_2)}{X_3(X_1+X_2) + X_4(X_1+X_2+X_3) - jR(X_1+X_2+X_3)}$$

$$= \frac{X_1^2}{X_3^2} R \left( X_1+X_2+X_3=0 \wedge \frac{1}{X_2} + \frac{1}{X_3} + \frac{1}{X_4} = 0 \right)$$

[0150] すなわち、パラメータ条件が、

$$X_1 + X_2 + X_3 = 0 \quad \wedge \quad (1/X_2) + (1/X_3) + (1/X_4) = 0$$

であるとき、 $Z_{in} = (X_1^2/X_3^2) \cdot R$ となり、入力電圧に比例した出力電圧が得られる。

図34は、4 B型の回路構成の実例6パターンを示す図である。

[0151] 図35は、図1に示した変圧装置1と、上記4 B型の回路構成を有する変圧装置200とを、組み合わせた回路図である。図において、図1に示した変圧装置1におけるキャパシタ段と、インダクタ段との間に、変圧装置200が介挿されている。このようにして、2種類の変圧装置1、200の変圧機能を組み合わせることにより、変圧比の広範囲な設計が可能となる。

[0152] 《4 C型》

図36は、4 C型の回路構成を示す図である。文言上で表現すると、例えば、4個のリアクタンス素子のリアクタンスをそれぞれ $X_1$ 、 $X_2$ 、 $X_3$ 、 $X_4$

とすると、入力側から見て順に、二端子対回路の1線路上にある $X_1$ 、2線間にある $X_2$ 、前記1線路上にある $X_3$ 、によって構成されるT型回路と、 $X_1$ 及び $X_3$ の直列体に対して並列にある $X_4$ とによって二端子対回路が構成されている。この場合の入力インピーダンス $Z_{in}$ は、以下の式の上段部で表される。また、並列共振及び直列共振により虚数成分を0にする条件を設定すると、入力インピーダンス $Z_{in}$ は、下段部で表される。

[0153]

$$Z_{in} = \frac{-X_4(X_1X_3 + X_2X_3 + X_3X_1) + jR\{X_1(X_3 + X_4) + X_2(X_1 + X_3 + X_4)\}}{R(X_1 + X_3 + X_4) + j\{X_2(X_1 + X_3 + X_4) + X_3(X_1 + X_4)\}}$$

$$= \frac{X_1^2}{X_3^2} R \cdot \left( X_1 + X_3 + X_4 = 0 \wedge \frac{1}{X_1} + \frac{1}{X_2} + \frac{1}{X_3} = 0 \right)$$

[0154] すなわち、パラメータ条件が、

$$X_1 + X_3 + X_4 = 0 \quad \wedge \quad (1/X_1) + (1/X_2) + (1/X_3) = 0$$

であるとき、 $Z_{in} = (X_1^2/X_3^2) \cdot R$ となり、入力電圧に比例した出力電圧が得られる。

図37は、4C型の回路構成の実例6パターンを示す図である。

[0155] 図38は、図1に示した変圧装置1と、上記4C型の回路構成を有する変圧装置200とを、組み合わせた回路図である。図において、図1に示した変圧装置1におけるキャパシタ段と、インダクタ段との間に、変圧装置200が介挿されている。このようにして、2種類の変圧装置1、200の変圧機能を組み合わせることにより、変圧比の広範囲な設計が可能となる。

[0156] 《4D型》

図39は、4D型の回路構成を示す図である。文言上で表現すると、例えば、4個のリアクタンス素子のリアクタンスをそれぞれ $X_1$ 、 $X_2$ 、 $X_3$ 、 $X_4$ とすると、入力側から見て順に、二端子対回路の2線間にある $X_1$ 、 $X_2$ の第1直列体、及び、2線間にある $X_3$ 、 $X_4$ の第2直列体を含み、第1直列体の相互接続点及び第2直列体の相互接続点が出力端子となる二端子対回路が構

成されている。この場合の入力インピーダンス  $Z_{in}$  は、以下の式の上段部で表される。また、並列共振及び直列共振により虚数成分を 0 にする条件を設定すると、入力インピーダンス  $Z_{in}$  は、下段部で表される。

[0157]

$$Z_{in} = \frac{-X_1 X_2 (X_3 + X_4) - X_3 X_4 (X_1 + X_2) + jR(X_1 + X_2)(X_3 + X_4)}{R(X_1 + X_2 + X_3 + X_4) + j(X_1 + X_3)(X_2 + X_4)}$$

$$= \frac{(X_1 + X_2)^2}{(X_1 - X_3)^2} R \cdot \left( X_1 + X_2 + X_3 + X_4 = 0 \wedge \frac{1}{X_1} + \frac{1}{X_2} + \frac{1}{X_3} + \frac{1}{X_4} = 0 \right)$$

[0158] すなわち、パラメータ条件が、

$$X_1 + X_2 + X_3 + X_4 = 0 \quad \wedge \quad (1/X_1) + (1/X_2) + (1/X_3) + (1/X_4) = 0$$

であるとき、 $Z_{in} = \{ (X_1 + X_2)^2 / (X_1 - X_3)^2 \} \cdot R$  となり、入力電圧に比例した出力電圧が得られる。

図 40 は、4 D 型の回路構成の実例 2 パターンを示す図である。

[0159] 図 41 は、図 1 に示した変圧装置 1 と、上記 4 D 型の回路構成を有する変圧装置 200 とを、組み合わせた回路図である。図において、図 1 に示した変圧装置 1 におけるキャパシタ段と、インダクタ段との間に、変圧装置 200 が介挿されている。このようにして、2 種類の変圧装置 1, 200 の変圧機能を組み合わせることにより、変圧比の広範囲な設計が可能となる。

[0160] 《n = 5 (T 型の応用)》

次に、要素数 n = 5 の回路構成について考える。n = 4 よりも要素数は 1 つ増えるが、実用性はある。

図 42 の (a) は、n = 5 の第 1 例の回路構成を示す図である。文言上で表現すると、5 個のリアクタンス素子のリアクタンスをそれぞれ  $X_A$ ,  $X_B$ ,  $X_C$ ,  $X_D$ ,  $X_E$  とすると、入力側から見て順に、二端子対回路の 1 線上にある  $X_A$ , 2 線間にある  $X_B$ , 前記 1 線上にある  $X_C$ , 2 線間にある  $X_D$ , 前記 1 線上にある  $X_E$ , によって二端子対回路が構成されている。

[0161] 一方、図42の(b)は、T型回路を示す。このT型回路において入力インピーダンス $Z_{in}$ は、以下の式の上段部で表され、虚数成分を0とするには下段部のパラメータ条件が必要である。

[0162]

$$Z_{in} = \frac{-(X_1 X_2 + X_2 X_3 + X_3 X_1) + jR(X_1 + X_2)}{R + j(X_2 + X_3)}$$

$$= \frac{X_1^2}{R}, \quad (X_1 = X_3 = -X_2)$$

[0163] T型回路ではRが分母に来るため、LILTにはならない。しかし、T型回路を2段に構成すれば、 $Z_{in} = k \cdot R$ となり、入力電圧に比例した出力電圧が得られる。そこで、図42の(a)の回路における5個のリアクタンス素子のリアクタンスをそれぞれ $X_A$ 、 $X_B$ 、 $X_C$ 、 $X_D$ 、 $X_E$ とすると、入力側から見て順に、二端子対回路の1線上にある $X_A$ 、2線間にある $X_B$ 、前記1線上にある $X_C$ 、2線間にある $X_D$ 、前記1線上にある $X_E$ 、によって前記二端子対回路が構成されているとして、

$$X_A = -X_B \quad \wedge \quad X_E = -X_D \quad \wedge \quad X_C = X_A + X_E$$

の関係とする。この場合、入力インピーダンス $Z_{in}$ は、 $Z_{in} = (X_A^2 / X_E^2) \cdot R$ となり、負荷の抵抗値Rに比例し、入力電圧に比例した出力電圧が得られる。

このLILT回路についても同様に、変圧装置1と組み合わせることにより変圧比の広範囲な設計が可能となる。

[0164] 《n=5 (π型の応用)》

図43の(a)は、n=5の第2例の回路構成を示す図である。文言上で表現すると、5個のリアクタンス素子のリアクタンスをそれぞれ $X_A$ 、 $X_B$ 、 $X_C$ 、 $X_D$ 、 $X_E$ とすると、入力側から見て順に、二端子対回路の2線間にある $X_A$ 、1線上にある $X_B$ 、2線間にある $X_C$ 、前記1線上にある $X_D$ 、2線間にある $X_E$ 、によって二端子対回路が構成されている。

[0165] 一方、図43の(b)は、π型回路を示す。このπ型回路において入力イ

インピーダンス  $Z_{in}$  は、以下の式の上段部で表され、虚数成分を 0 とするには下段部のパラメータ条件が必要である。

[0166]

$$Z_{in} = \frac{RX_1(X_2 + X_3) + jX_1X_2X_3}{X_3(X_1 + X_2) - jR(X_1 + X_2 + X_3)}$$

$$= \frac{X_1^2}{R}, \quad (X_1 = X_3 = -X_2)$$

[0167]  $\pi$ 型回路では  $R$  が分母に来るため、LILTにはならない。しかし、 $\pi$ 型回路を 2 段に構成すれば、 $Z_{in} = k \cdot R$  となり、入力電圧に比例した出力電圧が得られる。そこで、図 4 3 の (a) の回路における 5 個のリアクタンス素子のリアクタンスをそれぞれ  $X_A$ 、 $X_B$ 、 $X_C$ 、 $X_D$ 、 $X_E$  とすると、入力側から見て順に、二端子対回路の 2 線間にある  $X_A$ 、1 線上にある  $X_B$ 、2 線間にある  $X_C$ 、前記 1 線上にある  $X_D$ 、2 線間にある  $X_E$ 、によって前記二端子対回路が構成されているとして、

$$X_A = -X_B \quad \wedge \quad X_E = -X_D \quad \wedge \quad X_C = X_A \cdot X_E / (X_A + X_E)$$

の関係とする。

この場合、入力インピーダンス  $Z_{in}$  は、 $Z_{in} = (X_A^2 / X_E^2) \cdot R$  となり、負荷の抵抗値  $R$  に比例し、入力電圧に比例した出力電圧が得られる。

この LILT 回路についても同様に、変圧装置 1 と組み合わせることにより変圧比の広範囲な設計が可能となる。

[0168] 《 $n = 6$  (前 T・後  $\pi$ )》

次に、要素数  $n = 6$  の回路構成について考える。 $n = 4$  よりも要素数は 2 つ増えるが、実用性はある。

図 4 4 の (a) は、 $n = 6$  の第 1 例の回路構成を示す図である。文言上で表現すると、6 個のリアクタンス素子のリアクタンスをそれぞれ  $X_A$ 、 $X_B$ 、 $X_C$ 、 $X_D$ 、 $X_E$ 、 $X_F$  とすると、入力側から見て順に、二端子対回路の 1 線上にある  $X_A$ 、2 線間にある  $X_B$ 、前記 1 線上にある  $X_C$ 、2 線間にある  $X_D$ 、前記 1 線上にある  $X_E$ 、2 線間にある  $X_F$ 、によって二端子対回路が構成されて

いる。

[0169] 前述のように、T型回路及び $\pi$ 型回路では共にRが分母に来るため、L | L Tにはならない。しかし、T型回路+ $\pi$ 型回路で回路を構成すれば、 $Z_{in} = k \cdot R$ となり、入力電圧に比例した出力電圧が得られる。そこで、図44の(a)の回路における6個のリアクタンス素子のリアクタンスをそれぞれ $X_A, X_B, X_C, X_D, X_E, X_F$ とすると、入力側から見て順に、二端子対回路の1線路上にある $X_A$ 、2線間にある $X_B$ 、前記1線路上にある $X_C$ 、2線間にある $X_D$ 、前記1線路上にある $X_E$ 、2線間にある $X_F$ 、によって前記二端子対回路が構成されているとして、

$$X_A = X_C = -X_B \quad \wedge \quad X_D = X_F = -X_E$$

の関係とする。

この場合、入力インピーダンス $Z_{in}$ は、 $Z_{in} = (X_A^2 / X_F^2) \cdot R$ となり、負負荷の抵抗値Rに比例し、入力電圧に比例した出力電圧が得られる。

このL | L T回路についても同様に、変圧装置1と組み合わせることにより変圧比の広範囲な設計が可能となる。

[0170] 《n = 6 (前 $\pi$ ・後T)》

図44の(b)は、n = 6の第2例の回路構成を示す図である。文言上で表現すると、6個のリアクタンス素子のリアクタンスをそれぞれ $X_A, X_B, X_C, X_D, X_E, X_F$ とすると、入力側から見て順に、二端子対回路の2線間にある $X_A$ 、1線路上にある $X_B$ 、2線間にある $X_C$ 、前記1線路上にある $X_D$ 、2線間にある $X_E$ 、前記1線路上にある $X_F$ 、によって二端子対回路が構成されている。

[0171] 前述のように、 $\pi$ 型回路及びT型回路では共にRが分母に来るため、L | L Tにはならない。しかし、 $\pi$ 型回路+T型回路で回路を構成すれば、 $Z_{in} = k \cdot R$ となり、入力電圧に比例した出力電圧が得られる。そこで、図44の(b)の回路における6個のリアクタンス素子のリアクタンスをそれぞれ $X_A, X_B, X_C, X_D, X_E, X_F$ とすると、入力側から見て順に、二端子対回路の2線間にある $X_A$ 、1線路上にある $X_B$ 、2線間にある $X_C$ 、前記1線路上にあ

る $X_D$ 、2線間にある $X_E$ 、前記1線上にある $X_F$ 、によって前記二端子対回路が構成されているとして、

$$X_A = X_C = -X_B \quad \wedge \quad X_D = X_F = -X_E$$

の関係とする。

この場合、入力インピーダンス $Z_{in}$ は、 $Z_{in} = (X_A^2 / X_F^2) \cdot R$ となり、負荷の抵抗値 $R$ に比例し、入力電圧に比例した出力電圧が得られる。

このLILT回路についても同様に、変圧装置1と組み合わせることにより変圧比の広範囲な設計が可能となる。

[0172] 《その他》

なお、図1～41に関して、リアクタンス素子として、ケーブルのキャパシタンス及びケーブルのインダクタンスを利用することも可能である。

この場合、ケーブルは耐圧性能を容易に確保することができ、また、低コストであるという利点がある。

[0173] なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

## 符号の説明

- [0174]
- 1 変圧装置
  - 1 f 前段回路
  - 1 r 後段回路
  - 2 交流電源
  - 3 スイッチング制御部
  - 4 スイッチ装置
  - 10 太陽光発電パネル
  - 11, 12, 13 スtring
  - 14 計測装置
  - 15, 16, 17 電流センサ

18 パワーコンディショナ  
100 変圧装置  
101 第1変換器  
102 第2変換器  
200 変圧装置  
C1~C6, CX, C21 キャパシタ  
L1~L6 インダクタ  
S<sub>b1</sub>~S<sub>b4</sub> スイッチ  
S<sub>r1</sub>~S<sub>r4</sub> スイッチ  
M1, M2 接続点  
P1~P8 ポート  
PL 電路  
PL1, PL2, PL3 出力電路  
R 負荷

## 請求の範囲

### [請求項1]

電源と負荷との間に設けられる変圧装置であって、  
前記電源と接続される前端側に入力ポート P 1 及び P 2 を有し、後端側に出力ポート P 3 及び P 4 を有する前段回路と、  
前記負荷と接続される後端側に出力ポート P 7 及び P 8 を有し、前端側に入力ポート P 5 及び P 6 を有する後段回路とを備え、  
前記前段回路としては、以下の (F 1) ~ (F 5) のいずれかが選択可能であり、

(F 1) 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記入力ポート P 1 及び前記入力ポート P 2 に接続され、前記キャパシタ接続点は前記出力ポート P 4 に接続され、前記入力ポート P 1 と前記出力ポート P 3 との間にある第 1 スイッチと、前記入力ポート P 2 と前記出力ポート P 3 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる前段回路、

(F 2) 前記 (F 1) の前段回路において前記出力ポート P 3 に直結する線路にキャパシタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの前記出力ポート P 3, P 4 を互いに並列に接続した前段回路、

(F 3) 一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポート P 3 及び前記出力ポート P 4 に接続され、前記インダクタ接続点は前記入力ポート P 2 に接続され、前記入力ポート P 1 と前記出力ポート P 3 との間にある第 1 スイッチと、前記入力ポート P 1 と前記出力ポート P 4 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる前段回路、

(F 4) 前記 (F 3) の前段回路において前記入力ポート P 1 に直結する線路にインダクタを介挿したものを 1 ユニットとして、複数ユ

ニットの前記入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの前記出力ポート P 3, P 4 を互いに並列に接続した前段回路、

(F 5) 4 個のスイッチによって構成され、前記入力ポート P 1, P 2 から入力して前記出力ポート P 3, P 4 から出力するフルブリッジ回路の前段回路、

また、前記後段回路としては、以下の (R 1) ~ (R 5) のいずれかが選択可能であり、

(R 1) 一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記入力ポート P 5 及び前記入力ポート P 6 に接続され、前記インダクタ接続点は前記出力ポート P 8 に接続され、前記入力ポート P 5 と前記出力ポート P 7 との間にある第 1 スイッチと、前記入力ポート P 6 と前記出力ポート P 7 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる後段回路、

(R 2) 前記 (R 1) の後段回路において前記出力ポート P 7 に直結する線路にインダクタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 5, P 6 を互いに直列に接続し、複数ユニットの前記出力ポート P 7, P 8 を互いに並列に接続した後段回路、

(R 3) 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポート P 7 及び前記出力ポート P 8 に接続され、前記キャパシタ接続点は前記入力ポート P 6 に接続され、前記入力ポート P 5 と前記出力ポート P 7 との間にある第 1 スイッチと、前記入力ポート P 5 と前記出力ポート P 8 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる後段回路、

(R 4) 前記 (R 3) の後段回路において前記入力ポート P 5 に直結する線路にキャパシタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 5, P 6 を互いに直列に接続し、複数ユニ

ットの前記出力ポート P 7, P 8 を互いに並列に接続した後段回路、  
 (R 5) 4 個のスイッチによって構成され、前記入力ポート P 5, P 6 から入力して前記出力ポート P 7, P 8 から出力するフルブリッジ回路の後段回路、

前記前段回路 (F 1) ~ (F 5) のうちのいずれか一つと、前記後段回路 (R 1) ~ (R 5) のうちのいずれか一つとを備えて構成され、かつ、前段回路が (F 5) で後段回路が (R 5) であるという組み合わせは除外する変圧装置。

[請求項2]

電源と負荷との間に設けられ、入力に対する出力の極性を交互に反転させるスイッチングを行う機能をそれぞれが有する前段回路及び後段回路を備えている変圧装置であって、

前記前段回路及び前記後段回路の少なくとも一方に設けられ、一対のリアクタンス素子を接続点で互いに直列に接続して成る直列体と、

前記直列体の両端を第 1 ポートとした場合に、前記直列体の一端と前記接続点との間、及び、前記直列体の他端と前記接続点との間を、スイッチングにより交互に、かつ、極性を反転させながら第 2 ポートとして、前記第 1 ポートから前記第 2 ポートへの電力の伝送、及び、前記第 2 ポートから前記第 1 ポートへの電力の伝送のいずれか一方を実行するスイッチ装置と、

を含む変圧装置。

[請求項3]

前記直列体が一対のインダクタの直列体であって、前記電源の周波数を  $f_0$ 、スイッチング周波数を  $f_s$ 、任意の前記インダクタのインダクタンス値を  $L$ 、前記負荷の抵抗値を  $R$  とすると、

$$2\pi f_0 L \ll R \ll 2\pi f_s L$$

である請求項 1 又は請求項 2 に記載の変圧装置。

[請求項4]

前記直列体が一対のキャパシタの直列体であって、前記電源の周波数を  $f_0$ 、スイッチング周波数を  $f_s$ 、任意の前記キャパシタのキャパシタンス値を  $C$ 、前記負荷の抵抗値を  $R$  とすると、

$$1 / (2 \pi f s C) \ll R \ll 1 / (2 \pi f \cdot C)$$

である請求項 1 又は請求項 2 に記載の変圧装置。

[請求項5] 前記直列体が設けられている回路において、前記直列体の接続点とは繋がっていない方の出力用の線路に、キャパシタを介挿した請求項 1 又は請求項 2 に記載の変圧装置。

[請求項6] 前記前段回路と前記後段回路との間に、分布定数回路を介挿し、当該分布定数回路は、

前記前段回路の出力の周波数を  $f$  とし、周波数  $f$  における波長を  $\lambda$  とし、長さ  $\lambda / 4$  の第 1 変換器と、当該第 1 変換器の終端と前記後段回路との間に設けられた、長さ  $\lambda / 4$  の第 2 変換器と、を備えている請求項 1 ~ 請求項 5 のいずれか 1 項に記載の変圧装置。

[請求項7] 前記前段回路と前記後段回路との間に、二端子対回路を介挿し、当該二端子対回路は、

4 以上の自然数を  $n$  とし、 $n$  個のリアクタンス素子を相互に接続して構成されたものであって、前記負荷の任意の抵抗値  $R$  に対して、前記二端子対回路の入力インピーダンス  $Z_{in}$  は、その実数成分が、 $k$  を定数として、 $k \cdot R$  で表され、かつ、虚数成分が 0 である、請求項 1 ~ 請求項 5 のいずれか 1 項に記載の変圧装置。

[請求項8] 請求項 1 又は請求項 2 に記載の変圧装置を複数組、縦続に構成して成る変圧装置。

[請求項9] キャパシタ、インダクタ又はリアクタンス素子として、ケーブルのキャパシタンス及びインダクタンスを利用する請求項 1 ~ 請求項 7 のいずれか 1 項に記載の変圧装置。

[請求項10] 直流電源と負荷との間に設けられる変圧装置であって、  
前記電源と接続される前端側に入力ポート P 1 及び P 2 を有し、後端側に出力ポート P 3 及び P 4 を有する前段回路と、  
前記負荷と接続される後端側に出力ポート P 7 及び P 8 を有し、前端側に入力ポート P 5 及び P 6 を有する後段回路とを備え、

前記前段回路としては、以下の（F 1）～（F 5）のいずれかが選択可能であり、

（F 1） 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記入力ポート P 1 及び前記入力ポート P 2 に接続され、前記キャパシタ接続点は前記出力ポート P 4 に接続され、前記入力ポート P 1 と前記出力ポート P 3 との間にある第 1 スイッチと、前記入力ポート P 2 と前記出力ポート P 3 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる前段回路、

（F 2） 前記（F 1）の前段回路において前記出力ポート P 3 に直結する線路にキャパシタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの前記出力ポート P 3, P 4 を互いに並列に接続した前段回路、

（F 3） 一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポート P 3 及び前記出力ポート P 4 に接続され、前記インダクタ接続点は前記入力ポート P 2 に接続され、前記入力ポート P 1 と前記出力ポート P 3 との間にある第 1 スイッチと、前記入力ポート P 1 と前記出力ポート P 4 との間にある第 2 スイッチとが、スイッチングにより交互にオン状態となる前段回路、

（F 4） 前記（F 3）の前段回路において前記入力ポート P 1 に直結する線路にインダクタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 1, P 2 を互いに直列に接続し、複数ユニットの前記出力ポート P 3, P 4 を互いに並列に接続した前段回路、

（F 5） 4 個のスイッチによって構成され、前記入力ポート P 1, P 2 から入力して前記出力ポート P 3, P 4 から出力するフルブリッジ回路の前段回路、

また、前記後段回路としては、以下の（R 1）～（R 5）のいずれ

かが選択可能であり、

(R 1) 一对のインダクタをインダクタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記入力ポート P 5 及び前記入力ポート P 6 に接続され、前記インダクタ接続点は前記出力ポート P 8 に接続され、前記入力ポート P 5 と前記出力ポート P 7 との間にある第 1 ダイオードと、前記入力ポート P 6 と前記出力ポート P 7 との間にある第 2 ダイオードとが、入力電圧の極性に応じて交互に導通する後段回路、

(R 2) 前記 (R 1) の後段回路において前記出力ポート P 7 に直結する線路にインダクタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 5, P 6 を互いに直列に接続し、複数ユニットの前記出力ポート P 7, P 8 を互いに並列に接続した後段回路、

(R 3) 一对のキャパシタをキャパシタ接続点で互いに直列に接続して成る直列体の両端がそれぞれ前記出力ポート P 7 及び前記出力ポート P 8 に接続され、前記キャパシタ接続点は前記入力ポート P 6 に接続され、前記入力ポート P 5 と前記出力ポート P 7 との間にある第 1 ダイオードと、前記入力ポート P 5 と前記出力ポート P 8 との間にある第 2 ダイオードとが、入力電圧の極性に応じて交互に導通する後段回路、

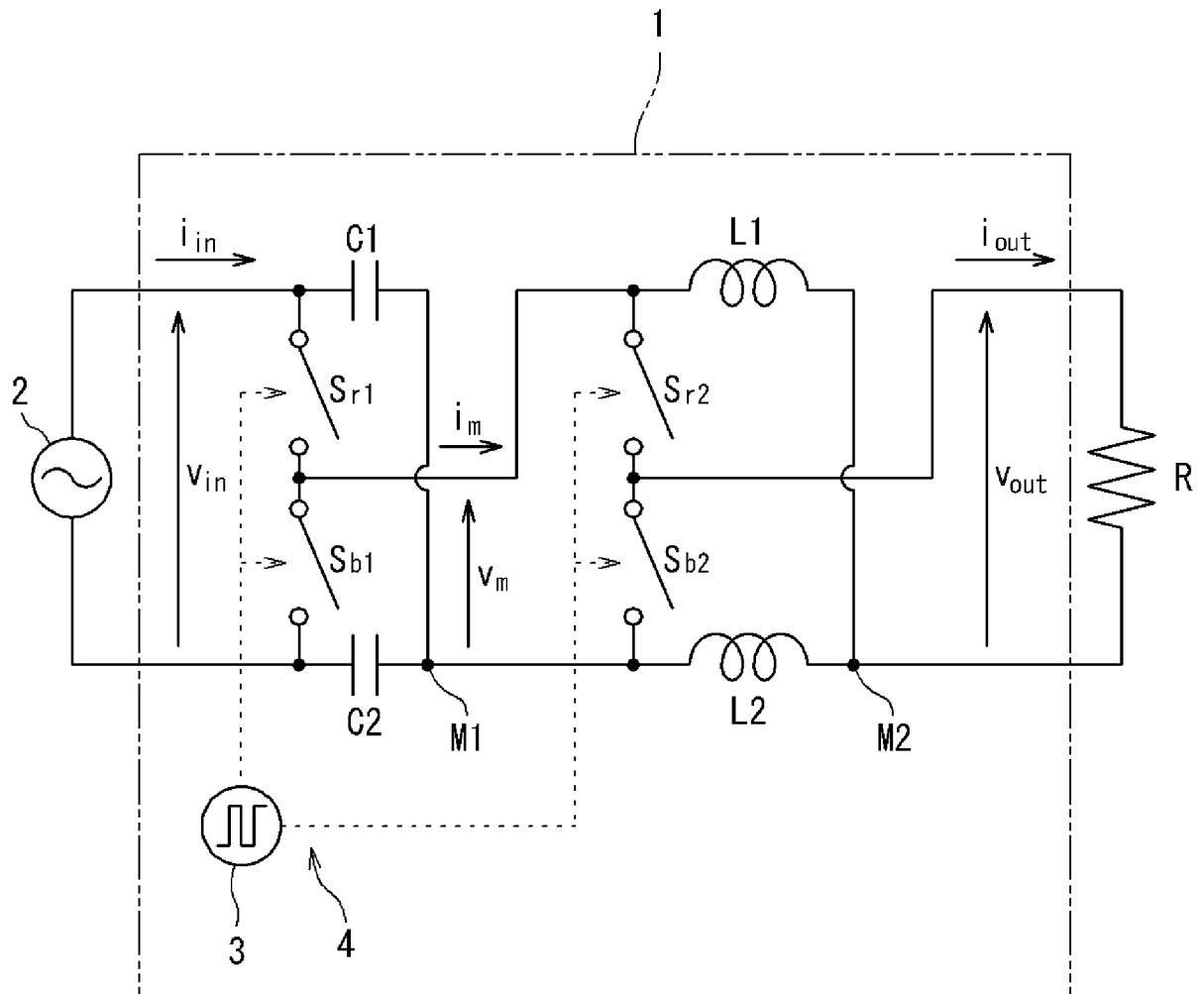
(R 4) 前記 (R 3) の後段回路において前記入力ポート P 5 に直結する線路にキャパシタを介挿したものを 1 ユニットとして、複数ユニットの前記入力ポート P 5, P 6 を互いに直列に接続し、複数ユニットの前記出力ポート P 7, P 8 を互いに並列に接続した後段回路、

(R 5) 4 個のダイオードによって構成され、前記入力ポート P 5, P 6 から入力して前記出力ポート P 7, P 8 から出力するフルブリッジ回路の後段回路、

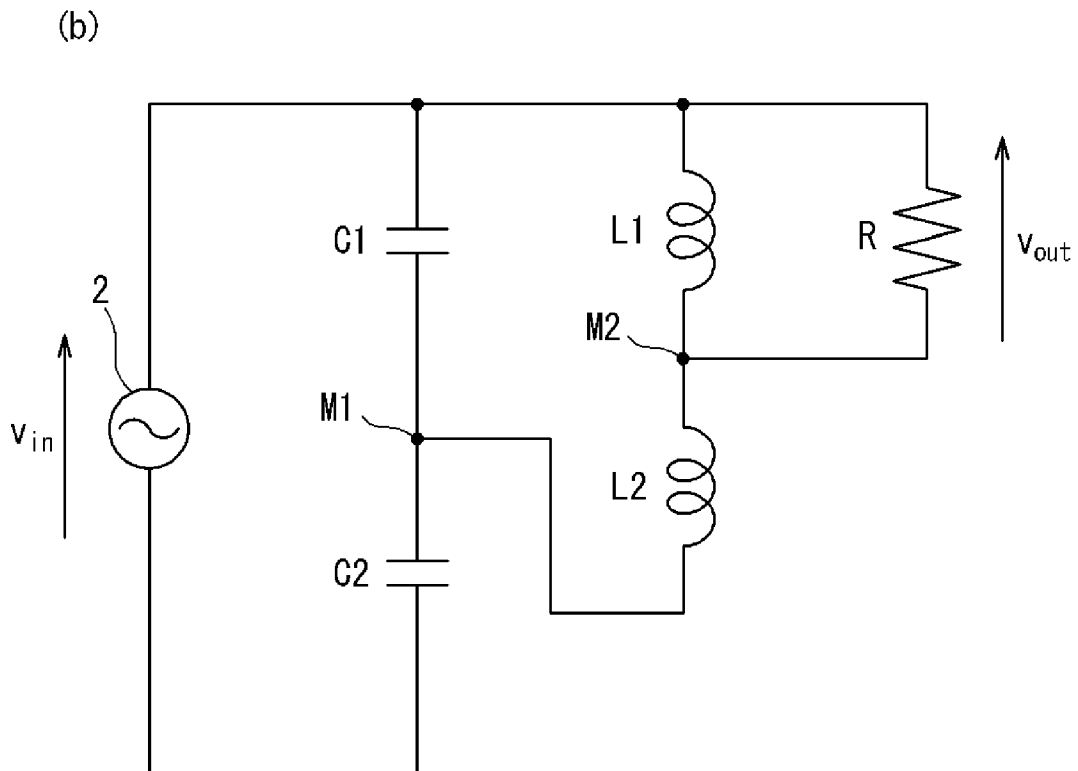
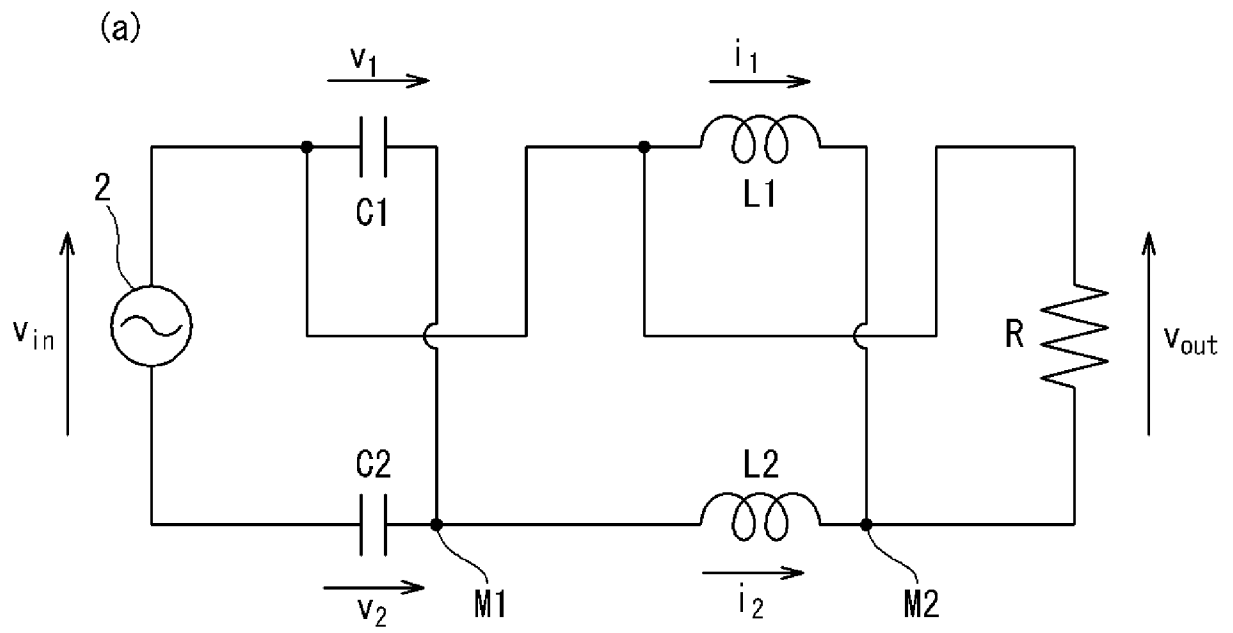
前記前段回路 (F 1) ~ (F 5) のうちのいずれか一つと、前記後段回路 (R 1) ~ (R 5) のうちのいずれか一つとを備えて構成され

、かつ、前段回路が（F 5）で後段回路が（R 5）であるという組み合わせは除外する変圧装置。

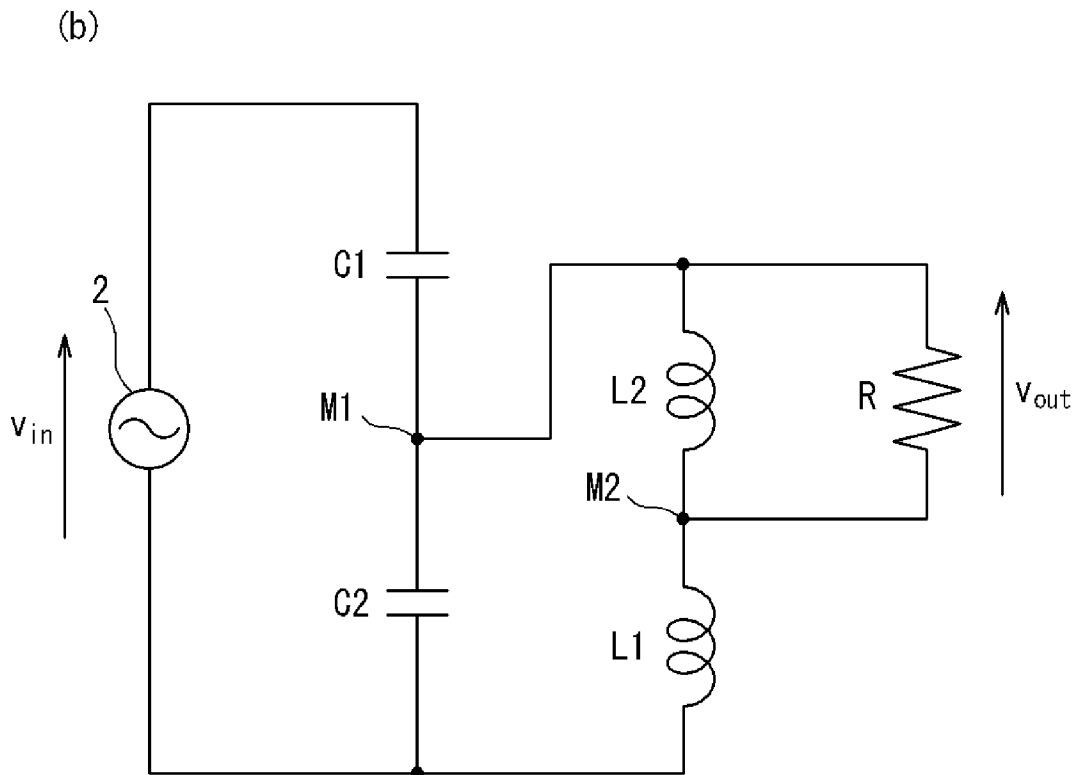
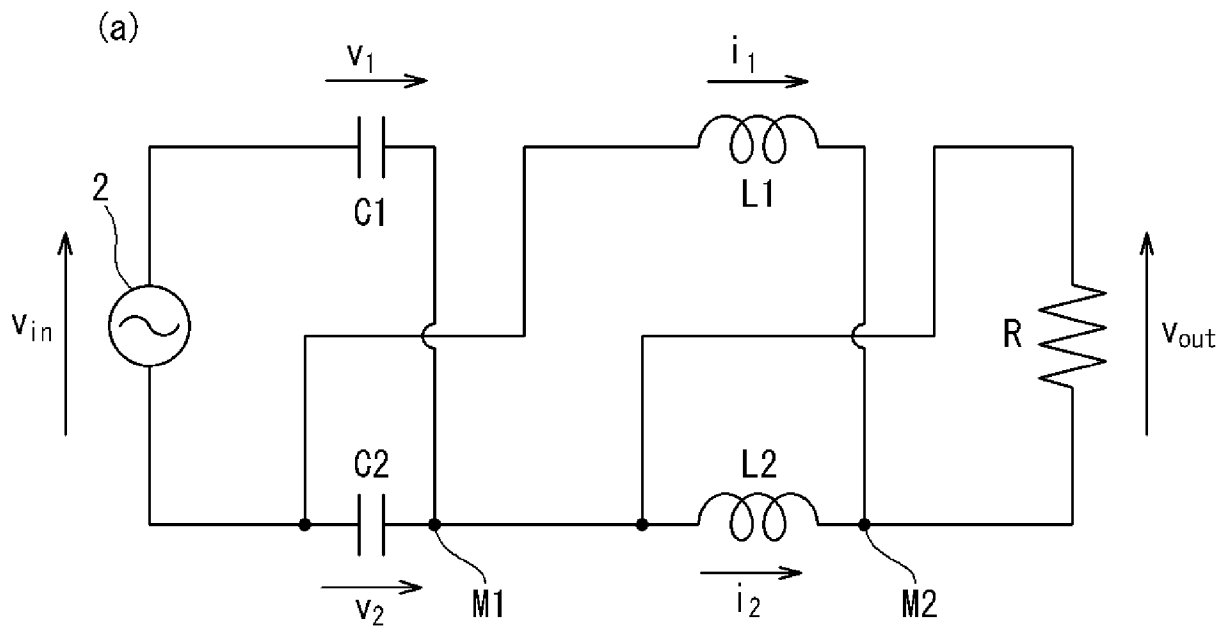
[図1]



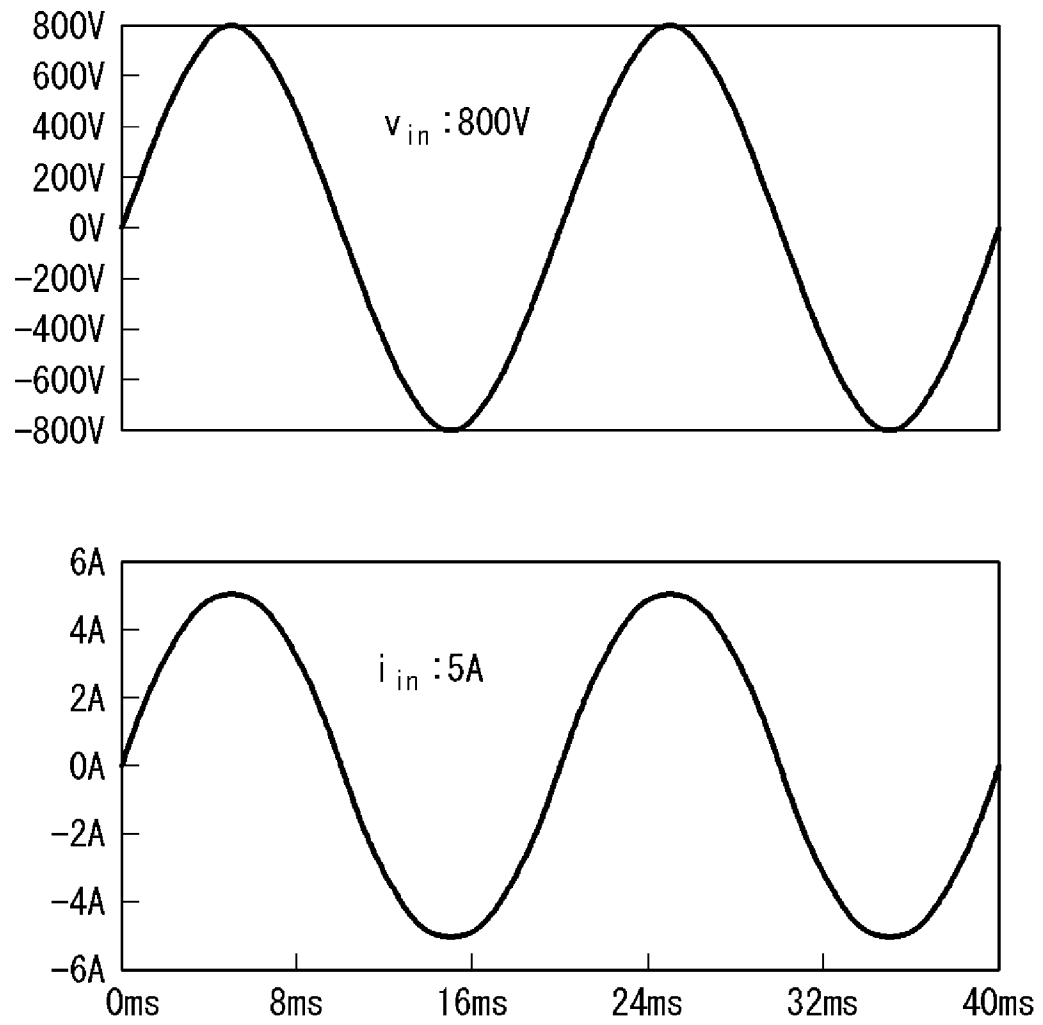
[図2]



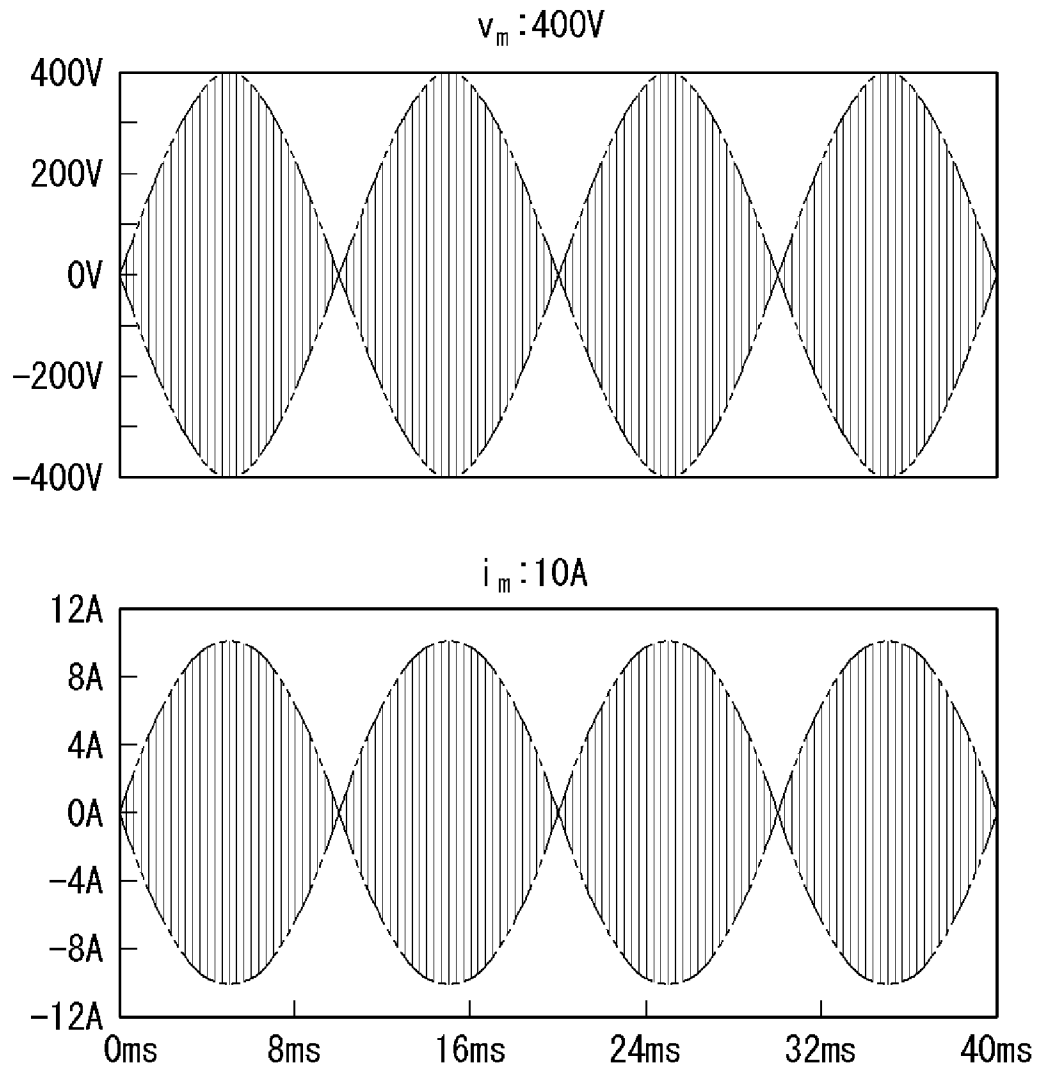
[図3]



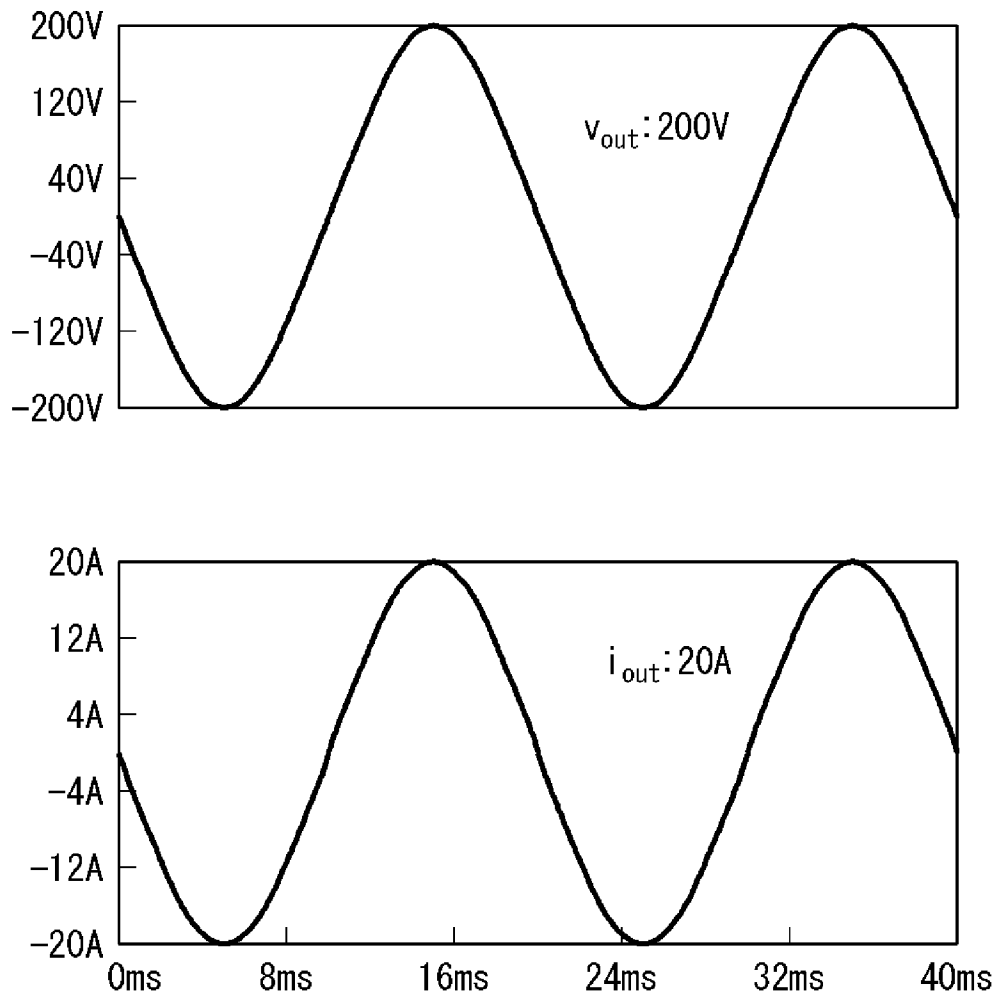
[図4]



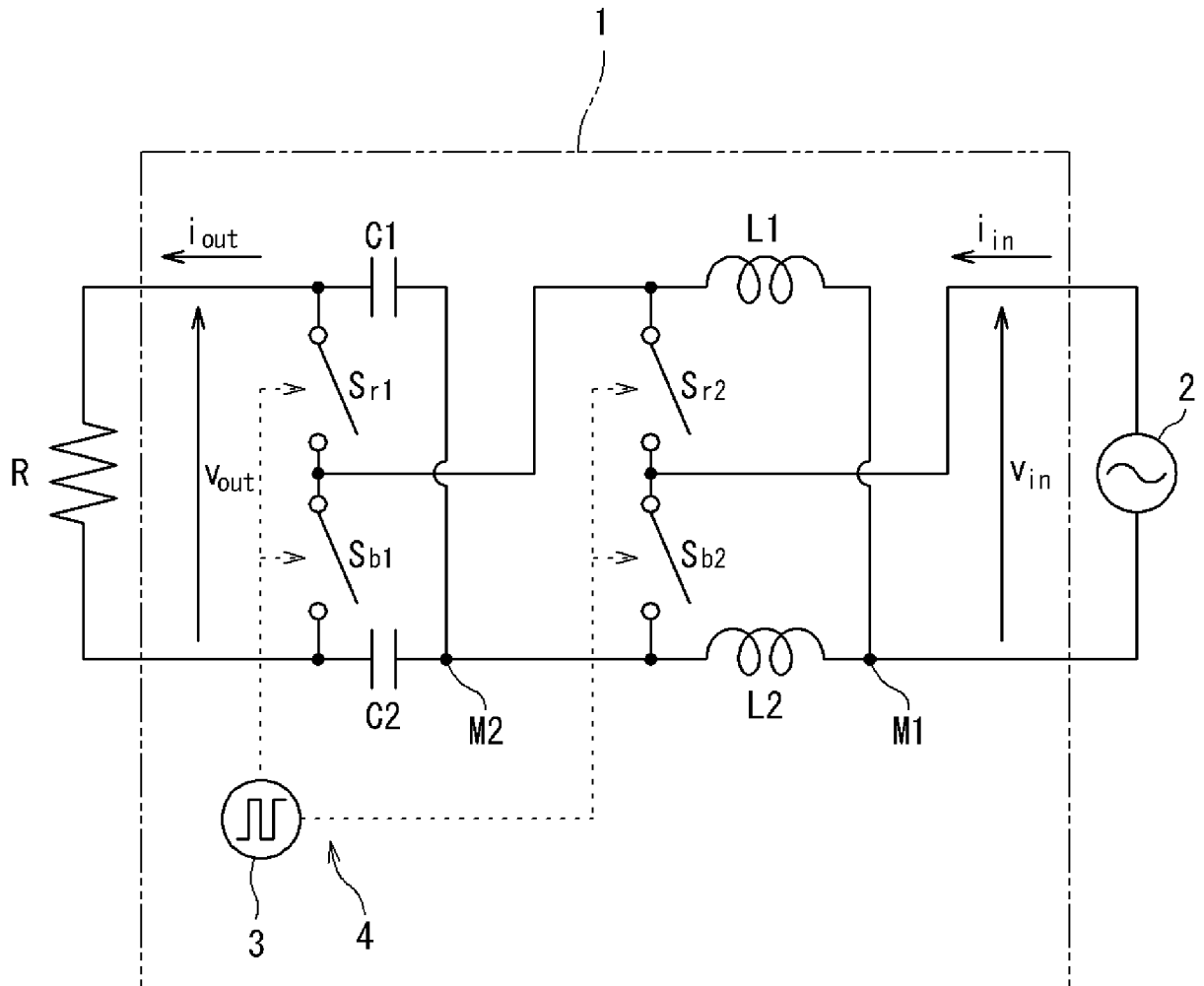
[図5]



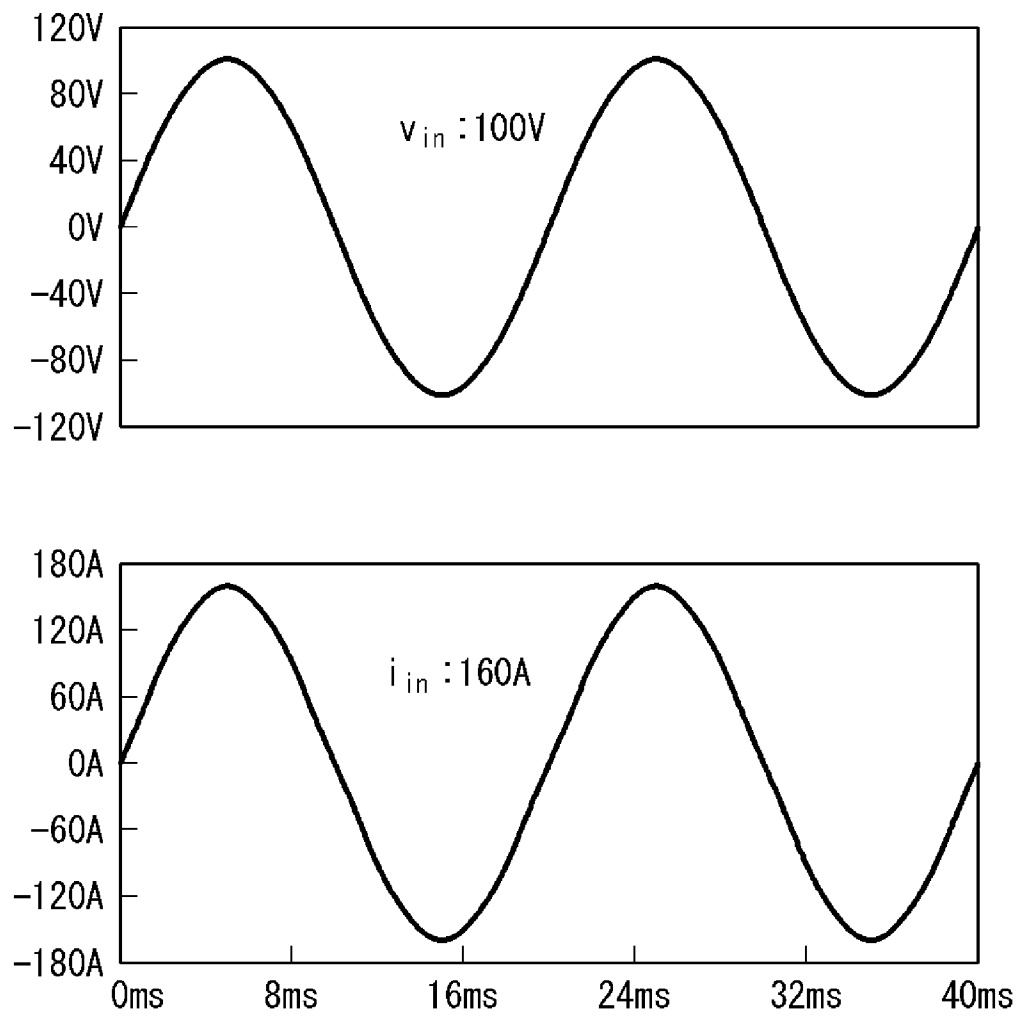
[図6]



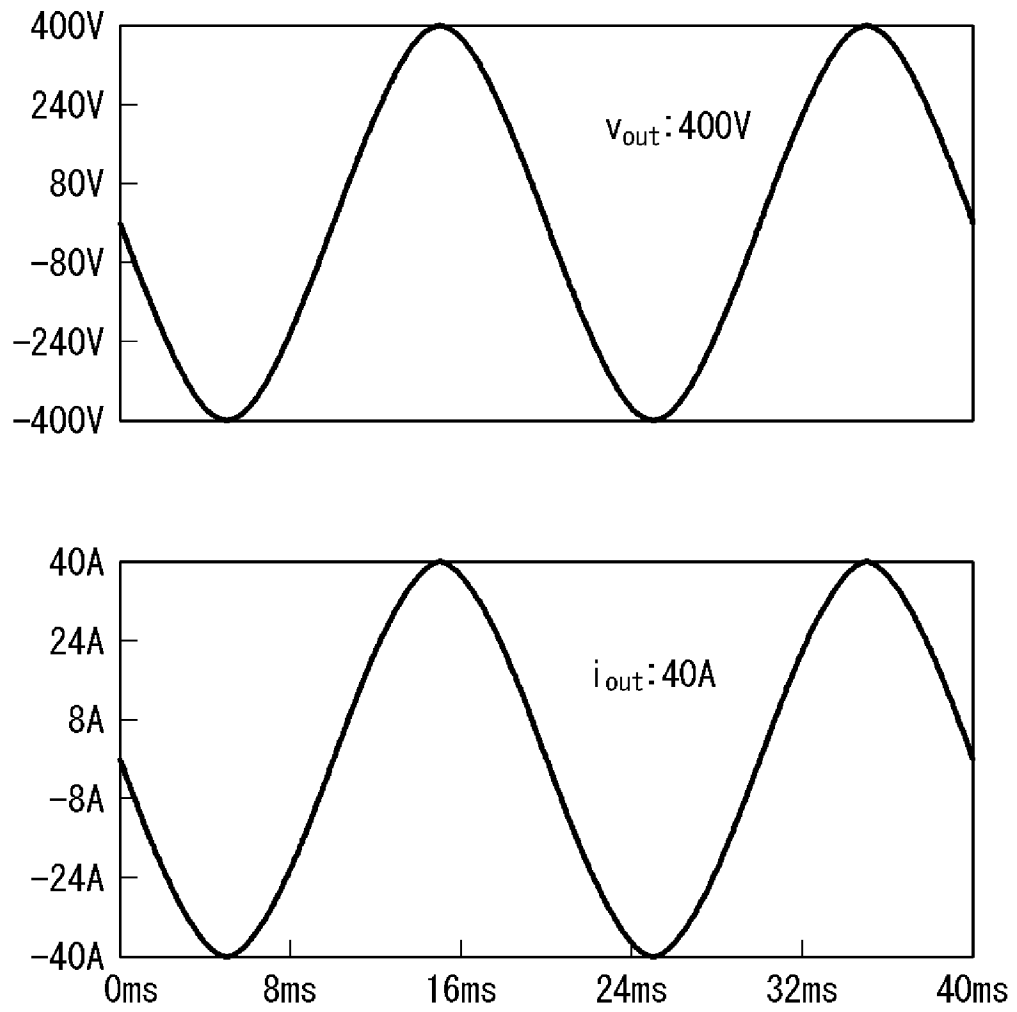
[図7]



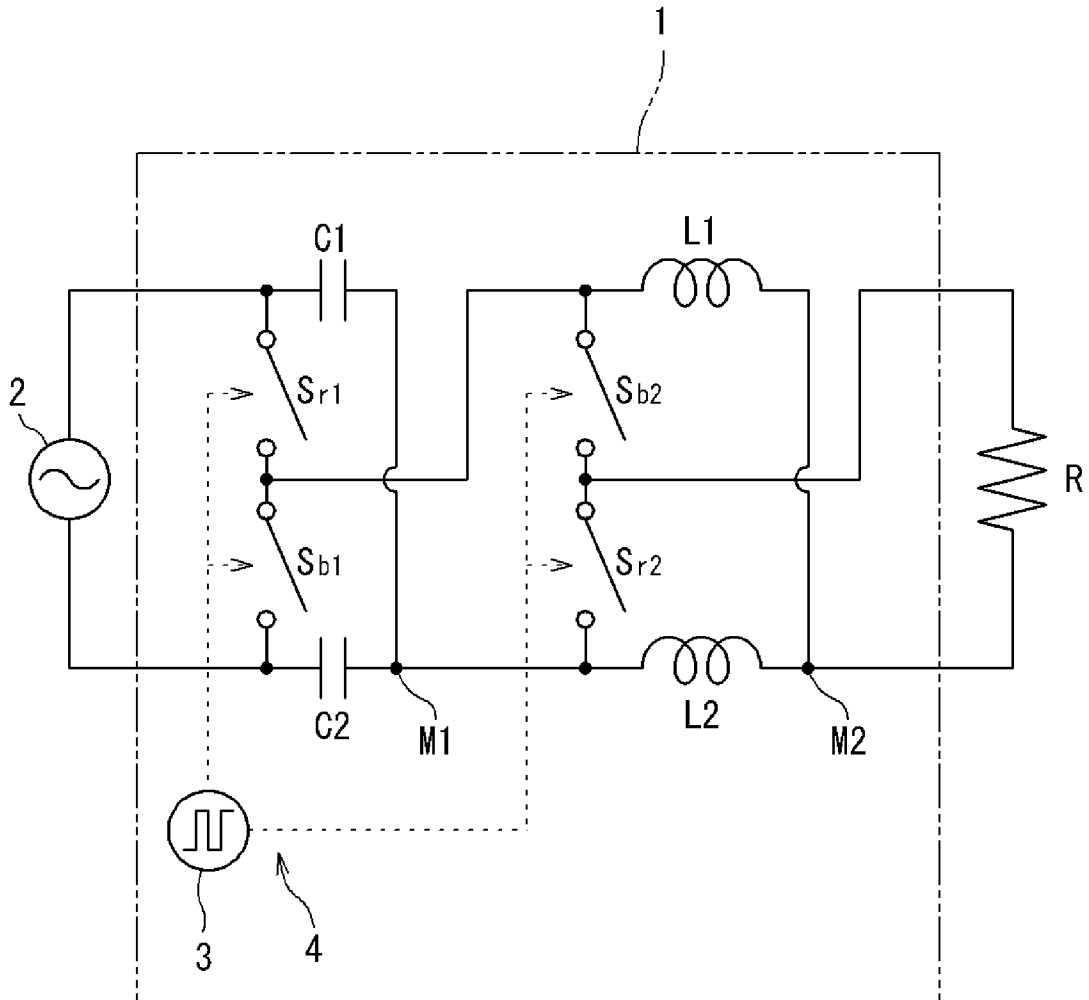
[図8]



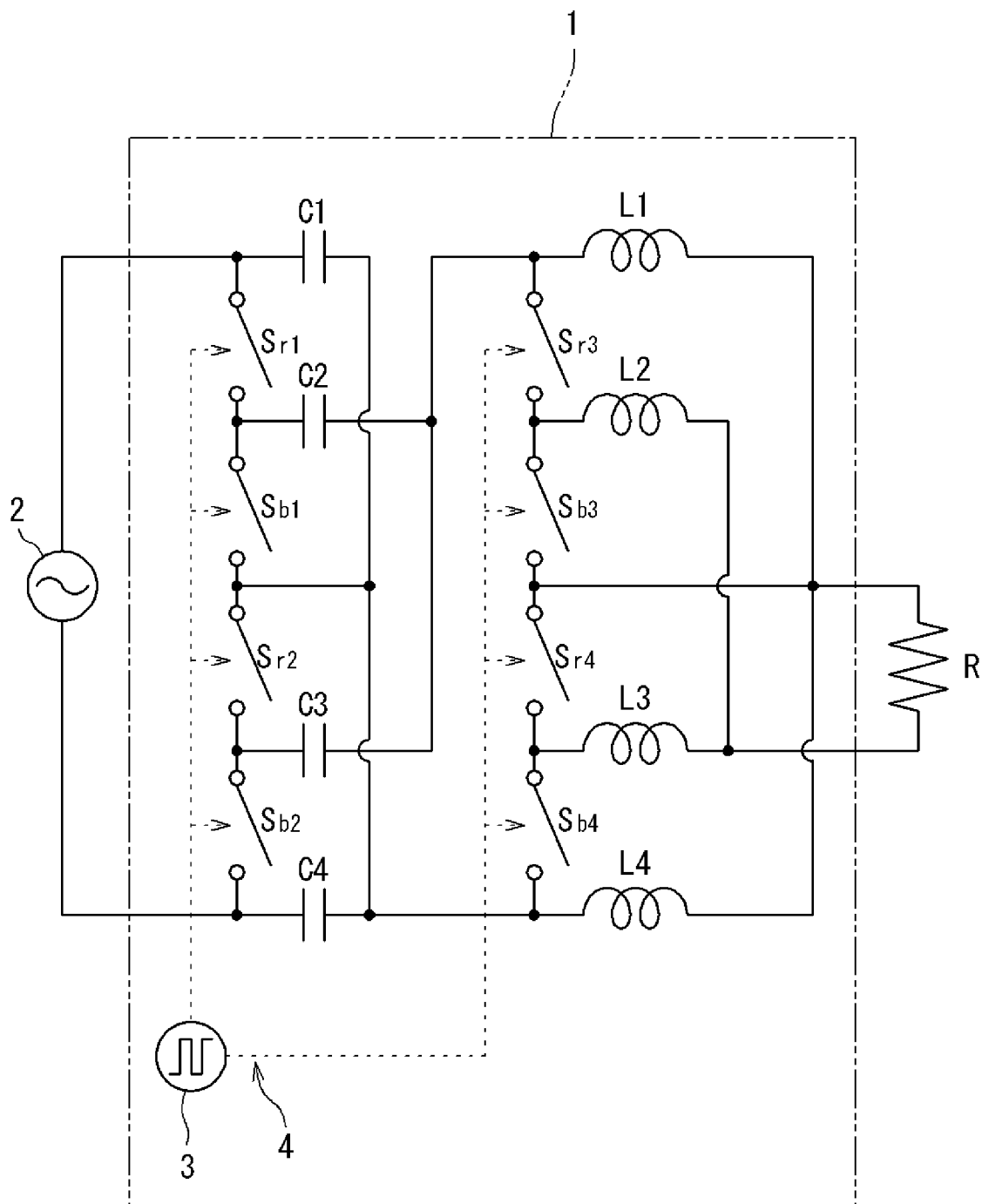
[図9]



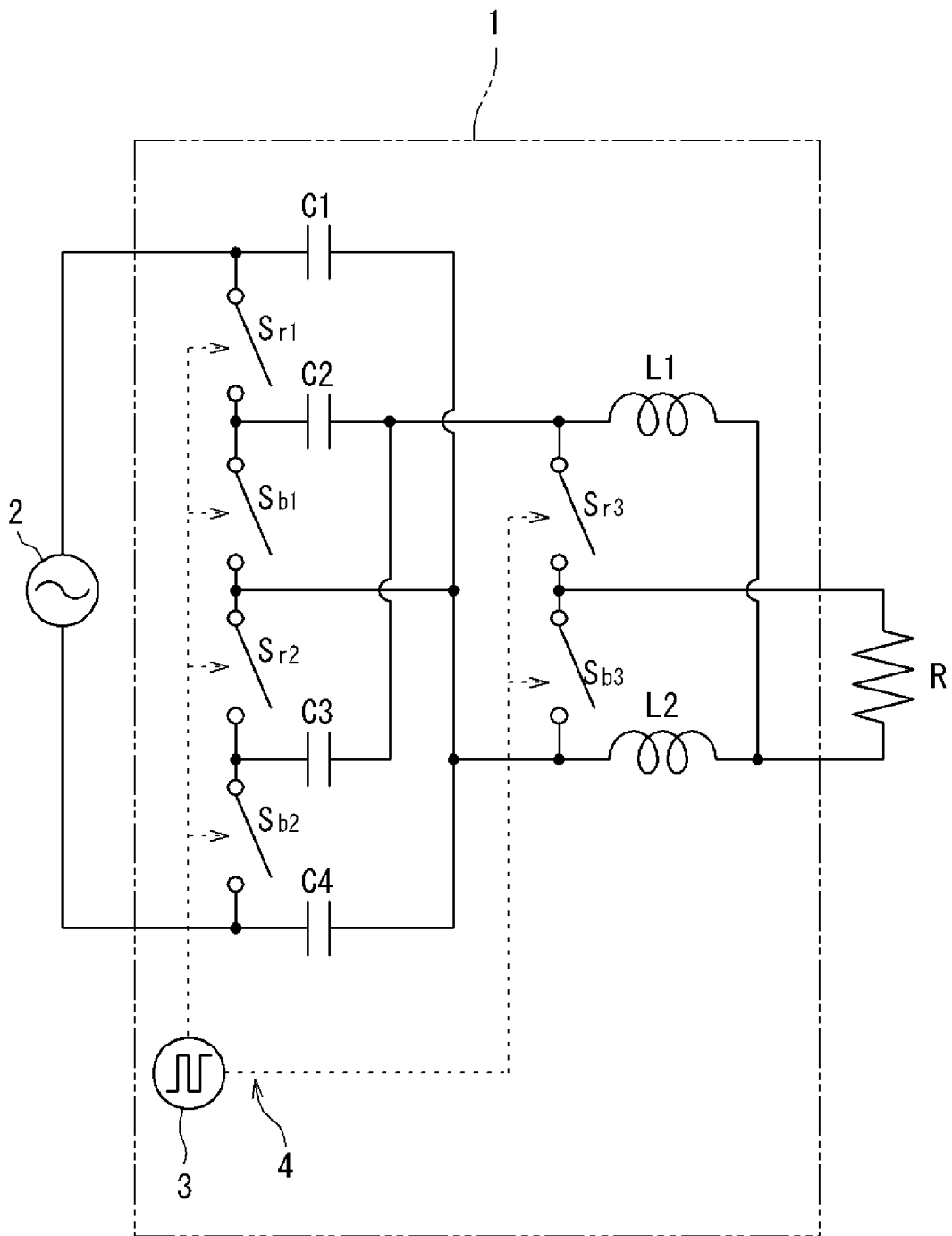
[図10]



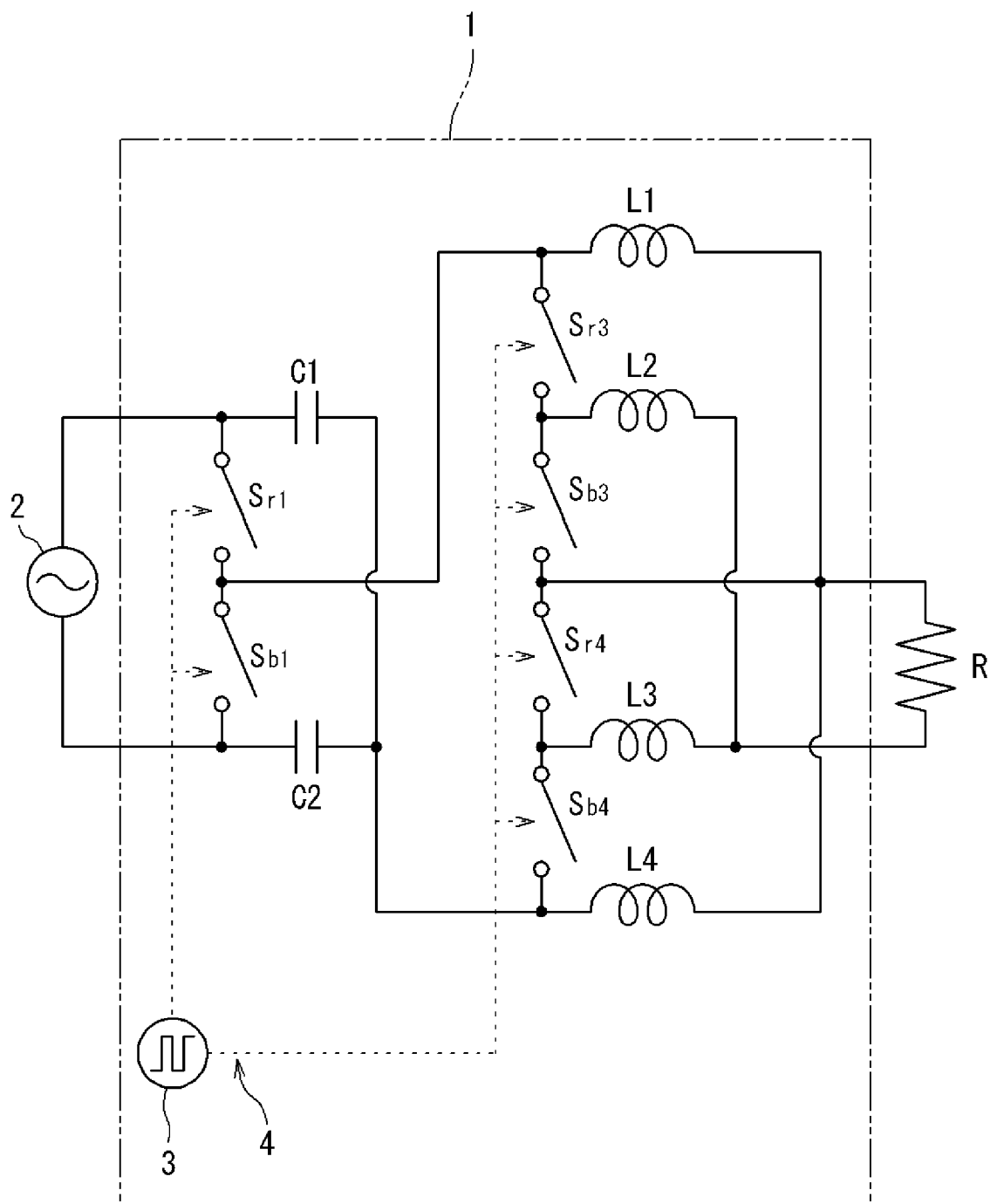
[図11]



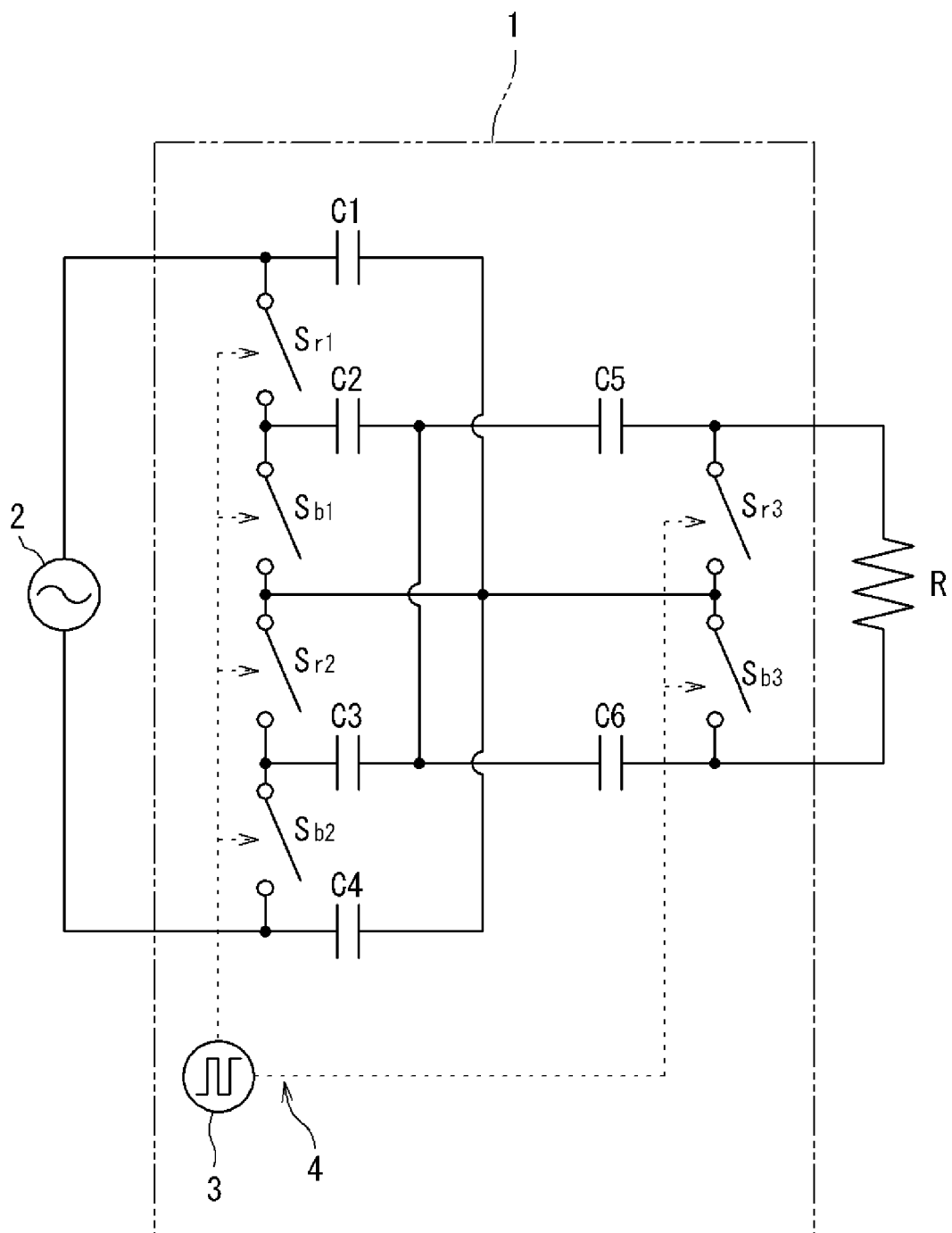
[図12]



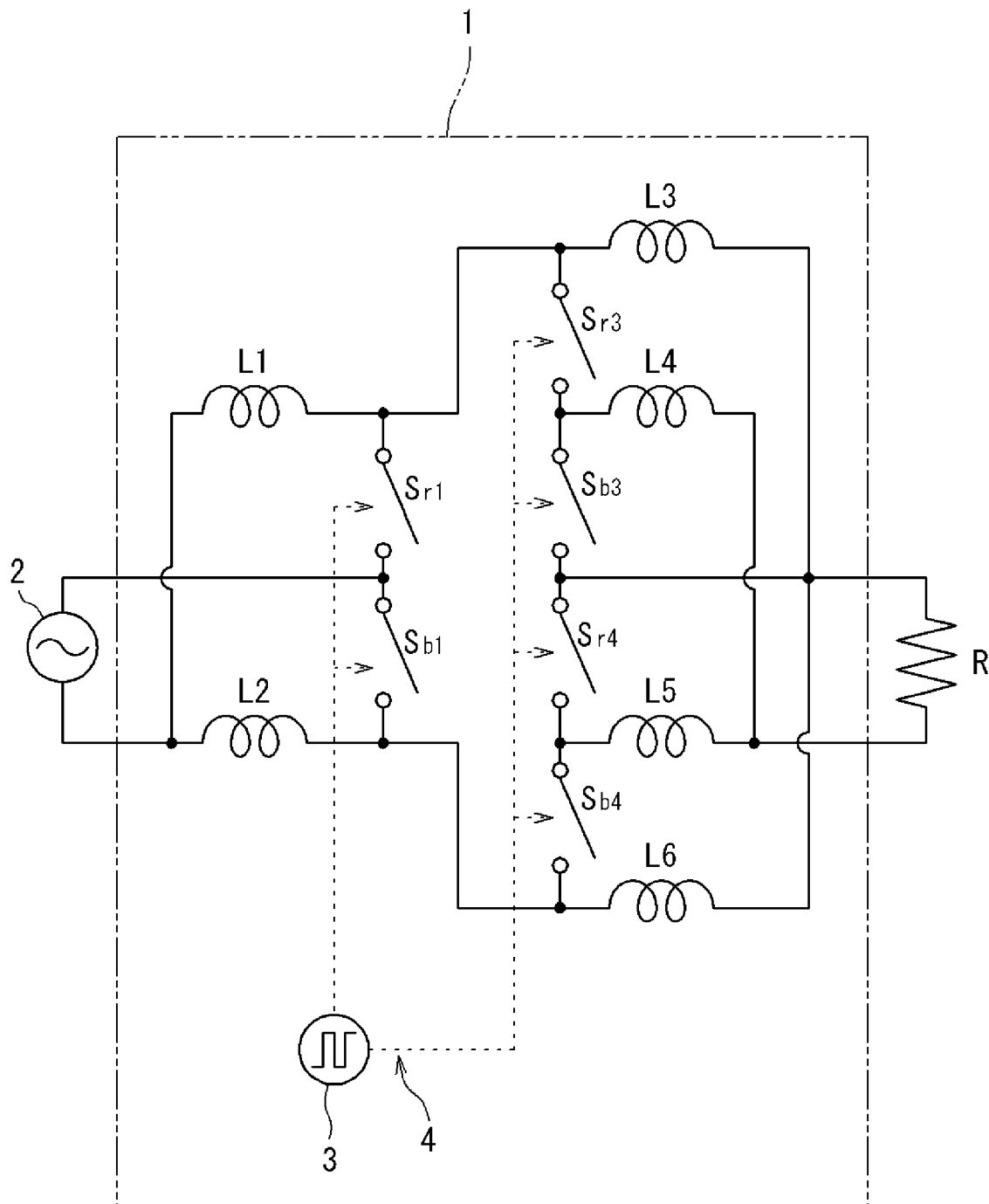
[図13]



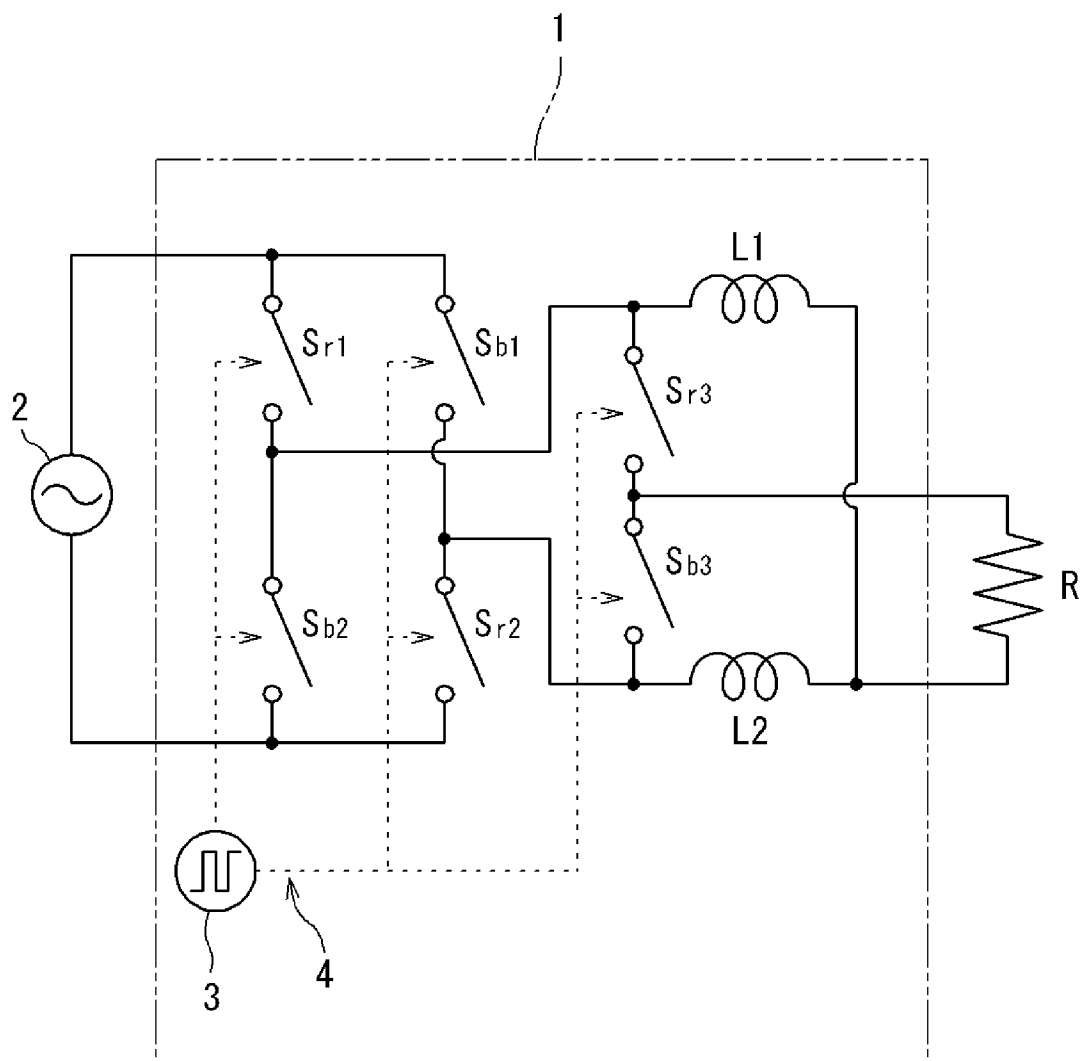
[図14]



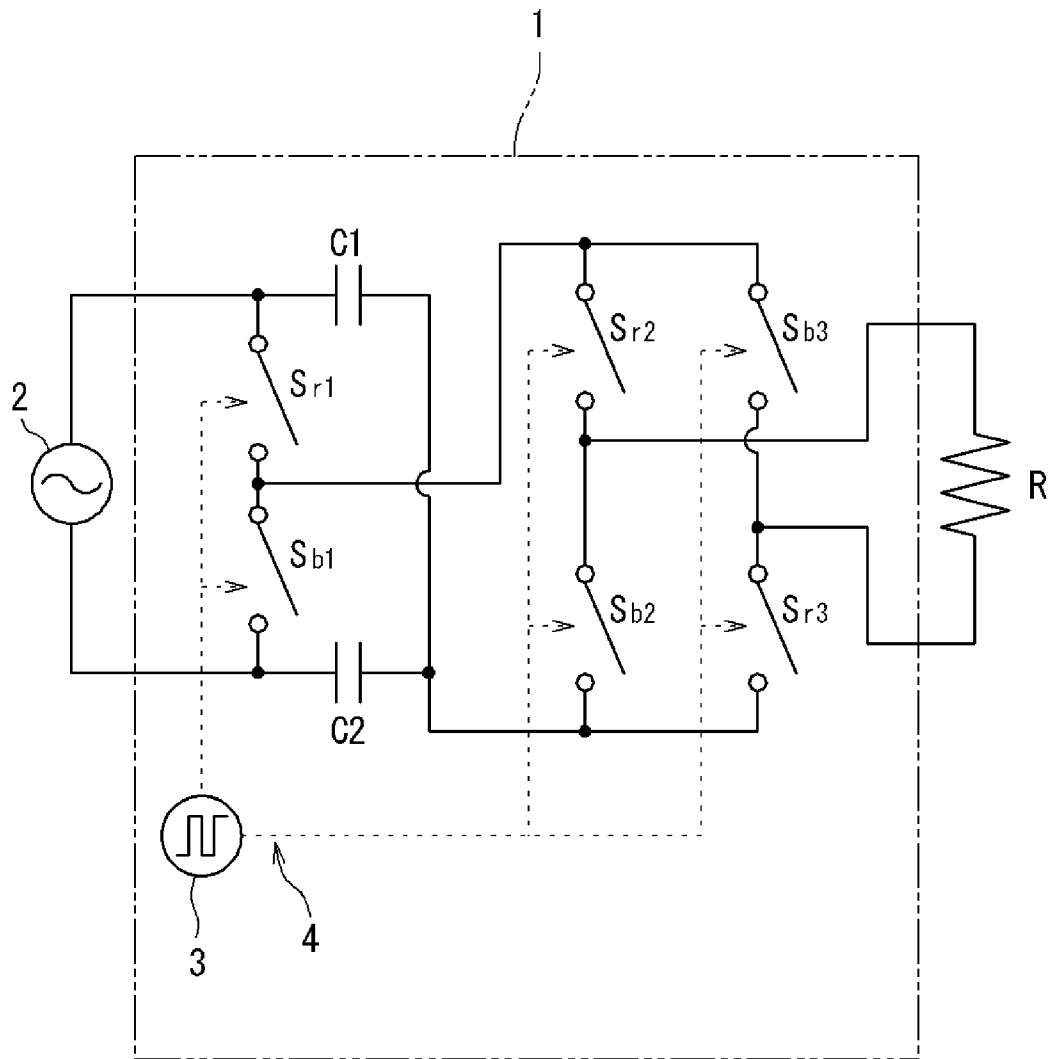
[図15]



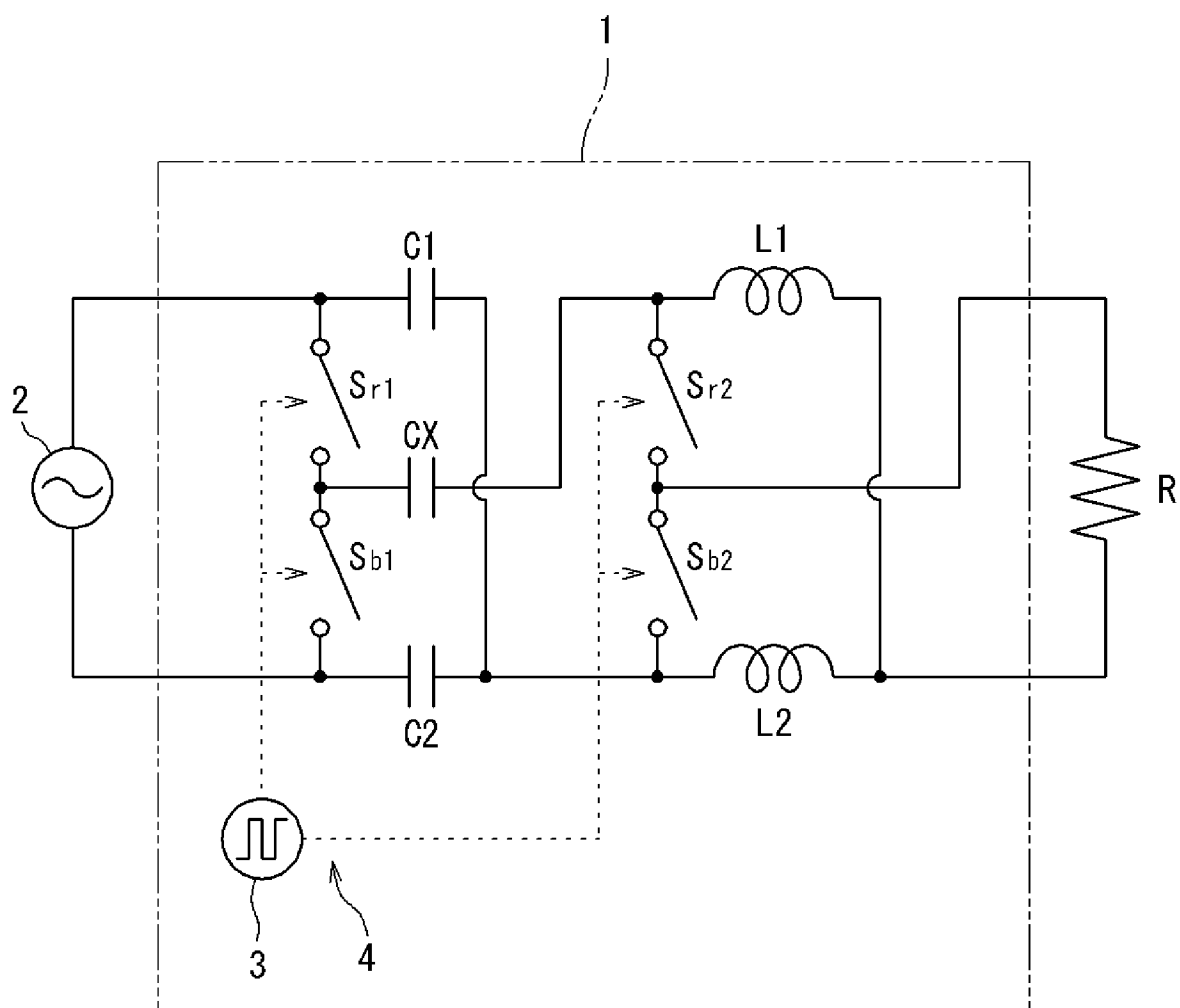
[図16]



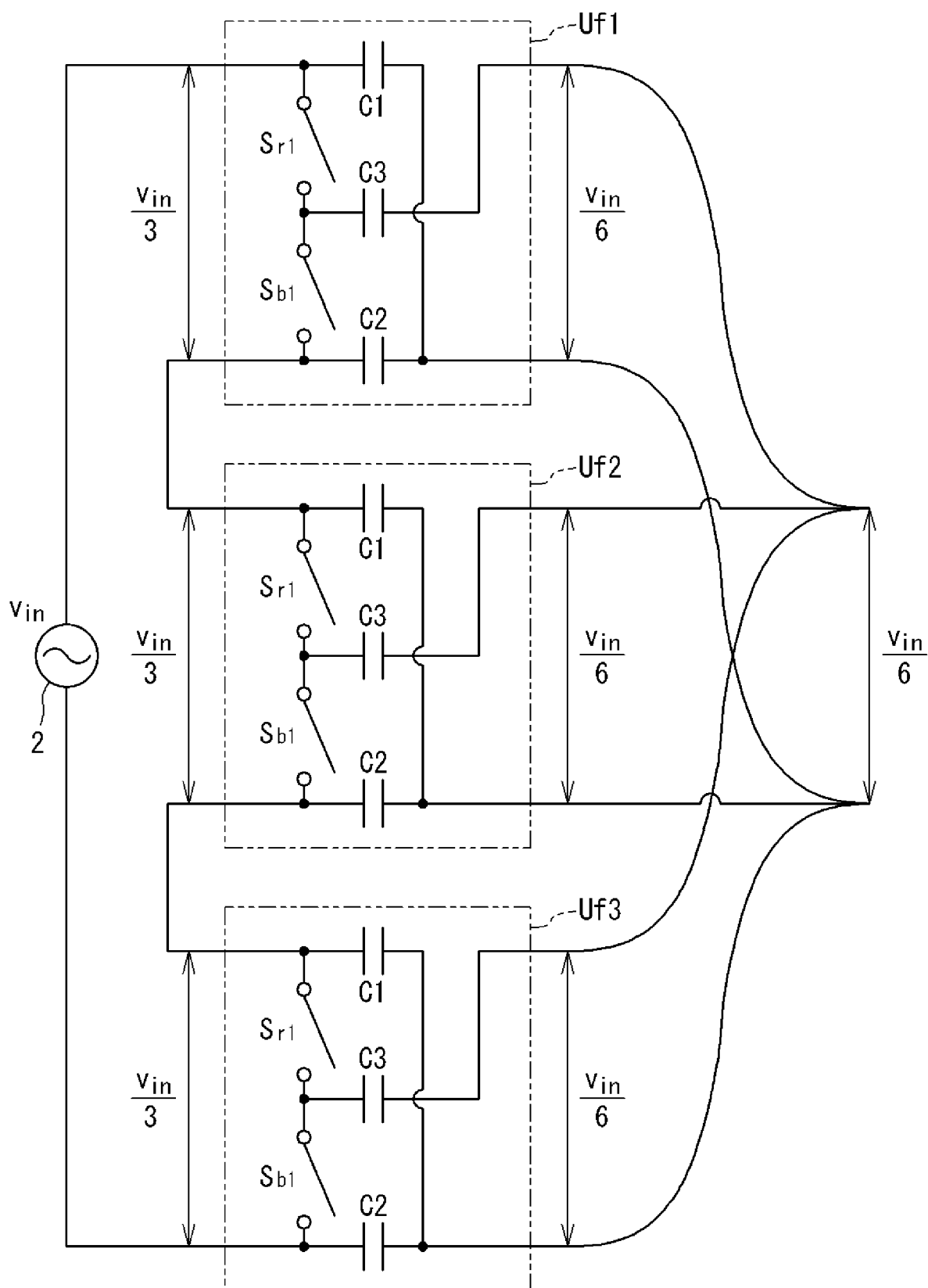
[図17]



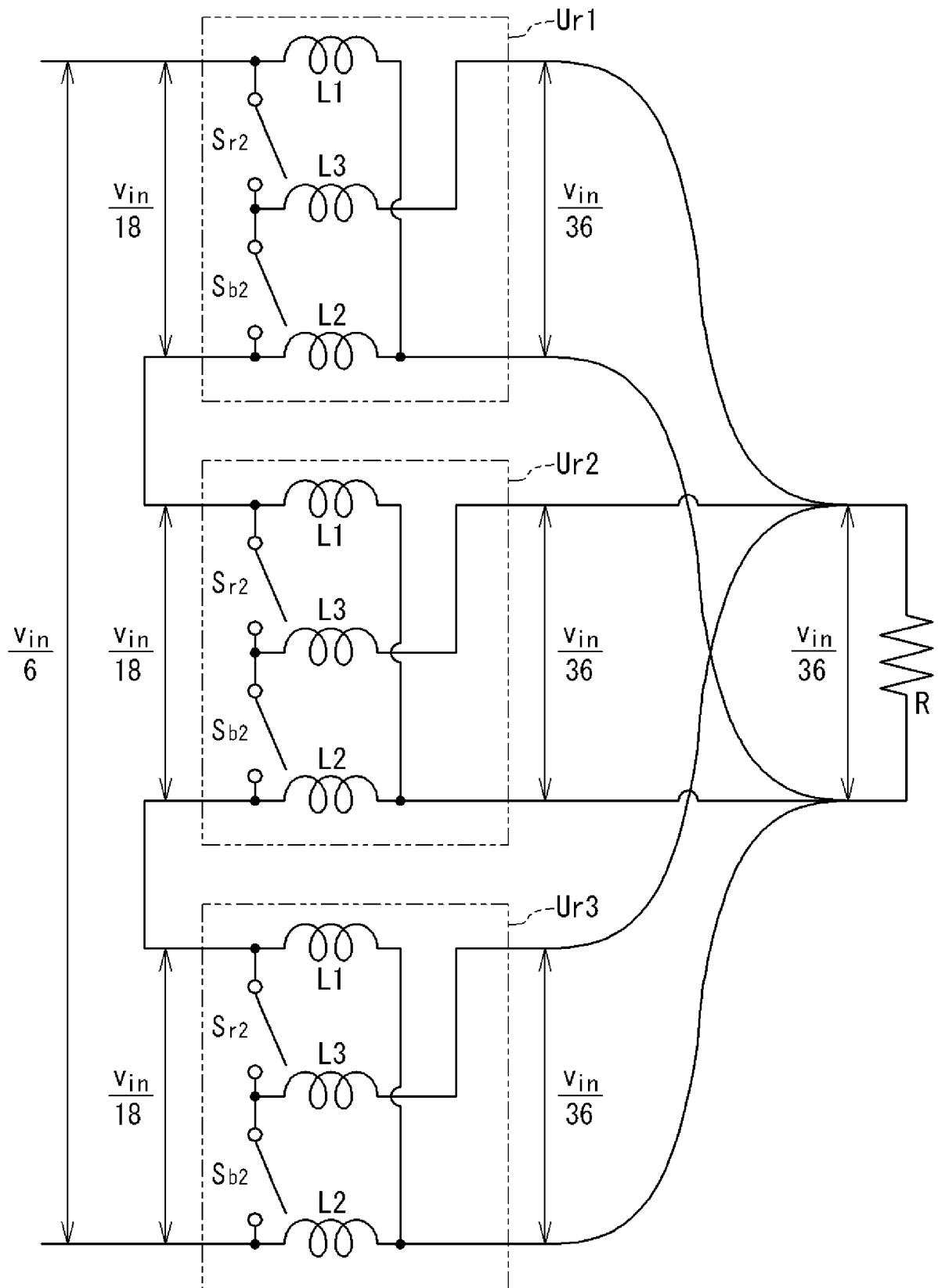
[図18]



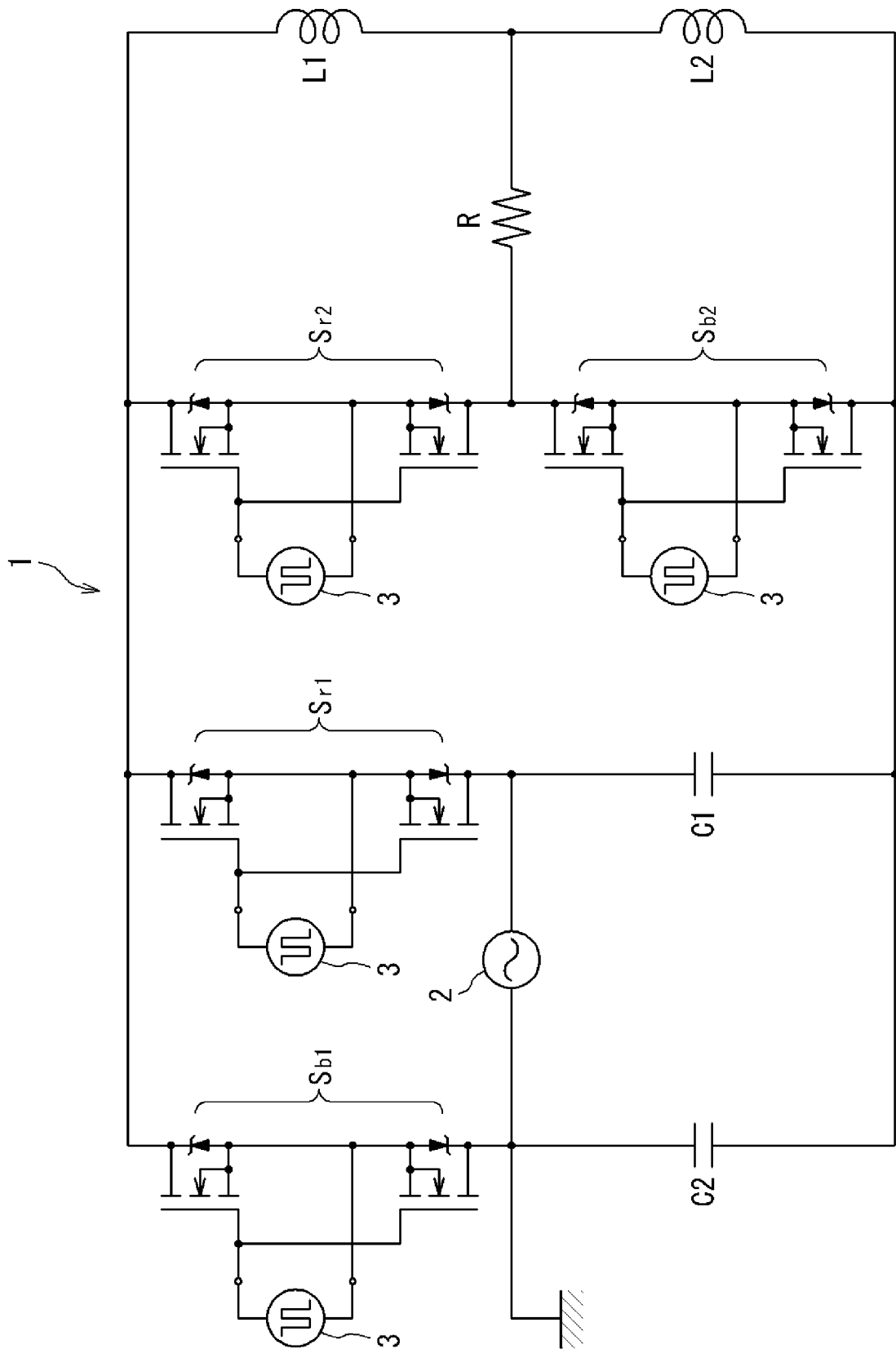
[図19]



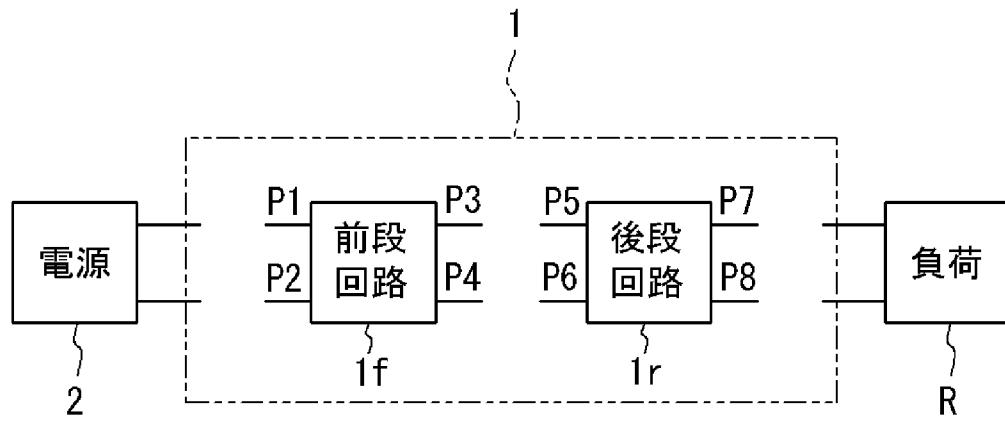
[図20]



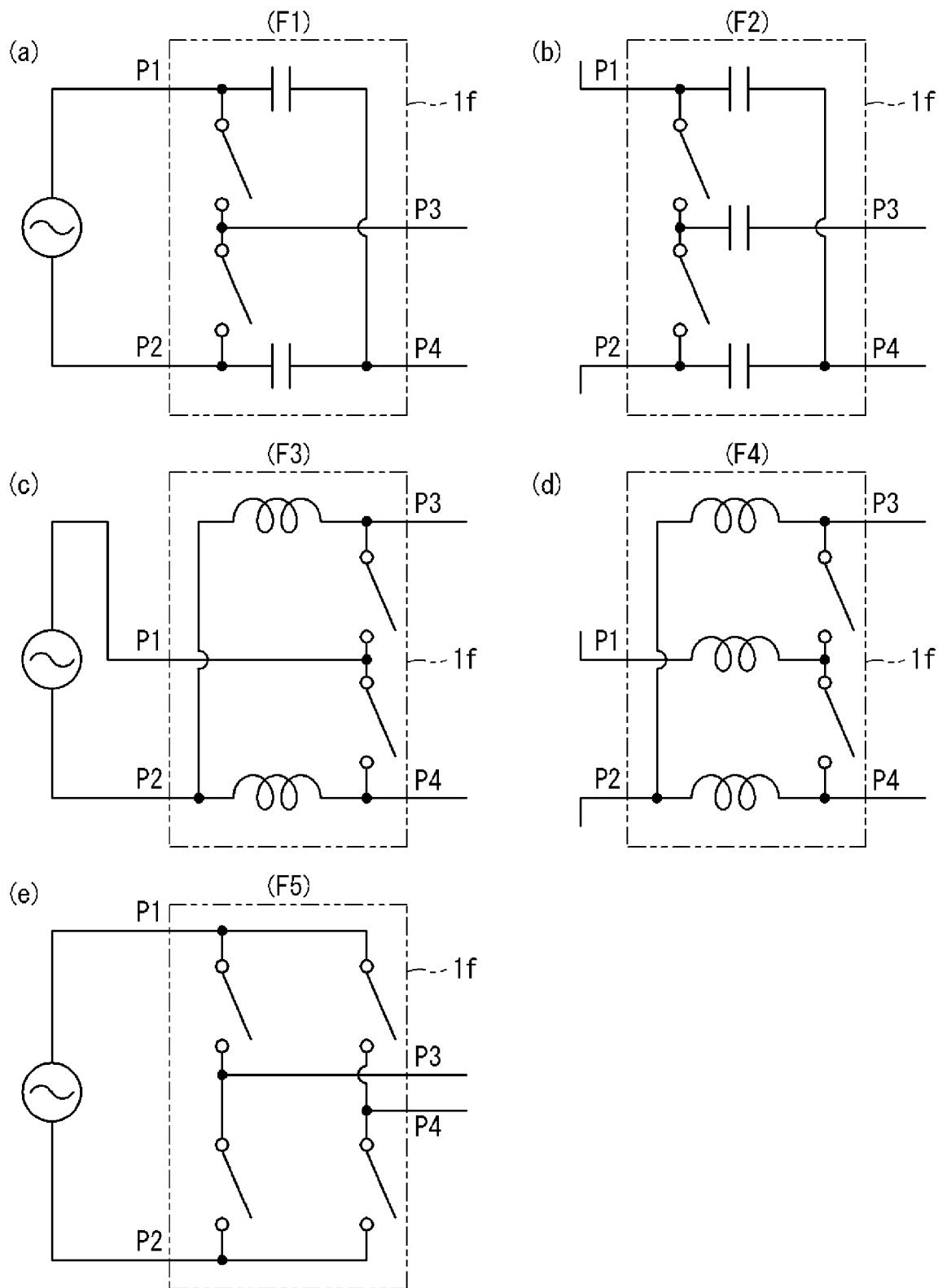
[図21]



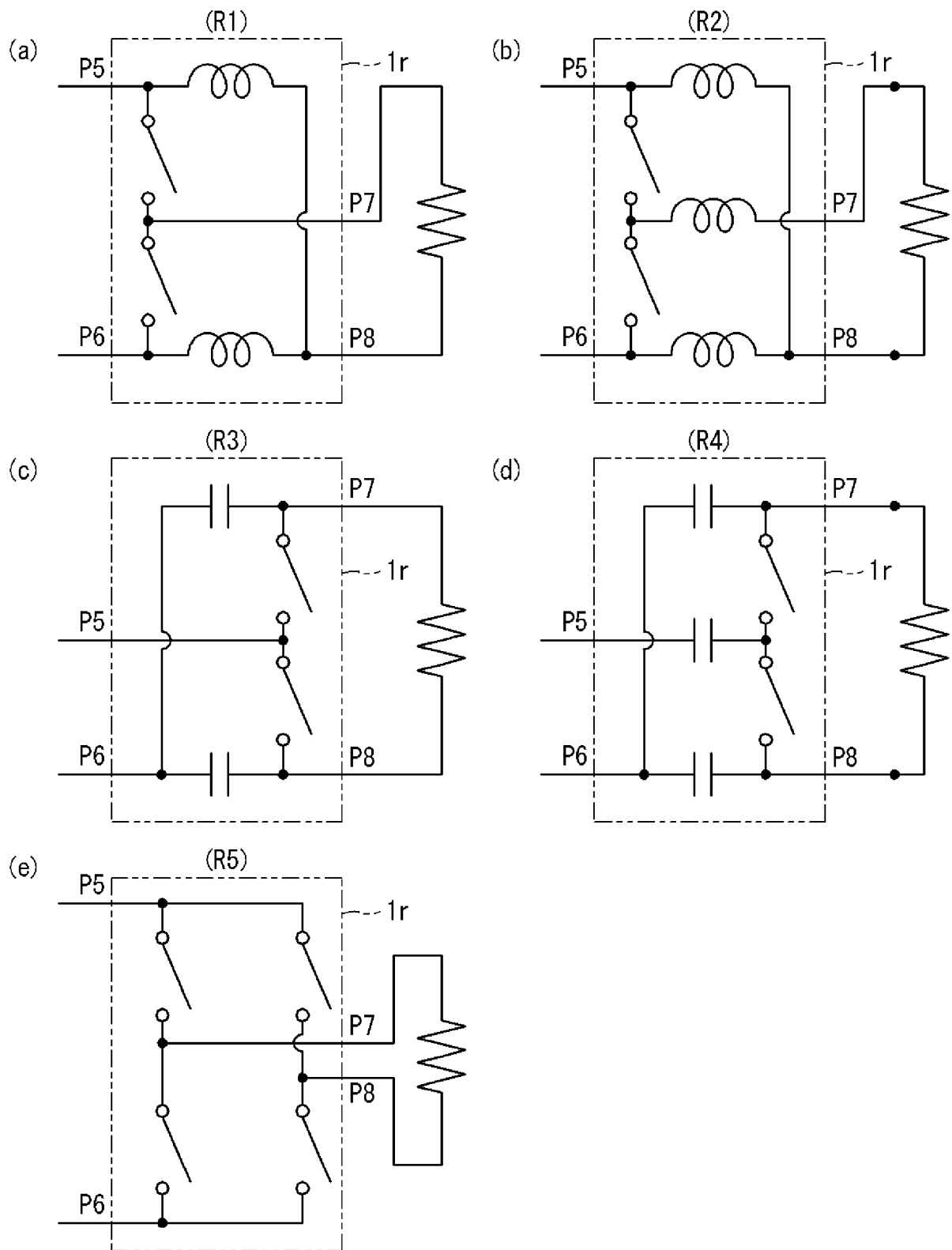
[図22]



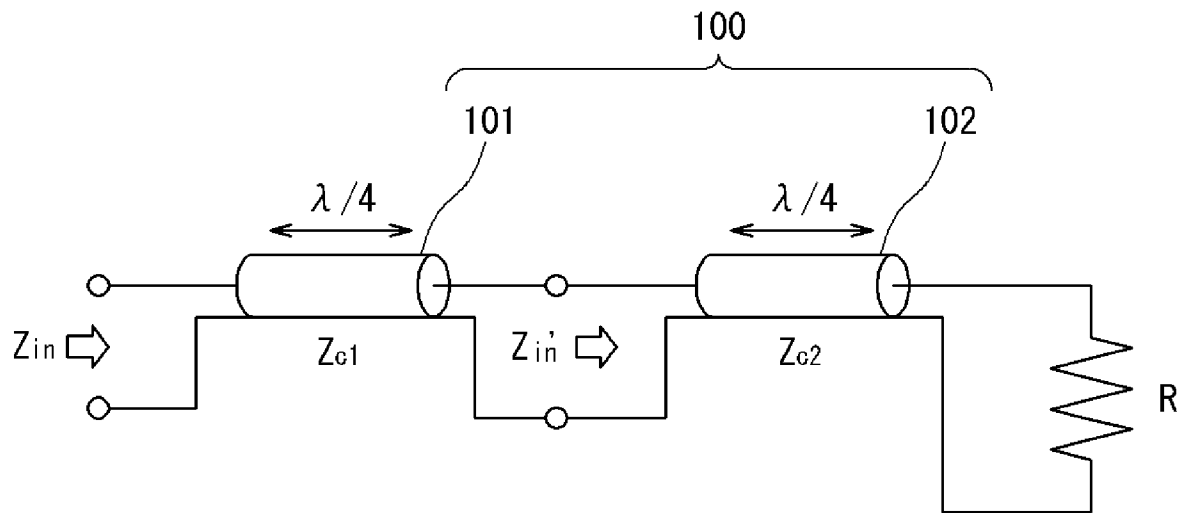
[図23]



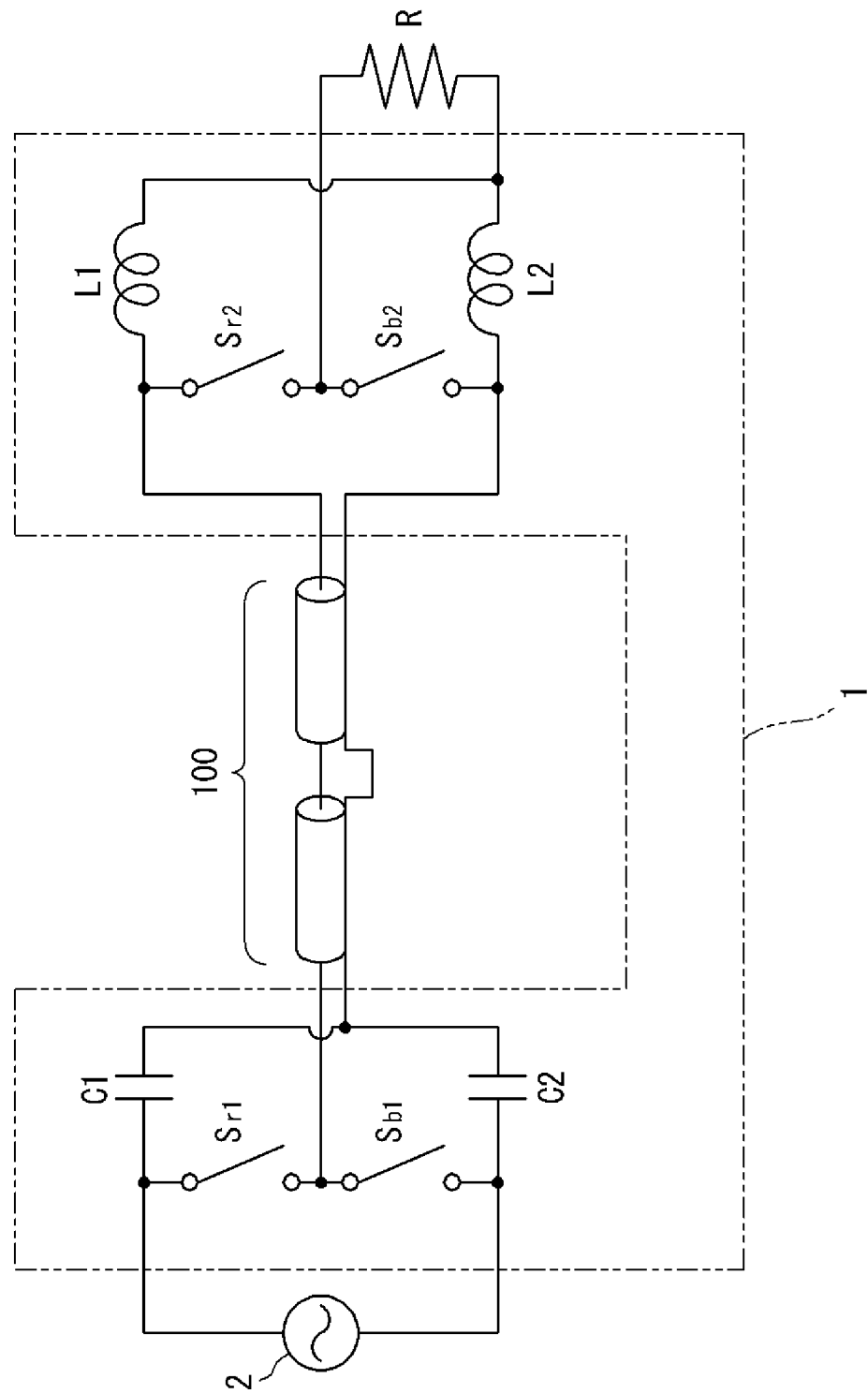
[図24]



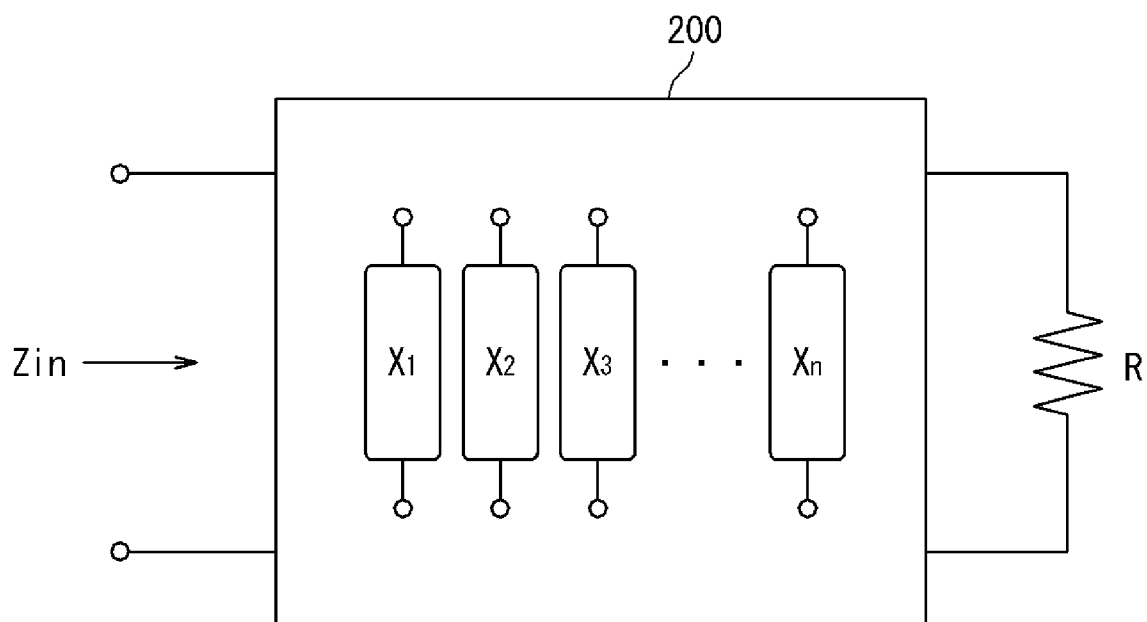
[図25]



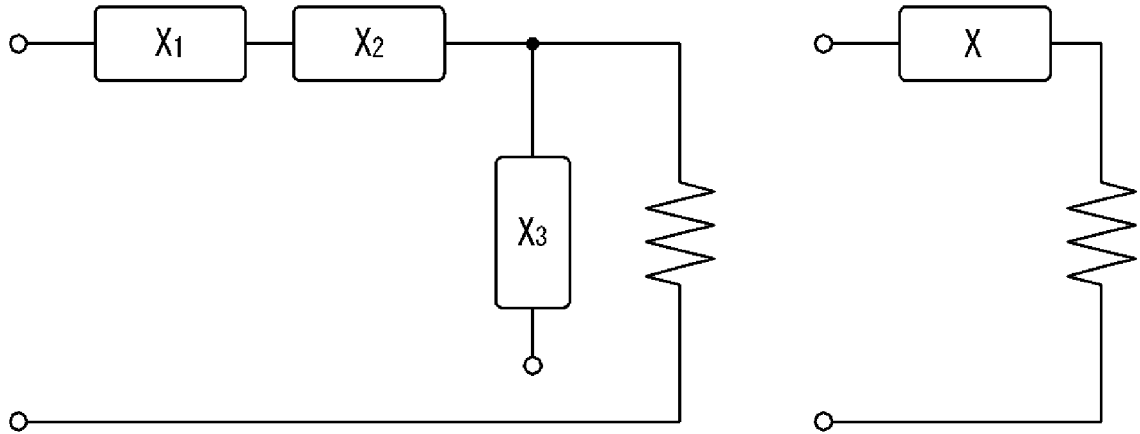
[図26]



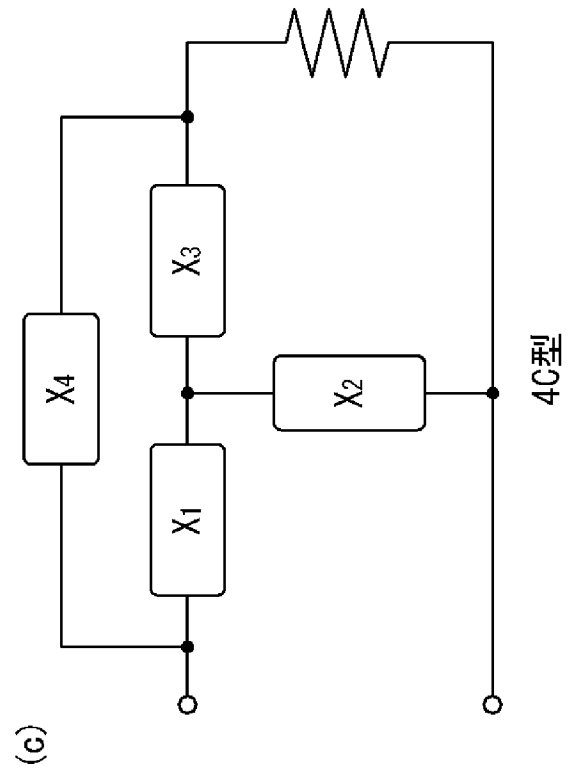
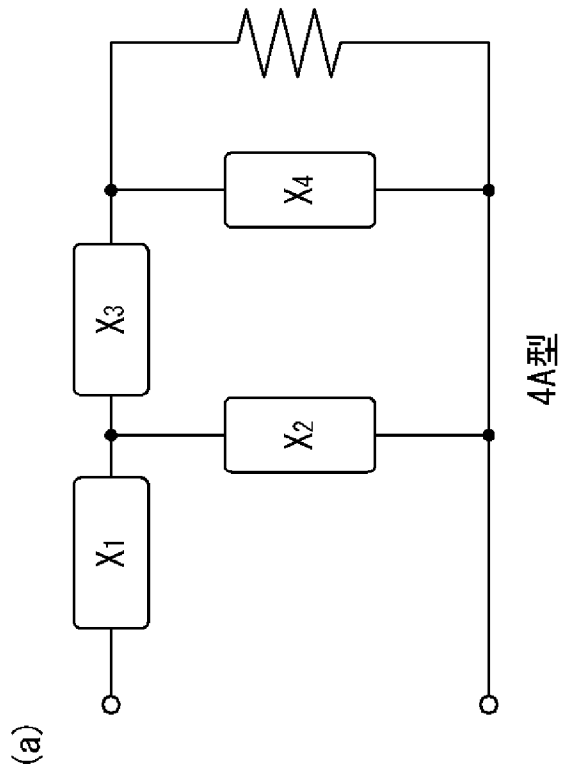
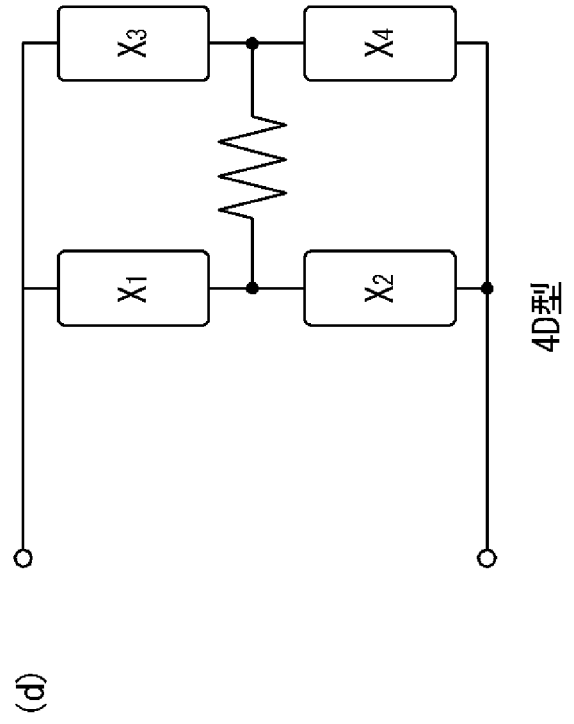
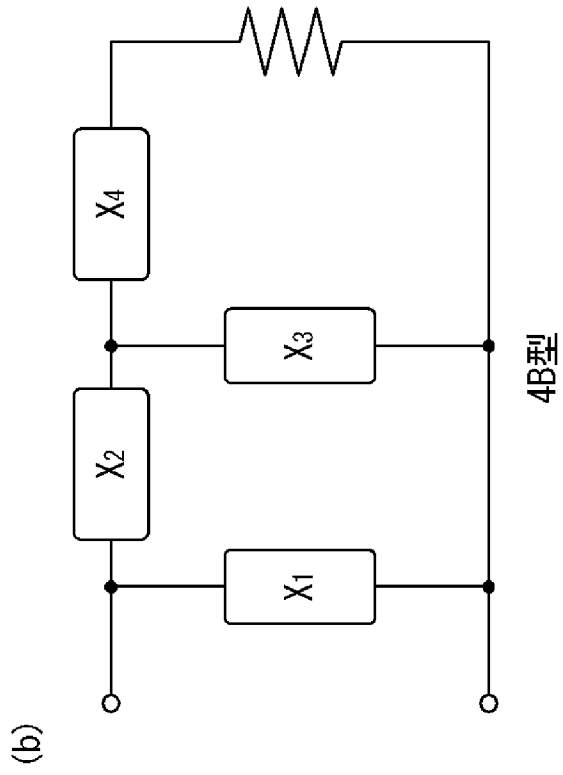
[図27]



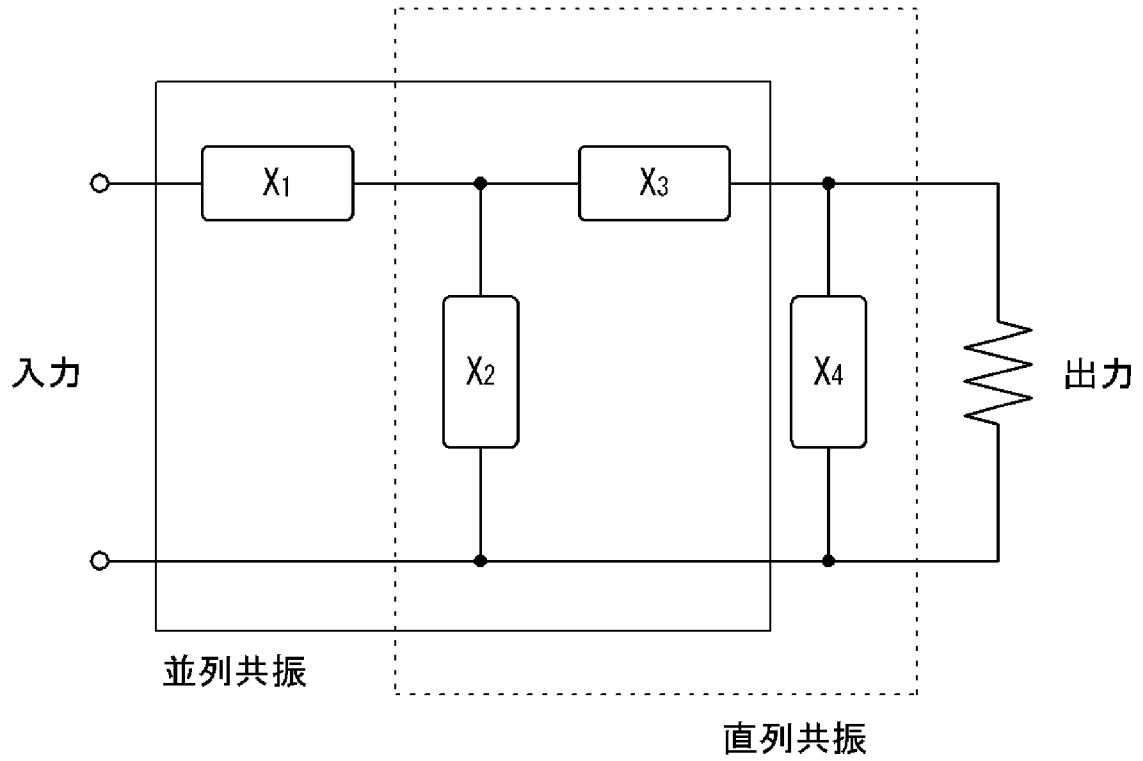
[図28]



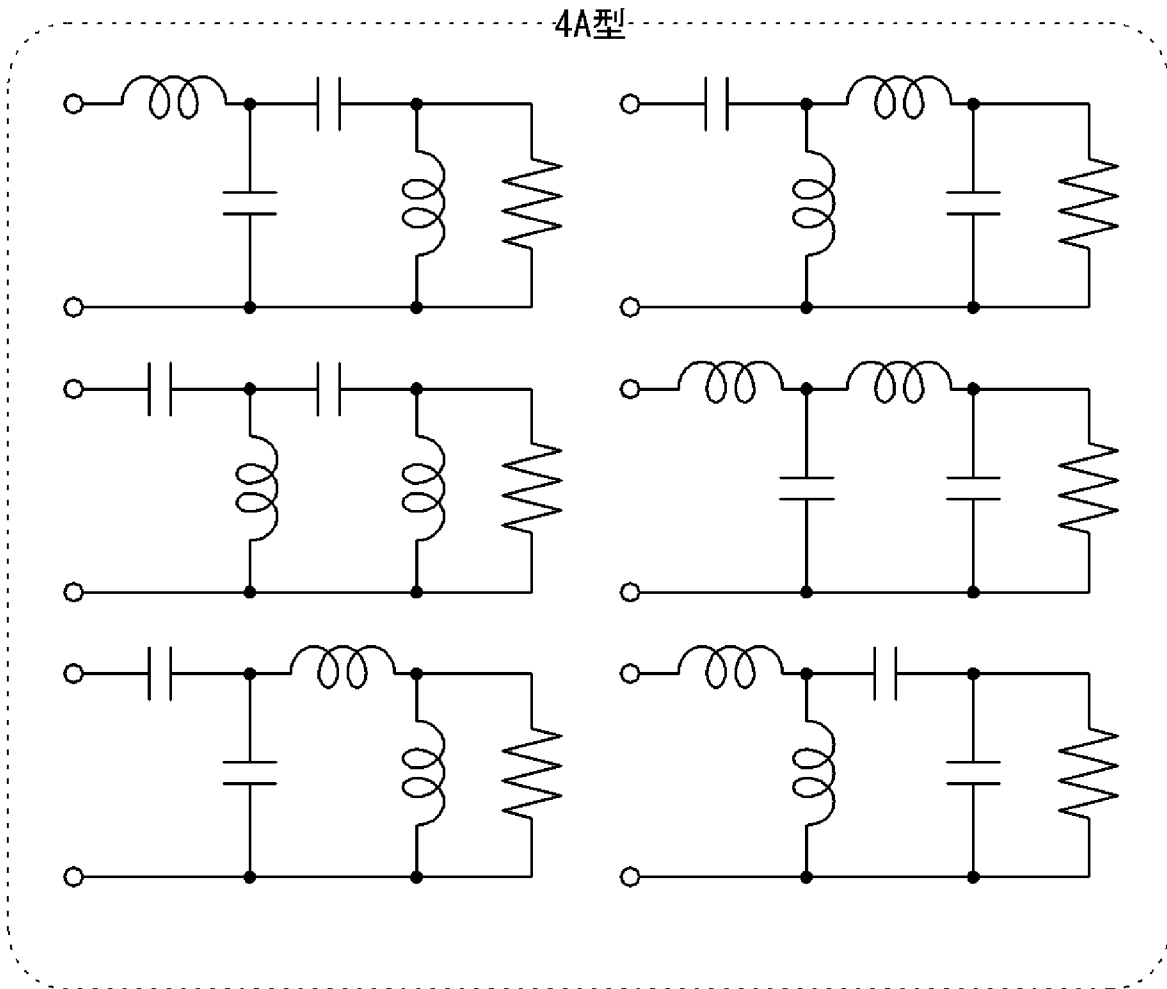
[図29]



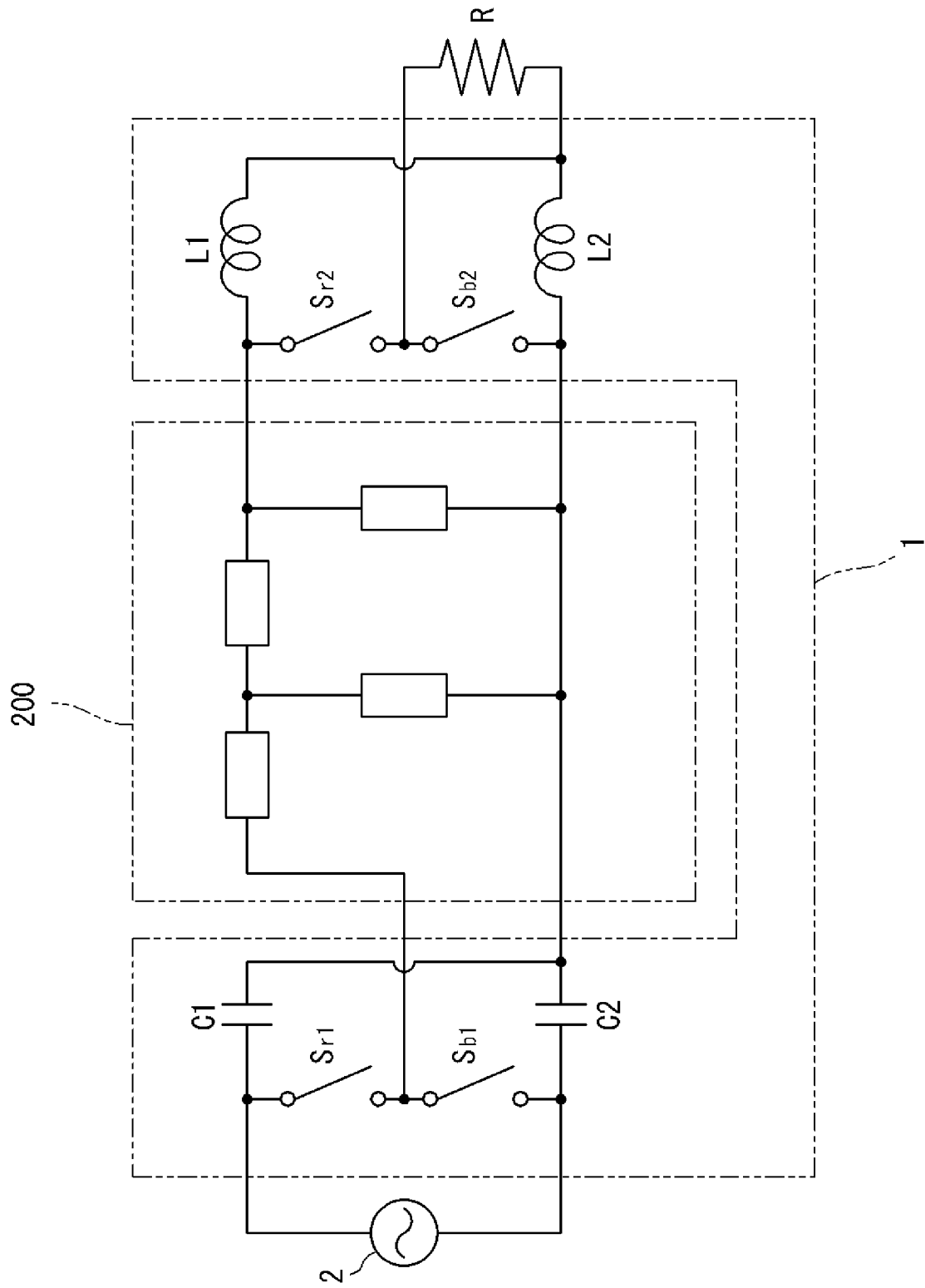
[図30]



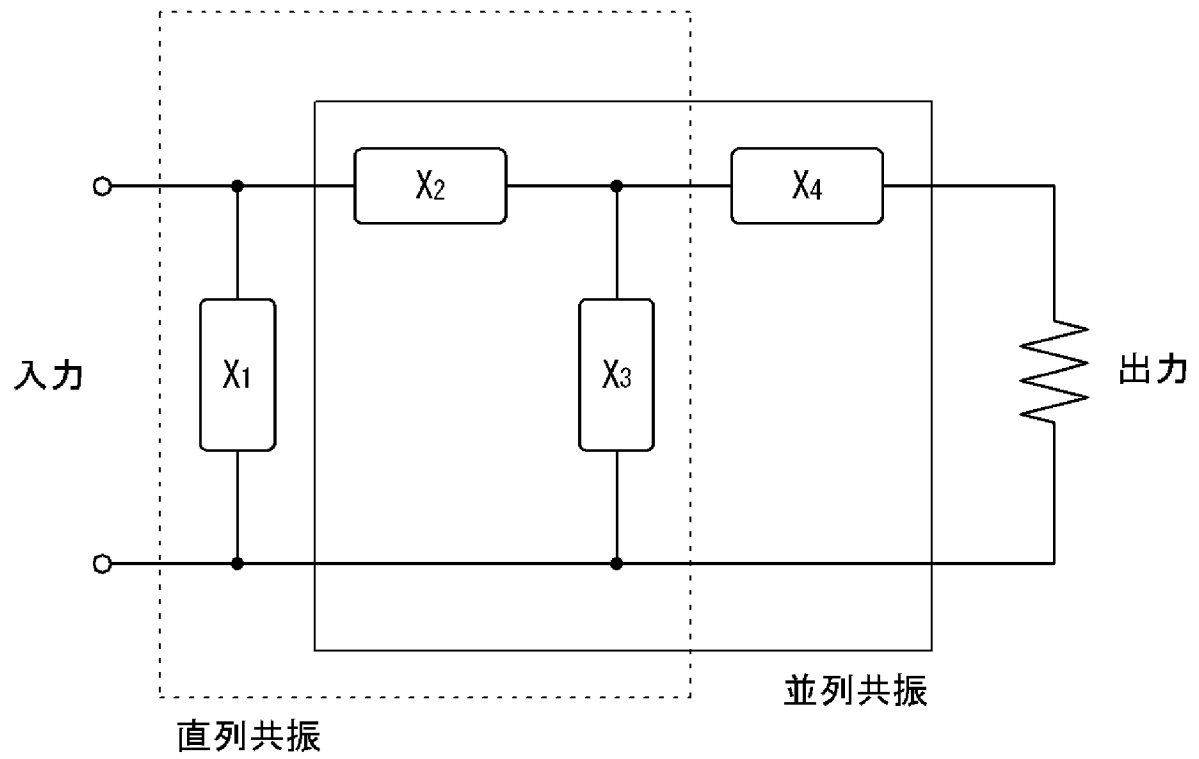
[図31]



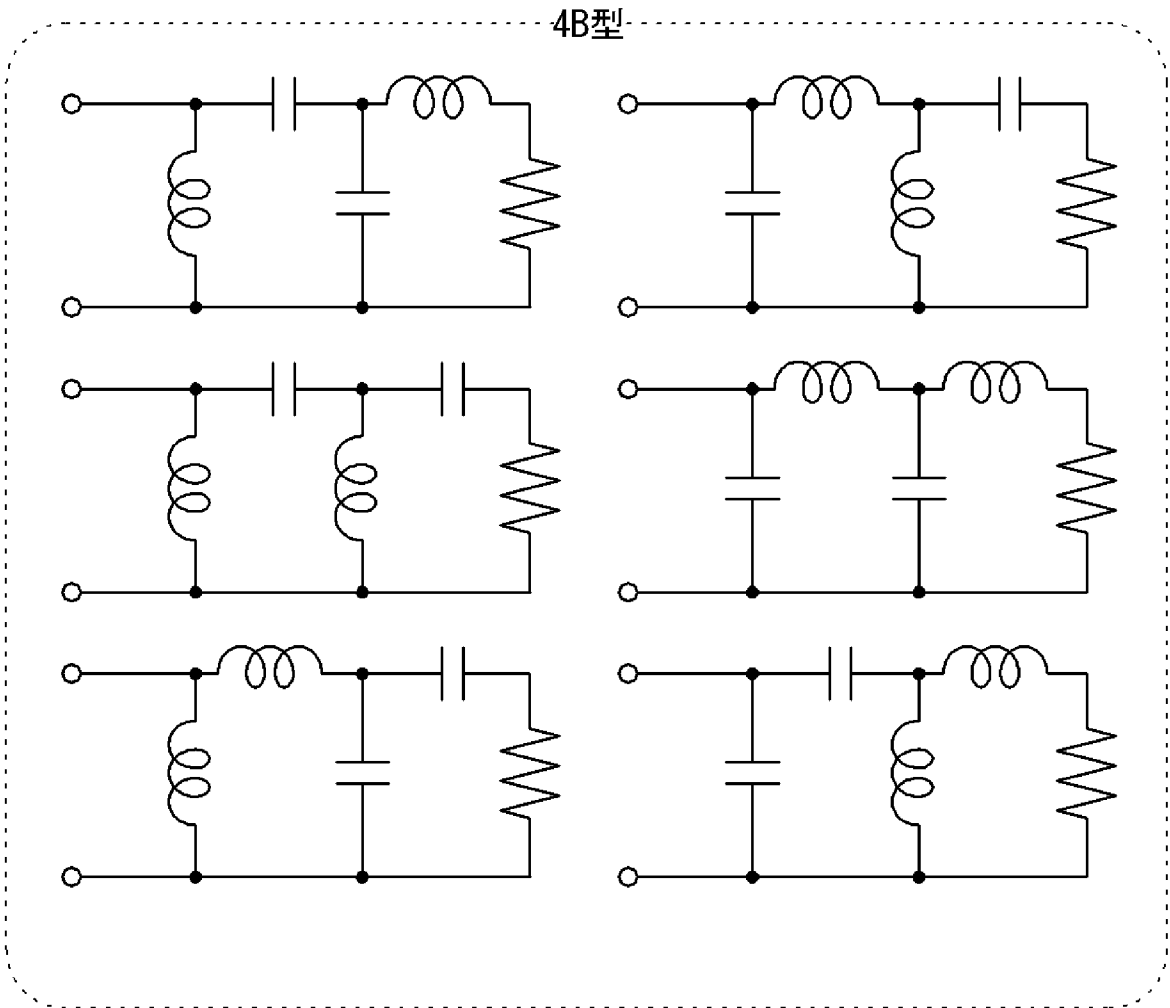
[図32]



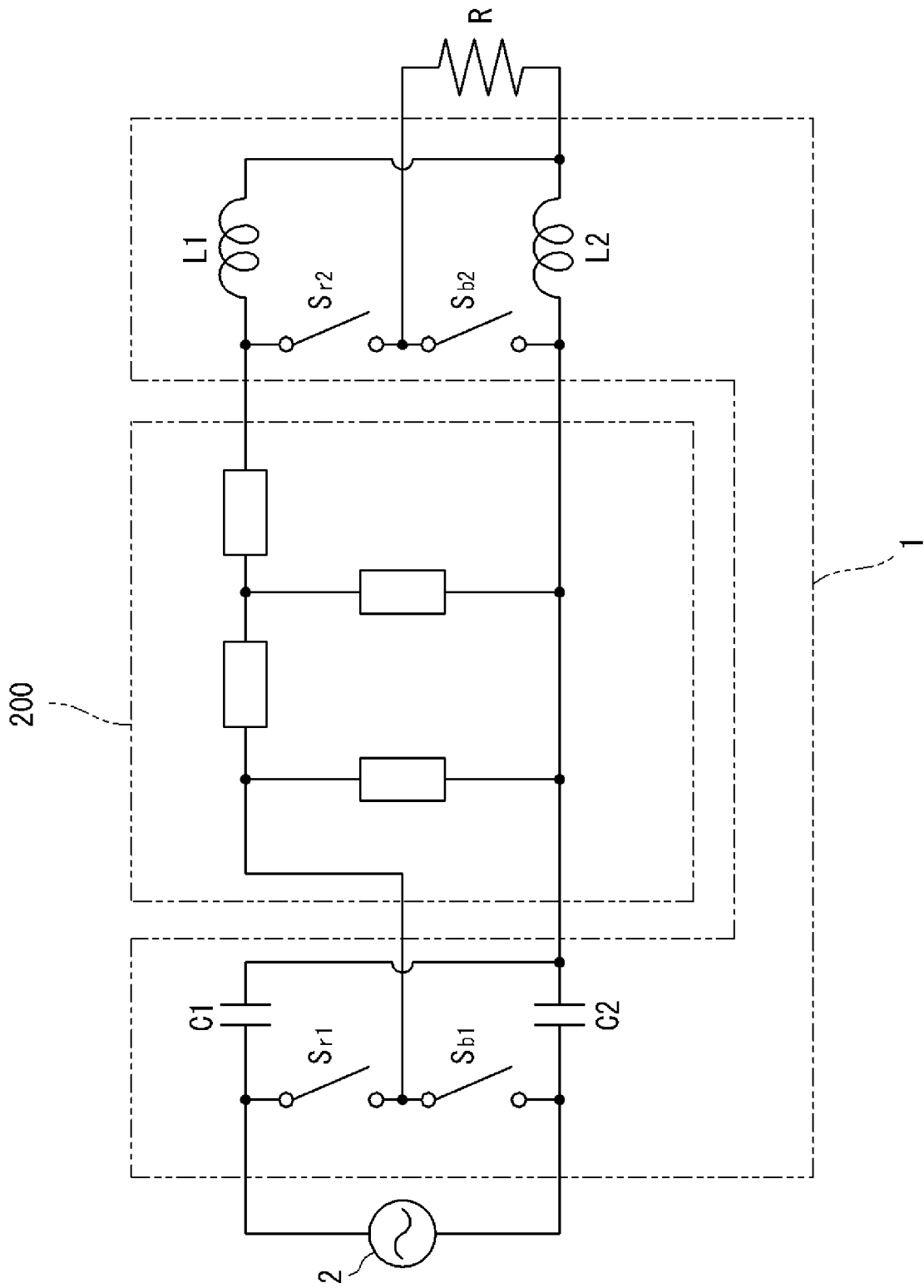
[図33]



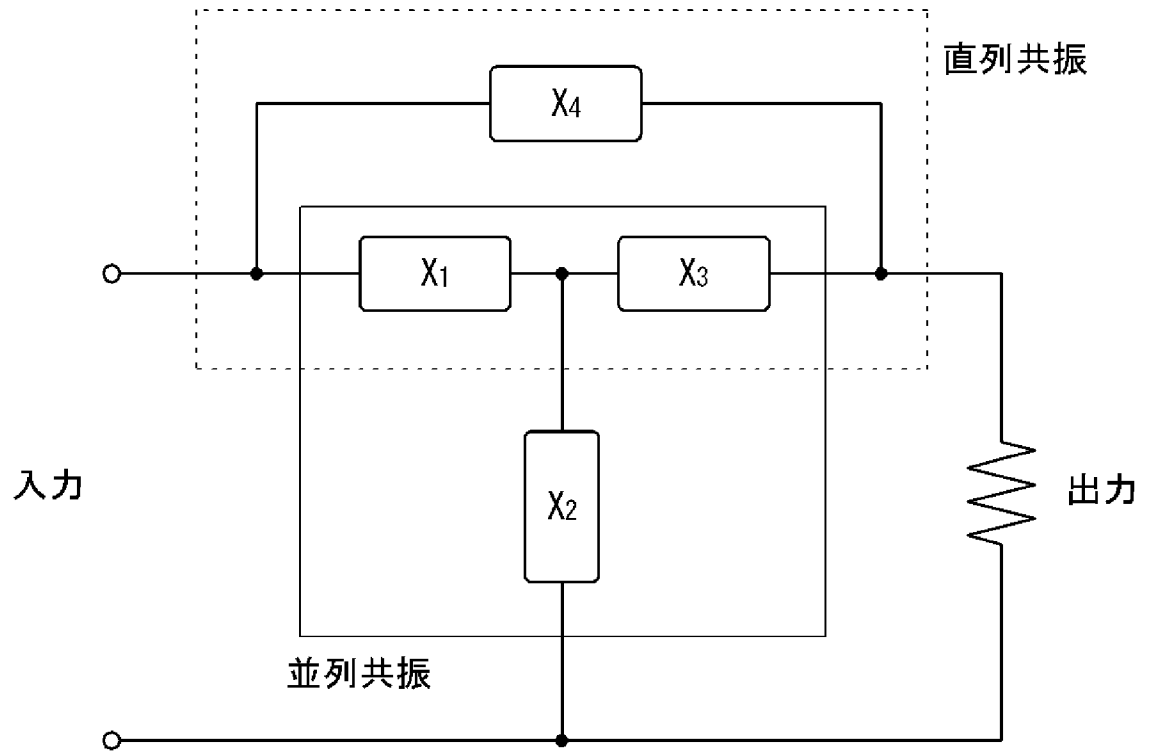
[図34]



[図35]

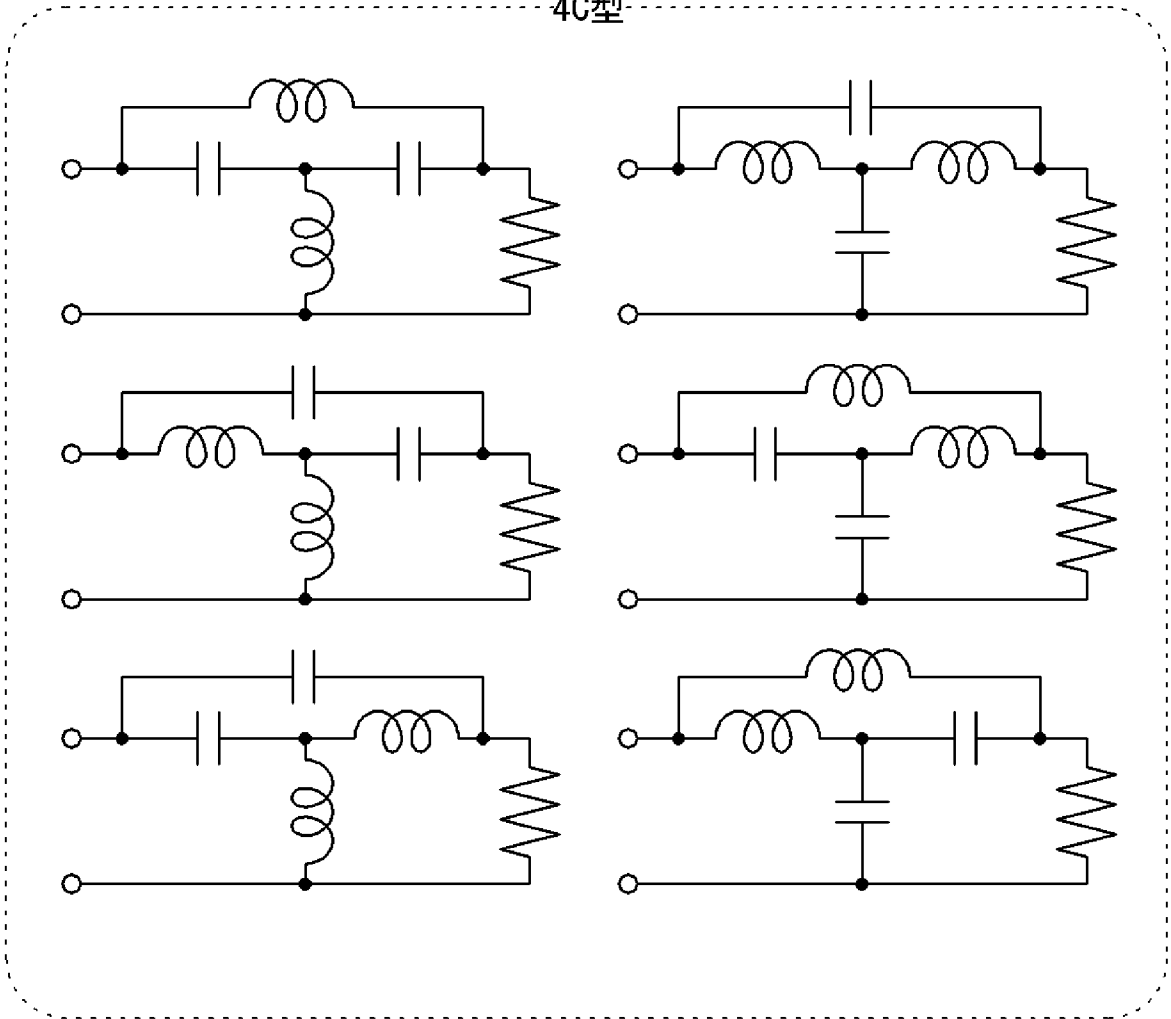


[図36]

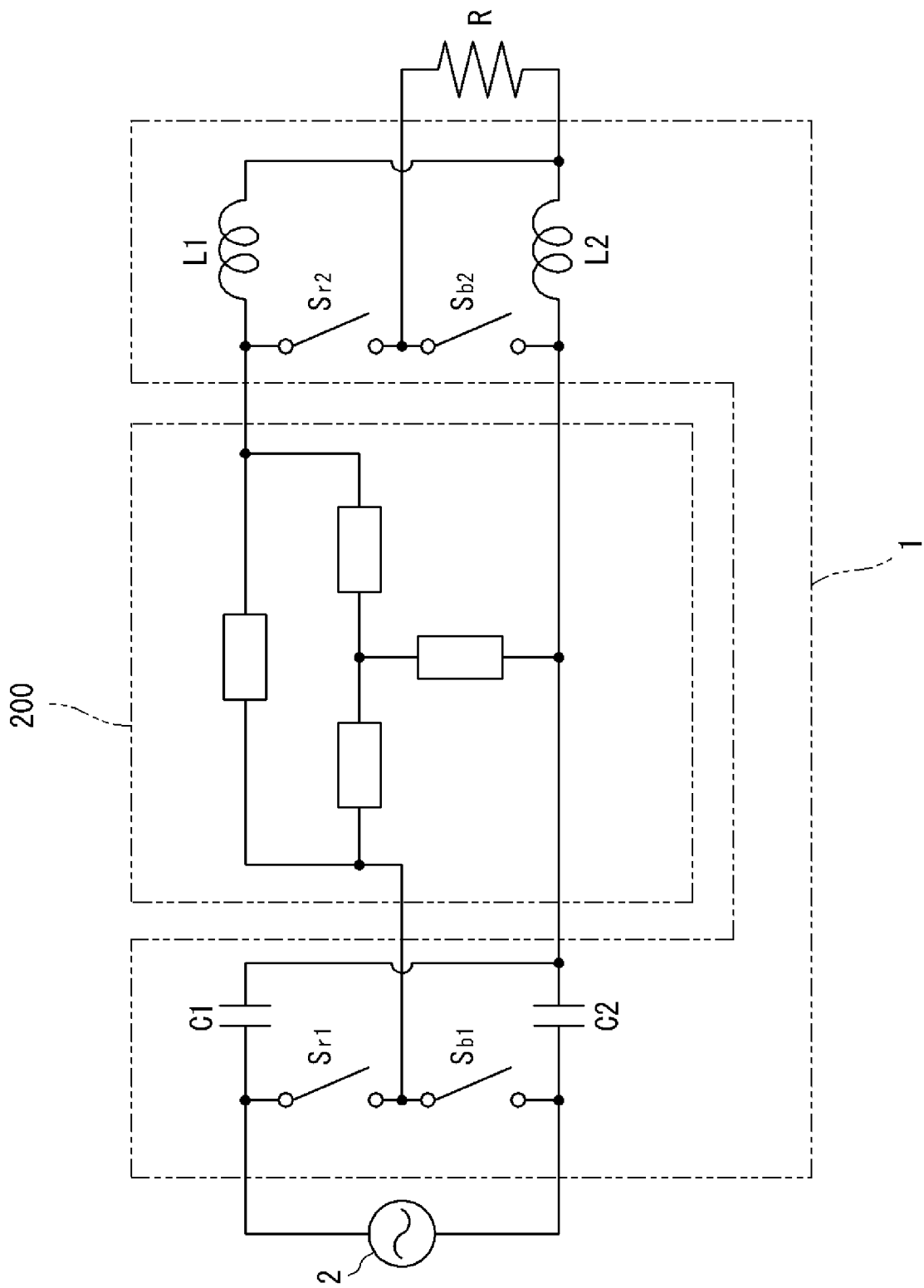


[図37]

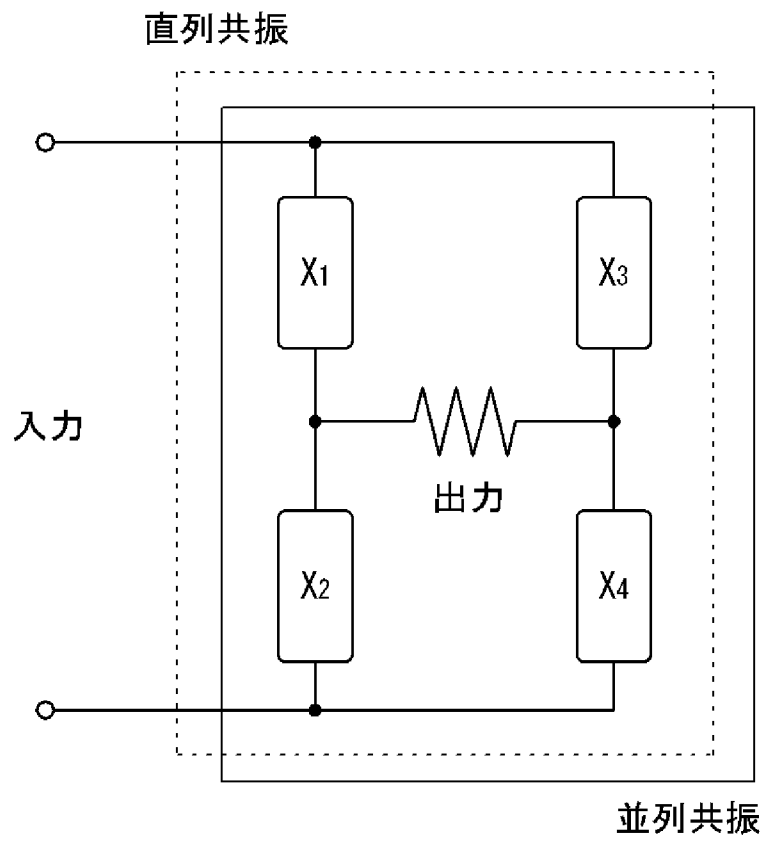
40型



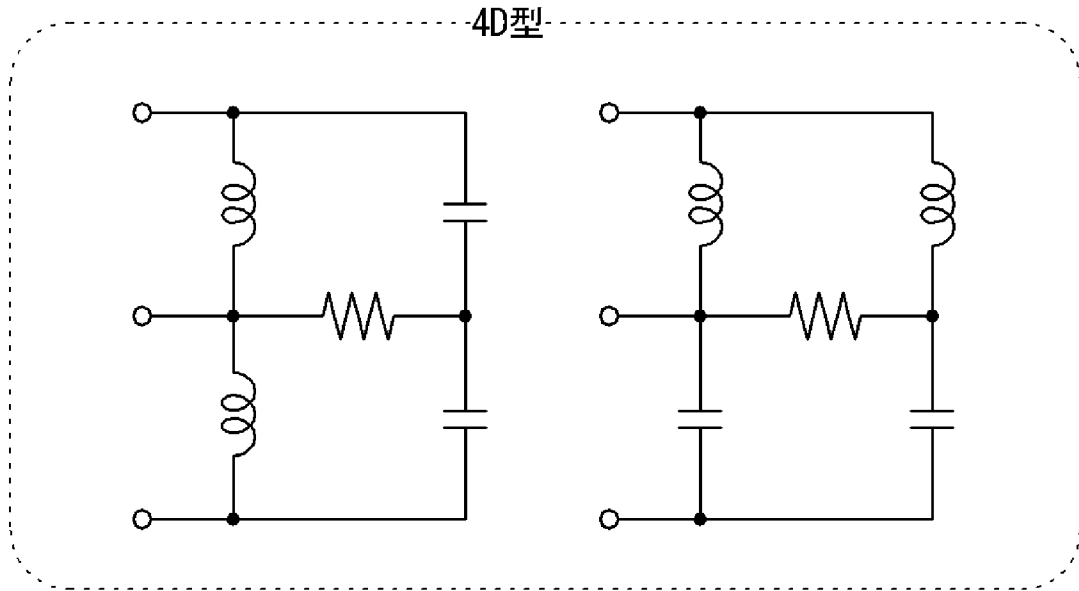
[図38]



[図39]



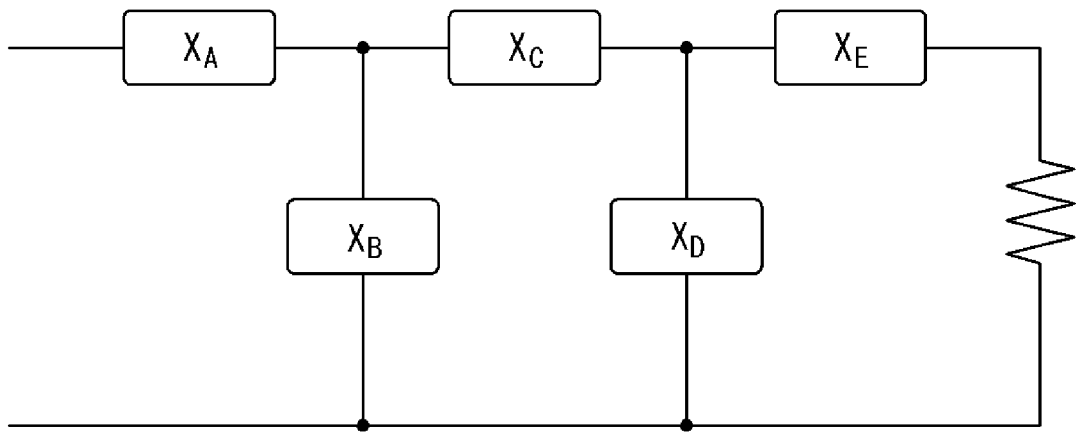
[図40]



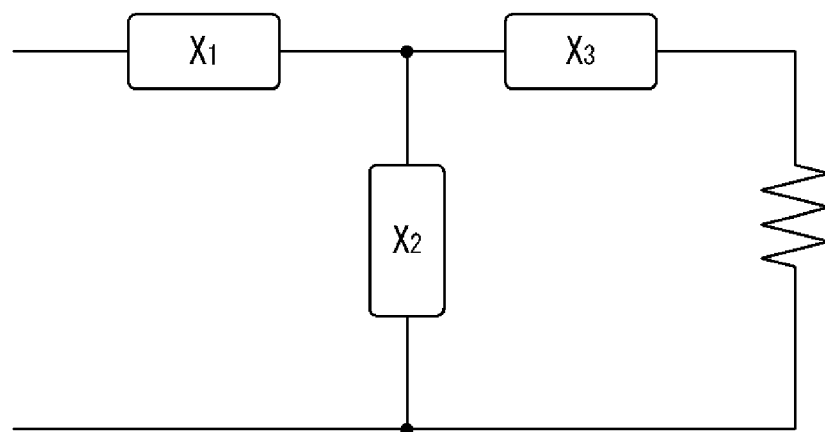


[図42]

(a)



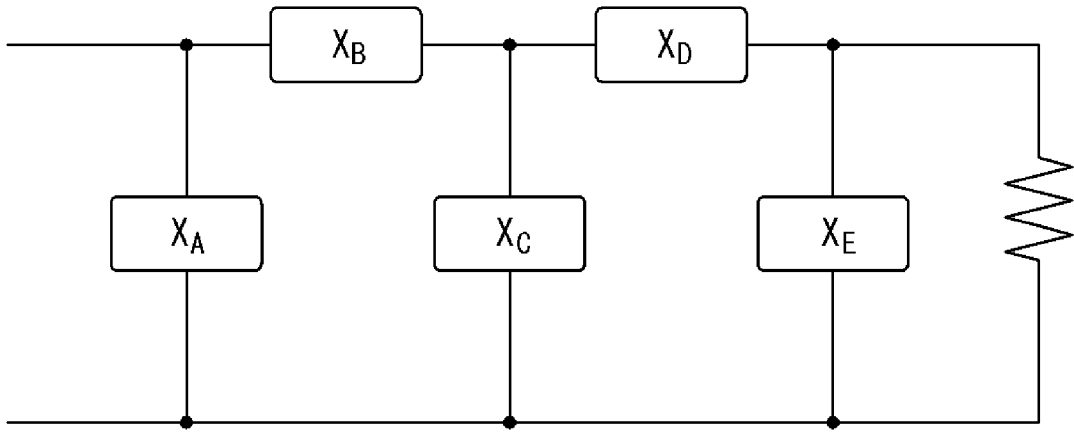
(b)



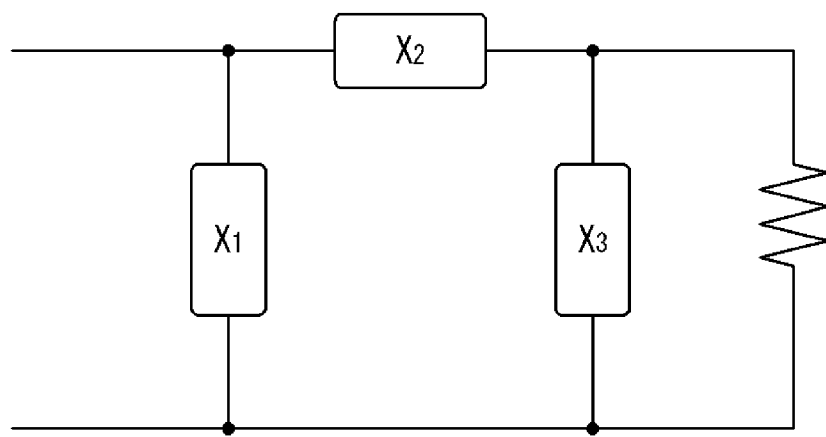
T型

[図43]

(a)

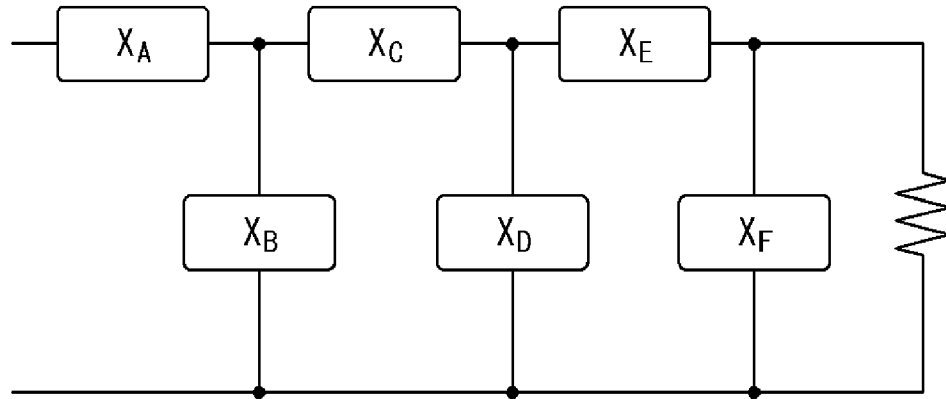


(b)

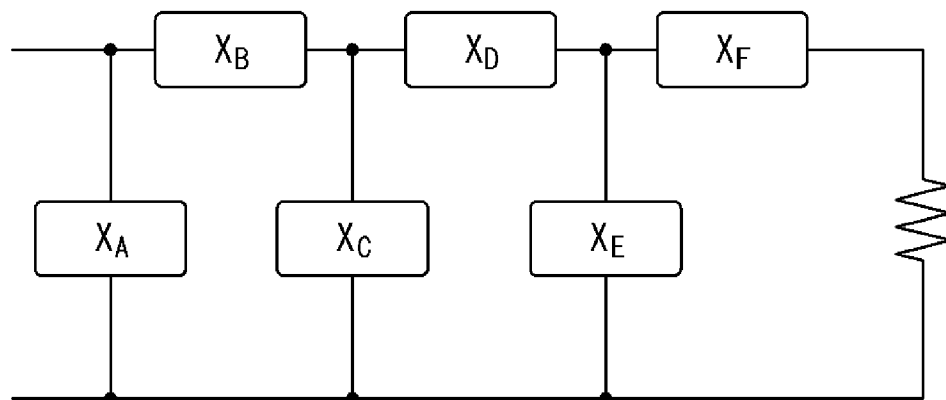
 $\pi$  型

[図44]

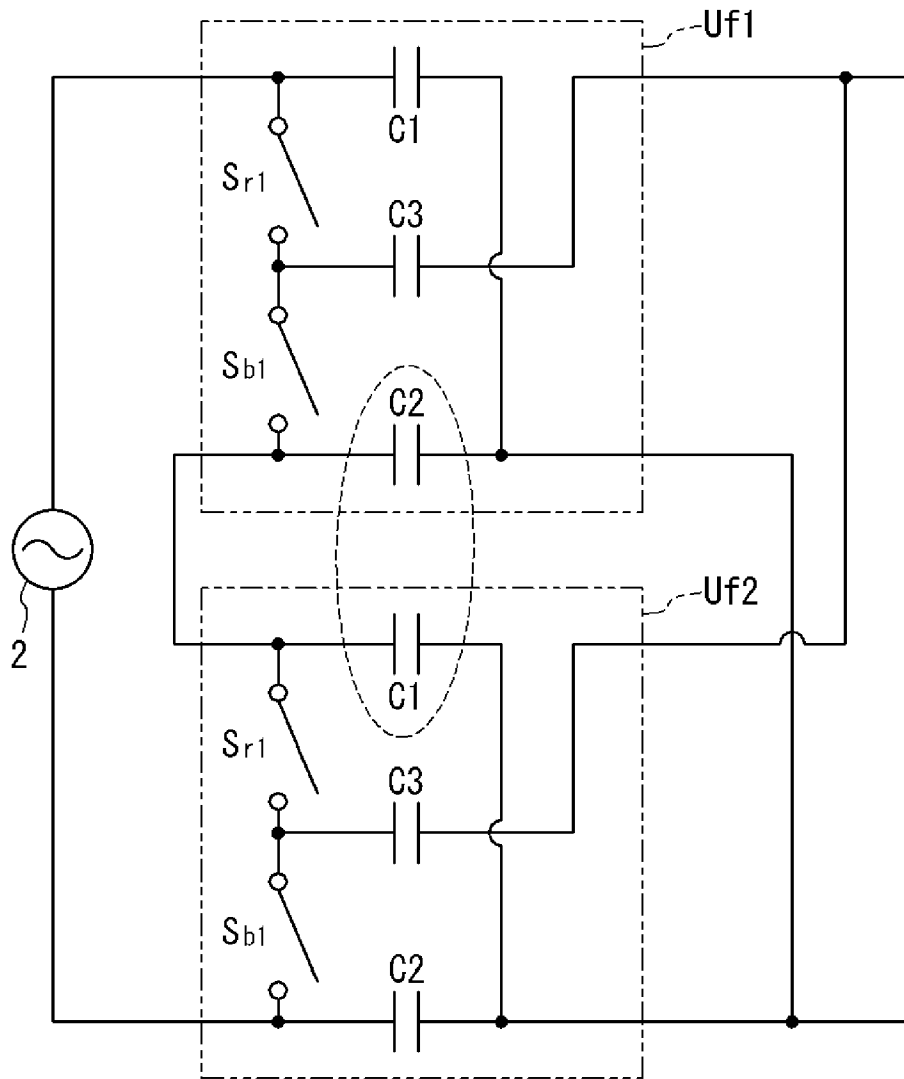
(a)



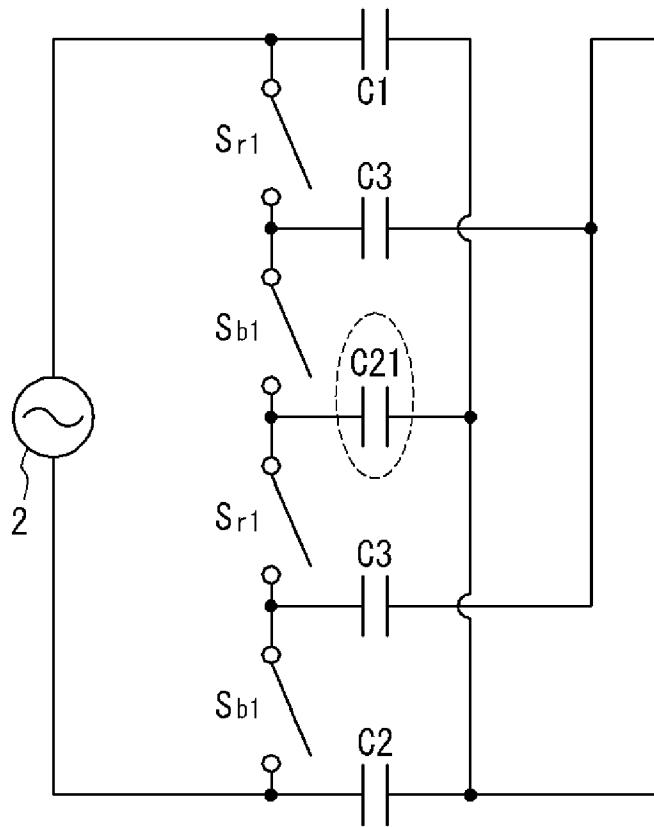
(b)



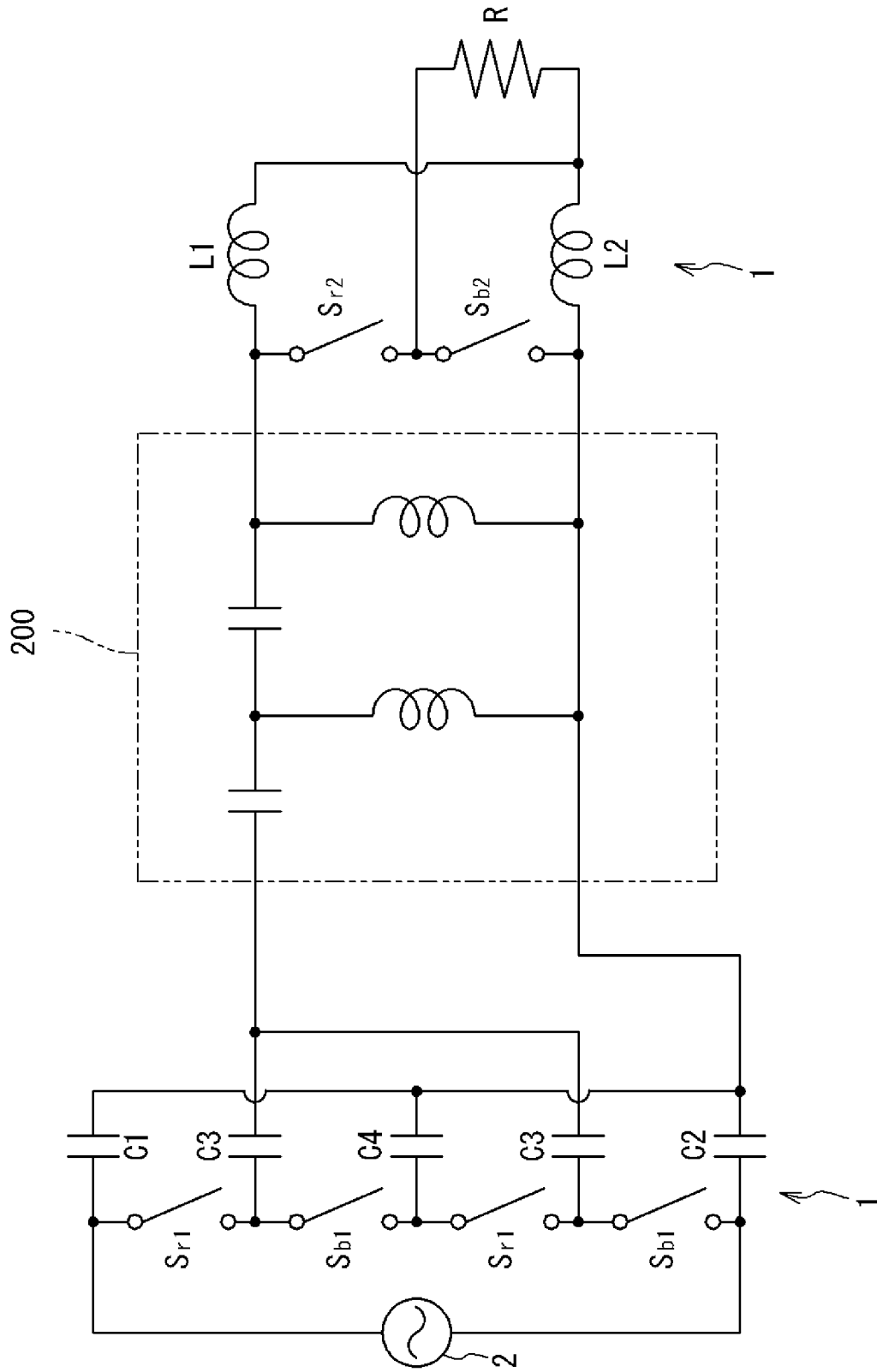
[図45]



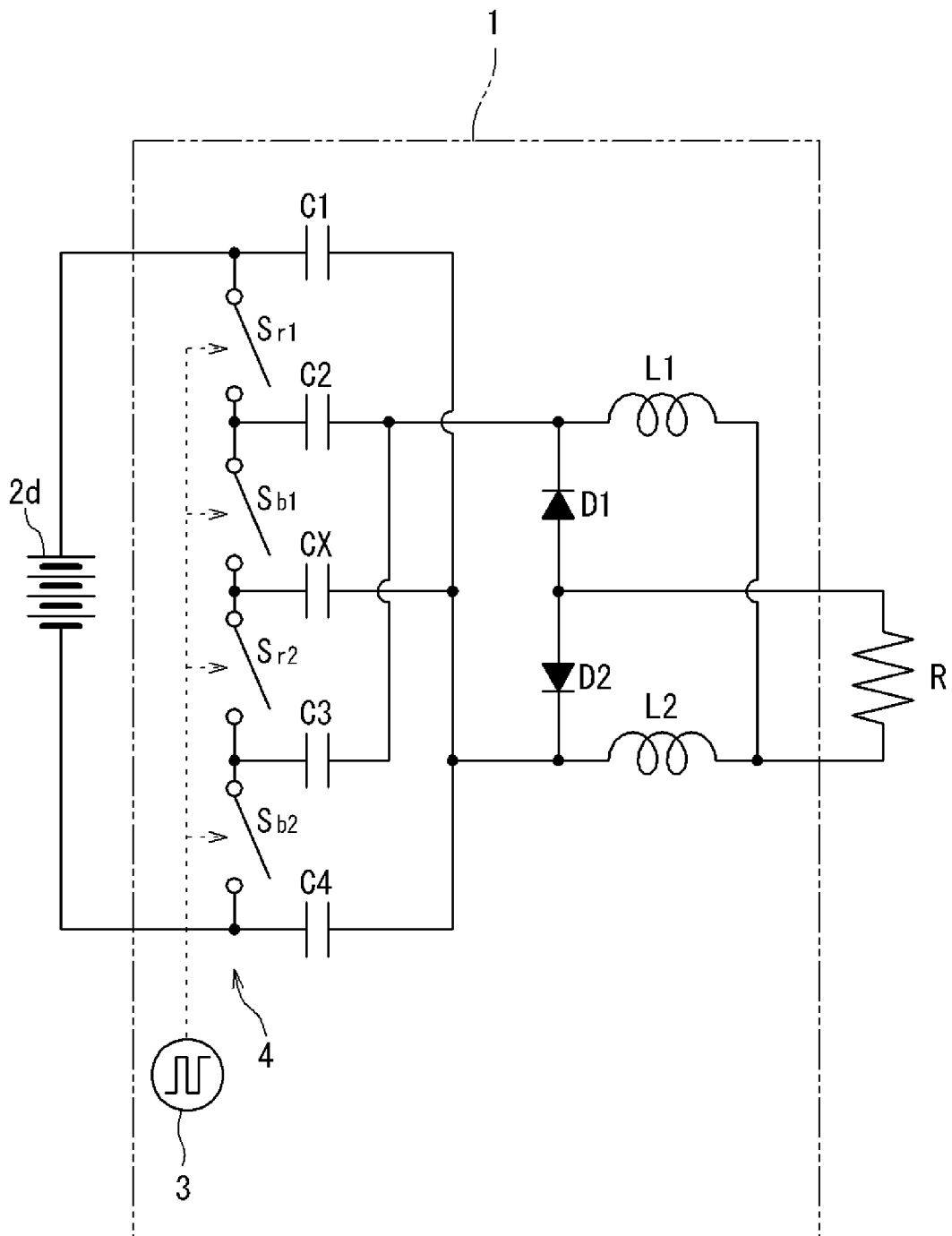
[図46]



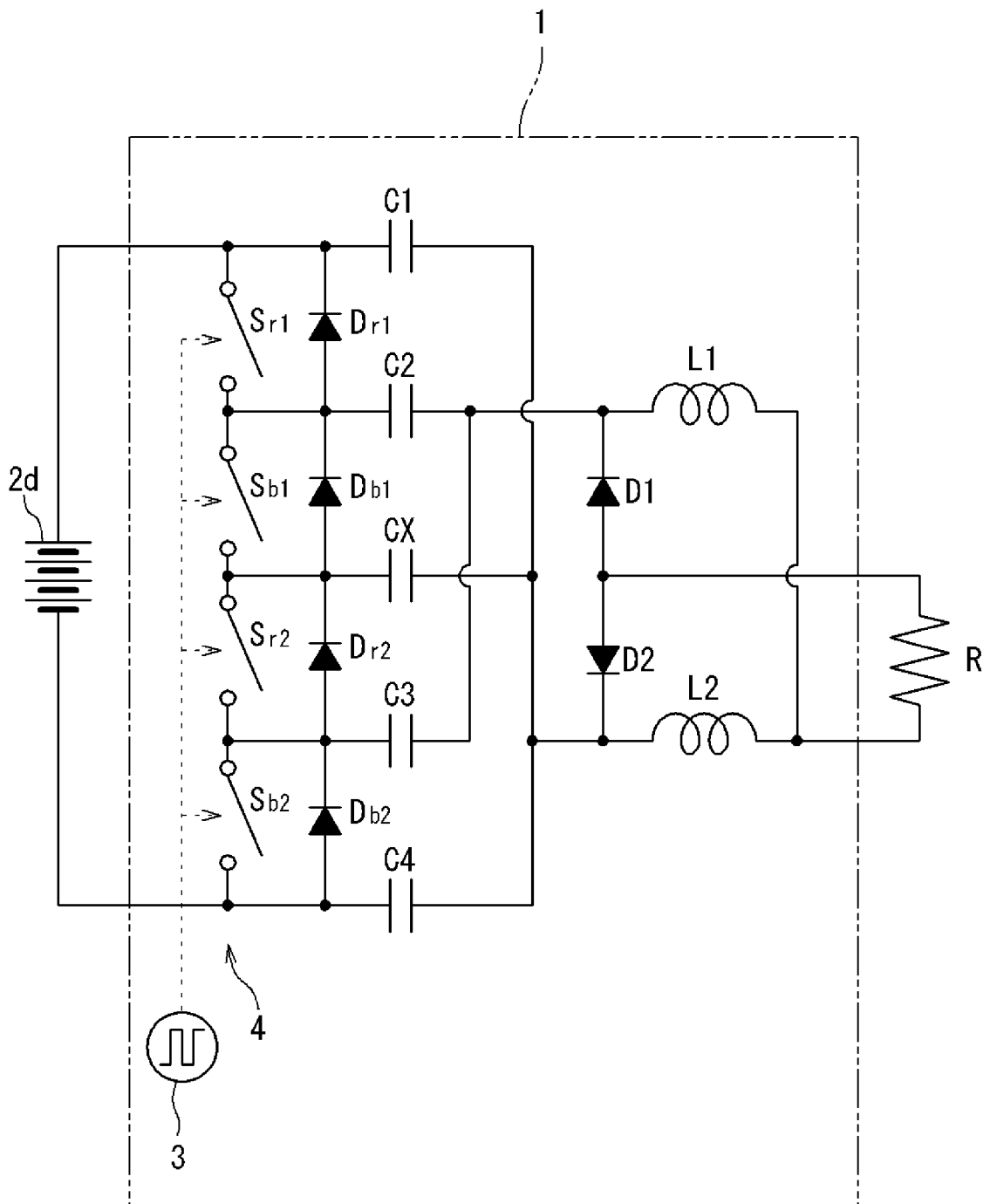
[図47]



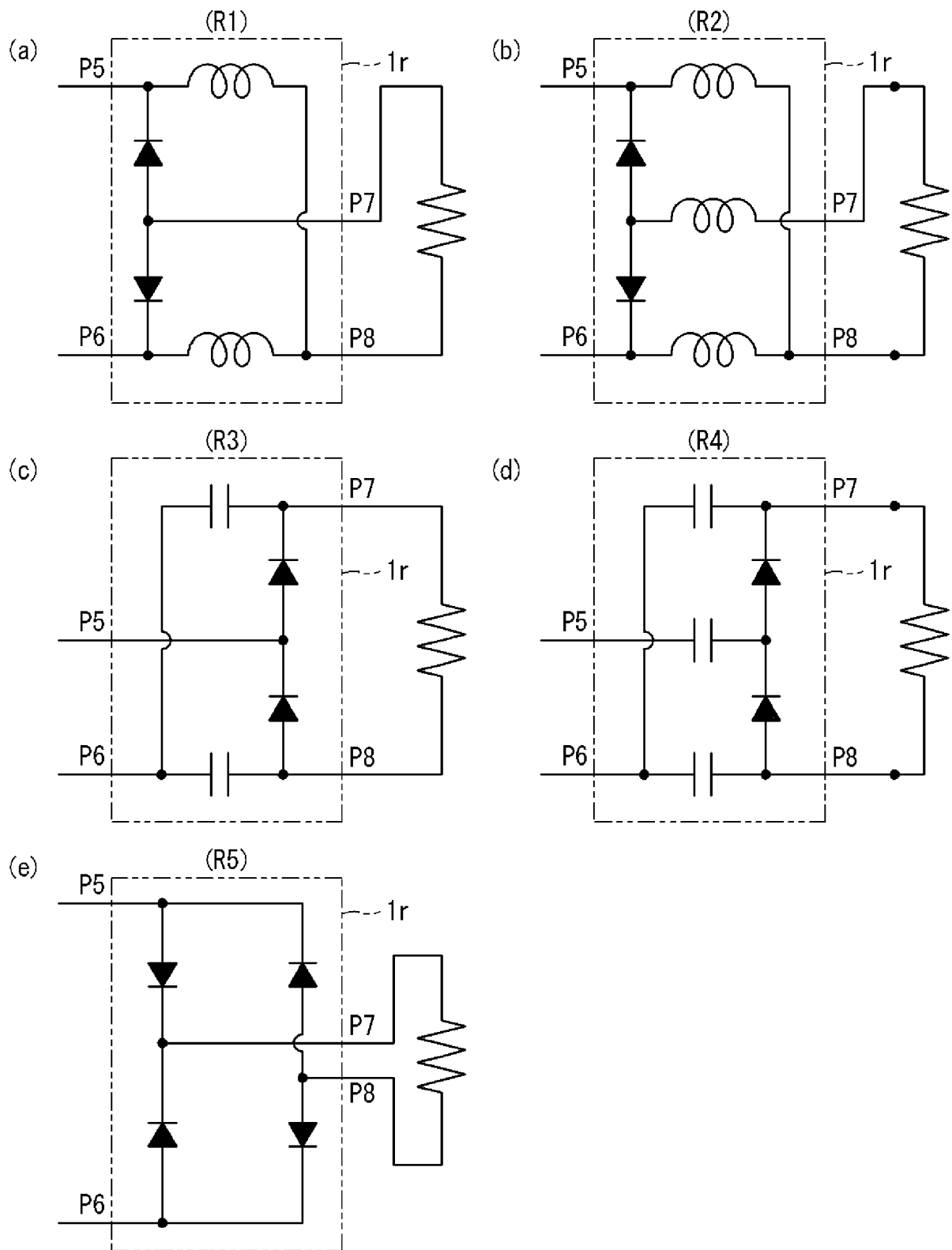
[図48]



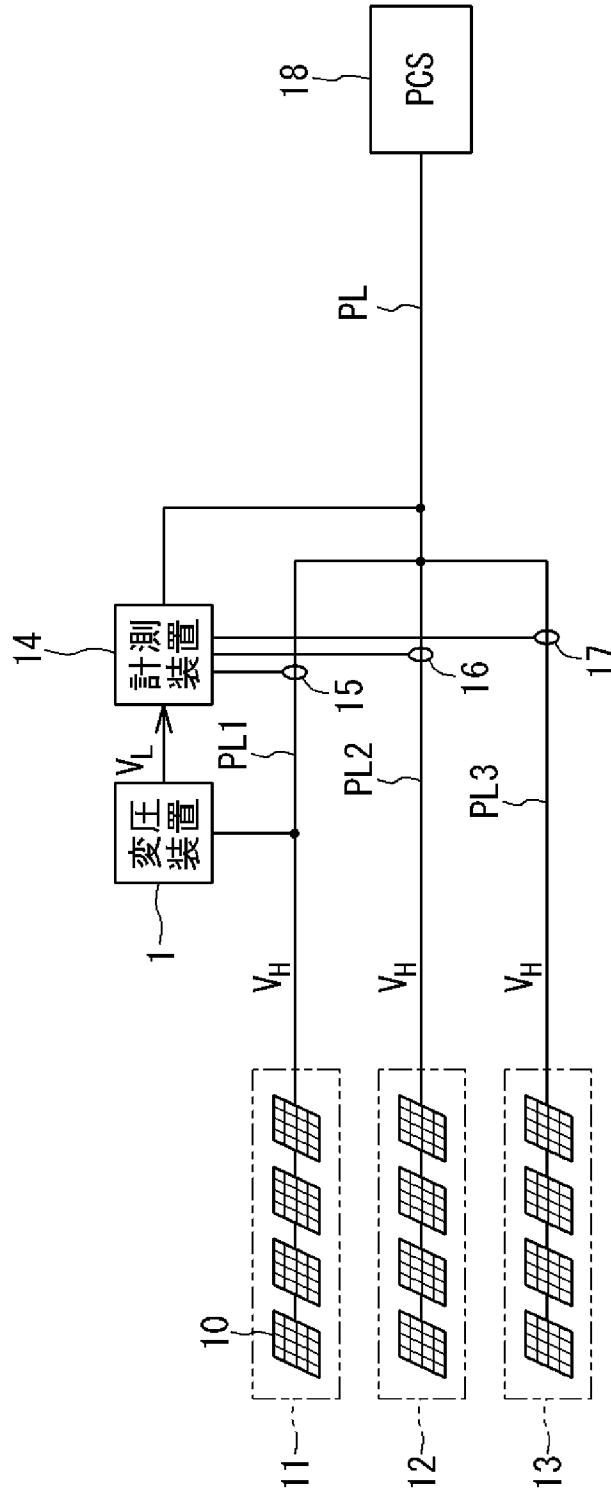
[図49]



[図50]



[図51]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2014/072706

**A. CLASSIFICATION OF SUBJECT MATTER**

H02M5/293(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H02M5/293

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-146181 A (Asahi Kasei EMD Corp.), 25 July 2013 (25.07.2013), paragraphs [0022] to [0041]; fig. 4 to 7 (Family: none)	1-10
A	JP 2010-74931 A (Sumitomo Electric Industries, Ltd.), 02 April 2010 (02.04.2010), entire text; all drawings (Family: none)	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
12 November, 2014 (12.11.14)

Date of mailing of the international search report  
25 November, 2014 (25.11.14)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H02M5/293(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H02M5/293		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-146181 A（旭化成エレクトロニクス株式会社）2013.07.25, 段落【0022】-【0041】，図4-7（ファミリーなし）	1-10
A	JP 2010-74931 A（住友電気工業株式会社）2010.04.02，全文，全図 （ファミリーなし）	1-10
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 12.11.2014	国際調査報告の発送日 25.11.2014	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 神山 貴行 電話番号 03-3581-1101 内線 3357	3V 3428