(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0039067
(43) 공개일자 2025년03월20일

(51) 국제특허분류(Int. Cl.)
H01L 25/075 (2025.01) *H01L 23/00* (2006.01)
H10D 86/00 (2025.01) *H10H 20/819* (2025.01)
H10H 20/841 (2025.01) *H10H 20/852* (2025.01)
H10H 20/857 (2025.01)
(52) CPC특허분류
H01L 25/0753 (2013.01)
H01L 24/97 (2013.01)
(21) 출원번호 10-2023-0121776
(22) 출원일자 2023년09월13일
심사청구일자 2023년09월13일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
이인환
서울특별시 성북구 종암로23길 35, 205동 1403호 (종암동, 래미안세레니티)
조영훈
서울특별시 성북구 고려대로28길 12-9, JS하우스 403호(안암동5가)
장필규
경기도 광명시 디지털로 63, 1212동 304호(철산동, 철산12단지주공아파트)
(74) 대리인
김연권

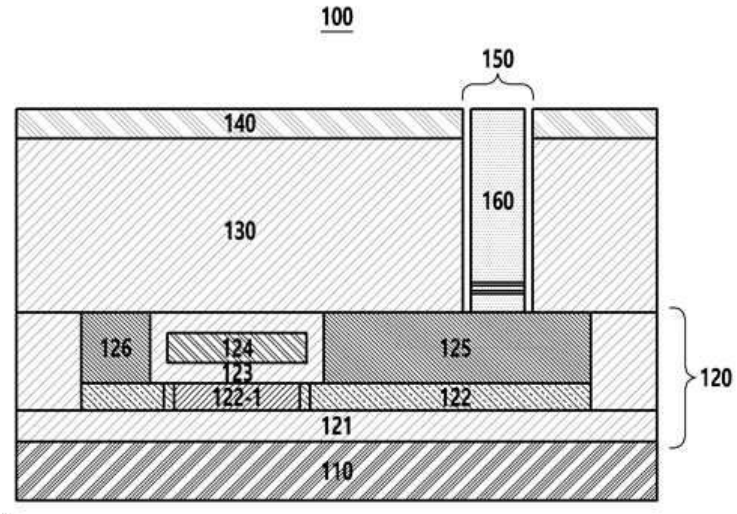
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **발광소자 - 박막트랜지스터 인테그레이션 구조체 및 그 제조방법**

(57) 요 약

본 발명은 발광소자 - 박막트랜지스터 인테그레이션 구조체 및 그 제조방법에 관한 것으로서, 일실시예에 따른 인테그레이션 구조체는 기판 상에 형성된 박막 트랜지스터와, 박막 트랜지스터 상에 형성된 상부 절연층과, 상부 절연층 상에 형성된 상부 전극과, 박막 트랜지스터의 제1 전극에 대응되는 상부 전극 및 상부 절연층의 영역에 형성되어 제1 전극의 기 설정된 영역을 외부로 노출하는 마이크로 홀 및 마이크로 홀 내부에 형성되어 제1 전극과 전기적으로 연결되는 발광소자를 포함한다.

대 표 도 - 도1a



(52) CPC특허분류
H10D 86/0212 (2025.01)
H10D 86/441 (2025.01)
H10D 86/451 (2025.01)
H10H 20/819 (2025.01)
H10H 20/841 (2025.01)
H10H 20/852 (2025.01)
H10H 20/857 (2025.01)
H01L 2224/9512 (2013.01)
H01L 2924/12041 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1415185278
과제번호 R2212172
부처명 산업통상자원부
과제관리(전문)기관명 한국산업기술기획평가원
연구사업명 소재부품기술개발-소재부품패키지형
연구과제명 크기 5㎛, 광효율 30% 이상 청색 마이크로 LED 제조 기술 개발
기 여 율 1/2
과제수행기관명 서울바이오시스 주식회사
연구기간 2023.01.01 ~ 2023.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711195422
과제번호 R2226442
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 나노 및 소재 기술개발사업
연구과제명 외부양자효율 30% 돌파형 5μm급 InGaN 적색 마이크로 LED 원천기술개발
기 여 율 1/2
과제수행기관명 고려대학교
연구기간 2023.04.01 ~ 2023.12.31

명 세 서

청구범위

청구항 1

기판 상에 형성된 박막 트랜지스터;

상기 박막 트랜지스터 상에 형성된 상부 절연층;

상기 상부 절연층 상에 형성된 상부 전극;

상기 박막 트랜지스터의 제1 전극에 대응되는 상기 상부 전극 및 상기 상부 절연층의 영역에 형성되어 상기 제1 전극의 기 설정된 영역을 외부로 노출하는 마이크로 홀 및

상기 마이크로 홀 내부에 형성되어 상기 제1 전극과 전기적으로 연결되는 발광소자

를 포함하는 인테그레이션 구조체.

청구항 2

제1항에 있어서,

상기 발광소자는,

로드형 마이크로 LED(Light Emitting Diode)인

인테그레이션 구조체.

청구항 3

제1항에 있어서,

상기 발광소자는,

잉크젯 방식으로 상기 상부 전극 상에 전사된 후, 유전 영동력(DEP force)에 기초하여 상기 마이크로 홀 내부로 정렬되는

인테그레이션 구조체.

청구항 4

제1항에 있어서,

상기 발광소자는,

측벽에 형성되는 OMO(Oxide-Metal-Oxide) 막을 더 포함하는

인테그레이션 구조체.

청구항 5

제4항에 있어서,

상기 발광소자는,

상기 OMO 막에 포함된 금속층이 반사도가 높은 금속 물질을 포함하는

인테그레이션 구조체.

청구항 6

제1항에 있어서,

상기 발광소자는,

상기 제1 전극의 기 설정된 영역 상에 형성된 금속층을 통해 상기 제1 전극과 전기적으로 연결되는

인테그레이션 구조체.

청구항 7

제1항에 있어서,

상기 마이크로 홀은,

상기 발광소자와 상기 마이크로 홀의 내벽 사이에 형성된 갭(Gap)에 기 설정된 충진재가 도포되어 형성되는 절연 방지막을 더 포함하는

인테그레이션 구조체.

청구항 8

제1항에 있어서,

상기 박막 트랜지스터는,

기판 상에 형성된 하부 절연층과, 상기 하부 절연층 상에 형성되고 채널 영역을 포함하는 활성층과, 상기 활성층의 제1 전극 영역에 형성된 상기 제1 전극과, 상기 활성층의 제2 전극 영역에 형성된 제2 전극과, 상기 활성층 상에 형성된 게이트 절연층 및 상기 채널 영역에 대응되는 상기 제3 전극 영역에 형성된 게이트 전극을 포함하는

인테그레이션 구조체.

청구항 9

기판 상에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 상에 상부 절연층을 형성하는 단계;

상기 상부 절연층 상에 상부 전극을 형성하는 단계;

상기 박막 트랜지스터의 제1 전극에 대응되는 상기 상부 전극 및 상기 상부 절연층의 영역에 마이크로 홀을 형성하여, 상기 제1 전극의 기 설정된 영역을 외부로 노출하는 단계 및

상기 마이크로 홀 내부에 상기 제1 전극과 전기적으로 연결되는 발광소자를 형성하는 단계

를 포함하는 인테그레이션 구조체의 제조방법.

청구항 10

제9항에 있어서,

상기 발광소자를 형성하는 단계는,

잉크젯 방식으로 상기 상부 전극 상에 상기 발광소자를 전사하는 단계 및

상기 전사된 발광소자를 유전 영동력(DEP force)에 기초하여 상기 마이크로 홀 내부로 정렬시키는 단계

를 더 포함하는 인테그레이션 구조체의 제조방법.

청구항 11

제9항에 있어서,

상기 발광소자는,

반사도가 높은 금속 물질에 기초하는 금속층을 포함하는 OMO(Oxide-Metal-Oxide) 막이 측벽에 형성되는

인테그레이션 구조체의 제조방법.

청구항 12

제9항에 있어서,

상기 발광소자를 형성하는 단계는,

상기 제1 전극의 기 설정된 영역 상에 금속층을 형성하는 단계 및

상기 형성된 금속층 상에 상기 발광소자를 형성하는 단계

를 더 포함하는 인테그레이션 구조체의 제조방법.

청구항 13

제9항에 있어서,

상기 발광소자를 형성하는 단계는,

상기 발광소자와 상기 마이크로 홀의 내벽 사이에 형성된 갭(Gap)에 기 설정된 충진재를 도포하여 절연 방지막을 형성하는

인테그레이션 구조체의 제조방법.

청구항 14

제9항에 있어서,

상기 박막 트랜지스터를 형성하는 단계는,

기판 상에 하부 절연층을 형성하는 단계;

상기 하부 절연층 상에 활성층을 형성하는 단계;

상기 활성층 상에 게이트 절연층 중 제1 게이트 절연층을 형성하는 단계;

채널 영역에 대응되는 상기 제3 전극 영역에 게이트 전극을 형성하는 단계;

이온 주입을 통해 상기 제3 전극 영역에 대응되는 상기 활성층의 영역에 채널 영역을 형성하는 단계;

상기 게이트 전극이 형성된 제1 게이트 절연층 상에 상기 게이트 절연층 중 제2 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 내에 제1 전극 영역 및 제2 전극 영역을 형성하는 단계 및

상기 제1 전극 영역 및 제2 전극 영역 각각에 제1 전극 및 제2 전극을 형성하는 단계

를 더 포함하는 인테그레이션 구조체의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 발광소자와 박막트랜지스터의 인테그레이션 구조체에 관한 것으로, 보다 상세하게는 TFT의 전극 상부에 로드형 마이크로 LED을 직접 전사 시키는 기술적 사상에 관한 것이다.

배 경 기 술

[0002] 마이크로 LED 디스플레이의 상용화를 위해서는 마이크로 LED 칩의 전사 공정에서의 문제점이 해결되어야 한다.

[0003] 마이크로 LED는 실리콘 박막 트랜지스터(Si TFT) 위에 직접 성장하기 어렵기 때문에, 일반적으로 사파이어 기판에서 성장 및 제작된 마이크로 LED를 기판으로부터 분리하여 실리콘 박막 트랜지스터에 전사하거나 실리콘 박막 트랜지스터를 웨이퍼 본딩하는 과정을 거치게 된다.

[0004] 일반적으로 마이크로 LED를 전사할 때는 탄성이 있는 고분자 물질을 프린트 헤드로 사용하여 성장 기판으로부터 분리된 마이크로 LED 칩을 부착 후 원하는 위치에 탈착(Elastomer stamp transfer)하는 방법, 프린트 헤드에 전

압을 인가하여 발생한 정전기력으로 마이크로 LED를 부착하고, 원하는 위치로 이동하여 전압을 제거하고 프린트 헤드로부터 탈착시키는 방법(Electrostatic transfer)이 이용되고 있다.

[0005] 하지만, 개별 마이크로 LED를 정확한 위치에 전사하는 것은 한계가 있고, 시간이 오래 걸리며 전사 과정에서의 칩 손상의 이슈가 존재한다. 따라서, 공정 시간이 짧으며 마이크로 LED를 안정적으로 백 패널에 전사할 수 있는 기술이 필요한 실정이다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 한국등록특허 제10-2514025호, "마이크로 발광소자 구조 및 마이크로 발광소자 전사 방법"

발명의 내용

해결하려는 과제

[0007] 본 발명은 기판에서 분리된 로드형 마이크로 LED가 칩 손상 이슈 없이 간단한 구조 패터닝을 통해 트랜지스터의 전극에 직접 전사된 인테그레이션 구조체 및 그 제조방법을 제공하고자 한다.

[0008] 또한, 본 발명은 트랜지스터의 전극에 로드형 마이크로 LED가 직접 전사되어 비아층을 생략할 수 있으며, 이를 통해 배선물질의 비저항에 의한 신호 지연을 감소 시키고 공정을 간소화할 수 있는 인테그레이션 구조체 및 그 제조방법을 제공하고자 한다.

과제의 해결 수단

[0009] 본 발명의 일실시예에 따른 인테그레이션 구조체는 기판 상에 형성된 박막 트랜지스터와, 박막 트랜지스터 상에 형성된 상부 절연층과, 상부 절연층 상에 형성된 상부 전극과, 박막 트랜지스터의 제1 전극에 대응되는 상부 전극 및 상부 절연층의 영역에 형성되어 제1 전극의 기 설정된 영역을 외부로 노출하는 마이크로 홀 및 마이크로 홀 내부에 형성되어 제1 전극과 전기적으로 연결되는 발광소자를 포함할 수 있다.

[0010] 일측에 따르면, 발광소자는 로드형 마이크로 LED(Light Emitting Diode)일 수 있다.

[0011] 일측에 따르면, 발광소자는 잉크젯 방식으로 상부 전극 상에 전사된 후, 유전 영동력(DEP force)에 기초하여 마이크로 홀 내부로 정렬될 수 있다.

[0012] 일측에 따르면, 발광소자는 측벽에 형성되는 OMO(Oxide-Metal-Oxide) 막을 더 포함할 수 있다.

[0013] 일측에 따르면, 발광소자는 OMO 막에 포함된 금속층이 반사도가 높은 금속 물질을 포함할 수 있다.

[0014] 일측에 따르면, 발광소자는 제1 전극의 기 설정된 영역 상에 형성된 금속층을 통해 제1 전극과 전기적으로 연결될 수 있다.

[0015] 일측에 따르면, 마이크로 홀은 발광소자와 마이크로 홀의 내벽 사이에 형성된 갭(Gap)에 기 설정된 충진재가 도포되어 형성되는 절연 방지막을 더 포함할 수 있다.

[0016] 일측에 따르면, 박막 트랜지스터는 기판 상에 형성된 하부 절연층과, 하부 절연층 상에 형성되고 채널 영역을 포함하는 활성층과, 활성층의 제1 전극 영역에 형성된 제1 전극과, 활성층의 제2 전극 영역에 형성된 제2 전극과, 활성층 상에 형성된 게이트 절연층 및 채널 영역에 대응되는 제3 전극 영역에 형성된 게이트 전극을 포함할 수 있다.

[0017] 본 발명의 일실시예에 따른 인테그레이션 구조체의 제조방법은 기판 상에 박막 트랜지스터를 형성하는 단계와, 박막 트랜지스터 상에 상부 절연층을 형성하는 단계와, 상부 절연층 상에 상부 전극을 형성하는 단계와, 박막 트랜지스터의 제1 전극에 대응되는 상부 전극 및 상부 절연층의 영역에 마이크로 홀을 형성하여, 제1 전극의 기 설정된 영역을 외부로 노출하는 단계 및 마이크로 홀 내부에 제1 전극과 전기적으로 연결되는 발광소자를 형성하는 단계를 포함할 수 있다.

[0018] 일측에 따르면, 발광소자를 형성하는 단계는 잉크젯 방식으로 상부 전극 상에 발광소자를 전사하는 단계 및 전사된 발광소자를 유전 영동력(DEP force)에 기초하여 마이크로 홀 내부로 정렬시키는 단계를 더 포함할 수

있다.

[0019] 일측에 따르면, 발광소자는 반사도가 높은 금속 물질에 기초하는 금속층을 포함하는 OMO(Oxide-Metal-Oxide) 막이 측벽에 형성될 수 있다.

[0020] 일측에 따르면, 발광소자를 형성하는 단계는 제1 전극의 기 설정된 영역 상에 금속층을 형성하는 단계 및 형성된 금속층 상에 발광소자를 형성하는 단계를 더 포함할 수 있다.

[0021] 일측에 따르면, 발광소자를 형성하는 단계는 발광소자와 마이크로 홀의 내벽 사이에 형성된 갭(Gap)에 기 설정된 충진재를 도포하여 절연 방지막을 형성할 수 있다.

[0022] 일측에 따르면, 박막 트랜지스터를 형성하는 단계는 기판 상에 하부 절연층을 형성하는 단계와, 하부 절연층 상에 활성층을 형성하는 단계와, 활성층 상에 게이트 절연층 중 제1 게이트 절연층을 형성하는 단계와, 채널 영역에 대응되는 제3 전극 영역에 게이트 전극을 형성하는 단계와, 이온 주입을 통해 제3 전극 영역에 대응되는 활성층의 영역에 채널 영역을 형성하는 단계와, 게이트 전극이 형성된 제1 게이트 절연층 상에 게이트 절연층 중 제2 게이트 절연층을 형성하는 단계와, 게이트 절연층 내에 제1 전극 영역 및 제2 전극 영역을 형성하는 단계 및 제1 전극 영역 및 제2 전극 영역 각각에 제1 전극 및 제2 전극을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

[0023] 일실시예에 따르면, 본 발명은 기판에서 분리된 로드형 마이크로 LED가 칩 손상 이슈 없이 간단한 구조 패터닝을 통해 트랜지스터의 전극에 직접 전사될 수 있다.

[0024] 또한, 본 발명은 트랜지스터의 전극에 로드형 마이크로 LED가 직접 전사되어 비아층을 생략할 수 있으며, 이를 통해 배선물질의 비저항에 의한 신호 지연을 감소 시키고 공정을 간소화할 수 있다.

도면의 간단한 설명

[0025] 도 1a 및 도 1b는 일실시예에 따른 인테그레이션 구조체를 설명하기 위한 도면이다.

도 2는 일실시예에 따른 인테그레이션 구조체의 제조방법을 설명하기 위한 도면이다.

도 3a 내지 4f는 일실시예에 따른 인테그레이션 구조체의 제조방법을 보다 구체적으로 설명하기 위한 도면이다.

도 5a 내지 도 6d는 일실시예에 따른 인테그레이션 구조체의 마이크로 홀 내부에 금속층을 형성하는 방법을 설명하기 위한 도면이다.

도 7a 내지 도 7e는 일실시예에 따른 발광소자의 표면에 OMO 막을 형성하는 방법을 설명하기 위한 도면이다.

도 8은 일실시예에 따른 인테그레이션 구조체의 제1 구현예를 설명하기 위한 도면이다.

도 9는 일실시예에 따른 인테그레이션 구조체의 제2 구현예를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.

[0027] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.

[0028] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

[0029] 그리고 후술되는 용어들은 다양한 실시 예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0030] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.

[0031] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.

[0032] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.

[0033] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.

[0034] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.

[0035] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.

[0036] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.

[0037] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.

[0038] 또한, '또는' 이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다.

[0039] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

[0041] 상술한 구체적인 실시예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.

[0042] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.

[0043] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.

[0044] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.

[0046] 도 1a 및 도 1b는 일실시예에 따른 인테그레이션 구조체를 설명하기 위한 도면이다.

[0047] 도 1a 및 도 1b를 참조하면, 일실시예에 따른 인테그레이션 구조체(100)는 기판에서 분리된 로드형 마이크로 LED가 칩 손상 이슈 없이 간단한 구조 패터닝을 통해 트랜지스터의 전극에 직접 전사될 수 있다.

[0048] 또한, 인테그레이션 구조체(100)는 트랜지스터의 전극에 로드형 마이크로 LED가 직접 전사되어, 즉 백 패널의 트랜지스터부와 마이크로 LED의 도전성 반도체층이 직접 연결되는 구조로 설계되어 비아층을 생략할 수 있으며, 이를 통해 배선물질의 비저항에 의한 신호 지연을 감소 시키고 공정을 간소화할 수 있다.

[0049] 구체적으로, 인테그레이션 구조체(100)는 트랜지스터 전극 상부에 마이크로 홀이 뚫려 있는 트랜지스터 전극/절연체/상부전극의 구조를 제작하고, 잉크젯 방식으로 로드형 마이크로 LED을 기판에 뿌린 후 유전 영동력(Dielectrophoresis(DEP) force)을 이용하여 트랜지스터 전극 상부에 형성되어 있는 마이크로 홀에 수직으로 정렬시킬 수 있다.

[0050] 도 1a 및 도 1b에 따르면, 인테그레이션 구조체(100)는 기판(110) 상에 형성된 박막 트랜지스터(120)와, 박막 트랜지스터(120) 상에 형성된 상부 절연층(130)과, 상부 절연층(130) 상에 형성된 상부 전극(140)을 포함할 수 있다.

[0051] 또한, 인테그레이션 구조체(100)는 박막 트랜지스터(120)의 제1 전극(125)에 대응되는 상부 절연층(130) 및 상부 전극(140)의 영역에 형성되어 제1 전극(125)의 기 설정된 영역을 외부로 노출하는 마이크로 홀(150) 및 마이

크로 홀(150) 내부에 형성되어 제1 전극(125)과 전기적으로 연결되는 발광소자(160)를 포함할 수 있으며, 여기서, 발광소자(160)는 로드형 마이크로 LED일 수 있다.

[0052] 예를 들면, 발광소자(160)를 구성하는 물질은 하나에 국한되지 않으며 특히, 발광소자(160)가 InGaN/GaN 마이크로 LED인 경우에는 단색 또는 R(Red), G(Green), B(Blue)의 색상을 가질 수 있으며, 이에 따라 인테그레이션 구조체(100)는 모노 컬러(monocolor), 풀-컬러(full-color) 픽셀을 갖는 패널을 구현할 수 있다.

[0053] 일측에 따르면, 발광소자(160)는 전도체층, 제1 반도체층, 발광층, 제2 반도체층을 포함할 수 있다.

[0054] 구체적으로, 제1 반도체층은 p형 불순물이 도핑된 질화갈륨(GaN) 반도체층(p-GaN)으로서 정공을 공급할 수 있으며, 제2 반도체층은 n형 불순물이 도핑된 질화갈륨(GaN) 반도체층(n-GaN)으로서, 전자를 공급할 수 있다. 또한, 발광층은 MQW(multiple quantum well) 층일 수 있다.

[0055] 또한, 전도체층은 ITO(Indium Tin Oxide) 및 금속 물질 중 적어도 하나의 전도성 물질로 형성될 수 있으며, 발광소자(160)는 전도체층을 통해 박막 트랜지스터(120)의 제1 전극(125)과 전기적으로 연결될 수 있다.

[0056] 일측에 따르면, 발광소자(160)는 잉크젯 방식으로 상부 전극(140) 상에 전사된 후, 유전 영동력(DEP force)에 기초하여 마이크로 홀(150) 내부에 수직 정렬될 수 있다.

[0057] 일측에 따르면, 발광소자(160)는 측벽에 형성되는 OMO(Oxide-Metal-Oxide) 막을 더 포함할 수 있으며, 여기서 OMO(Oxide-Metal-Oxide) 막을 구성하는 제1 절연층, 금속층 및 제2 절연층 중 금속층은 반사도가 높은 금속 물질을 포함할 수 있다.

[0058] 다시 말해, 발광소자(160)는 표면에 반사층이 결합된 OMO 막이 형성되며, 이를 통해 마이크로 홀(150)에 수직 정렬된 발광소자(160)의 외부로의 광추출 효율을 증대시킬 수 있다.

[0059] 일측에 따르면, 발광소자(160)는 제1 전극(125)의 기 설정된 영역 상에 형성된 금속층을 통해 제1 전극(125)과 전기적으로 연결될 수 있다.

[0060] 다시 말해, 인테그레이션 구조체(100)는 발광소자(160)와 제1 전극(125) 사이에 도전성을 증대시키기 위해, 발광소자(160)가 마이크로 홀(150) 내부로 전사되기 이전에 마이크로 홀(150) 내부에 도전성 금속(즉, 금속층)이 증착될 수 있다.

[0061] 일측에 따르면, 박막 트랜지스터(120)는 기판(110) 상에 형성된 하부 절연층(121)과, 하부 절연층(121) 상에 형성되고 채널 영역(122-1)을 포함하는 활성층(122)과, 활성층(122)의 제1 전극 영역에 형성된 제1 전극(125)과, 활성층(122)의 제2 전극 영역에 형성된 제2 전극(126)과, 활성층(122) 상에 형성된 게이트 절연층(123) 및 채널 영역(122-1)에 대응되는 제3 전극 영역에 형성된 게이트 전극(124)을 포함할 수 있다.

[0062] 예를 들면, 제1 전극(125)은 박막 트랜지스터(120)의 소스 전극이고, 제2 전극(126)은 박막 트랜지스터(120)의 드레인 전극일 수 있다.

[0063] 또한, 제1 전극(125)은 제2 전극(126) 보다 넓은 면적으로 제작될 수 있으며, 이를 통해, 발광소자(160)의 발광층에서 생성된 광자가 박막 트랜지스터(120)의 채널 영역(122-1)으로 유입되어 광전류를 생성하는 현상을 방지할 수 있다.

[0064] 한편, 마이크로 홀(150)은 발광소자(160)와 마이크로 홀(150)의 내벽 사이에 형성된 갭(Gap)에 기 설정된 충진재가 도포되어 형성되는 절연 방지막을 더 포함할 수 있다.

[0065] 또한, 인테그레이션 구조체(100)는 제1 전극(125) 상에 복수 개의 마이크로 홀(150)을 형성하고, 복수 개의 마이크로 홀(150) 내부에 복수 개의 발광소자(160)를 수직 정렬시킬 수 있으며, 이를 통해 하나의 박막 트랜지스터(120)로 복수 개의 발광소자(160)를 동시에 제어할 수 있다.

[0066] 또한, 인테그레이션 구조체(100)는 상부 전극(140) 상에 형성되는 TCO(Transparent Conductive Oxide) 층을 더 포함할 수도 있다.

[0068] 도 2는 일실시예에 따른 인테그레이션 구조체의 제조방법을 설명하기 위한 도면이다.

[0069] 도 2를 참조하면, 210 단계에서 일실시예에 따른 제조방법은 기판 상에 박막 트랜지스터를 형성할 수 있다.

[0070] 다음으로, 220 단계에서 일실시예에 따른 제조방법은 박막 트랜지스터 상에 상부 절연층을 형성할 수 있다.

[0071] 다음으로, 230 단계에서 일실시예에 따른 제조방법은 상부 절연층 상에 상부 전극을 형성할 수 있다.

[0072] 다음으로, 240 단계에서 일실시예에 따른 제조방법은 박막 트랜지스터의 제1 전극에 대응되는 상부 전극 및 상부 절연층의 영역에 마이크로 홀을 형성하여, 제1 전극의 기 설정된 영역을 외부로 노출할 수 있다.

[0073] 다음으로, 250 단계에서 일실시예에 따른 제조방법은 마이크로 홀 내부에 제1 전극과 전기적으로 연결되는 발광소자를 형성할 수 있다.

[0074] 일실시예에 따른 인테그레이션 구조체의 제조방법은 이후 실시예 도 3a 내지 7e를 통해 보다 구체적으로 설명하기로 한다.

[0076] 도 3a 내지 4f는 일실시예에 따른 인테그레이션 구조체의 제조방법을 보다 구체적으로 설명하기 위한 도면이다.

[0077] 구체적으로, 도 3a 내지 도 3f는 일실시예에 따른 인테그레이션 구조체의 제조방법 중 박막 트랜지스터를 형성하는 단계를 보다 구체적으로 설명하기 위한 도면이다.

[0078] 또한, 도 4a 내지 도 4f는 인테그레이션 구조체의 제조방법 중 상부 절연층을 형성하는 단계, 상부 전극을 형성하는 단계, 마이크로 홀을 형성하는 단계 및 발광소자를 형성하는 단계를 보다 구체적으로 설명하기 위한 도면이다.

[0079] 도 3a 내지 도 3f를 참조하면, 310 단계에서 일실시예에 따른 제조방법은 기판(substrate) 상에 하부 절연층(300-1)을 형성할 수 있다.

[0080] 다음으로, 320 단계에서 일실시예에 따른 제조방법은 하부 절연층(300-1) 상에 활성층(일례로, poly-Si)(300-2)을 형성할 수 있다.

[0081] 예를 들면, 320 단계에서 일실시예에 따른 제조방법은 하부 절연층(300-1) 상에 활성층(300-2)을 증착한 후 결정성 향상을 위해 엑시머 레이저(excimer laser)에 기반하는 어닐링을 수행할 수 있다.

[0082] 다음으로, 330 단계에서 일실시예에 따른 제조방법은 활성층(300-2) 상에 게이트 절연층(G_i) 중 제1 게이트 절연층(300-3)을 형성할 수 있다.

[0083] 예를 들면, 330 단계에서 일실시예에 따른 제조방법은 하부 절연층(300-1) 상에서 활성층(300-2)을 패터닝한 후, 게이트 절연층(G_i)을 증착할 수 있다.

[0084] 다음으로, 340 단계에서 일실시예에 따른 제조방법은 채널 영역(300-5)에 대응되는 제3 전극 영역에 게이트 전극(300-4)을 형성할 수 있다.

[0085] 또한, 340 단계에서 일실시예에 따른 제조방법은 이온 주입(Ion implantation)을 통해 제3 전극 영역에 대응되는 활성층(300-2)의 영역에 채널 영역(300-5)을 형성할 수 있다.

[0086] 다음으로, 350 단계에서 일실시예에 따른 제조방법은 게이트 전극이 형성된 제1 게이트 절연층(300-3) 상에 게이트 절연층(G_i) 중 제2 게이트 절연층(300-6)을 형성할 수 있다.

[0087] 다음으로, 360 단계에서 일실시예에 따른 제조방법은 게이트 절연층(G_i) 내에 제1 전극 영역 및 제2 전극 영역을 형성(즉, 패터닝)한 후, 제1 전극 영역 및 제2 전극 영역 각각에 제1 전극(300-7) 및 제2 전극(300-8)을 형성할 수 있다.

[0088] 예를 들면, 제1 전극(300-7)은 박막 트랜지스터의 소스 전극이고, 제2 전극(300-8)은 박막 트랜지스터의 드레인 전극일 수 있다.

[0089] 도 4a 내지 도 4f를 참조하면, 410 단계에서 일실시예에 따른 제조방법은 박막 트랜지스터 상에 상부 절연층을 형성할 수 있다.

[0090] 다음으로, 420 단계에서 일실시예에 따른 제조방법은 마이크로 홀이 형성되는 홀 형성 영역 상에 포토 레지스트(Photoresist)를 도포할 수 있다.

[0091] 다음으로, 430 단계에서 일실시예에 따른 제조방법은 상부 절연층(400-1) 상에 상부 전극(400-2)을 형성할 수 있다.

[0092] 다음으로, 440 단계에서 일실시예에 따른 제조방법은 홀 형성 영역에 대응되는 상부 절연층(400-1)의 영역을 식각하여, 마이크로 홀(400-3)을 형성할 수 있으며, 이를 통해 박막 트랜지스터의 제1 전극(일례로, 소스 전극)의 기 설정된 영역(발광소자와 전기적으로 연결되는 영역)이 외부로 노출될 수 있다.

[0093] 일측에 따르면, 440 단계에서 일실시예에 따른 제조방법은 제1 전극의 기 설정된 영역 상에 금속층을 형성할 수 있다.

[0094] 또한, 440 단계에서 일실시예에 따른 제조방법은 복수 개의 마이크로 홀(400-3)을 형성할 수도 있다.

[0095] 다음으로, 450 단계에서 일실시예에 따른 제조방법은 마이크로 홀(400-3) 내부에 제1 전극과 전기적으로 연결되는 발광소자(일례로, 로드형 마이크로 LED)를 형성할 수 있다.

[0096] 예를 들면, 발광소자는 반사도가 높은 금속 물질에 기초하는 금속층을 포함하는 OMO(Oxide-Metal-Oxide) 막이 측벽에 형성될 수 있다.

[0097] 구체적으로, 450 단계에서 일실시예에 따른 제조방법은 잉크젯 방식으로 상부 전극(400-2) 상에 발광소자를 전사한 후, 전사된 발광소자를 유전 영동력(DEP force)에 기초하여 마이크로 홀(400-3) 내부로 수직 정렬시킬 수 있다.

[0098] 일측에 따르면, 440 단계에서 일실시예에 따른 제조방법은 제1 전극의 기 설정된 영역 상에 형성된 금속층 상에 발광소자를 수직 정렬시킬 수 있다.

[0099] 또한, 450 단계에서 일실시예에 따른 제조방법은 복수 개의 마이크로 홀(400-3)이 형성된 경우에, 복수 개의 마이크로 홀(400-3) 각각에 복수 개의 발광소자 각각을 수직 정렬시킬 수도 있다.

[0100] 한편, 450 단계에서 일실시예에 따른 제조방법은 발광소자와 마이크로 홀의 내벽 사이에 형성된 갭(Gap)에 기 설정된 충진재를 도포하여 절연 방지막을 형성할 수 있다.

[0101] 다음으로, 460 단계에서 일실시예에 따른 제조방법은 상부 전극(400-2) 상에 TCO 층(400-4)을 형성(즉, 증착)할 수 있다.

[0103] 도 5a 내지 도 6d는 일실시예에 따른 인테그레이션 구조체의 마이크로 홀 내부에 금속층을 형성하는 방법을 설명하기 위한 도면이다.

[0104] 구체적으로, 도 5a 내지 도 5c는 마이크로 홀 내부에 금속층을 형성하는 제1 실시예를 설명하는 도면이고, 도 6a 내지 도 6d는 마이크로 홀 내부에 금속층을 형성하는 제2 실시예를 설명하는 도면이다.

[0105] 도 5a 내지 도 5c를 참조하면, 510 단계에서 일실시예에 따른 제조방법은 일실시예에 따른 인테그레이션 구조체의 상부전극(500-1) 상에 포토레지스트(PR)를 도포한 후, 금속층(500-2)을 증착할 수 있으며, 이를 통해 마이크로 홀 내부에 금속층(500-2)을 형성할 수 있다.

[0106] 예를 들면, 금속층(500-2)은 상부전극(500-1)과 동일한 물질로 형성될 수 있다.

[0107] 다음으로, 520 단계에서 일실시예에 따른 제조방법은 상부전극(500-1) 상에 형성된 금속층(500-2)을 제거할 수 있으며, 530 단계에서 일실시예에 따른 제조방법은 마이크로 홀 내부에 형성된 금속층(500-2) 상에 발광소자를 전사하여 수직 정렬시킬 수 있다.

[0108] 구체적으로, 인테그레이션 구조체는 마이크로 홀 내부에 증착되는 추가적인 금속층(500-2)으로 인해 두께가 커지면 마이크로 홀 내부에 정렬된 발광소자의 발광층 영역이 트랜지스터부의 채널 영역과 이전에 비해 보다 이격될 수 있으며, 이를 통해 발광소자 구동 시 트랜지스터 채널 영역에 도달하는 광자의 총량을 줄일 수 있다.

[0109] 도 6a 내지 도 6d를 참조하면, 610 단계에서 일실시예에 따른 제조방법은 일실시예에 따른 인테그레이션 구조체의 상부전극(600-1) 상에 포토레지스트(PR)를 도포할 수 있다.

[0110] 다음으로, 620 단계에서 일실시예에 따른 제조방법은 도포된 포토레지스트(PR)를 리플로우(reflow)할 수 있다.

[0111] 즉, 620 단계에서 일실시예에 따른 제조방법은 상부전극(600-1)을 금속이 아닌 물질(전해도금이 되지 않는 물질)로 패시베이션할 수 있다.

[0112] 다음으로, 630 단계에서 일실시예에 따른 제조방법은 마이크로 홀 내부에 금속층(600-2)을 형성할 수 있다.

[0113] 예를 들면, 금속층(600-2)의 물질은 저융점 금속일 수 있으며, 일실시예에 따른 인테그레이션 구조체는 저융점 금속인 금속층(600-2)을 마이크로 홀 내부에 형성하면, 이후 TCO층 도포 이후 어닐링 과정에서 발광소자의 도전성 반도체층과 박막 트랜지스터의 제1 전극 사이의 전기적 접합성이 향상될 수 있다.

[0114] 일측에 따르면, 630 단계에서 일실시예에 따른 제조방법은 전해용액에 침지한 상태로, 전해도금 방식에 기초하여 마이크로 홀 내부에 금속층(600-2)을 형성할 수 있다.

[0115] 다음으로, 640 단계에서 일실시예에 따른 제조방법은 도포된 포토레지스트(PR)를 제거한 후, 마이크로 홀 내부에 형성된 금속층(600-2) 상에 발광소자를 전사하여 수직 정렬시킬 수 있다.

[0116] 구체적으로, 인테그레이션 구조체는 마이크로 홀 내부에 증착되는 추가적인 금속층(600-2)으로 인해 두께가 커지면 마이크로 홀 내부에 정렬된 발광소자의 발광층 영역이 트랜지스터부의 채널 영역과 이전에 비해 보다 이격될 수 있으며, 이를 통해 발광소자 구동 시 트랜지스터 채널 영역에 도달하는 광자의 총량을 줄일 수 있다.

[0118] 도 7a 내지 도 7e는 일실시예에 따른 발광소자의 표면에 OMO 막을 형성하는 방법을 설명하기 위한 도면이다.

[0119] 도 7a 내지 도 7e를 참조하면, 710 단계에서 일실시예에 따른 제조방법은 성장 기판(700-1) 상에 적어도 하나의 발광소자를 성장시킬 수 있으며, 여기서 발광소자는 로드형 마이크로 LED일 수 있다.

[0120] 다음으로, 720 단계에서 일실시예에 따른 제조방법은 제작된 발광소자가 부착되어 있는 성장 기판(700-1)에 폴리머를 충진 후 식각하는 과정을 통해, 기 설정된 높이까지 폴리머층(700-2)을 형성시킬 수 있다.

[0121] 다음으로, 730 단계에서 일실시예에 따른 제조방법은 발광소자 및 폴리머층(700-2)이 형성된 성장 기판(700-1) 상에 OMO 막을 증착할 수 있으며, 여기서 OMO 막은 제1 절연층, 금속층 및 제2 절연층으로 구성될 수 있다.

[0122] 예를 들면, OMO 막의 제1 절연층 및 제2 절연층은 실리콘 산화물(SiO_2) 또는 알루미늄 산화물(Al_2O_3)을 포함할 수 있으며, 원자층 증착법(ALD)을 통해 형성될 수 있다.

[0123] 또한, OMO 막의 금속층은 은(Ag), 알루미늄(Al) 및 크롬(Cr) 중 적어도 하나의 반사도가 높은 금속 물질을 포함할 수 있으나, OMO 막의 금속층의 물질은 이에 한정되지 않고 가시광 영역에서 높은 반사도를 보이는 기 공지된 금속 물질들을 포함할 수 있다.

[0124] 다음으로, 740 단계에서 일실시예에 따른 제조방법은 발광소자(즉, 로드형 마이크로 LED) 상부에 형성된 OMO 막을 식각하고 폴리머층(700-2)을 제거할 수 있으며, 이를 통해 750 단계에서 일실시예에 따른 제조방법은 측면에만 OMO 막이 형성된 발광소자를 형성할 수 있다.

[0125] 예를 들면, 740 단계에서 웨이퍼 전면에 식각을 통해 발광소자의 제1 반도체층을 노출시키고, 그 이후 750 단계에서 스트리퍼(stripper) 또는 식각(etching)을 통해 폴리머층(700-2), 즉 잔여 폴리머를 제거하여 측면에만 OMO 막이 형성된 발광소자를 형성할 수 있다.

[0126] 즉, 일실시예에 따른 인테그레이션 구조체는 상술한 710 단계 내지 750 단계를 통해 형성된 일실시예에 따른 발광소자(즉, 반사층을 포함하는 OMO 막이 측면에 형성된 발광소자)를 마이크로 홀 내부에 수직 정렬시킴으로써, 발광소자의 발광층에서 생성된 광자들이 박막 트랜지스터의 채널 영역으로 유입되는 현상을 방지할 수 있다.

[0128] 도 8은 일실시예에 따른 인테그레이션 구조체의 제1 구현예를 설명하기 위한 도면이다.

[0129] 도 8을 참조하면, 일실시예에 따른 인테그레이션 구조체(800)는 발광소자와 마이크로 홀의 내벽 사이에 형성된 갭(Gap)에 기 설정된 충진재가 도포되어 형성되는 절연 방지막(800-1)을 더 포함할 수 있다.

[0130] 즉, 인테그레이션 구조체(800)는 발광소자가 마이크로 홀 내부에 수직 정렬된 후 마이크로 홀에 내열성 충진재(고분자) 혹은 고균일 절연체를 절연 방지막(800-1)으로 증착하여, 후속 공정인 투명전극(TCO) 증착 공정에서 마이크로 홀 내부로 TCO가 유입되어 투명전극과 발광소자의 전기적인 단락이 발생되는 것을 방지할 수 있다.

[0131] 예를 들면, 절연 방지막(800-1)은 스핀 코팅, 원자층 증착법(ALD) 및 플라즈마 원자층 증착(PEALD) 중 적어도 하나의 공정을 수행한 후, 후속 전면 에칭 공정(Etchback process)을 수행하여 형성될 수 있다.

[0132] 바람직하게는, 절연 방지막(800-1)은 폴리이미드(polyimide)와 같은 내열성이 좋은 액상 고분자가 사용될 수 있

다.

[0134] 도 9는 일실시예에 따른 인테그레이션 구조체의 제2 구현예를 설명하기 위한 도면이다.

[0135] 도 9를 참조하면, 일실시예에 따른 인테그레이션 구조체(900)는 박막 트랜지스터의 제1 전극(900-1)과 발광소자를 전기적으로 연결시키는 마이크로 홀(900-2)을 복수 개를 형성하고, 복수 개의 마이크로 홀(900-2) 내부에 복수 개의 발광 소자 각각을 정렬시킬 수 있으며, 이를 통해 하나의 박막 트랜지스터로 복수 개의 발광 소자를 동시에 제어할 수 있다.

[0137] 결국, 본 발명을 이용하면, 기판에서 분리된 로드형 마이크로 LED가 칩 손상 이슈 없이 간단한 구조 패터닝을 통해 트랜지스터의 전극에 직접 전사될 수 있다.

[0138] 또한, 본 발명을 이용하면, 트랜지스터의 전극에 로드형 마이크로 LED가 직접 전사되어 비아층을 생략할 수 있으며, 이를 통해 배선물질의 비저항에 의한 신호 지연을 감소 시키고 공정을 간소화할 수 있다.

[0140] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0141] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

[0142] 100: 인테그레이션 구조체 110: 기판

120: 박막 트랜지스터 121: 하부 절연층

122: 활성층 122-1: 채널 영역

123: 게이트 절연층 124: 게이트 전극

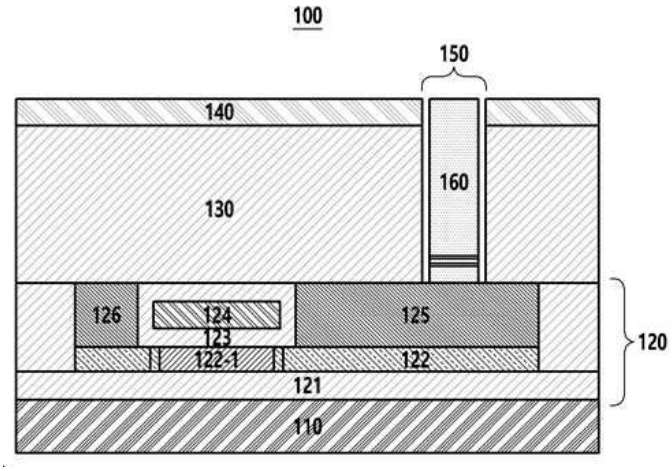
125: 제1 전극 126: 제2 전극

130: 상부 절연층 140: 상부 전극

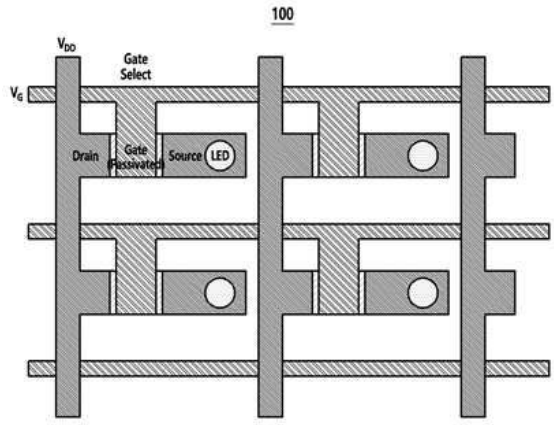
150: 마이크로 홀 160: 발광 소자

도면

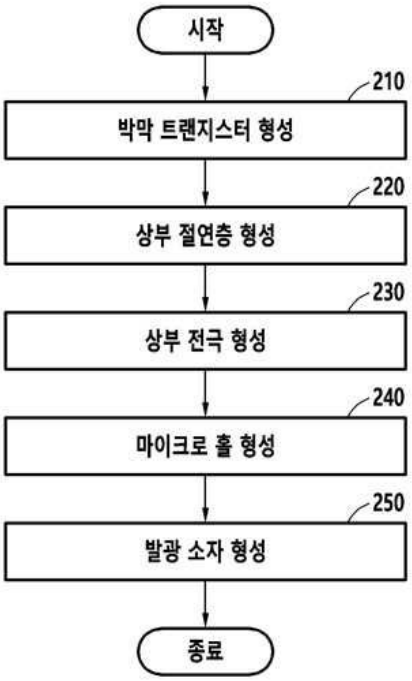
도면1a


100
150
140
160
130
126
124
123
125
120
122-1
122
121
110

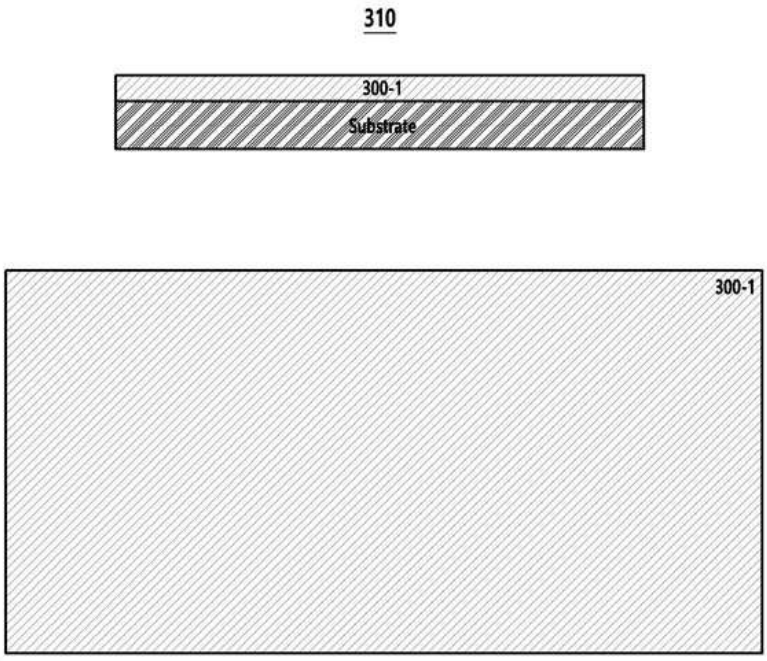
도면1b


100
V_{DD}
Gate Select
V_G
Drain
Gate (Passivated)
Source
LED

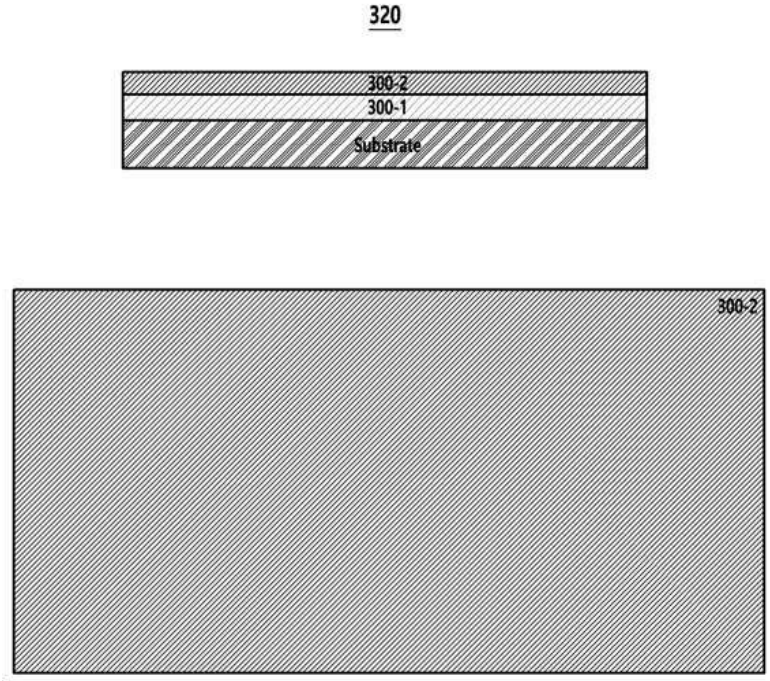
도면2


시작
210
박막 트랜지스터 형성
220
상부 절연층 형성
230
상부 전극 형성
240
마이크로 홀 형성
250
발광 소자 형성
종료

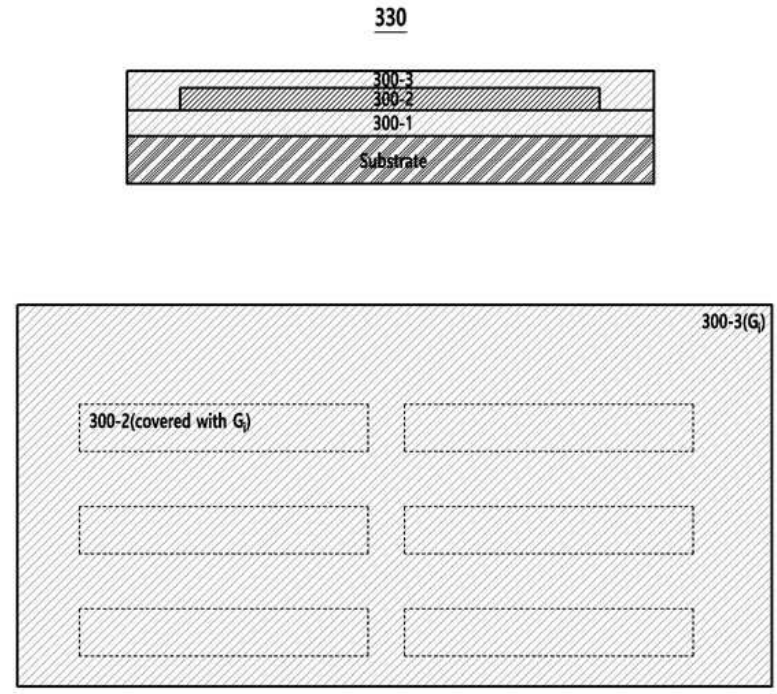
도면3a


310
300-1
Substrate
300-1

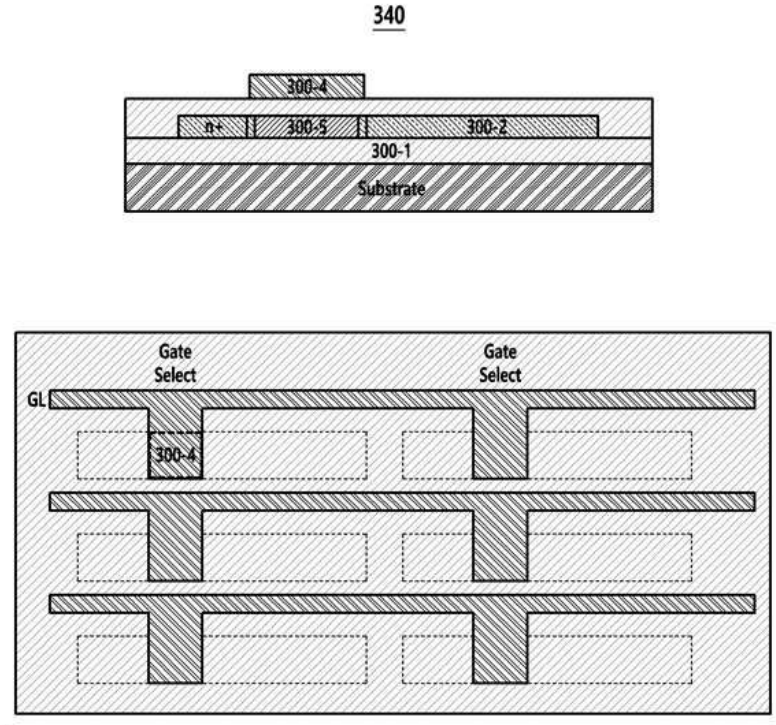
도면3b


320
300-2
300-1
Substrate
300-2

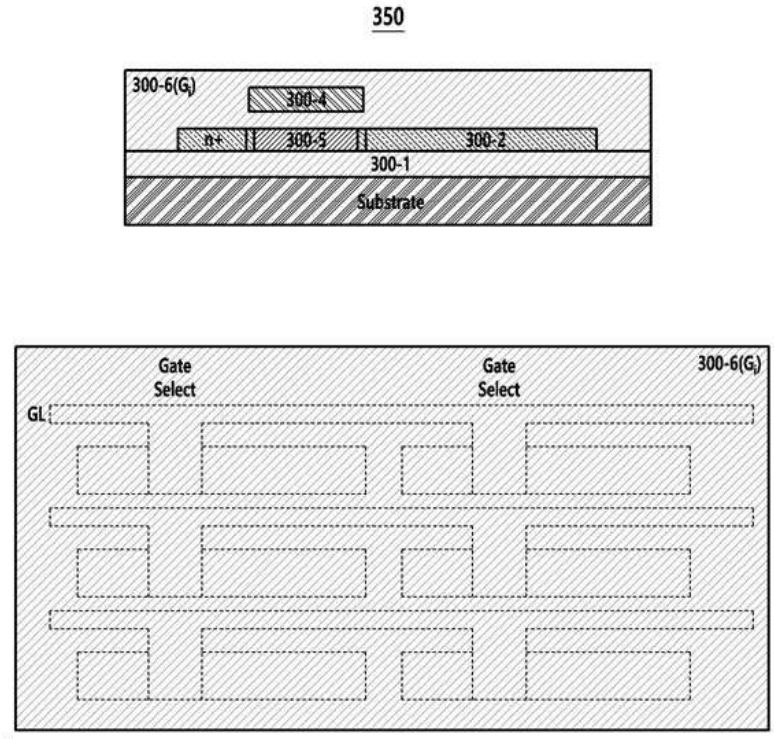
도면3c


330
300-3
300-2
300-1
Substrate
300-3(Gi)
300-2(covered with Gi)

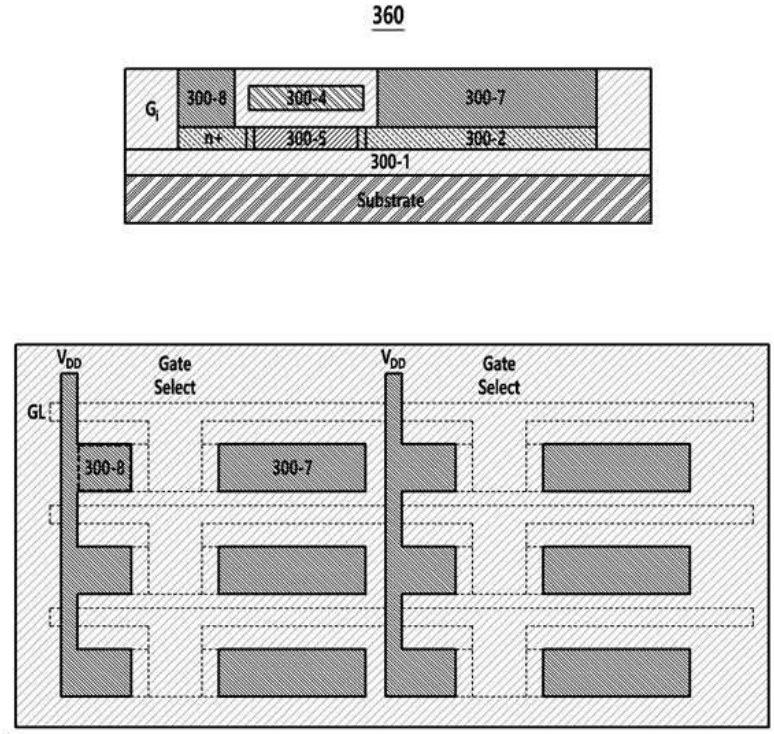
도면3d


340
300-4
n+
300-5
300-2
300-1
Substrate
Gate Select
Gate Select
GL
300-4

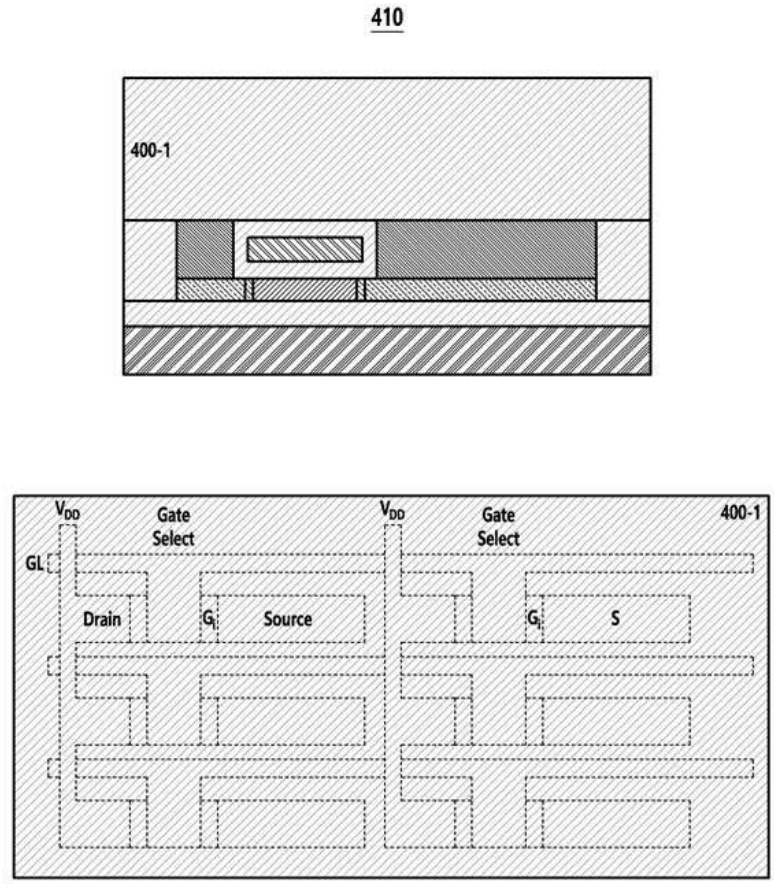
도면3e


350
300-6(G_j)
300-4
n+
300-5
300-2
300-1
Substrate
Gate Select
Gate Select
300-6(G_j)
GL

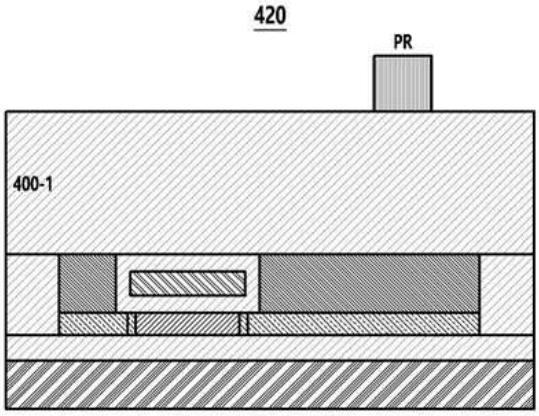
도면3f

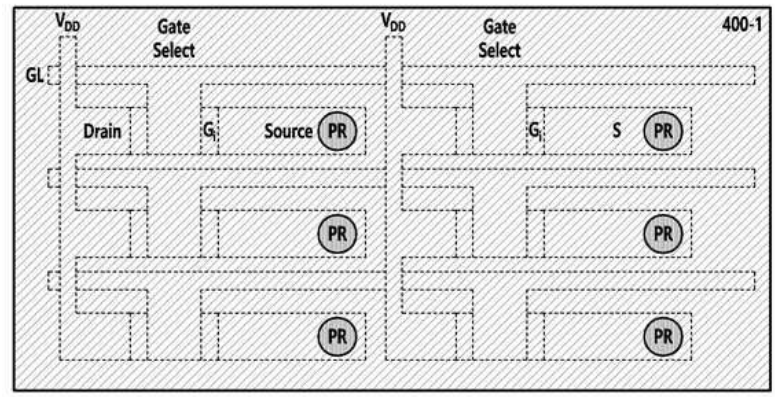

360
G1
300-8
300-4
300-7
n+
300-5
300-2
300-1
Substrate
VDD
Gate Select
VDD
Gate Select
GL
300-8
300-7

도면4a

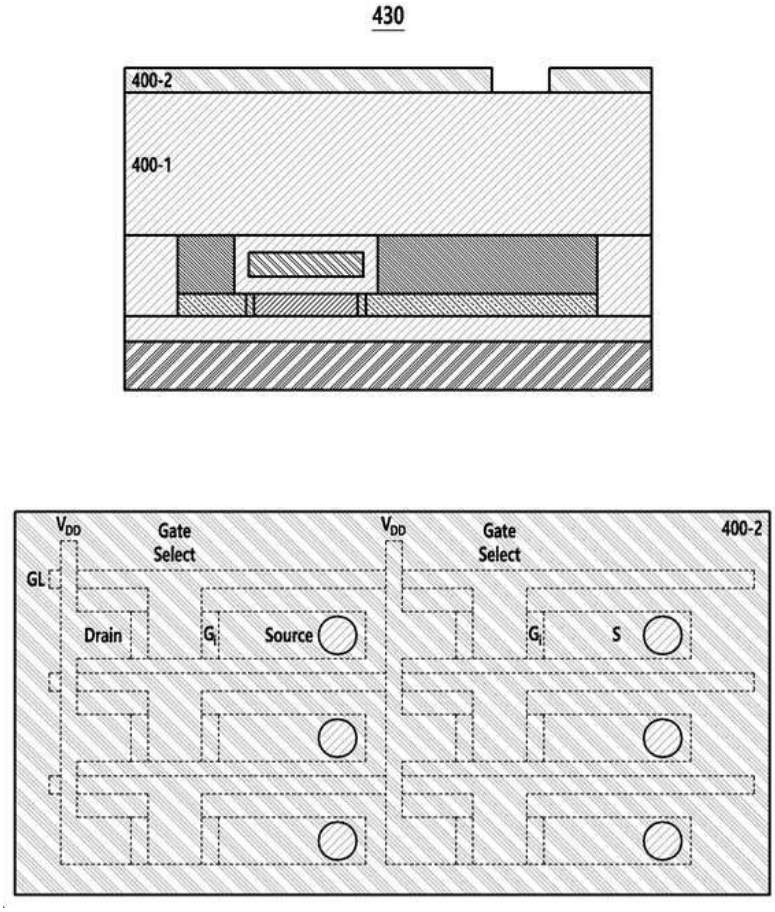

410
400-1
VDD
Gate Select
VDD
Gate Select
400-1
GL
Drain
G1
Source
G1
S

도면4b

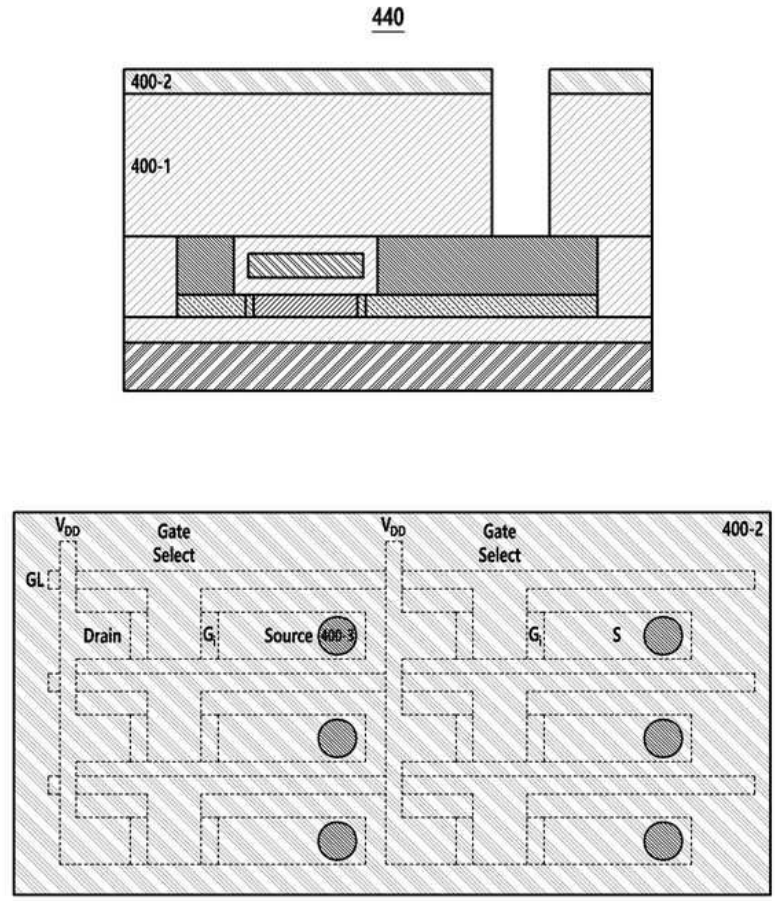

420
PR
400-1


V_{DD}
Gate Select
V_{DD}
Gate Select
400-1
GL
Drain
G_i
Source
PR
G_i
S
PR
PR
PR
PR
PR

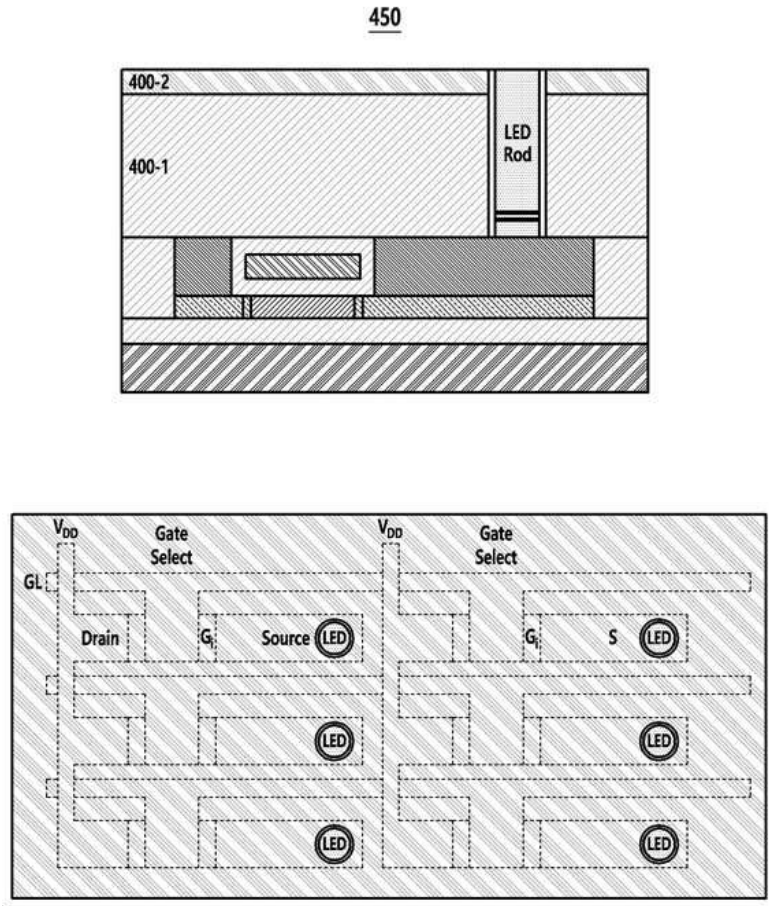
도면4c



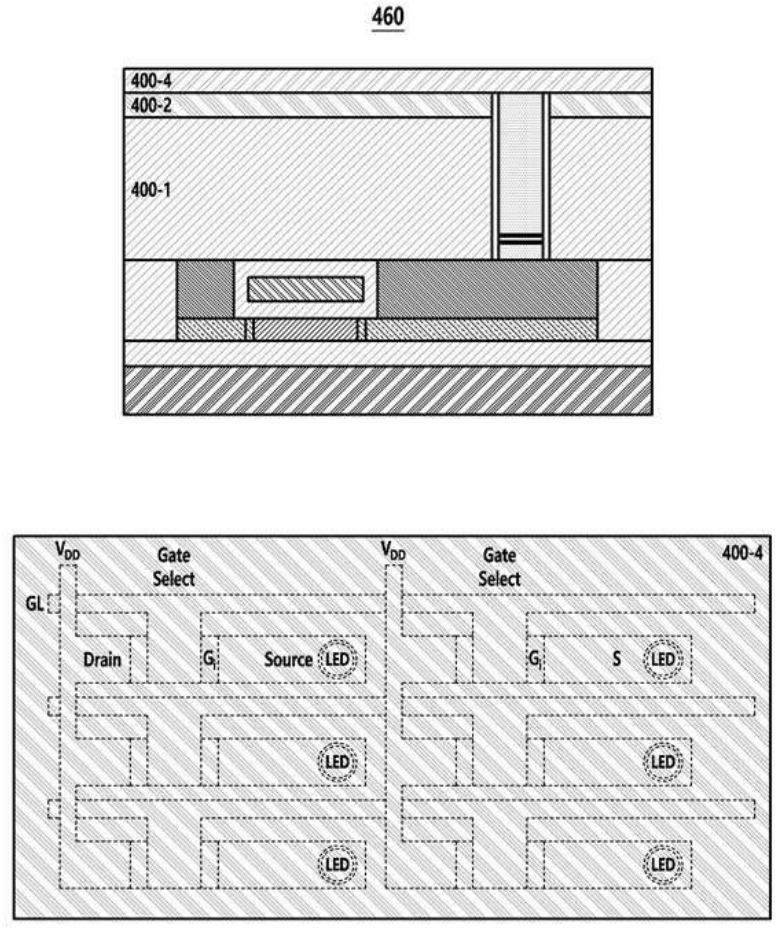
도면4d


440
400-2
400-1
V_{DD}
Gate Select
GL
Drain
G_1
Source
400-3
V_{DD}
Gate Select
400-2
G_1
S

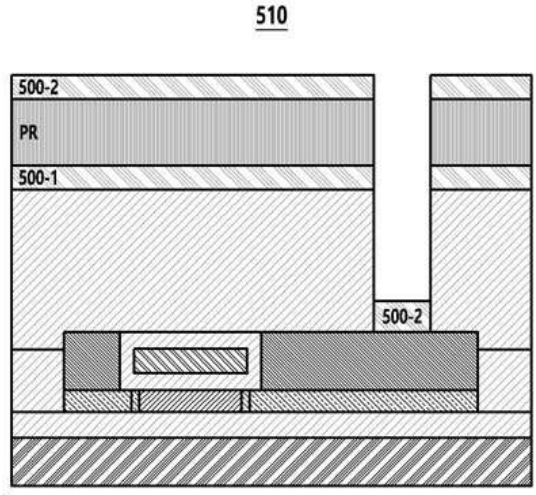
도면4e


450
400-2
400-1
LED Rod
V_{DD}
Gate Select
GL
Drain
G_1
Source
LED
V_{DD}
Gate Select
G_1
S
LED

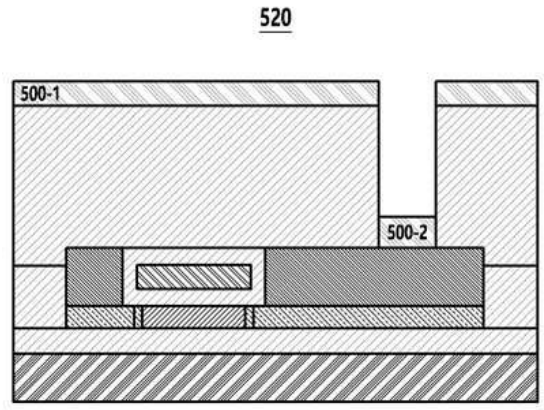
도면4f


460
400-4
400-2
400-1
V_{DD}
Gate Select
GL
Drain
G_i
Source
LED
S

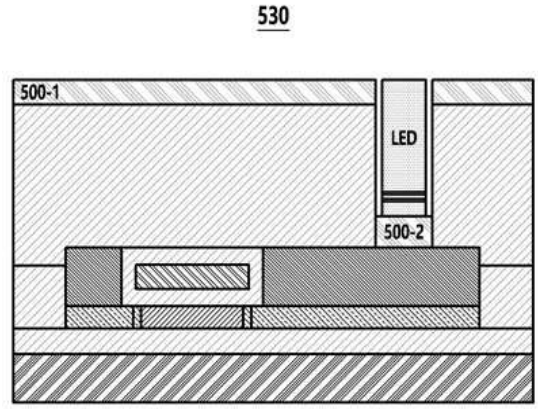
도면5a


510
500-2
PR
500-1
500-2

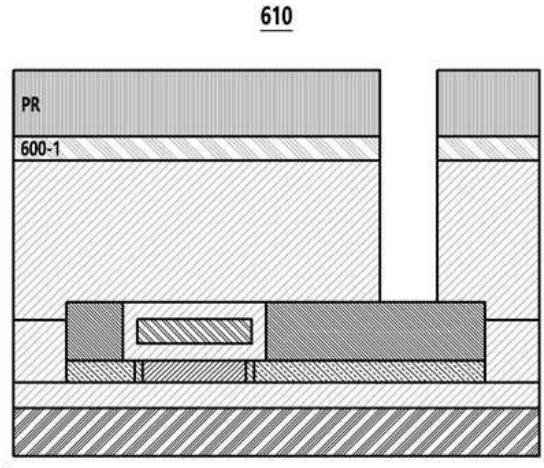
도면5b



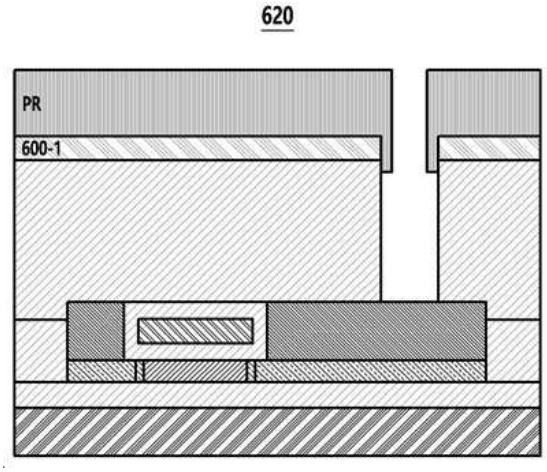
도면5c



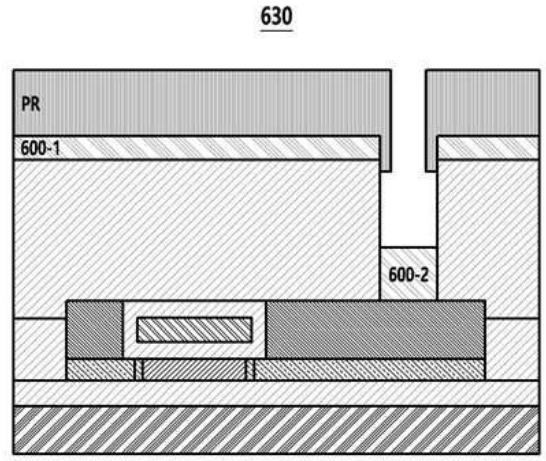
도면6a



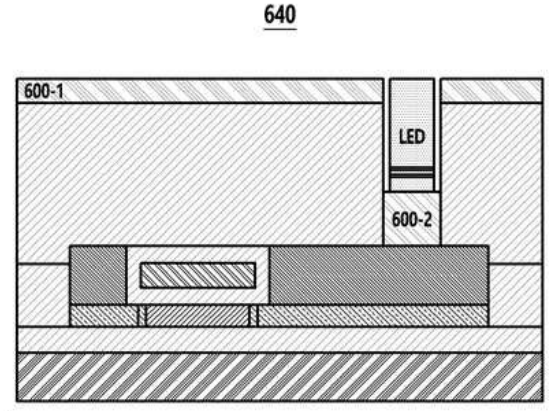
도면6b



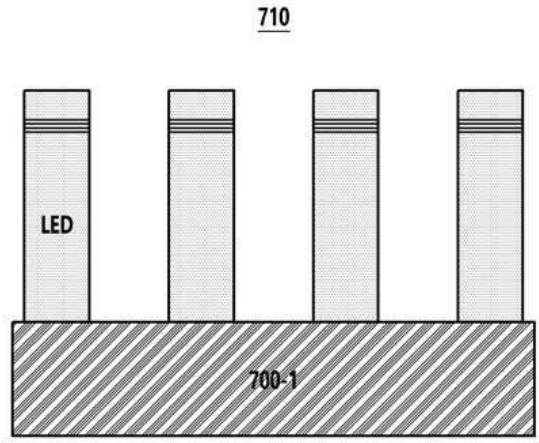
도면6c



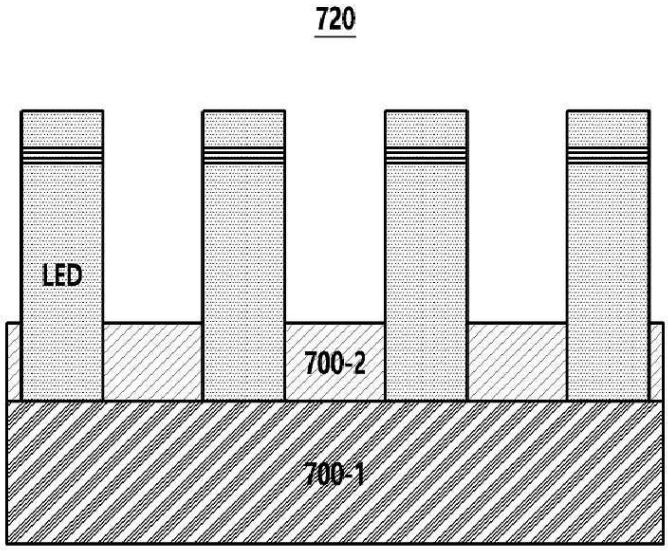
도면6d



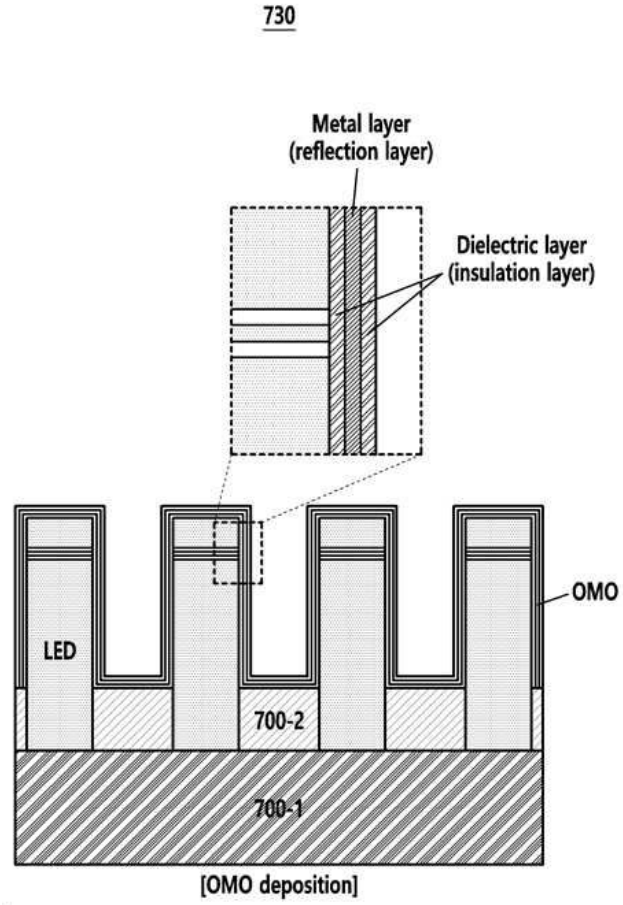
도면7a



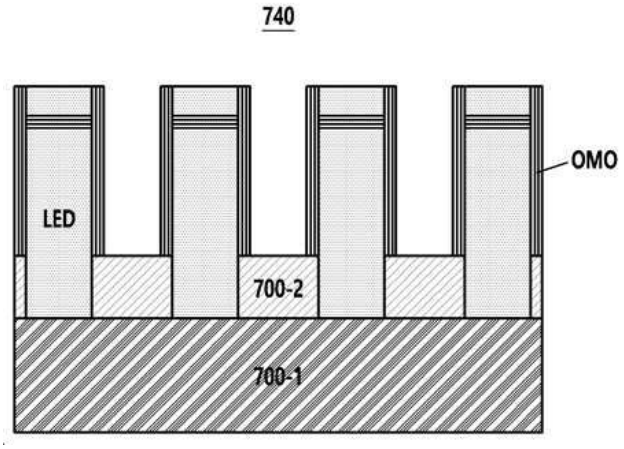
도면7b



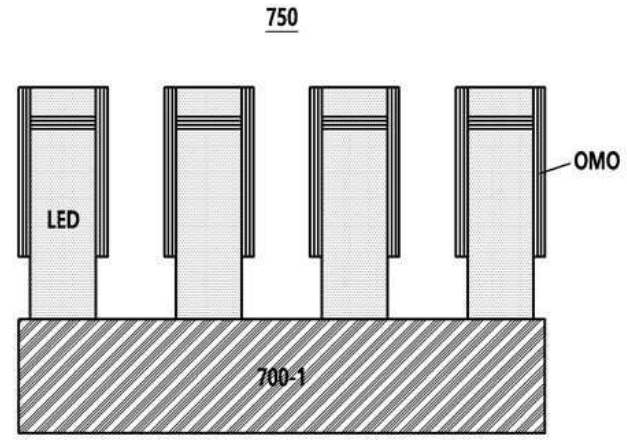
도면7c


730
Metal layer
(reflection layer)
Dielectric layer
(insulation layer)
OMO
LED
700-2
700-1
[OMO deposition]

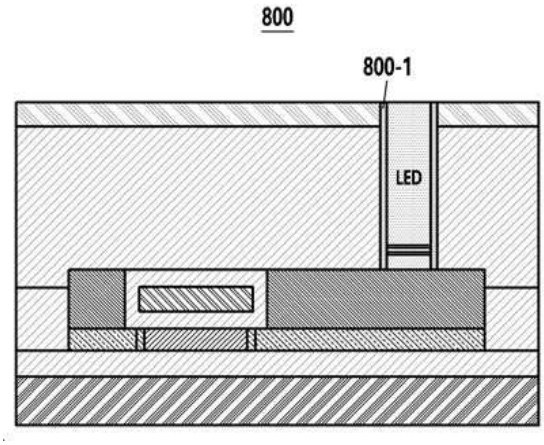
도면7d


740
OMO
LED
700-2
700-1

도면7e



도면8



도면9

