

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7686557号  
(P7686557)

(45)発行日 令和7年6月2日(2025.6.2)

(24)登録日 令和7年5月23日(2025.5.23)

|                   |                             |          |                                                   |
|-------------------|-----------------------------|----------|---------------------------------------------------|
| (51)国際特許分類        |                             | F I      |                                                   |
| H 1 0 B           | 43/30 (2023.01)             | H 1 0 B  | 43/30                                             |
| H 1 0 B           | 41/30 (2023.01)             | H 1 0 B  | 41/30                                             |
| H 1 0 D           | 30/69 (2025.01)             | H 1 0 D  | 30/69                                             |
| H 1 0 D           | 30/01 (2025.01)             | H 1 0 D  | 30/01 5 0 1                                       |
| 請求項の数 3 (全89頁)    |                             |          |                                                   |
| (21)出願番号          | 特願2021-531205(P2021-531205) | (73)特許権者 | 000153878<br>株式会社半導体エネルギー研究所<br>神奈川県厚木市長谷3 9 8 番地 |
| (86)(22)出願日       | 令和2年6月22日(2020.6.22)        | (72)発明者  | 大貫 達也<br>神奈川県厚木市長谷3 9 8 番地 株式会<br>社半導体エネルギー研究所内   |
| (86)国際出願番号        | PCT/IB2020/055843           | (72)発明者  | 松寄 隆徳<br>神奈川県厚木市長谷3 9 8 番地 株式会<br>社半導体エネルギー研究所内   |
| (87)国際公開番号        | WO2021/005432               | (72)発明者  | 山崎 舜平<br>神奈川県厚木市長谷3 9 8 番地 株式会<br>社半導体エネルギー研究所内   |
| (87)国際公開日         | 令和3年1月14日(2021.1.14)        | 審査官      | 宮本 博司                                             |
| 審査請求日             | 令和5年6月20日(2023.6.20)        | 最終頁に続く   |                                                   |
| (31)優先権主張番号       | 特願2019-125823(P2019-125823) |          |                                                   |
| (32)優先日           | 令和1年7月5日(2019.7.5)          |          |                                                   |
| (33)優先権主張国・地域又は機関 | 日本国(JP)                     |          |                                                   |

(54)【発明の名称】 半導体装置の作製方法

(57)【特許請求の範囲】

【請求項1】

基板上に酸化物半導体膜を成膜し、

前記酸化物半導体膜の上に第1の導電膜を成膜し、

前記酸化物半導体膜、および前記第1の導電膜を島状に加工して、チャネル形成領域を  
含む酸化物半導体、および第1の導電体を形成し、

前記酸化物半導体、および前記第1の導電体を覆って第1の絶縁体を形成し、

前記第1の絶縁体の一部を除去して、前記第1の導電体に重畳して複数の開口を形成し、

前記複数の開口に重畳する前記第1の導電体の一部を除去し、直線状に配列された複数の  
第2の導電体を形成し、前記複数の第2の導電体の間の領域に前記酸化物半導体を露出  
させ、

前記酸化物半導体の上面に接して、第1の絶縁膜を成膜し、

酸素を含む雰囲気マイクロ波処理を行い、

前記第1の絶縁膜の上に第2の絶縁膜を成膜し、

前記第2の絶縁膜の上に第3の絶縁膜を成膜し、

前記第3の絶縁膜の上に第2の導電膜を成膜し、

前記第1の絶縁膜、前記第2の絶縁膜、前記第3の絶縁膜、および前記第2の導電膜に  
、前記第1の絶縁体の上面が露出するまで、CMP処理を行って、前記複数の第2の導電  
体の間の領域にそれぞれ配置された、複数の第2の絶縁体、複数の第3の絶縁体、複数の  
第4の絶縁体、および複数の第3の導電体を形成する、

半導体装置の作製方法。

【請求項 2】

基板上に酸化インジウムを含む酸化物半導体膜を成膜し、

前記酸化物半導体膜の上に第 1 の導電膜を成膜し、

前記酸化物半導体膜、および前記第 1 の導電膜を島状に加工して、チャネル形成領域を含む酸化物半導体、および第 1 の導電体を形成し、

前記酸化物半導体、および前記第 1 の導電体を覆って第 1 の絶縁体を形成し、

前記第 1 の導電体に重畳した前記第 1 の絶縁体の一部を除去して、直線状に配列された複数の開口を形成し、

前記複数の開口を有する前記第 1 の絶縁体を用いて、前記複数の開口に重畳した前記第 1 の導電体の一部を除去して複数の第 2 の導電体を形成し、且つ前記複数の第 2 の導電体の間の領域において前記酸化物半導体を露出させ、

前記露出した酸化物半導体の上面に接する領域を有し、且つ前記第 1 の絶縁体の上面を覆って、第 1 の絶縁膜を成膜し、

前記第 1 の絶縁膜に対して、酸素を含む雰囲気でマイクロ波処理を行い、

前記第 1 の絶縁膜の上に第 2 の絶縁膜を成膜し、

前記第 2 の絶縁膜の上に第 3 の絶縁膜を成膜し、

前記第 3 の絶縁膜の上に第 2 の導電膜を成膜し、

前記第 1 の絶縁体の上面が露出するまで、前記第 1 の絶縁膜、前記第 2 の絶縁膜、前記第 3 の絶縁膜、および前記第 2 の導電膜に対して C M P 処理を行って、前記複数の第 2 の導電体の間の領域にそれぞれ配置された、複数の第 2 の絶縁体、複数の第 3 の絶縁体、複数の第 4 の絶縁体、および複数の第 3 の導電体を形成する、

半導体装置の作製方法。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 の絶縁膜、および前記第 3 の絶縁膜は、シリコンを含む酸化膜であり、

前記第 2 の絶縁膜は、シリコンを含む窒化膜である、半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、トランジスタ、半導体装置、および電子機器に関する。または、本発明の一態様は、半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、およびモジュールに関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【背景技術】

【0004】

近年、半導体装置の開発が進められ、特に L S I や C P U やメモリの開発が顕著に進められている。C P U は、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

## 【0005】

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

## 【0006】

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

## 【0007】

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照）。また、例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている（特許文献2参照）。

## 【0008】

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

## 【先行技術文献】

## 【特許文献】

## 【0009】

【文献】特開2012-257187号公報

【文献】特開2011-151383号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0010】

本発明の一態様は、記憶容量の大きい半導体装置を提供することを課題の一とする。または、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、トランジスタ特性のばらつきが少ない半導体装置を提供することを課題の一とする。または、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。または、本発明の一態様は、電界効果移動度が大きい半導体装置を提供することを課題の一つとする。または、本発明の一態様は、オフ電流が小さい半導体装置を提供することを課題の一つとする。または、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。または、本発明の一形態は、新規な半導体装置を提供することを課題の一とする。

## 【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

## 【課題を解決するための手段】

## 【0012】

本発明の一態様は、基板上に配置された酸化物と、酸化物上に配置された複数の第1の導電体と、複数の第1の導電体上に配置され、複数の第1の導電体の間の領域に重畳して複数の開口がそれぞれ形成された第1の絶縁体と、複数の開口の中にそれぞれ配置された、複数の第2の絶縁体と、複数の第2の絶縁体の上にそれぞれ配置された、複数の電荷保持層と、複数の電荷保持層の上にそれぞれ配置された、複数の第3の絶縁体と、複数の第

3の絶縁体の上にそれぞれ配置された、複数の第2の導電体と、を有する半導体装置である。

【0013】

上記において、複数の第1の導電体は、酸化物の上面に平行に、直線状に配列されていることが好ましい。

【0014】

また、上記において、複数の第2の絶縁体、および複数の第3の絶縁体は、シリコンを含む酸化物であり、複数の電荷保持層は、シリコンを含む窒化物である、構成にしてもよい。また、上記において、複数の電荷保持層は導電体である、構成にしてもよい。

【0015】

また、上記において、第2の絶縁体は、酸化物の上面、および第1の絶縁体の側面に接することが好ましい。

【0016】

また、上記において、複数の第2の導電体に重畳して、酸化物の下方に、複数の第3の導電体がそれぞれ配置されることが好ましい。

【0017】

また、本発明の他の一態様は、基板上に酸化膜を成膜し、酸化膜の上に第1の導電膜を成膜し、酸化膜、および第1の導電膜を島状に加工して、酸化物、および第1の導電体を形成し、酸化物、および第1の導電体を覆って第1の絶縁体を形成し、第1の絶縁体の一部を除去して、第1の導電体に重畳して複数の開口を形成し、当該複数の開口に重畳する第1の導電体の一部を除去し、直線状に配列された複数の第2の導電体を形成し、当該複数の第2の導電体の間の領域に酸化物を露出させ、酸化物の上面に接して、第1の絶縁膜を成膜し、酸素を含む雰囲気中でマイクロ波処理を行い、第1の絶縁膜の上に第2の絶縁膜を成膜し、第2の絶縁膜の上に第3の絶縁膜を成膜し、第3の絶縁膜の上に第2の導電膜を成膜し、第1の絶縁膜、第2の絶縁膜、第3の絶縁膜、および第2の導電膜に、第1の絶縁体の上面が露出するまで、CMP処理を行って、複数の第2の導電体の間の領域にそれぞれ配置された、複数の第2の絶縁体、複数の第3の絶縁体、複数の第4の絶縁体、および複数の第3の導電体を形成する、半導体装置の作製方法である。

【0018】

また、上記において、第1の絶縁膜、および第3の絶縁膜は、シリコンを含む酸化膜であり、第2の絶縁膜は、シリコンを含む窒化膜であることが好ましい。

【発明の効果】

【0019】

本発明の一態様により、記憶容量の大きい半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、電界効果移動度が大きい半導体装置を提供することができる。または、本発明の一態様により、オフ電流が小さい半導体装置を提供することができる。または、本発明の一態様により、低消費電力の半導体装置を提供することができる。または、本発明の一形態により、新規な半導体装置を提供することができる。

【0020】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

## 【0021】

図1A、図1B、図1Cは本発明の一態様である半導体装置の上面図、断面図、および回路図である。

図2A、図2Bは本発明の一態様である半導体装置の電気特性を示す模式図、および電荷の移動を示す模式図である。

図3A、図3B、図3Cは本発明の一態様である半導体装置の回路図である。

図4A、図4Bは本発明の一態様である半導体装置の断面図、および回路図である。

図5A、図5B、図5C、図5Dは本発明の一態様である半導体装置の上面図および断面図である。

図6は本発明の一態様である半導体装置の断面図である。

10

図7AはIGZOの結晶構造の分類を説明する図である。図7BはCAAC-IGZO膜のXRDスペクトルを説明する図である。図7CはCAAC-IGZO膜の極微電子線回折パターンを説明する図である。

図8A、図8B、図8C、図8Dは本発明の一態様である半導体装置の作製方法を示す上面図および断面図である。

図9A、図9B、図9C、図9Dは本発明の一態様である半導体装置の作製方法を示す上面図および断面図である。

図10A、図10B、図10C、図10Dは本発明の一態様である半導体装置の作製方法を示す上面図および断面図である。

図11A、図11B、図11C、図11Dは本発明の一態様である半導体装置の作製方法を示す上面図および断面図である。

20

図12A、図12B、図12C、図12Dは本発明の一態様である半導体装置の作製方法を示す上面図および断面図である。

図13A、図13B、図13C、図13Dは本発明の一態様である半導体装置の作製方法を示す上面図および断面図である。

図14A、図14B、図14C、図14Dは本発明の一態様である半導体装置の作製方法を示す上面図および断面図である。

図15A、図15B、図15C、図15Dは本発明の一態様である半導体装置の作製方法を示す上面図および断面図である。

図16は本発明の一態様に係るマイクロ波処理装置を説明する上面図である。

30

図17は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図18は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図19は本発明の一態様に係る半導体装置の構成を示す断面図である。

図20は本発明の一態様に係る半導体装置の断面図である。

図21Aは本発明の一態様に係る半導体装置の構成例を示すブロック図である。図21Bは本発明の一態様に係る半導体装置の斜視図である。

図22は本発明の一態様に係る半導体装置の構成例を示す回路図である。

図23A、図23Bは本発明の一態様に係る半導体装置の模式図である。

図24A、図24B、図24C、図24D、図24Eは本発明の一態様に係る記憶装置の模式図である。

40

図25A、図25B、図25C、図25D、図25E、図25F、図25Gは本発明の一態様に係る電子機器を示す模式図である。

## 【発明を実施するための形態】

## 【0022】

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

## 【0023】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されてい

50

る場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

#### 【0024】

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

10

#### 【0025】

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

#### 【0026】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

20

#### 【0027】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

30

#### 【0028】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

#### 【0029】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

40

#### 【0030】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値また

50

は平均値とする。

【0031】

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、チャンネル長方向を基準として垂直方向のチャンネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

【0032】

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

【0033】

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0034】

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

【0035】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（ $V_O$ : oxygen vacancyともいう）が形成される場合がある。

【0036】

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

【0037】

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

【0038】

また、本明細書等において、「平行」とは、二つの直線が $-10$ 度以上 $10$ 度以下の角

10

20

30

40

50

度で配置されている状態をいう。したがって、 $-5$ 度以上 $5$ 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が $-30$ 度以上 $30$ 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が $80$ 度以上 $100$ 度以下の角度で配置されている状態をいう。したがって、 $85$ 度以上 $95$ 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が $60$ 度以上 $120$ 度以下の角度で配置されている状態をいう。

【0039】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう。 ) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS トランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

10

【0040】

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅  $1\mu\text{m}$  あたりのドレイン電流が、室温において  $1 \times 10^{-20}\text{A}$  以下、 $85^\circ\text{C}$  において  $1 \times 10^{-18}\text{A}$  以下、または  $125^\circ\text{C}$  において  $1 \times 10^{-16}\text{A}$  以下であることをいう。

【0041】

(実施の形態 1)

20

本実施の形態では、本発明の一態様に係る、記憶装置として機能する半導体装置の構成の一例について、図 1 乃至図 4 を用いて説明する。

【0042】

<半導体装置の構成例>

図 1 を用いて、トランジスタ 10、トランジスタ 12、およびトランジスタ 14 を有する半導体装置の構成を説明する。図 1 A は、当該半導体装置の上面図である。また、図 1 B は、当該半導体装置の断面図であり、図 1 A に A1-A2 の一点鎖線で示す部位の断面図であり、トランジスタ 10、トランジスタ 12、およびトランジスタ 14 のチャネル長方向の断面図でもある。また、図 1 C は、図 1 B に示す断面図に対応する回路図である。なお、図 1 A の上面図では、図の明瞭化のために一部の要素を省いている。なお、以下では、各トランジスタとして n チャネル型トランジスタを想定して説明する。ただし、p チャネル型トランジスタに適用するために、適宜用語または符号などを読み替えても構わない。

30

【0043】

図 1 A および図 1 B に示す半導体装置は、トランジスタ 12 とトランジスタ 14 の間に複数のトランジスタ 10 が設けられた構造 (以下において、ストリングと呼ぶ場合がある。 ) を有する。ストリングは A1-A2 方向、言い換えるとトランジスタ 10、トランジスタ 12、およびトランジスタ 14 のチャネル長方向に伸長して設けられている。また、複数のストリングが、A1-A2 方向に垂直な方向、言い換えるとトランジスタ 10、トランジスタ 12、およびトランジスタ 14 のチャネル幅方向に配列されている。なお、図 1 A では、ストリングを 3 本図示しているが、本発明はこれに限られるものではなく、ストリングの本数はメモリの設計に合わせて適宜設定すればよい。また、ストリングに設けられるトランジスタ 10 の個数に制限はないが、例えば、2 個、4 個、8 個、16 個、32 個、64 個、128 個、等の数にすればよい。

40

【0044】

ストリングは、基板 (図示せず) 上の酸化物 20 と、酸化物 20 上に配置された複数の導電体 22 と、複数の導電体 22 上に配置され、複数の導電体 22 の間の領域に重畳して複数の開口がそれぞれ形成された絶縁体 24 と、複数の開口の中にそれぞれ配置された、複数の絶縁体 26 a と、複数の絶縁体 26 a の上にそれぞれ配置された複数の電荷保持層 28 と、複数の電荷保持層 28 の上にそれぞれ配置された複数の絶縁体 26 b と、複数の

50

絶縁体 26 b の上にそれぞれ配置された複数の導電体 30 と、を有する。

【0045】

図 1 B に示すように、トランジスタ 10 は、酸化物 20 と、導電体 22 と、絶縁体 24 と、絶縁体 26 a と、電荷保持層 28 と、絶縁体 26 b と、導電体 30 と、を有する。また、トランジスタ 12 およびトランジスタ 14 は、トランジスタ 10 とほぼ同じ構造だが、絶縁体 26 a、電荷保持層 28、絶縁体 26 b の代わりに、絶縁体 26 が設けられている。ここで、酸化物 20 は A1 - A2 方向に伸長して設けられている。また、複数の導電体 22 は、酸化物 20 の上面に平行に、直線状に配列されており、複数の導電体 22 の列は、A1 - A2 方向に伸長している。また、絶縁体 26 a、電荷保持層 28、絶縁体 26 b、絶縁体 26、および導電体 30 は A1 - A2 方向に垂直な方向に伸長して設けられている。よって、トランジスタ 10、トランジスタ 12、およびトランジスタ 14 は、酸化物 20 と、導電体 30 の交わる領域に設けられているといえることができる。

10

【0046】

トランジスタ 10 において、導電体 30 は、ゲート電極として機能し、絶縁体 26 a、電荷保持層 28、および絶縁体 26 b は、ゲート絶縁体として機能し、導電体 22 はソース電極またはドレイン電極として機能する。また、トランジスタ 12、およびトランジスタ 14 において、導電体 30 は、ゲート電極として機能し、絶縁体 26 は、ゲート絶縁体として機能し、導電体 22 はソース電極またはドレイン電極として機能する。ここで、図 1 B に示すように、導電体 30 は、複数の導電体 22 の間に設けられた開口の中に配置されており、導電体 30 と導電体 22 が交互に配列されている。つまり、各ストリングにおいて、隣接するトランジスタどうしのソース電極とドレイン電極は分離されていない。つまり、導電体 22 は、A1 側に位置するトランジスタのドレイン電極であると同時に、A2 側に位置するトランジスタのソース電極である、といえることができる。このように、ストリングに設けられた、トランジスタ 10、トランジスタ 12、およびトランジスタ 14 は、ソース電極とドレイン電極が直列に接続された構成になっている。

20

【0047】

トランジスタ 10 は、導電体 30 と酸化物 20 との間に電荷保持層 28 を有する。そのため、トランジスタ 10 は、電荷保持層 28 の有する電荷の極性および量に対応するしきい値電圧となる。トランジスタ 10 は電荷保持層 28 によってしきい値電圧を制御できるため、しきい値電圧に応じたデータを記憶するメモリセル（記憶素子ともいう。）としての機能を有する。

30

【0048】

ここで、図 2 A に、トランジスタ 10 に電荷が蓄積された状態と、電荷が蓄積されていない状態の  $I_d - V_g$  カーブを模式的に示す。また、図 2 B に電荷保持層 28 に電荷を蓄積するときの断面模式図を示す。

【0049】

図 2 A の左側に示すように、例えば、電荷保持層 28 に電子が蓄積されていない状態ではトランジスタ 10 のしきい値電圧はマイナスの値である。そして、図 2 B に示すように、電荷保持層 28 に電子が蓄積されると、電子から生じる電界を打ち消すためにしきい値電圧は変動し、図 2 A の右側のようにしきい値電圧はプラスの値となる。即ち、トランジスタ 10 は、電荷保持層 28 に電子が蓄積されていない状態では導通するため  $d a t a " 1 "$  をとり、電子が蓄積された状態では導通しないため  $d a t a " 0 "$  をとる。なお、図 2 A では、 $d a t a " 1 "$  でトランジスタ 10 のしきい値電圧がマイナスになり、 $d a t a " 0 "$  でトランジスタ 10 のしきい値電圧がプラスになる例について説明したが、これに限られず、 $d a t a " 1 "$  におけるトランジスタ 10 のしきい値電圧が、 $d a t a " 0 "$  におけるトランジスタ 10 のしきい値電圧より小さくなるようにすればよい。また、メモリセルが 2 値の場合について説明したが、3 値以上（例えば、4 値、8 値、16 値および 32 値など）の多値メモリセルとしてもよい。また、電荷保持層 28 への電子の注入については後述する。

40

【0050】

50

また、トランジスタ12およびトランジスタ14は、電荷保持層28が設けられておらず、電荷を蓄積する機能を有していないため、スイッチングトランジスタとして機能する。トランジスタ12およびトランジスタ14を、導通または非導通とすることで、半導体装置のデータの、書き込み、消去、および読み出しの動作において、当該動作の対象となるストリングを選択することができる。このため、トランジスタ12およびトランジスタ14を、選択トランジスタとよぶことができる。

#### 【0051】

上記トランジスタは、チャネル形成領域を含む酸化物20に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。半導体として機能する金属酸化物は、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。バンドギャップの大きい金属酸化物を用いることで、トランジスタ10、トランジスタ12、トランジスタ14のオフ電流を低減することができる。このようにトランジスタ10、トランジスタ12、トランジスタ14のオフ電流を低減することで、ストリングにおいて、トランジスタ12とトランジスタ14の間にリーク電流が発生するのを抑制することができる。これにより、当該ストリングを用いた記憶装置の消費電力を低減することができる。

#### 【0052】

酸化物20として、例えば、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。例えば、酸化物20として、In-Ga-Zn酸化物を用いればよく、In-Ga-Zn酸化物に錫を添加した酸化物を用いてもよい。また、酸化物20として、In-Ga酸化物、In-Zn酸化物、インジウム酸化物を用いてもよい。

#### 【0053】

上記金属酸化物は、スパッタリング法などを用いて基板上に成膜することができる。よって、シリコン基板に形成した駆動回路などの周辺回路の上に重ねてメモリセルアレイを設けることができる。これにより、1チップに設けられる周辺回路の占有面積を低減し、メモリセルアレイの占有面積を増やすことができるので、半導体装置の記憶容量を大きくすることができる。さらに、上記金属酸化物膜を複数積層して成膜することで、メモリセルアレイを積層して設けることができる。これにより、メモリセルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、メモリセルアレイの積層構造体（以下、3Dセルアレイと呼ぶ場合がある。）を構成することができる。以上により、メモリセルの高集積化を図り、記憶容量の大きい半導体装置を提供することができる。

#### 【0054】

また、上記金属酸化物、特にIn-Ga-Zn酸化物を用いた半導体装置は、正常に半導体装置を動作させることができる温度範囲が-40℃以上190℃以下と、耐熱性が非常に良い。これは、相変化メモリ（PCM：Phase Change Memory）の耐熱性（-40℃以上150℃以下）、抵抗変化型メモリ（ReRAM：Resistance Random Access Memory）の耐熱性（-40℃以上125℃以下）、磁気抵抗メモリ（MRAM：Magnetoresistive Random Access Memory）の耐熱性（-40℃以上105℃以下）、などと比較しても、良好な耐熱性である。

#### 【0055】

図1Bに示すように、酸化物20は、領域20aと、領域20aを挟むように設けられた、領域20bと、を有する。領域20aは各トランジスタのチャネル形成領域として機能し、領域20bは各トランジスタのソース領域またはドレイン領域として機能する。領域20aは、少なくとも一部が導電体30と重畳している。言い換えると、領域20aは、導電体22の間の領域に設けられている。領域20bは、導電体22に重畳して設けら

10

20

30

40

50

れている。

#### 【0056】

チャネル形成領域として機能する領域20aは、領域20bよりも、酸素欠損が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって領域20aは、i型（真性）または実質的にi型であるといえることができる。また、ソース領域またはドレイン領域として機能する領域20bは、酸素欠損が多く、または水素や、窒素や、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域20bは、領域20aと比較して、キャリア濃度が高く、低抵抗なn型の領域である。なお、領域20aおよび領域20bを選択的に形成する方法については、後の実施の形態で説明する。

10

#### 【0057】

ストリングでは、図1Cに示すように、複数のトランジスタ10のソースとドレインが直列接続されており、複数のトランジスタ10のゲートは、複数の配線WLにそれぞれ接続されている。直列に接続されたトランジスタ10の一方の端部に位置するトランジスタ10のドレインは、トランジスタ12のソースと接続されており、直列に接続されたトランジスタ10の他方の端部に位置するトランジスタ10のソースは、トランジスタ14のドレインと接続されている。また、トランジスタ12のドレインは配線BLに接続され、トランジスタ12のゲートは配線SGBに接続されている。また、トランジスタ14のソースは配線SLに接続され、トランジスタ14のゲートは配線SGSに接続されている。

#### 【0058】

配線WLはメモリセルを選択するワード線として機能する。また、配線SGBおよび配線SGSはストリングを選択する選択線として機能する。また、配線BLはビット線として機能し、配線SLはソース線として機能する。

20

#### 【0059】

ここで、トランジスタ10の導電体30は配線WLとして機能し、トランジスタ12の導電体30は配線SGBとして機能し、トランジスタ14の導電体30は配線SGSとして機能する。つまり、配線WL、配線SGB、および配線SGSは、図1Aに示すように、他のストリングのトランジスタ10、トランジスタ12、およびトランジスタ14とそれぞれ接続されている。

#### 【0060】

本実施の形態に示す半導体装置では、図1Aに示すように、ストリングと、配線WL、配線SGB、および配線SGSと、が互いに直交して配列されている。また、トランジスタ10がマトリクス状に配列され、トランジスタ12およびトランジスタ14がA1-A2に垂直な方向に配列されている。ただし、ストリングと、配線WL、配線SGB、および配線SGSと、は必ずしも直交して配列されていなくてもよい。例えば、ストリングの伸長方向に対して、配線WL、配線SGB、および配線SGSの伸長方向が傾いている構成にしてもよい。

30

#### 【0061】

同じ配線WLに接続されたメモリセルのまとまりをページと呼ぶ。データの書き込みおよび読み出しはページごとにまとめて行われる。また、同じ配線SGB、および配線SGSに接続されたストリングのまとまりをブロックと呼ぶ。よって、1つのブロックに複数のページが含まれることになる。データの消去はブロックごとにまとめて行われる。また、同じブロックに含まれる複数のストリングは、同じ配線SLに電氣的に接続されていることが好ましい。

40

#### 【0062】

次に、図1に示す半導体装置の、データの書き込み、消去、および読み出し動作の一例について、図3A乃至図3Cを用いて説明する。

#### 【0063】

<書き込み動作>

まず、選択したメモリセルへのデータの書き込み動作について図3Aを用いて説明する

50

。図3Aでは、書き込みを行うページの配線WLを配線SWLとし、書き込みを行わないページの配線WLを配線NWLとする。以下では、配線SWLに接続された、data"1"のメモリセルにdata"0"を書き込む動作について説明する。

【0064】

データの書き込み動作は、上述したページごとに行うことができる。まず、書き込みを行うページに接続された配線SWLに書き込み電位 $V_{WW}$ を印加し、書き込みを行わないページに接続された配線NWLに電位 $V_{OP}$ （保持データによらずトランジスタ10が導通する電位）を印加する。なお、書き込み電位 $V_{WW}$ は、電位 $V_{OP}$ より顕著に大きい。ここで、配線SGBにトランジスタ12をオン状態にする電位を与え、配線SGSにトランジスタ14をオフ状態にする電位を与える。ここで、配線BLに電位 $V_{WD0}$ （書き込み電位 $V_{WW}$ より顕著に小さい電位）を与える。これにより、書き込みを行うページのメモリセルに配線BLの電位 $V_{WD0}$ を与えることができる。書き込みが行われるメモリセルのトランジスタ10において、電位 $V_{WD0}$ と書き込み電位 $V_{WW}$ の電位差によって、導電体22及び領域20aと電荷保持層28との間にトンネル電流が誘起されて、電荷保持層28に電子が注入される。このようにして、配線SWLに接続されたメモリセルにdata"0"が書き込まれる。

【0065】

また、データの書き込みは、ページごとに行われるため、上記の書き込みで同じブロックの他のストリングにも同時に書き込みが行われる。ここで、他のストリングのメモリセルのdata"1"を維持する場合は、当該ストリングに接続される配線BLに電位 $V_{WD1}$ （書き込み電位 $V_{WW}$ と同程度の大きさの電位）を与えればよい。電位 $V_{WD1}$ と書き込み電位 $V_{WW}$ の電位差が小さいので、配線SWLに接続された上記ストリングのトランジスタ10の電荷保持層28に電子が注入されない。よって、上記メモリセルのdata"1"を維持することができる。

【0066】

以下、同様の方法を用いて、他のページも順次書き込みを行うことができる。このようにして、ブロックに含まれる全てのページにデータの書き込みを行うことができる。

【0067】

なお、メモリセルにdata"0"およびdata"1"以外のデータを書き込むこともできる。例えば、配線BLなどの電位や、電位を印加する時間を調整することによって電荷保持層28に注入される電子量を制御すればよい。

【0068】

<消去動作>

次に、選択したブロックに含まれる全てのメモリセルのデータを一括で消去する（data"1"を書き込む）動作について図3Bを用いて説明する。図3Bでは、data"0"が書き込まれたページの配線WLを配線SWLとし、data"1"が書き込まれたページの配線WLを配線NWLとする。

【0069】

データの消去動作は、ブロックごとに行う。例えば、データを消去したいブロックに接続された配線SGSにトランジスタ14がオン状態になる電位を与え、配線SLに消去電位 $V_E$ （書き込み電位 $V_{WW}$ と同程度の大きさの電位）を与えればよい。これにより、選択したブロックのメモリセルに配線SLの消去電位 $V_E$ が与えられる。消去電位 $V_E$ により、選択したブロックのトランジスタ10の電荷保持層28から電子が引き抜かれる。このようにして、選択したブロックのメモリセルのデータが消去される。また、配線SGBにトランジスタ12がオン状態になる電位を与え、かつ配線BLに消去電位 $V_E$ を与えて、トランジスタ10の電荷保持層28から電子を引き抜いて、選択したブロックのメモリセルのデータを消去してもよい。また、配線SL、配線BLの両方に消去電位 $V_E$ を与えて、選択したブロックのメモリセルのデータを消去してもよい。

【0070】

また、上記書き込み動作の前に、データの消去を行って、書き込み対象のブロックのメ

メモリセルを、data " 1 " にしておくことが好ましい。このようにデータを消去する動作をリセット動作ともいう。

【0071】

なお、データの書き換えを行わないメモリセルのデータは、ブロックのリセット動作の前に別の領域に格納しておくことが好ましい。

【0072】

<読み出し動作>

次に、選択したメモリセルのデータの読み出し動作について図3Cを用いて説明する。図3Cでは、読み出しを行うページの配線WLを配線SWLとし、読み出しを行わないページの配線WLを配線NWLとする。以下では、配線SWLに接続されたメモリセルのdata " 0 " を読み出す動作について説明する。

【0073】

データの読み出し動作も、ページごとに行うことができる。まず、読み出しを行うページに接続された配線SWLに読み出し電位 $V_{RW}$ を印加し、読み出しを行わないページに接続された配線NWLに電位 $V_{OP}$ を印加する。なお、読み出し電位 $V_{RW}$ は、data " 0 " ならばトランジスタ10がオフ状態になり、data " 1 " ならばトランジスタ10がオン状態になる、電位である。ここで、配線SGBにトランジスタ12をオン状態にする電位を与え、配線SGSにトランジスタ14をオン状態にする電位を与える。ここで、配線BLに電位 $V_R$ を与え、かつ配線SLに電位 $V_S$ （電位 $V_R$ より小さい電位）を与える。これにより、読み出しを行うページのメモリセルの両端に配線BLの電位 $V_R$ と配線SLの電位 $V_S$ が与えられる。当該メモリセルはdata " 0 " なので、配線SLと配線BLとの間が非導通状態のままであるため、配線SLと配線BLとの間に流れる電流量はほぼ0となる。仮に、当該メモリセルがdata " 1 " である場合、配線SLと配線BLとの間が導通状態となるので、配線SLと配線BLとの間に電流が流れる。したがって、配線SLと配線BLとの間に流れる電流を計測することによって、当該メモリセルのデータを読み出すことができる。

【0074】

また、例えば、配線BLに電位 $V_R$ をプリチャージして、その後に、配線SWLに読み出し電位 $V_{RW}$ を印加し、配線NWLに電位 $V_{OP}$ を印加して、メモリセルのデータを読み出してもよい。この場合、例えば、当該メモリセルがdata " 0 " のとき、配線SLと配線BLとの間が非導通状態のままであるため、配線BLの電位 $V_R$ が維持される。一方当該メモリセルがdata " 1 " の場合は、配線SLと配線BLが導通状態になり、配線BLの電位が電位 $V_R$ から降下する。つまり、配線BLの電位を測定することで、当該メモリセルのデータを読み出すことができる。

【0075】

また、データの読み出しは、ページごとに行われるため、上記の読み出しで同じブロックの他のストリングのデータも同時に読み出すことができる。以下、同様の方法を用いて、他のページも順次読み出しを行うことができる。このようにして、ブロックに含まれる全てのページのデータの読み出しを行うことができる。

【0076】

なお、上記のデータの書き込み、消去、および読み出し動作は、本発明に係る半導体装置の駆動方法の一例であり、本発明に係る半導体装置の駆動方法はこれに限られるものではない。記憶装置の回路構成などに合わせて、各種配線に与えられる電位などは、適宜設定することができる。

【0077】

<半導体装置の変形例>

本発明の一態様に係る半導体装置は、図1A乃至図1Cに示した構造に限定されるものではない。以下に、図4Aおよび図4Bを用いて、本発明の一態様に係る半導体装置の変形例について説明する。

【0078】

## &lt;変形例 1&gt;

本発明の一態様に係る半導体装置は、図 4 A に示すように、トランジスタ 1 0 が絶縁体 2 6、導電体 3 0 a、および導電体 3 0 b を有する構成にしてもよい。図 4 A に示すストリングは、絶縁体 2 6、導電体 3 0 a、および導電体 3 0 b を有し、かつ電荷保持層 2 8、絶縁体 2 6 a および絶縁体 2 6 b を有していない点において、図 1 B に示すストリングと異なる。なお、他の構成については、図 1 B に示すストリングと同様の構成なので、上述の記載を参酌することができる。

【0079】

図 4 B に示すトランジスタ 1 0 は、導電体 2 2 および絶縁体 2 4 が形成する開口の側面および底面に接して絶縁体 2 6 が配置されており、絶縁体 2 6 に包み込まれるように導電体 3 0 a は配置されており、絶縁体 2 6 および導電体 3 0 a の上に導電体 3 0 b が配置されている。ここで、導電体 3 0 a は、絶縁体 2 6 によって、導電体 3 0 b、導電体 2 2、酸化物 2 0 などと絶縁されている。なお、導電体 3 0 a は、トランジスタ 1 0 のチャネル幅方向においても、絶縁体 2 6 で包み込まれており、各トランジスタ 1 0 で個別に設けられている。これに対して、導電体 3 0 b は配線 W L として機能するため、トランジスタ 1 0 のチャネル幅方向に伸長して設けられている。

【0080】

図 4 B に示す半導体装置は、フローティングゲート型の記憶装置であり、導電体 3 0 a がフローティングゲートとして機能し、導電体 3 0 b がコントロールゲートとして機能する。よって、図 1 A 乃至図 1 C に示す半導体装置では、電荷保持層 2 8 に電荷を蓄積することでデータを記憶したが、図 4 B に示す半導体装置では、導電体 3 0 a に電荷を溜めることでデータを記憶することができる。

【0081】

なお、上記において、絶縁体 2 6 について、上記開口の底面および側面に接する部分も、導電体 3 0 a を包み込む部分も一体としたが、本発明はこれに限られるものではない。例えば、上記開口の底面および側面に接する絶縁体と、導電体 3 0 a と導電体 3 0 b の間に形成される絶縁体を別々に設ける構成にすればよい。

【0082】

## &lt;変形例 2&gt;

また、本発明の一態様に係る半導体装置は、図 4 B に示すように、トランジスタ 1 0、トランジスタ 1 2、およびトランジスタ 1 4 に、配線 B G L に接続された第 2 のゲート電極を設ける構成にしてもよい。また、第 2 のゲート電極は、バックゲート電極と呼んでもよく、酸化物 2 0 の下に絶縁体を介して導電体 3 0 と重畳するように配置すればよい。なお、第 2 のゲート電極を設ける場合、導電体 3 0 を第 1 のゲート電極、またはトップゲート電極と呼ぶことができる。

【0083】

半導体装置の書き込み動作に合わせて、配線 B G L に電位を印加することで、導電体 3 0 に印加する書き込み電位を小さくすることができる場合がある。これにより、半導体装置の消費電力を低減することができる。さらに、書き込み時のゲート絶縁体へのダメージを低減することができるので、半導体装置の書き換え耐性の向上を図ることができる。

【0084】

また、データの消去動作の際に、配線 W L に対応する配線 B G L に消去電位  $V_E$  に相当する電位を与えて、対応するトランジスタ 1 0 の電荷保持層 2 8 から電荷を引き抜いてもよい。これにより、選択したブロックのデータを一括で消去することができるので、データ消去にかかる時間を短縮することができる。

【0085】

(実施の形態 2)

本実施の形態では、先の実施の形態に示す半導体装置の具体的な構成の一例について、図 5 乃至図 1 5 を用いて、説明する。本実施の形態では、複数のトランジスタ (トランジスタ 2 0 0 a 乃至トランジスタ 2 0 0 c) を有する半導体装置、およびその作製方法につ

10

20

30

40

50

いて説明する。なお、以下においてトランジスタ 200a 乃至トランジスタ 200c はほぼ同様の構造であり、これらをまとめてトランジスタ 200 とよぶ場合がある。ここで、トランジスタ 200 は、先の実施の形態に示したトランジスタ 10 に対応している。つまり、トランジスタ 200a 乃至トランジスタ 200c も、互いにソース電極とドレイン電極が直列に接続された構成になっている。

【0086】

また、図 5 乃至図 15 では、トランジスタ 200a 乃至トランジスタ 200c を有する半導体装置を例示しているが、本発明はこれに限られるものではない。先の実施の形態で述べたように、ストリングに含まれるメモリセル、つまりトランジスタ 200 の個数は、メモリの設計に合わせて適宜設定すればよい。また、図 5 乃至図 15 では、ストリングを 1 本しか設けていないが、本発明はこれに限られるものではない。先の実施の形態で述べたように、ストリングの本数はメモリの設計に合わせて適宜設定すればよい。

【0087】

<半導体装置の構成例>

図 5A 乃至図 5D を用いて、トランジスタ 200 を有する半導体装置の構成を説明する。図 5A 乃至図 5D は、トランジスタ 200 を有する半導体装置の上面図および断面図である。図 5A は、当該半導体装置の上面図である。また、図 5B 乃至図 5D は、当該半導体装置の断面図である。ここで、図 5B は、図 5A に A1-A2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル長方向の断面図でもある。また、図 5C は、図 5A に A3-A4 の一点鎖線で示す部位の断面図であり、トランジスタ 200a のチャネル幅方向の断面図でもある。また、図 5D は、図 5A に A5-A6 の一点鎖線で示す部位の断面図であり、トランジスタ 200a のソースまたはドレインのチャネル幅方向の断面図でもある。なお、図 5A の上面図では、図の明瞭化のために一部の要素を省いている。

【0088】

図 5A 乃至図 5D に示すように、トランジスタ 200 は、基板（図示せず）上の絶縁体 212 と、絶縁体 212 上の絶縁体 214 と、絶縁体 214 上の絶縁体 216 と、絶縁体 216 に埋め込まれるように配置された導電体 205（導電体 205a、導電体 205b、および導電体 205c）と、絶縁体 216 上、および導電体 205 上の絶縁体 222 と、絶縁体 222 上の絶縁体 224 と、絶縁体 224 上の酸化物 230a と、酸化物 230a 上の酸化物 230b と、酸化物 230b 上の、酸化物 243（酸化物 243a、および酸化物 243b）と、酸化物 243a 上の導電体 242a と、酸化物 243b 上の導電体 242b と、酸化物 230b 上の絶縁体 250a と、絶縁体 250a 上の電荷保持層 255 と、電荷保持層 255 上の絶縁体 250b と、絶縁体 250b 上に位置し、酸化物 230b の一部と重なる導電体 260（導電体 260a、および導電体 260b）と、絶縁体 224、および酸化物 230 を覆って配置される絶縁体 275 と、絶縁体 275 上の絶縁体 280 と、絶縁体 280、絶縁体 250a、絶縁体 250b、電荷保持層 255、および導電体 260 上の絶縁体 282 と、絶縁体 282 上の絶縁体 283 と、を有する。ここで、図 5B および図 5C に示すように、導電体 260 の上面は、絶縁体 250a の最上部、絶縁体 250b の最上部、電荷保持層 255 の最上部、および絶縁体 280 の上面と略一致して配置される。

【0089】

なお、以下において、酸化物 230a と酸化物 230b をまとめて酸化物 230 と呼ぶ場合がある。また、導電体 242a と導電体 242b をまとめて導電体 242 と呼ぶ場合がある。また、絶縁体 250a と絶縁体 250b をまとめて絶縁体 250 と呼ぶ場合がある。

【0090】

ここで、酸化物 230、特に酸化物 230b は、先の実施の形態の酸化物 20 に対応する。また、導電体 242 は、先の実施の形態の導電体 22 に対応する。また、絶縁体 280 は、先の実施の形態の絶縁体 24 に対応する。また、絶縁体 250a は、先の実施の形

態の絶縁体 26a に対応する。また、電荷保持層 255 は、先の実施の形態の電荷保持層 28 に対応する。また、絶縁体 250b は、先の実施の形態の絶縁体 26b に対応する。また、導電体 260 は、先の実施の形態の導電体 30 に対応する。

#### 【0091】

絶縁体 280 および絶縁体 275 には、酸化物 230b に達する開口が設けられる。当該開口内に、絶縁体 250、電荷保持層 255、および導電体 260 が配置されている。また、トランジスタ 200 のチャンネル長方向において、導電体 242a および酸化物 243a と、導電体 242b および酸化物 243b と、の間に導電体 260、電荷保持層 255、および絶縁体 250 が設けられている。ここで、絶縁体 250a は、酸化物 230b の上面と、酸化物 243 の側面と、導電体 242 の側面と、絶縁体 275 の側面と、絶縁体 280 の側面に接して設けられることが好ましい。また、電荷保持層 255 は、絶縁体 250a の上面および側面に接して設けられることが好ましい。また、絶縁体 250b は、電荷保持層 255 の上面および側面に接して設けられることが好ましい。また、導電体 260 は、絶縁体 250b の上面および側面に接して設けられることが好ましい。

10

#### 【0092】

ここで、トランジスタ 200a 乃至トランジスタ 200c において、絶縁体 212、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、酸化物 230a、酸化物 230b、絶縁体 275、絶縁体 280、絶縁体 282、および絶縁体 283 は、共通して用いられている。一方で、導電体 205、絶縁体 250a、電荷保持層 255、絶縁体 250b、および導電体 260 は、トランジスタ 200a 乃至トランジスタ 200c にそれぞれ設けられている。また、複数の導電体 242 が、チャンネル長方向に直線状に配列して設けられている。導電体 242 の間の領域に重畳して、複数の開口が設けられており、当該開口の中に、絶縁体 250a、電荷保持層 255、絶縁体 250b、および導電体 260 が形成されている。

20

#### 【0093】

酸化物 230 は、絶縁体 224 の上に配置された酸化物 230a と、酸化物 230a の上に配置された酸化物 230b と、を有することが好ましい。酸化物 230b 下に酸化物 230a を有することで、酸化物 230a よりも下方に形成された構造物から、酸化物 230b への不純物の拡散を抑制することができる。

#### 【0094】

なお、トランジスタ 200 では、酸化物 230 が、酸化物 230a、および酸化物 230b の2層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 230b の単層、または3層以上の積層構造を設ける構成にしてもよいし、酸化物 230a、および酸化物 230b のそれぞれが積層構造を有していてもよい。また、酸化物 230b の上に、酸化物 230a または酸化物 230b と同様の酸化物を積層する場合、絶縁体 250a のように、上記開口の底面および側面に沿う形状にして当該酸化物を設けてもよい。

30

#### 【0095】

導電体 260 は、例えば、第1のゲート（トップゲートともいう。）電極として機能し、導電体 205 は、例えば、第2のゲート（バックゲートともいう。）電極として機能する。また、絶縁体 250 および電荷保持層 255 は、第1のゲート絶縁体として機能し、絶縁体 222 および絶縁体 224 は、第2のゲート絶縁体として機能する。先の実施の形態で示したように、電荷保持層 255 は電荷を蓄積する機能を有しているので、トランジスタ 200 はメモリセルとして機能することができる。

40

#### 【0096】

導電体 242a は、ソースまたはドレインの一方として機能し、導電体 242b は、ソースまたはドレインの他方として機能する。また、酸化物 230 の導電体 260 と重畳する領域の少なくとも一部はチャンネル形成領域として機能する。

#### 【0097】

ここで、図5Bにおける、トランジスタ 200a のチャンネル形成領域近傍の拡大図を図

50

6に示す。図6に示すように、酸化物230bは、トランジスタ200aのチャネル形成領域として機能する領域230bcと、領域230bcを挟むように設けられ、ソース領域またはドレイン領域として機能する領域230baおよび領域230bbと、を有する。領域230bcは、少なくとも一部が導電体260と重畳している。言い換えると、領域230bcは、導電体242aと導電体242bの間の領域に設けられている。領域230baは、導電体242aに重畳して設けられており、領域230bbは、導電体242bに重畳して設けられている。

【0098】

チャネル形成領域として機能する領域230bcは、領域230baおよび領域230bbよりも、酸素欠損が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。また、ソース領域またはドレイン領域として機能する領域230baおよび領域230bbは、酸素欠損が多く、または水素や、窒素や、金属元素などの不純物濃度が高いことでキャリア濃度が増加した、低抵抗化した領域である。すなわち、領域230baおよび領域230bbは、領域230bcと比較して、キャリア濃度が高く、低抵抗な領域である。

【0099】

ここで、チャネル形成領域として機能する領域230bcのキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域230bcのキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

【0100】

また、領域230bcと領域230baまたは領域230bbとの間に、キャリア濃度が、領域230baおよび領域230bbのキャリア濃度と同等、またはそれよりも低く、領域230bcのキャリア濃度と同等、またはそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域230bcと領域230baまたは領域230bbとの接合領域として機能する。当該接合領域は、水素濃度が、領域230baおよび領域230bbの水素濃度と同等、またはそれよりも低く、領域230bcの水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域230baおよび領域230bbの酸素欠損と同等、またはそれよりも少なく、領域230bcの酸素欠損と同等、またはそれよりも多くなる場合がある。

【0101】

なお、図6では、領域230ba、領域230bb、および領域230bcが酸化物230bに形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物230bだけでなく、酸化物230aまで形成されてもよい。

【0102】

また、酸化物230において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

【0103】

ここで、領域230bcは各トランジスタ200にそれぞれ形成されているが、領域230baおよび領域230bbは、隣接する二つのトランジスタ200で共有されている。例えば、領域230baは、トランジスタ200aのソースおよびドレインの一方として機能すると同時に、トランジスタ200bのソースおよびドレインの他方として機能する。また、例えば、領域230bbは、トランジスタ200aのソースおよびドレインの他方として機能すると同時に、トランジスタ200cのソースおよびドレインの一方として機能する。このように、複数のトランジスタ200は、ソースとドレインが直列に接続

されて、先の実施の形態に示すストリングを形成している。

【0104】

トランジスタ200は、チャネル形成領域を含む酸化物230（酸化物230a、および酸化物230b）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。図5Aに示すように、酸化物230は、A1-A2方向に伸長した島状の形状を有する。

【0105】

また、半導体として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタ200のオフ電流を低減することができる。このようにトランジスタ200のオフ電流を低減することで、先の実施の形態に示すストリングにおいて、配線BLと配線SLの間にリーク電流が発生するのを抑制することができる。これにより、当該ストリングを用いた記憶装置の消費電力を低減することができる。

【0106】

酸化物230として、例えば、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。例えば、酸化物230として、In-Ga-Zn酸化物を用いればよく、In-Ga-Zn酸化物に錫を添加した酸化物を用いてもよい。また、酸化物230として、In-Ga酸化物、In-Zn酸化物、インジウム酸化物を用いてもよい。

【0107】

上記金属酸化物は、スパッタリング法などを用いて基板上に成膜することができる。よって、シリコン基板に形成した駆動回路などの周辺回路の上に重ねてメモリセルアレイを設けることができる。これにより、1チップに設けられる周辺回路の占有面積を低減し、メモリセルアレイの占有面積を増やすことができるので、半導体装置の記憶容量を大きくすることができる。さらに、上記金属酸化物膜を複数積層して成膜することで、メモリセルアレイを積層して設けることができる。これにより、メモリセルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。以上により、メモリセルの高集積化を図り、記憶容量の大きい半導体装置を提供することができる。

【0108】

ここで、酸化物230bに用いる金属酸化物における、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

【0109】

このように、酸化物230bの下に酸化物230aを配置することで、酸化物230aよりも下方に形成された構造物からの、酸化物230bに対する、不純物および酸素の拡散を抑制することができる。

【0110】

また、酸化物230aおよび酸化物230bが、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物230aと酸化物230bとの界面における欠陥準位密度を低くすることができる。酸化物230aと酸化物230bとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

【0111】

酸化物230bは、結晶性を有することが好ましい。特に、酸化物230bおとして、CAAC-OS（c-axis aligned crystalline oxide semiconductor）を用いることが好ましい。

10

20

30

40

50

## 【0112】

CAAC-Osは、結晶性の高い、緻密な構造を有しており、不純物や欠陥（例えば、酸素欠損（ $V_O$ ）など）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、 $400^{\circ}\text{C}$ 以上 $600^{\circ}\text{C}$ 以下）で加熱処理することで、CAAC-Osをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-Osの密度をより高めることで、当該CAAC-Os中の不純物または酸素の拡散をより低減することができる。

## 【0113】

一方、CAAC-Osは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-Osを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-Osを有する金属酸化物は熱に強く、信頼性が高い。

## 【0114】

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 $V_OH$ と呼ぶ場合がある。）を形成し、トランジスタのゲート電極に電圧が印加されていない状態でもキャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、および $V_OH$ はできる限り低減されていることが好ましい。言い換えると、トランジスタのゲート電極に電圧が印加されていない状態において、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、 $i$ 型（真性）または実質的に $i$ 型であることが好ましい。

## 【0115】

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、および $V_OH$ を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ200のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

## 【0116】

よって、酸化物半導体中において、チャネル形成領域として機能する領域230bcは、キャリア濃度が低減され、 $i$ 型または実質的に $i$ 型であることが好ましいが、ソース領域またはドレイン領域として機能する領域230baおよび領域230bbは、キャリア濃度が高く、 $n$ 型であることが好ましい。つまり、酸化物半導体の領域230bcの酸素欠損、および $V_OH$ を低減し、領域230baおよび領域230bbには過剰な量の酸素が供給されないようにすることが好ましい。

## 【0117】

そこで、本実施の形態では、酸化物230b上に導電体242aおよび導電体242bを設けた状態で、酸素を含む雰囲気中でマイクロ波処理を行い、領域230bcの酸素欠損、および $V_OH$ の低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

## 【0118】

酸素を含む雰囲気中でマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域230bcに照射することもできる。プラズマ、マイクロ波などの作用により、領域230bcの $V_OH$ を分断し、水素Hを領域2

10

20

30

40

50

30 b c から除去し、酸素欠損  $V_O$  を酸素で補填することができる。つまり、領域 230 b c において、「 $V_O H \rightarrow H + V_O$ 」という反応が起きて、領域 230 b c の水素濃度を低減することができる。よって、領域 230 b c 中の酸素欠損、および  $V_O H$  を低減し、キャリア濃度を低下させることができる。

#### 【0119】

また、酸素を含む雰囲気でマイクロ波処理を行う際、マイクロ波、または RF 等の高周波、酸素プラズマなどの作用は、導電体 242 a および導電体 242 b に遮蔽され、領域 230 b a および領域 230 b b には及ばない。さらに、酸素プラズマの作用は、酸化物 230 b、および導電体 242 を覆って設けられている、絶縁体 275、および絶縁体 280 によって、低減することができる。これにより、マイクロ波処理の際に、領域 230 b a および領域 230 b b で、 $V_O H$  の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

#### 【0120】

このようにして、酸化物半導体の領域 230 b c で選択的に酸素欠損、および  $V_O H$  を除去して、領域 230 b c を i 型または実質的に i 型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域 230 b a および領域 230 b b に過剰な酸素が供給されるのを抑制し、n 型を維持することができる。これにより、トランジスタ 200 の電気特性の変動を抑制し、基板面内でトランジスタ 200 の電気特性がばらつくのを抑制することができる。

#### 【0121】

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。

#### 【0122】

なお、図 5 などにおいて、導電体 260 等を埋め込む開口の側面が、酸化物 230 b の溝部も含めて、酸化物 230 b の被形成面に対して概略垂直となっているが、本実施の形態はこれに限られるものではない。例えば、当該開口の底部が緩やかな曲面を有する、U 字型の形状となってもよい。また、例えば、当該開口の側面が酸化物 230 b の被形成面に対して傾斜していてもよい。

#### 【0123】

また、図 5 C に示すように、トランジスタ 200 のチャネル幅方向の断面視において、酸化物 230 b の側面と酸化物 230 b の上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

#### 【0124】

上記湾曲面での曲率半径は、0 nm より大きく、導電体 242 と重なる領域の酸化物 230 b の膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0 nm より大きく 20 nm 以下、好ましくは 1 nm 以上 15 nm 以下、さらに好ましくは 2 nm 以上 10 nm 以下とする。このような形状にすることで、絶縁体 250 および導電体 260 の、酸化物 230 b への被覆性を高めることができる。

#### 【0125】

酸化物 230 は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物 230 a に用いる金属酸化物において、主成分である金属元素に対する元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、主成分である金属元素に対する元素 M の原子数比より、大きいことが好ましい。また、酸化物 230 a に用いる金属酸化物において、I n に対する元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、I n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 230 b に用いる金属酸化物において、元素 M に対する I n の原子数比が、酸化物 230 a に用いる金属酸化物における、元素 M に対する I n の原子数比より大きいことが好ましい。

## 【0126】

また、酸化物230bは、CAAC-Osなどの結晶性を有する酸化物であることが好ましい。CAAC-Osなどの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物230bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物230bから酸素が引き抜かれることを低減できるので、トランジスタ200は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

## 【0127】

ここで、酸化物230aと酸化物230bの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物230aと酸化物230bの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面に形成される混合層の欠陥準位密度を低くするとよい。

## 【0128】

具体的には、酸化物230aと酸化物230bが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-M-Zn酸化物の場合、酸化物230aとして、In-M-Zn酸化物、M-Zn酸化物、元素Mの酸化物、In-Zn酸化物、インジウム酸化物などを用いてもよい。

## 【0129】

具体的には、酸化物230aとして、In:M:Zn=1:3:4〔原子数比〕もしくはその近傍の組成、またはIn:M:Zn=1:1:0.5〔原子数比〕もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物230bとして、In:M:Zn=1:1:1〔原子数比〕もしくはその近傍の組成、またはIn:M:Zn=4:2:3〔原子数比〕もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

## 【0130】

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

## 【0131】

酸化物230aおよび酸化物230bを上述の構成とすることで、酸化物230aと酸化物230bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は、大きい電界効果移動度、大きいオン電流、および高い周波数特性を得ることができる。このようなトランジスタ200を先の実施の形態に示すストリングに用いることで、読み出し速度の向上を図ることができる。

## 【0132】

絶縁体212、絶縁体214、絶縁体275、絶縁体282、および絶縁体283の少なくとも一は、水、水素などの不純物が、基板側から、または、トランジスタ200の上方からトランジスタ200に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体212、絶縁体214、絶縁体275、絶縁体282、および絶縁体283の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N<sub>2</sub>O、NO、NO<sub>2</sub>など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

## 【0133】

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）のことを指す。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能のことを指す。

#### 【0134】

絶縁体212、絶縁体214、絶縁体275、絶縁体282、および絶縁体283としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体212、および絶縁体283として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体214、絶縁体275、および絶縁体282として、水素を捕獲および水素を固着する機能が強く、酸素バリア性が高い酸化アルミニウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体212および絶縁体214を介して、基板側からトランジスタ200側に拡散するのを抑制することができる。または、水、水素などの不純物が絶縁体283よりも外側に配置されている層間絶縁膜などから、トランジスタ200側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体212および絶縁体214を介して基板側に、拡散するのを抑制することができる。または、絶縁体280などに含まれる酸素が、絶縁体282などを介してトランジスタ200より上方に、拡散するのを抑制することができる。この様に、トランジスタ200を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体212、絶縁体214、絶縁体275、絶縁体282、および絶縁体283で取り囲む構造とすることが好ましい。

#### 【0135】

絶縁体212、絶縁体214、絶縁体275、絶縁体282、および絶縁体283の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を用いなくてよいので、絶縁体212、絶縁体214、絶縁体275、絶縁体282、および絶縁体283の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、化学気相成長（CVD: Chemical Vapor Deposition）法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD: Pulsed Laser Deposition）法、原子層堆積（ALD: Atomic Layer Deposition）法などを適宜用いてもよい。

#### 【0136】

また、絶縁体212、および絶縁体283の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体212、および絶縁体283の抵抗率を概略 $1 \times 10^{13} \Omega \text{cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体212、および絶縁体283が、導電体205、導電体242、または導電体260のチャージアップを緩和することができる場合がある。絶縁体212、および絶縁体283の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{cm}$ 以上 $1 \times 10^{15} \Omega \text{cm}$ 以下とする。

#### 【0137】

また、絶縁体216、および絶縁体280は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216、および絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

#### 【0138】

導電体205は、酸化物230、および導電体260と、重なるように配置する。ここで、導電体205は、絶縁体216に形成された開口に埋め込まれて設けることが好ましい。なお、導電体205の一部が、絶縁体214に埋め込まれるように設けられてもよい。

#### 【0139】

導電体 205 は、導電体 205 a、導電体 205 b、および導電体 205 c を有する。導電体 205 a は、当該開口の底面および側壁に接して設けられる。導電体 205 b は、導電体 205 a に形成された凹部に埋め込まれるように設けられる。ここで、導電体 205 b の上面は、導電体 205 a の上面および絶縁体 216 の上面より低くなる。導電体 205 c は、導電体 205 b の上面、および導電体 205 a の側面に接して設けられる。ここで、導電体 205 c の上面の高さは、導電体 205 a の上面の高さおよび絶縁体 216 の上面の高さと略一致する。つまり、導電体 205 b は、導電体 205 a および導電体 205 c に包み込まれる構成になる。

#### 【0140】

ここで、導電体 205 a および導電体 205 c は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 ( $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{NO}_2$  など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

10

#### 【0141】

導電体 205 a および導電体 205 c に、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体 205 b に含まれる水素などの不純物が、絶縁体 224 等を介して、酸化物 230 に拡散するのを防ぐことができる。また、導電体 205 a および導電体 205 c に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体 205 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体 205 a および導電体 205 c としては、上記導電性材料を単層または積層とすればよい。例えば、導電体 205 a および導電体 205 c は、窒化チタンを用いればよい。

20

#### 【0142】

また、導電体 205 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体 205 b は、タングステンをを用いればよい。

#### 【0143】

導電体 205 は、第 2 のゲート電極として機能する場合がある。その場合、導電体 205 に印加する電位を、導電体 260 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 200 のしきい値電圧 ( $V_{th}$ ) を制御することができる。また、導電体 205 に負の電位を印加することにより、トランジスタ 200 の  $V_{th}$  をより大きくし、オフ電流を低減することが可能となる。したがって、導電体 205 に負の電位を印加したほうが、印加しない場合よりも、導電体 260 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

30

#### 【0144】

さらに、記憶装置の書き込み動作に合わせて、導電体 205 に電位を印加することで、導電体 260 に印加する書き込み電位を小さくすることができる場合がある。これにより、記憶装置の消費電力を低減することができる。さらに、書き込み時の絶縁体 250 へのダメージを低減することができるので、記憶装置の書き換え耐性の向上を図ることができる。

40

#### 【0145】

また、導電体 205 の電気抵抗率は、上記の導電体 205 に印加する電位を考慮して設計され、導電体 205 の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体 216 の膜厚は、導電体 205 の膜厚とほぼ同じになる。ここで、導電体 205 の設計が許す範囲で導電体 205 および絶縁体 216 の膜厚を薄くすることが好ましい。絶縁体 216 の膜厚を薄くすることで、絶縁体 216 中に含まれる水素などの不純物の絶対量を低減することができるので、当該不純物が酸化物 230 に拡散するのを低減することができる。

#### 【0146】

50

なお、導電体 205 は、図 5 A に示すように、酸化物 230 の導電体 242 a および導電体 242 b と重ならない領域の大きさよりも、大きく設けるとよい。特に、図 5 C に示すように、導電体 205 は、酸化物 230 a および酸化物 230 b のチャンネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物 230 のチャンネル幅方向における側面の外側において、導電体 205 と、導電体 260 とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第 1 のゲート電極として機能する導電体 260 の電界と、第 2 のゲート電極として機能する導電体 205 の電界によって、酸化物 230 のチャンネル形成領域を電氣的に取り囲むことができる。本明細書において、第 1 のゲート、および第 2 のゲートの電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を、`surrounded channel (S-channel)` 構造とよぶ。

10

【0147】

なお、本明細書等において、`S-channel` 構造のトランジスタとは、一对のゲート電極の一方および他方の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等で開示する `S-channel` 構造は、`Fin` 型構造およびプレーナ型構造とは異なる。`S-channel` 構造を採用することで、短チャンネル効果に対する耐性を高める、別言すると短チャンネル効果が発生し難いトランジスタとすることができる。

【0148】

また、図 5 C に示すように、導電体 205 はチャンネル幅方向に延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体 205 の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体 205 は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体 205 を複数のトランジスタで共有する構成にしてもよい。

20

【0149】

なお、トランジスタ 200 では、導電体 205 は、導電体 205 a、導電体 205 b、および導電体 205 c を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 205 は、単層、2 層または 4 層以上の積層構造として設ける構成にしてもよい。

【0150】

絶縁体 222、および絶縁体 224 は、ゲート絶縁体として機能する。

30

【0151】

絶縁体 222 は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体 222 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 222 は、絶縁体 224 よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

【0152】

絶縁体 222 は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、酸化物 230 から基板側への酸素の放出や、トランジスタ 200 の周辺部から酸化物 230 への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体 222 を設けることで、水素等の不純物が、トランジスタ 200 の内側へ拡散することを抑制し、酸化物 230 中の酸素欠損の生成を抑制することができる。また、導電体 205 が、絶縁体 224 や、酸化物 230 が有する酸素と反応することを抑制することができる。

40

【0153】

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化

50

ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体 222 は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

#### 【0154】

また、絶縁体 222 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO<sub>3</sub>)、(Ba, Sr)TiO<sub>3</sub> (BST) などのいわゆる high-k 材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に high-k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

10

#### 【0155】

酸化物 230 と接する絶縁体 224 は、過剰酸素を含む（加熱により酸素を脱離する）ことが好ましい。例えば、絶縁体 224 は、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

#### 【0156】

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料、別言すると、過剰酸素領域を有する絶縁体材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素分子の脱離量が  $1.0 \times 10^{18} \text{ molecules/cm}^3$  以上、好ましくは  $1.0 \times 10^{19} \text{ molecules/cm}^3$  以上、さらに好ましくは  $2.0 \times 10^{19} \text{ molecules/cm}^3$  以上、または  $3.0 \times 10^{20} \text{ molecules/cm}^3$  以上である酸化膜である。なお、上記 TDS 分析時における膜の表面温度としては 100℃ 以上 700℃ 以下、または 100℃ 以上 400℃ 以下の範囲が好ましい。

20

#### 【0157】

また、トランジスタ 200 の作製工程中において、酸化物 230 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃ 以上 600℃ 以下、より好ましくは 350℃ 以上 550℃ 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 230 に酸素を供給して、酸素欠損 (Vo) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを 10 ppm 以上、1% 以上、または 10% 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 ppm 以上、1% 以上、または 10% 以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行っても良い。

30

#### 【0158】

なお、酸化物 230 に加酸素化処理を行うことで、酸化物 230 中の酸素欠損を、供給された酸素により修復させる、別言すると「 $\text{Vo} + \text{O} \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物 230 中に残存した水素に供給された酸素が反応することで、当該水素を H<sub>2</sub>O として除去する（脱水化する）ことができる。これにより、酸化物 230 中に残存していた水素が酸素欠損に再結合して VoH が形成されるのを抑制することができる。

40

#### 【0159】

なお、絶縁体 222、および絶縁体 224 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体 224 は、酸化物 230 a と重畳して島状に形成してもよい。この場合、絶縁体 275 が、絶縁体 224 の側面および絶縁体 222 の上面に接する構成になる。

#### 【0160】

50

酸化物 2 4 3 a、および酸化物 2 4 3 b が、酸化物 2 3 0 b 上に設けられる。酸化物 2 4 3 a と酸化物 2 4 3 b は、導電体 2 6 0 を挟んで離隔して設けられる。なお、酸化物 2 4 3 は、導電体 2 4 2 と重畳して設けられることが好ましく、酸化物 2 3 0 上に直線状に配列して設ければよい。

#### 【0161】

酸化物 2 4 3（酸化物 2 4 3 a、および酸化物 2 4 3 b）は、酸素の透過を抑制する機能を有することが好ましい。ソース電極やドレイン電極として機能する導電体 2 4 2 と酸化物 2 3 0 b との間に酸素の透過を抑制する機能を有する酸化物 2 4 3 を配置することで、導電体 2 4 2 と、酸化物 2 3 0 b との間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ 2 0 0 の電気特性およびトランジスタ 2 0 0 の信頼性を向上させることができる。なお、導電体 2 4 2 と酸化物 2 3 0 b の間の電気抵抗を十分低減できる場合、酸化物 2 4 3 を設けない構成にしてもよい。

#### 【0162】

酸化物 2 4 3 として、元素 M を有する金属酸化物を用いてもよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物 2 4 3 は、酸化物 2 3 0 b よりも元素 M の濃度が高いことが好ましい。また、酸化物 2 4 3 として、酸化ガリウムを用いてもよい。また、酸化物 2 4 3 として、 $In-M-Zn$  酸化物等の金属酸化物を用いてもよい。具体的には、酸化物 2 4 3 に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 4 3 の膜厚は、0.5 nm 以上 5 nm 以下が好ましく、より好ましくは 1 nm 以上 3 nm 以下、さらに好ましくは 1 nm 以上 2 nm 以下である。また、酸化物 2 4 3 は、結晶性を有すると好ましい。酸化物 2 4 3 が結晶性を有する場合、酸化物 2 3 0 中の酸素の放出を好適に抑制することが出来る。例えば、酸化物 2 4 3 としては、六方晶などの結晶構造であれば、酸化物 2 3 0 中の酸素の放出を抑制できる場合がある。

#### 【0163】

導電体 2 4 2 a は酸化物 2 4 3 a の上面に接して設けられ、導電体 2 4 2 b は、酸化物 2 4 3 b の上面に接して設けられることが好ましい。導電体 2 4 2 a および導電体 2 4 2 b は、それぞれトランジスタ 2 0 0 のソース電極またはドレイン電極として機能する。なお、導電体 2 4 2 は、酸化物 2 3 0 上に直線状に配列して設ければよい。

#### 【0164】

導電体 2 4 2（導電体 2 4 2 a、および導電体 2 4 2 b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

#### 【0165】

なお、酸化物 2 3 0 b などに含まれる水素が、導電体 2 4 2 a または導電体 2 4 2 b に拡散する場合がある。特に、導電体 2 4 2 a および導電体 2 4 2 b に、タンタルを含む窒化物を用いることで、酸化物 2 3 0 b などに含まれる水素は、導電体 2 4 2 a または導電体 2 4 2 b に拡散しやすく、拡散した水素は、導電体 2 4 2 a または導電体 2 4 2 b が有する窒素と結合することがある。つまり、酸化物 2 3 0 b などに含まれる水素は、導電体 2 4 2 a または導電体 2 4 2 b に吸い取られる場合がある。

#### 【0166】

また、導電体 2 4 2 の側面と導電体 2 4 2 の上面との間に、湾曲面が形成されないことが好ましい。当該湾曲面が形成されない導電体 2 4 2 とすることで、図 5 D に示すような、チャネル幅方向の断面における、導電体 2 4 2 の断面積を大きくすることができる。こ

れにより、導電体 242 の導電率を大きくし、トランジスタ 200 のオン電流を大きくすることができる。

【0167】

絶縁体 275 は、絶縁体 224、酸化物 230、酸化物 243 および導電体 242 を覆って設けられており、絶縁体 250、および導電体 260 が設けられる領域に開口が形成されている。絶縁体 275 は、絶縁体 224 の上面、酸化物 230 の側面、酸化物 243 の側面、導電体 242 の側面、および導電体 242 の上面に接して設けられることが好ましい。また、絶縁体 275 は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。また、絶縁体 275 は、水、水素などの不純物が、上方から絶縁体 224、または酸化物 230 に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。絶縁体 275 としては、例えば、酸化アルミニウム、または窒化シリコンなどの絶縁体を用いればよい。

10

【0168】

上記のような絶縁体 275 を設けることで、酸素に対するバリア性を有する絶縁体で導電体 242 を包み込むことができる。つまり、絶縁体 280 に含まれる酸素が、導電体 242 に拡散するのを防ぐことができる。これにより、絶縁体 280 に含まれる酸素などによって、導電体 242 が直接酸化されて抵抗率が増大し、電界効果移動度、およびオン電流が低減するのを抑制することができる。このように、トランジスタ 200 の電界効果移動度、およびオン電流を大きくすることで、記憶装置の読み出し速度を向上させることができる。

20

【0169】

絶縁体 212 と絶縁体 283 に挟まれた領域内で、絶縁体 280、および絶縁体 224 に接して、水素などの不純物を捕獲する機能を有する、絶縁体 275 を設けることで、絶縁体 280、および絶縁体 224 などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。この場合は、絶縁体 275 として、酸化アルミニウムなどを用いることが好ましい。

【0170】

絶縁体 250（絶縁体 250a、および絶縁体 250b）は、ゲート絶縁体として機能する。絶縁体 250 は、酸化物 230b の上面および側面に接して配置することが好ましい。絶縁体 250 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンなどのシリコンを含む酸化物は熱に対し安定であるため好ましい。

30

【0171】

絶縁体 250 は、絶縁体 224 と同様に、絶縁体 250 中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体 250 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

【0172】

また、絶縁体 250b と導電体 260 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 250b から導電体 260 への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 250b から導電体 260 への酸素の拡散が抑制される。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250b の酸素による導電体 260 の酸化を抑制することができる。例えば、当該金属酸化物として、酸化ハフニウムなどを用いることができる。

40

【0173】

なお、上記金属酸化物は、第 1 のゲート電極の一部としての機能を有する構成にしてもよい。例えば、酸化物 230 として用いることができる金属酸化物を、上記金属酸化物として用いることができる。その場合、導電体 260a をスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。これを OC（

50

Oxide Conductor) 電極と呼ぶことができる。

【0174】

上記金属酸化物を有することで、導電体260からの電界の影響を弱めることなく、トランジスタ200のオン電流の向上を図ることができる。また、絶縁体250bと、上記金属酸化物との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。また、絶縁体250b、および上記金属酸化物との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

【0175】

電荷保持層255としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【0176】

電荷保持層255は、絶縁体250aおよび絶縁体250bに挟まれて配置される。電荷保持層255は、電子を蓄積する機能を有すればよい。例えば、電子トラップを有する絶縁体などが好適である。電子トラップは、不純物の添加やダメージを与えることなどによって形成することができる。また、電荷保持層255と絶縁体250aとの界面、または電荷保持層255と絶縁体250bとの界面に電子トラップを有してもよい。この場合、電荷保持層255と絶縁体250aおよび電荷保持層255と絶縁体250b、が異種接合であることが好ましい。電荷保持層255と絶縁体250aとの界面に電子トラップを有する場合、絶縁体250bを設けなくてもよい場合がある。また、電荷保持層255と絶縁体250bとの界面に電子トラップを有する場合、絶縁体250aを設けなくてもよい場合がある。なお、電荷保持層255は、隣接するメモリセル間で共用されているため、電荷保持層255内での電子の移動が起こりにくいことが好ましい。ただし、隣接するメモリセルと電荷保持層255を分離させた場合は、電荷保持層255内で電子の移動が起こってもよい。即ち、電荷保持層255が半導体または導電体であってもよい。

【0177】

なお、電荷保持層255に電子を注入するために、絶縁体250aおよび絶縁体250bは、ゲート電圧またはバックゲート電圧によって電子のトンネリングを起こす厚さであることが好ましい。ただし、メモリセルがデータを保持している状態での電子の流出を抑制するために、ゲート電圧またはバックゲート電圧が印加されていない状態での電子のトンネリングが起こらない厚さであることが好ましい。ただし、電子のトンネリングを完全になくすことは困難であるため、データが保持できる程度に電子のトンネリングが起こらない厚さとすればよい。例えば、絶縁体250aおよび絶縁体250bの厚さは、3nm以上15nm以下、好ましくは4nm以上10nm以下とすればよい。また、電子の流出を抑制するために、エネルギーギャップの大きい絶縁体を用いることが好ましい。例えば、絶縁体250aおよび絶縁体250bのエネルギーギャップは、6eV以上10eV以下、好ましくは7eV以上10eV以下、さらに好ましくは8eV以上10eV以下とすればよい。

【0178】

具体的には、電荷保持層255としては、欠陥準位密度の高い窒化シリコン、窒化酸化シリコンなどのシリコンを有する窒化物を用いればよい。また、電荷保持層255として酸化ハフニウムを用いてもよい。

【0179】

導電体260は、図5Aに示すように、A3-A4方向に伸長して設けられており、ト

10

20

30

40

50

ランジスタ 200 の第 1 のゲート電極として機能する。導電体 260 は、導電体 260 a と、導電体 260 a の上に配置された導電体 260 b と、を有することが好ましい。例えば、導電体 260 a は、導電体 260 b の底面および側面を包むように配置されることが好ましい。また、図 5 B および図 5 C に示すように、導電体 260 の上面は、絶縁体 250 および電荷保持層 255 の上面と略一致している。なお、図 5 B および図 5 C では、導電体 260 は、導電体 260 a と導電体 260 b の 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

#### 【0180】

導電体 260 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

10

#### 【0181】

また、導電体 260 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 250 に含まれる酸素により、導電体 260 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

#### 【0182】

また、導電体 260 は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体 260 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 260 b は積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

20

#### 【0183】

また、ランジスタ 200 では、導電体 260 は、絶縁体 280 などに形成されている開口を埋めるように自己整合的に形成される。導電体 260 をこのように形成することにより、導電体 242 a と導電体 242 b との間の領域に、位置合わせをしなくても導電体 260 を配置することができる。

#### 【0184】

また、図 5 C に示すように、ランジスタ 200 のチャンネル幅方向において、絶縁体 222 の底面を基準としたときの、導電体 260 の、導電体 260 と酸化物 230 b とが重ならない領域の底面の高さは、酸化物 230 b の底面の高さより低いことが好ましい。ゲート電極として機能する導電体 260 が、絶縁体 250 などを介して、酸化物 230 b のチャンネル形成領域の側面および上面を覆う構成とすることで、導電体 260 の電界を酸化物 230 b のチャンネル形成領域全体に作用させやすくなる。よって、ランジスタ 200 のオン電流を増大させ、周波数特性を向上させることができる。絶縁体 222 の底面を基準としたときの、酸化物 230 a および酸化物 230 b と、導電体 260 とが、重ならない領域における導電体 260 の底面の高さ、と、酸化物 230 b の底面の高さとの差は、0 nm 以上 100 nm 以下、好ましくは、3 nm 以上 50 nm 以下、より好ましくは、5 nm 以上 20 nm 以下とする。

30

#### 【0185】

絶縁体 280 は、絶縁体 275 上に設けられ、絶縁体 250、および導電体 260 が設けられる領域に開口が形成されている。また、絶縁体 280 の上面は、平坦化されていてもよい。

#### 【0186】

層間膜として機能する絶縁体 280 は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体 280 は、例えば、絶縁体 216 と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素

40

50

を含む領域を容易に形成することができるため好ましい。

#### 【0187】

絶縁体280は、絶縁体224と同様に、過剰酸素領域または過剰酸素を有することが好ましい。また、絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体280は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を適宜用いればよい。過剰酸素を有する絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

#### 【0188】

絶縁体282は、導電体260および絶縁体280のそれぞれの上表面、ならびに絶縁体250および電荷保持層255のそれぞれの最上部と接して配置される。絶縁体282は、水、水素などの不純物が、上方から絶縁体280に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。また、絶縁体282は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体282としては、例えば、酸化アルミニウムなどの絶縁体を用いればよい。絶縁体212と絶縁体283に挟まれた領域内で、絶縁体280に接して、水素などの不純物を捕獲する機能を有する、絶縁体282を設けることで、絶縁体280などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。

#### 【0189】

絶縁体283は、水、水素などの不純物が、上方から絶縁体280に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体283は、絶縁体282の上に配置される。絶縁体283としては、窒化シリコンまたは窒化酸化シリコンなどの、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体283としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体283をスパッタリング法で成膜することで、密度が高く、鬆などが形成されにくい窒化シリコン膜を形成することができる。また、絶縁体283として、スパッタリング法で成膜された窒化シリコンの上に、さらに、CVD法で成膜された窒化シリコンを積層してもよい。

#### 【0190】

上記においては、トランジスタ10に対応したトランジスタ200の構成について説明したが、先の実施の形態に示すトランジスタ12、トランジスタ14も同様の構成にすることができる。つまり、トランジスタ12、およびトランジスタ14については、トランジスタ200において、電荷保持層255、および絶縁体250bを設けない構成にすればよい。トランジスタ12およびトランジスタ14をこのような構成にすることで、オフ電流の低減されたトランジスタにすることができる。これにより、先の実施の形態に示すストリングにおいて、配線BLと配線SLの間のリーク電流を低減し、消費電力の低い半導体装置を提供することができる。

#### 【0191】

##### <半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

#### 【0192】

##### <<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板

、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0193】

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【0194】

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0195】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

【0196】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

【0197】

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

【0198】

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

【0199】

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か

10

20

30

40

50

、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

10

#### 【0200】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

#### 【0201】

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

20

#### 【0202】

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタンまたは窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

30

#### 【0203】

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

#### 【0204】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

40

#### 【0205】

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、及び錫の中から選ばれる一または複数とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、

50

セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0206】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【0207】

＜結晶構造の分類＞

まず、酸化物半導体における、結晶構造の分類について、図7Aを用いて説明を行う。図7Aは、酸化物半導体、代表的にはIGZO (Inと、Gaと、Znと、を含む金属酸化物) の結晶構造の分類を説明する図である。

【0208】

図7Aに示すように、酸化物半導体は、大きく分けて「Amorphous (無定形)」と、「Crystalline (結晶性)」と、「Crystal (結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC (c-axis-aligned crystalline)、nc (nanocrystalline)、及びCAC (cloud-aligned composite) が含まれる (excluding single crystal and poly crystal)。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

【0209】

なお、図7Aに示す太枠内の構造は、「Amorphous (無定形)」と、「Crystal (結晶)」との間の中間状態であり、新しい境界領域 (New crystal line phase) に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous (無定形)」や、「Crystal (結晶)」とは全く異なる構造と言い換えることができる。

【0210】

なお、膜または基板の結晶構造は、X線回折 (XRD: X-Ray Diffraction) スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD (Grazing-Incidence XRD) 測定で得られるXRDスペクトルを図7Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図7Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図7Bに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3 [原子数比] 近傍である。また、図7Bに示すCAAC-IGZO膜の厚さは、500nmである。

【0211】

図7Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$  近傍に、c軸配向を示すピークが検出される。なお、図7Bに示すように、 $2\theta = 31^\circ$  近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

【0212】

また、膜または基板の結晶構造は、極微電子線回折法 (NBED: Nano Beam Electron Diffraction) によって観察される回折パターン (極微電子線回折パターンともいう。) にて評価することができる。CAAC-IGZO膜の回折パターンを、図7Cに示す。図7Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図7Cに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3 [原子数比] 近傍である。また、極微電子線回折法で

は、プローブ径を1 nmとして電子線回折が行われる。

【0213】

図7Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

【0214】

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図7Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

【0215】

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

【0216】

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

【0217】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶(最大径が10 nm未満である結晶)で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10 nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

【0218】

また、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種)において、CAAC-OSは、インジウム(In)、及び酸素を有する層(以下、In層)と、元素M、亜鉛(Zn)、及び酸素を有する層(以下、(M, Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn)層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

【0219】

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$  スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$  またはその近傍に検出される。なお、c軸配向を示すピークの位置( $2\theta$ の値)は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

【0220】

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点(スポット)が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット(ダイレクトスポットともいう。)を対称中心として、点対称の位置に観測さ

10

20

30

40

50

れる。

#### 【0221】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

10

#### 【0222】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲され、トランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

#### 【0223】

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

20

#### 【0224】

##### [nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$  スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

30

40

#### 【0225】

##### [a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like

50

OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

【0226】

<酸化物半導体の構成>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

【0227】

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0228】

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

【0229】

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

【0230】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

【0231】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

【0232】

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

【0233】

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ $I_{on}$ ）、高い電界効果移動度（ $\mu$ ）、および良好なスイッチング動作を実現することができる。

10

20

30

40

50

## 【0234】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、*a-like OS*、*CAC-OS*、*nc-OS*、*CAAC-OS*のうち、二種以上を有していてもよい。

## 【0235】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

## 【0236】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

## 【0237】

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

## 【0238】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

## 【0239】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

## 【0240】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

## 【0241】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

## 【0242】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンや炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（*SIMS: Secondary Ion Mass Spectrometry*）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

## 【0243】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、*SIMS*により得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16}$

$\text{atoms}/\text{cm}^3$  以下にする。

【0244】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、 $n$ 型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャンネル形成領域中の窒素濃度を、 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$  未満、好ましくは  $5 \times 10^{18} \text{ atoms}/\text{cm}^3$  以下、より好ましくは  $1 \times 10^{18} \text{ atoms}/\text{cm}^3$  以下、さらに好ましくは  $5 \times 10^{17} \text{ atoms}/\text{cm}^3$  以下にする。

10

【0245】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャンネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャンネル形成領域において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms}/\text{cm}^3$  未満、好ましくは  $5 \times 10^{19} \text{ atoms}/\text{cm}^3$  未満、より好ましくは  $1 \times 10^{19} \text{ atoms}/\text{cm}^3$  未満、さらに好ましくは  $5 \times 10^{18} \text{ atoms}/\text{cm}^3$  未満、さらに好ましくは  $1 \times 10^{18} \text{ atoms}/\text{cm}^3$  未満にする。

20

【0246】

不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

【0247】

<<その他の半導体材料>>

酸化物230に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物230として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

30

【0248】

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャンネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

【0249】

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

40

【0250】

酸化物230として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物230として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には  $\text{MoS}_2$ ）、セレン化モリブデン（代表的には  $\text{MoSe}_2$ ）、モリブデンテルル（代表的には  $\text{MoTe}_2$ ）、硫化タングステン（代表的には  $\text{WS}_2$ ）、セレン化タングステン（代表的には  $\text{WSe}_2$ ）、タングステンテルル（代表的には

50

WTe<sub>2</sub>）、硫化ハフニウム（代表的にはHfS<sub>2</sub>）、セレン化ハフニウム（代表的にはHfSe<sub>2</sub>）、硫化ジルコニウム（代表的にはZrS<sub>2</sub>）、セレン化ジルコニウム（代表的にはZrSe<sub>2</sub>）などが挙げられる。

【0251】

<半導体装置の作製方法>

次に、図5A乃至図5Dに示す、本発明の一態様である半導体装置の作製方法を、図8A乃至図15A、図8B乃至図15B、図8C乃至図15C、および図8D乃至図15Dを用いて説明する。

【0252】

図8A乃至図15Aのそれぞれは上面図を示す。また、図8B乃至図15Bのそれぞれは、図8A乃至図15Aに示すA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、図8C乃至図15Cのそれぞれは、図8A乃至図15AにA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。また、図8D乃至図15Dのそれぞれは、図8A乃至図15AにA5-A6の一点鎖線で示す部位の断面図である。なお、図8A乃至図15Aのそれぞれの上面図では、図の明瞭化のために一部の要素を省いている。

【0253】

以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、または半導体を形成するための半導体材料は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて成膜することができる。

【0254】

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルス的に電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

【0255】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0256】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0257】

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD（Thermal ALD）法、プラズマ励起されたリアクタントを用いるPEALD（Plasma Enhanced ALD）法などを用いることができる。

【0258】

また、ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホー

10

20

30

40

50

ルなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。P E A L D法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、A L D法で用いるプリカーサには炭素などの不純物を含むものがある。このため、A L D法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法（X P S : X - r a y   P h o t o e l e c t r o n   S p e c t r o s c o p y）を用いて行うことができる。

【0259】

C V D法およびA L D法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、A L D法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、A L D法は、比較的成膜速度が遅いため、成膜速度の速いC V D法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

10

【0260】

C V D法およびA L D法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、C V D法およびA L D法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、C V D法およびA L D法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

20

【0261】

まず、基板（図示しない。）を準備し、当該基板上に絶縁体212を成膜する（図8A乃至図8D参照。）。絶縁体212の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体212中の水素濃度を低減することができる。ただし、絶縁体212の成膜は、スパッタリング法に限られるものではなく、C V D法、M B E法、P L D法、A L D法などを適宜用いてもよい。

30

【0262】

本実施の形態では、絶縁体212として、窒素ガスを含む雰囲気でシリコンターゲットを用いて、パルスD Cスパッタリング法で窒化シリコンを成膜する。パルスD Cスパッタリング法を用いることで、ターゲット表面のアーキングによるパーティクルの発生を抑制することができるので、膜厚分布をより均一にすることができる。また、パルス電圧を用いることで、高周波電圧より、放電の立ち上がり、立ち下がり急峻にすることができる。これにより、電極に、電力をより効率的に供給しスパッタレート、および膜質を向上することができる。

【0263】

窒化シリコンのように水、水素などの不純物が透過しにくい絶縁体を用いることにより、絶縁体212より下層に含まれる水、水素などの不純物の拡散を抑制することができる。また、絶縁体212として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体212より下層（図示しない。）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体212を介して上方に拡散するのを抑制することができる。

40

【0264】

次に、絶縁体212上に絶縁体214を成膜する（図8A乃至図8D参照。）。絶縁体214の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体214中の水素濃度を低減することができる。ただし、絶縁体214の成膜は、スパッタリング法に限られるものではなく

50

、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。

【0265】

本実施の形態では、絶縁体214として、酸素ガスを含む雰囲気中でアルミニウムターゲットを用いて、パルスDCスパッタリング法で酸化アルミニウムを成膜する。パルスDCスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

【0266】

絶縁体214として、水素を捕獲および水素を固着する機能が高い、酸化アルミニウムを用いることで、絶縁体214上に成膜される絶縁体216などに含まれる水素を捕獲または固着し、当該水素が酸化物230に拡散するのを防ぐことができる。

10

【0267】

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体216中の水素濃度を低減することができる。ただし、絶縁体216の成膜は、スパッタリング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。

【0268】

本実施の形態では、絶縁体216として、酸素ガスを含む雰囲気中でシリコンターゲットを用いて、パルスDCスパッタリング法で酸化シリコンを成膜する。パルスDCスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

20

【0269】

絶縁体212、絶縁体214、および絶縁体216は、大気に暴露することなく連続して成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、絶縁体212、絶縁体214、および絶縁体216を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。

【0270】

次に、絶縁体216に絶縁体214に達する開口を、A3-A4方向に延伸して形成する。当該開口は、トランジスタ200の配列に合わせて適宜設ければよい。なお、開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体214は、絶縁体216をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体216に酸化シリコンまたは酸化窒化シリコンを用いた場合は、絶縁体214は窒化シリコン、酸化アルミニウム、または酸化ハフニウムを用いるとよい。

30

【0271】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ(CCP: Capacitively Coupled Plasma)エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ(ICP: Inductively Coupled Plasma)エッチング装置などを用いることができる。

40

【0272】

開口の形成後に、導電体205aとなる導電膜を成膜する(図8A乃至図8D参照)。導電体205aとなる導電膜は、酸素の透過を抑制する機能を有する導電体を含むこと

50

が望ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体 205 a となる導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

【0273】

本実施の形態では、導電体 205 a となる導電膜として窒化チタンを成膜する。このような金属窒化物を後述する導電体 205 b の下層に用いることにより、絶縁体 216 などによって、導電体 205 b が酸化されるのを抑制することができる。また、導電体 205 b として銅などの拡散しやすい金属を用いても、当該金属が導電体 205 a から外に拡散するのを防ぐことができる。

10

【0274】

次に、導電体 205 b となる導電膜を成膜する（図 8 A 乃至図 8 D 参照。）。導電体 205 b となる導電膜としては、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金などを用いることができる。該導電膜の成膜は、メッキ法、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、導電体 205 b となる導電膜として、タングステンを成膜する。

【0275】

次に、CMP 処理を行うことで、導電体 205 a となる導電膜および導電体 205 b となる導電膜の一部を除去し、絶縁体 216 を露出する。その結果、開口部のみに、導電体 205 a および導電体 205 b が残存する。なお、当該 CMP 処理により、絶縁体 216 の一部が除去される場合がある。

20

【0276】

次に、エッチングを行って、導電体 205 b の上部を除去する。これにより、導電体 205 b の上面は、導電体 205 a の上面および絶縁体 216 の上面より低くなる。導電体 205 b のエッチングには、ドライエッチングまたはウェットエッチングを用いればよいが、ドライエッチングを用いるほうが微細加工には好ましい。

【0277】

次に、絶縁体 216、導電体 205 a、および導電体 205 b の上に、導電体 205 c となる導電膜を成膜する。導電体 205 c となる導電膜は、導電体 205 a となる導電膜と同様に、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。

30

【0278】

本実施の形態では、導電体 205 c となる導電膜として窒化チタンを成膜する。このような金属窒化物を導電体 205 b の上層に用いることにより、絶縁体 222 などによって、導電体 205 b が酸化されるのを抑制することができる。また、導電体 205 b として銅などの拡散しやすい金属を用いても、当該金属が導電体 205 c から外に拡散するのを防ぐことができる。

【0279】

次に、CMP 処理を行うことで、導電体 205 c となる導電膜の一部を除去し、絶縁体 216 を露出する（図 8 A 乃至図 8 D 参照。）。その結果、開口部のみに、導電体 205 a、導電体 205 b、および導電体 205 c が残存する。これにより、上面が平坦な、導電体 205 を形成することができる。さらに、導電体 205 b が、導電体 205 a および導電体 205 c に包みこまれる構成になる。よって、導電体 205 b から水素などの不純物が導電体 205 a および導電体 205 c の外に拡散するのを防ぎ、かつ導電体 205 a および導電体 205 c の外から酸素が混入し、導電体 205 b を酸化するのを防ぐことができる。なお、当該 CMP 処理により、絶縁体 216 の一部が除去される場合がある。

40

【0280】

次に、絶縁体 216、および導電体 205 上に絶縁体 222 を成膜する（図 8 A 乃至図 8 D 参照。）。絶縁体 222 として、アルミニウムおよびハフニウム的一方または双方の

50

酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体 222 が、水素および水に対するバリア性を有することで、トランジスタ 200 の周辺に設けられた構造体に含まれる水素、および水が、絶縁体 222 を通じてトランジスタ 200 の内側へ拡散することが抑制され、酸化物 230 中の酸素欠損の生成を抑制することができる。

#### 【0281】

絶縁体 222 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、絶縁体 222 として、スパッタリング法を用いて、酸化ハフニウムを成膜する。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 222 中の水素濃度を低減することができる。

#### 【0282】

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを20%程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

#### 【0283】

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、絶縁体 222 などに水分等が取り込まれることを可能な限り防ぐことができる。

#### 【0284】

本実施の形態では、加熱処理として、絶縁体 222 の成膜後に、窒素ガスと酸素ガスの流量比を4slm:1slmとして、400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体 222 に含まれる水、水素などの不純物を除去することなどができる。また、絶縁体 222 として、ハフニウムを含む酸化物を用いる場合、当該加熱処理によって、絶縁体 222 の結晶性を向上させることができる。また、加熱処理は、絶縁体 224 の成膜後などのタイミングで行うこともできる。

#### 【0285】

次に、絶縁体 222 上に絶縁体 224 を成膜する（図8A乃至図8D参照。）。絶縁体 224 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、絶縁体 224 として、スパッタリング法を用いて、酸化シリコンを成膜する。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 224 中の水素濃度を低減することができる。絶縁体 224 は、後の工程で酸化物 230a と接するので、このように水素濃度が低減されていることが好適である。

#### 【0286】

ここで、絶縁体 224 に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF（Radio Frequency）を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体 224 内に導く

ことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体 224 に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

#### 【0287】

ここで、絶縁体 224 上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁体 224 に達するまで、CMP 処理によって酸化アルミニウムの除去を行ってもよい。当該 CMP 処理を行うことで絶縁体 224 表面の平坦化および平滑化を行うことができる。当該酸化アルミニウムを絶縁体 224 上に配置して CMP 処理を行うことで、CMP 処理の終点検出が容易となる。また、CMP 処理によって、絶縁体 224 の一部が研磨されて、絶縁体 224 の膜厚が薄くなることがあるが、絶縁体 224 の成膜時に膜厚を調整すればよい。絶縁体 224 表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁体 224 上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体 224 に酸素を添加することができるので好ましい。

#### 【0288】

次に、絶縁体 224 上に、酸化膜 230A、酸化膜 230B を順に成膜する（図 8A 乃至図 8D 参照。）。なお、酸化膜 230A および酸化膜 230B は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜 230A、および酸化膜 230B 上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜 230A と酸化膜 230B との界面近傍を清浄に保つことができる。

#### 【0289】

酸化膜 230A、および酸化膜 230B の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

#### 【0290】

例えば、酸化膜 230A、および酸化膜 230B をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記の In-M-Zn 酸化物ターゲットなどを用いることができる。

#### 【0291】

特に、酸化膜 230A の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 224 に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は 70% 以上、好ましくは 80% 以上、より好ましくは 100% とすればよい。

#### 【0292】

また、酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30% を超えて 100% 以下、好ましくは 70% 以上 100% 以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャンネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を 1% 以上 30% 以下、好ましくは 5% 以上 20% 以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャンネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

#### 【0293】

本実施の形態では、酸化膜 230A として、スパッタリング法によって、In:Ga:Zn=1:3:4 [原子数比] の酸化物ターゲットを用いて成膜する。また、酸化膜 230B として、スパッタリング法によって、In:Ga:Zn=4:2:4.1 [原子数比] の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比

を適宜選択することで、後の工程の加工によって得られる酸化物 230 a、および酸化物 230 b に求める特性に合わせて形成するとよい。

【0294】

次に、酸化膜 230 B 上に酸化膜 243 A を成膜する（図 8 A 乃至図 8 D 参照）。酸化膜 243 A の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。酸化膜 243 A は、In に対する Ga の原子数比が、酸化膜 230 B の In に対する Ga の原子数比より大きいことが好ましい。本実施の形態では、酸化膜 243 A として、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$  [原子数比] の酸化物ターゲットを用いて成膜する。

【0295】

なお、絶縁体 222、絶縁体 224、酸化膜 230 A、酸化膜 230 B、および酸化膜 243 A を、大気に暴露することなく、スパッタリング法で成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、絶縁体 222、絶縁体 224、酸化膜 230 A、酸化膜 230 B、および酸化膜 243 A を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。

【0296】

次に、加熱処理を行うことが好ましい。加熱処理は、酸化膜 230 A、酸化膜 230 B、および酸化膜 243 A が多結晶化しない温度範囲で行えばよく、 $250^{\circ}\text{C}$  以上  $650^{\circ}\text{C}$  以下、好ましくは  $400^{\circ}\text{C}$  以上  $600^{\circ}\text{C}$  以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを 20% 程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上、1% 以上、または 10% 以上含む雰囲気で行ってもよい。

【0297】

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が 1 ppb 以下、好ましくは 0.1 ppb 以下、より好ましくは 0.05 ppb 以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、酸化膜 230 A、酸化膜 230 B、および酸化膜 243 A などに水分等が取り込まれることを可能な限り防ぐことができる。

【0298】

本実施の形態では、加熱処理として、窒素雰囲気にて  $550^{\circ}\text{C}$  の温度で 1 時間の処理を行った後に、連続して酸素雰囲気にて  $550^{\circ}\text{C}$  の温度で 1 時間の処理を行う。当該加熱処理によって、酸化膜 230 A、酸化膜 230 B、および酸化膜 243 A 中の水、水素などの不純物を除去することなどができる。さらに、当該加熱処理によって、酸化膜 230 B の結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、酸化膜 230 B 中における、酸素または不純物の拡散を低減することができる。

【0299】

次に、酸化膜 243 A 上に導電膜 242 A を成膜する（図 8 A 乃至図 8 D 参照）。導電膜 242 A の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。例えば、導電膜 242 A として、スパッタリング法を用いて窒化タンタルを成膜すればよい。なお、導電膜 242 A の成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜 242 A を成膜してもよい。このような処理を行うことによって、酸化膜 243 A の表面などに吸着している水分および水素を除去し、さらに酸化膜 230 A、酸化膜 230 B、および酸化膜 243 A 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、 $100^{\circ}\text{C}$  以上  $400^{\circ}\text{C}$  以下が好ましい。本実施の形態では、加熱処理の温度を  $200^{\circ}\text{C}$  とする。

## 【0300】

次に、例えば、リソグラフィー法を用いて、酸化膜230A、酸化膜230B、酸化膜243A、および導電膜242AをA1-A2方向に伸長した島状に加工して、酸化物230a、酸化物230b、酸化物層243B、および導電層242Bを形成する（図9A乃至図9D参照。）。酸化物230a、酸化物230b、酸化物層243B、および導電層242Bは、トランジスタ200の配列に合わせて適宜設ければよい。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、酸化膜230A、酸化膜230B、酸化膜243A、および導電膜242Aの加工は、それぞれ異なる条件で加工してもよい。なお、当該工程において、絶縁体224の酸化物230aと重ならない領域の膜厚が薄くなる  
10

## 【0301】

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV（Extreme Ultraviolet）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光  
20

に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、レジストの所望の領域を選択してビームを照射することができるため、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

## 【0302】

さらに、レジストマスクの下に絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜242A上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで  
30

所望の形状のハードマスクを形成することができる。導電膜242Aなどのエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電膜242Aなどのエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。例えば、ハードマスクを絶縁膜で形成した場合、当該ハードマスクを残存させて、バリア絶縁膜として用いてもよい。

## 【0303】

また、酸化物230a、酸化物230b、酸化物層243B、および導電層242Bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、酸化物230b、酸化物層243B、および導電層242Bの側面は、絶縁体222の上面に対し、概略垂直であることが好ましい。酸化物230a、酸化物230b、酸化物層243B、および導電層242Bの側面が、絶縁体222の上面に対し、概略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。または、酸化物230a、酸化物230b、酸化物層243B、および導電層242Bの側面と、絶縁体222の上面とのなす角が低い角度になる構成にしてもよい。その場合、酸化物230a、酸化物230b、酸化物層243B、および導電層242Bの側面と、絶縁体222の上面とのなす角は60度以上70度未満が好ましい。このような形状とすることで、これより後の工程において、絶縁体275などの被覆性が向上し、鬆などの欠陥を低減  
40

することができる。

10

20

30

40

50

## 【0304】

また、上記エッチング工程で発生した副生成物が、酸化物230a、酸化物230b、酸化物層243B、および導電層242Bの側面に層状に形成される場合がある。この場合、当該層状の副生成物が、酸化物230a、酸化物230b、酸化物層243B、および導電層242Bと、後に成膜される絶縁体275の間に残存することになる。また、同様に層状の副生成物が、絶縁体224上に残存する場合がある。当該層状の副生成物が絶縁体224上に残存した状態で、絶縁体275を成膜しても、当該層状の副生成物によって、絶縁体224への酸素の添加が妨害されてしまう。よって、絶縁体224の上面に接して形成された当該層状の副生成物は、除去することが好ましい。

## 【0305】

次に、絶縁体224、酸化物230a、酸化物230b、酸化物層243B、および導電層242B上に、絶縁体275を成膜する。（図10A乃至図10D参照。）。絶縁体275の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。絶縁体275は、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、絶縁体275として、スパッタリング法によって、酸化アルミニウムを成膜すればよい。スパッタリング法で絶縁体275を成膜することで、絶縁体224に酸素を添加することができる。

## 【0306】

次に、絶縁体275上に、絶縁体280となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。例えば、当該絶縁膜として、スパッタリング法を用いて酸化シリコン膜を成膜すればよい。絶縁体280となる絶縁膜を、酸素を含む雰囲気中で、スパッタリング法で成膜することで、過剰酸素を含む絶縁体280を形成することができる。また、成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体280中の水素濃度を低減することができる。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁体275の表面などに吸着している水分および水素を除去し、さらに酸化物230a、酸化物230b、酸化物層243B、および絶縁体224中の水分濃度および水素濃度を低減させることができる。当該加熱処理には、上述した加熱処理条件を用いることができる。

## 【0307】

次に、上記絶縁体280となる絶縁膜にCMP処理を行い、上面が平坦な絶縁体280を形成する（図10A乃至図10D参照。）。なお、絶縁体280上に、例えば、スパッタリング法によって窒化シリコンを成膜し、絶縁体280に達するまで、該窒化シリコンにCMP処理を行ってもよい。

## 【0308】

次に、絶縁体280の一部、絶縁体275の一部、導電層242Bの一部、酸化物層243Bの一部、酸化物230bの一部を加工して、酸化物230bに達する開口を形成する。当該開口は、導電体205と重なるように形成することが好ましい。当該開口の形成によって、導電体242a、導電体242b、酸化物243a、および酸化物243bを形成する（図11A乃至図11D参照。）。つまり、複数の導電体242、および複数の酸化物243は、当該開口で分断されて、直線状に配列される。ここで、当該開口から酸化物230bの上面が露出する。

## 【0309】

上記開口を形成する際に、酸化物230bの上部が除去される。酸化物230bの一部が除去されることで、酸化物230bに溝部が形成される。当該溝部の深さによっては、当該溝部を、上記開口の形成工程で形成してもよいし、上記開口の形成工程と異なる工程で形成してもよい。

## 【0310】

また、絶縁体280の一部、絶縁体275の一部、導電層242Bの一部、酸化物層2

10

20

30

40

50

43Bの一部、酸化物230bの一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体280の一部をドライエッチング法で加工し、絶縁体275の一部をウェットエッチング法で加工し、酸化物層243Bの一部、導電層242Bの一部、および酸化物230bの一部をドライエッチング法で加工してもよい。また、酸化物層243Bの一部および導電層242Bの一部の加工と、酸化物230bの一部の加工とは、異なる条件で行ってもよい。

#### 【0311】

ここで、酸化物230a、酸化物230bなどの表面に付着または内部に拡散した不純物を除去することが好ましい。また、上記ドライエッチングで酸化物230b表面に形成される、損傷領域を除去することが好ましい。当該不純物としては、絶縁体280、絶縁体275、および導電層242Bに含まれる成分、上記開口を形成する際に用いられる装置に使われている部材に含まれる成分、エッチングに使用するガスまたは液体に含まれる成分などに起因したものが挙げられる。当該不純物としては、例えば、アルミニウム、シリコン、タンタル、フッ素、塩素などがある。

#### 【0312】

特に、アルミニウム、またはシリコンなどの不純物は、酸化物230bのCAAC-OS化を阻害する。よって、アルミニウム、またはシリコンなどの、CAAC-OS化を阻害する不純物元素が、低減または除去されていることが好ましい。例えば、酸化物230b、およびその近傍における、アルミニウム原子の濃度が、5.0原子%以下とすればよく、2.0原子%以下が好ましく、1.5原子%以下がより好ましく、1.0原子%以下がさらに好ましく、0.3原子%未満がさらに好ましい。

#### 【0313】

なお、アルミニウム、またはシリコンなどの不純物によりCAAC-OS化が阻害され、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)となった金属酸化物の領域を、非CAAC領域と呼ぶ場合がある。非CAAC領域では、結晶構造の緻密さが低下しているため、VOHが多量に形成され、トランジスタがノーマリーオン化しやすくなる。よって、酸化物230bの非CAAC化領域は、低減または除去されていることが好ましい。

#### 【0314】

これに対して、酸化物230bに層状のCAAC構造を有していることが好ましい。特に、酸化物230bのドレイン下端部までCAAC構造を有することが好ましい。ここで、トランジスタ200において、導電体242aまたは導電体242b、およびその近傍がドレインとして機能する。つまり、導電体242a(導電体242b)の下端部近傍の、酸化物230bが、CAAC構造を有することが好ましい。このように、ドレイン耐圧に顕著に影響するドレイン端部においても、酸化物230bの損傷領域が除去され、CAAC構造を有することで、トランジスタ200の電気特性の変動をさらに抑制することができる。また、トランジスタ200の信頼性を向上させることができる。

#### 【0315】

上記の不純物などを除去するために、洗浄処理を行う。洗浄方法としては、洗浄液などを用いたウェット洗浄、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせてもよい。なお、当該洗浄処理によって、上記溝部が深くなる場合がある。

#### 【0316】

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて洗浄処理を行ってもよい。または、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。または、これらの洗浄を適宜組み合わせてもよい。

#### 【0317】

なお、本明細書等では、市販のフッ化水素酸を純水で希釈した水溶液を希釈フッ化水素

10

20

30

40

50

酸と呼び、市販のアンモニア水を純水で希釈した水溶液を希釈アンモニア水と呼ぶ場合がある。また、当該水溶液の濃度、温度などは、除去したい不純物、洗浄される半導体装置の構成などによって、適宜調整すればよい。希釈アンモニア水のアンモニア濃度は0.01%以上5%以下、好ましくは0.1%以上0.5%以下とすればよい。また、希釈フッ化水素酸のフッ化水素濃度は0.01ppm以上100ppm以下、好ましくは0.1ppm以上10ppm以下とすればよい。

#### 【0318】

なお、超音波洗浄には、200kHz以上、好ましくは900kHz以上の周波数を用いることが好ましい。当該周波数を用いることで、酸化物230bなどへのダメージを低減することができる。

#### 【0319】

また、上記洗浄処理を複数回行ってもよく、洗浄処理毎に洗浄液を変更してもよい。例えば、第1の洗浄処理として希釈フッ化水素酸、または希釈アンモニア水を用いた処理を行い、第2の洗浄処理として純水、または炭酸水を用いた処理を行ってもよい。

#### 【0320】

上記洗浄処理として、本実施の形態では、希釈フッ化水素酸を用いてウェット洗浄を行い、続いて純水、または炭酸水を用いてウェット洗浄を行う。当該洗浄処理を行うことで、酸化物230a、酸化物230bなどの表面に付着または内部に拡散した不純物を除去することができる。さらに、酸化物230bの結晶性を高めることができる。

#### 【0321】

これまでドライエッチングなどの加工、または上記洗浄処理によって、上記開口と重なり、かつ酸化物230bと重ならない領域の、絶縁体224の膜厚が、酸化物230bと重なる領域の、絶縁体224の膜厚より薄くなる場合がある。

#### 【0322】

上記エッチング後、または上記洗浄後に加熱処理を行ってもよい。加熱処理は、100℃以上450℃以下、好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物230aおよび酸化物230bに酸素を供給して、酸素欠損V<sub>O</sub>の低減を図ることができる。また、このような熱処理を行うことで、酸化物230bの結晶性を向上させることができる。また、加熱処理は減圧状態で行ってもよい。または、酸素雰囲気で加熱処理した後に、大気に露出せずに連続して窒素雰囲気で加熱処理を行ってもよい。

#### 【0323】

次に絶縁膜250Aを成膜する（図12A乃至図12D参照）。絶縁膜250Aの成膜前に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜250Aを成膜してもよい。また、当該加熱処理は、酸素を含む雰囲気で行うことが好ましい。このような処理を行うことによって、酸化物230bの表面などに吸着している水分および水素を除去し、さらに酸化物230a、および酸化物230b中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。

#### 【0324】

絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて成膜することができる。また、絶縁膜250Aは、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁膜250Aの水素濃度を低減することができる。絶縁膜250Aは、後の工程で酸化物230bと接する絶縁体250となるので、このように水素濃度が低減されていることが好適である。

#### 【0325】

また、絶縁膜250AはALD法を用いて成膜することが好ましい。微細化されたトランジスタ200の、ゲート絶縁膜として機能する絶縁体250の膜厚は、極めて薄く（例

10

20

30

40

50

例えば、5 nm以上30 nm以下程度。) 、且つバラつきが小さくなるようにする必要がある。これに対して、ALD法は、プリカーサと、リアクタント（酸化剤）を交互に導入して行う成膜方法であり、このサイクルを繰り返す回数によって膜厚を調節することができるため、精密な膜厚調節が可能である。よって、微細化されたトランジスタ200が要求するゲート絶縁膜の精度を達成することができる。また、図12B、図12Cに示すように、絶縁膜250Aは、絶縁体280等によって形成される開口の底面および側面に、被覆性良く成膜される必要がある。当該開口の底面および側面において、原子の層を一層ずつ堆積させることができるので、絶縁膜250Aを当該開口に対して良好な被覆性で成膜することができる。

#### 【0326】

また、例えば、PECVD法を用いて絶縁膜250Aの成膜を行う場合、水素を含む成膜ガスがプラズマ中で分解されて、大量の水素ラジカルが発生する。水素ラジカルの還元反応によって、酸化物230b中の酸素が引き抜かれてVOHが形成されると、酸化物230b中の水素濃度が高くなる。しかしながら、ALD法を用いて絶縁膜250Aを成膜すると、プリカーサの導入時もリアクタントの導入時も、水素ラジカルの発生を抑制することができる。よって、ALD法を用いて絶縁膜250Aを成膜することにより、酸化物230b中の水素濃度が高くなることを防ぐことができる。例えば、絶縁膜250Aとして、ALD法を用いて、酸化シリコンなどのシリコン酸化膜を成膜すればよい。

#### 【0327】

次に、酸素を含む雰囲気でマイクロ波処理を行う（図12A乃至図12D参照）。ここで、図12B、図12C、図12Dに示す、点線はマイクロ波、RFなどの高周波、酸素プラズマ、または酸素ラジカルなどを示す。マイクロ波処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。また、マイクロ波処理装置は基板側にRFを印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、基板側にRFを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく酸化物230b中に導くことができる。また、上記マイクロ波処理は、減圧下で行うことが好ましく、圧力を60 Pa以上、好ましくは133 Pa以上、より好ましくは200 Pa以上、さらに好ましくは400 Pa以上とすればよい。また、酸素流量比（ $O_2 / (O_2 + Ar)$ ）が50%以下、好ましくは10%以上30%以下で行うとよい。また、処理温度は、750℃以下、好ましくは500℃以下、例えば400℃程度で行えばよい。また、酸素プラズマ処理を行った後に、外気に曝すことなく、連続して熱処理を行ってもよい。

#### 【0328】

図12B、図12C、図12Dに示すように、酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを酸化物230bの導電体242aと導電体242bの間の領域に作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域230bcに照射することもできる。つまり、図6に示す領域230bcに、マイクロ波、またはRF等の高周波、酸素プラズマなどを作用させることができる。プラズマ、マイクロ波などの作用により、領域230bcのVOHを分断し、水素Hを領域230bcから除去することができる。つまり、領域230bcにおいて、「 $VOH \rightarrow H + VO$ 」という反応が起きて、領域230bcの水素濃度を低減することができる。よって、領域230bc中の酸素欠損、およびVOHを低減し、キャリア濃度を低下させることができる。また、領域230bcで形成された酸素欠損に、上記酸素プラズマで発生した酸素ラジカル、または絶縁体250に含まれる酸素を供給することで、さらに、領域230bc中の酸素欠損を低減し、キャリア濃度を低下させることができる。

#### 【0329】

一方、図6に示す領域230baおよび領域230bb上には、導電体242aおよび導電体242bが設けられている。図12B、図12C、図12Dに示すように、導電体242aおよび導電体242bは、マイクロ波、またはRF等の高周波、酸素プラズマな

10

20

30

40

50

どの作用を遮蔽するので、これらの作用は領域 230ba および領域 230bb には及ばない。これにより、マイクロ波処理によって、領域 230ba および領域 230bb で、 $V_{OH}$  の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

#### 【0330】

このようにして、酸化物半導体の領域 230bc で選択的に酸素欠損、および  $V_{OH}$  を除去して、領域 230bc を i 型または実質的に i 型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域 230ba および領域 230bb に過剰な酸素が供給されるのを抑制し、n 型を維持することができる。これにより、トランジスタ 200 の電気特性の変動を抑制し、基板面内でトランジスタ 200 の電気特性がばらつくのを抑制することができる。

#### 【0331】

よって、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

#### 【0332】

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁膜 250A 中、酸化物 230b 中、および酸化物 230a 中の水素を効率よく除去することができる。また、水素の一部は、導電体 242（導電体 242a、および導電体 242b）にゲッタリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返し行うことで、絶縁膜 250A 中、酸化物 230b 中、および酸化物 230a 中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、300℃以上500℃以下とすることが好ましい。

#### 【0333】

また、マイクロ波処理を行って絶縁膜 250A の膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体 260 となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁膜 250a を介して、水素、水、不純物等が、酸化物 230b、酸化物 230a などへ拡散することを抑制することができる。

#### 【0334】

次に電荷保持膜 255A を成膜する（図 13A 乃至図 13D 参照）。電荷保持膜 255A は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて成膜することができる。例えば、電荷保持膜 255A は、上記絶縁膜 250A と同様の方法を用いて成膜すればよい。

#### 【0335】

また、電荷保持膜 255A は ALD 法を用いて成膜することが好ましい。これにより、電荷保持膜 255A を薄い膜厚で、かつ上記開口に対して良好な被覆性で成膜することができる。例えば、電荷保持膜 255A として、ALD 法を用いて、窒化シリコンなどのシリコン窒化膜を成膜すればよい。

#### 【0336】

次に絶縁膜 250B を成膜する（図 13A 乃至図 13D 参照）。絶縁膜 250B は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて成膜することができる。例えば、絶縁膜 250B は、上記絶縁膜 250A と同様の方法を用いて成膜すればよい。

#### 【0337】

また、絶縁膜 250B は ALD 法を用いて成膜することが好ましい。これにより、絶縁膜 250B を薄い膜厚で、かつ上記開口に対して良好な被覆性で成膜することができる。例えば、絶縁膜 250B として、ALD 法を用いて、酸化シリコンなどのシリコン酸化膜を成膜すればよい。

#### 【0338】

また、絶縁膜 250B のさらに上に、酸素の拡散を抑制する機能を有する、バリア絶縁膜を形成してもよい。これにより、絶縁体 250b に含まれる酸素が、導電体 260 へ拡散するのを抑制することができる。つまり、絶縁体 250b に含まれる酸素による導電体 260 の酸化を抑制することができる。例えば、絶縁膜 250B は、絶縁体 222 と同様の材料を用いて設けることができ、ALD 法で酸化ハフニウムなどを成膜すればよい。

【0339】

なお、絶縁膜 250A、電荷保持膜 255A、絶縁膜 250B、および上記バリア絶縁膜は、大気環境に暴露せずに連続して成膜することが好ましい。例えば、マルチチャンバー方式の処理装置を用いればよい。大気開放せずに成膜することで、これらの膜に大気環境からの水素などの不純物または水分が付着することを防ぐことができ、これらの膜の界面近傍を清浄に保つことができる。

【0340】

なお、図 12 に示す工程においては、絶縁膜 250A の成膜後にマイクロ波処理を行ったが、本発明はこれに限られるものではない。例えば、絶縁膜 250A の成膜前にマイクロ波処理をおこなってもよいし、電荷保持膜 255A の成膜前または成膜後にマイクロ波処理をおこなってもよいし、絶縁膜 250B の成膜前または成膜後にマイクロ波処理をおこなってもよいし、上記バリア絶縁膜の成膜前または成膜後にマイクロ波処理をおこなってもよい。また、これらのマイクロ波処理は、一回だけでなく、複数回行ってよい。また、絶縁膜 250A、絶縁膜 250B、および上記バリア絶縁膜の成膜を PEALD 法で行う場合、上記マイクロ波処理を、PEALD 装置のプラズマ励起されたリアクタント（酸化剤）の処理で代替してもよい。ここで、リアクタント（酸化剤）としては、酸素ガスを用いればよい。

【0341】

次に、導電体 260a となる導電膜、導電体 260b となる導電膜を順に成膜する。導電体 260a となる導電膜および導電体 260b となる導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、CVD 法を用いて、導電体 260a となる導電膜、および導電体 260b となる導電膜を成膜する。

【0342】

次に、CMP 処理によって、絶縁膜 250A、電荷保持膜 255A、絶縁膜 250B、導電体 260a となる導電膜、および導電体 260b となる導電膜を絶縁体 280 が露出するまで研磨することによって、絶縁体 250a、電荷保持層 255、絶縁体 250b、および導電体 260（導電体 260a、および導電体 260b）を形成する（図 14A 乃至図 14D 参照。）。これにより、絶縁体 250a は、酸化物 230b に達する開口および酸化物 230b の溝部の内壁（側壁、および底面）を覆うように形成される。また、導電体 260 は、絶縁体 250 および電荷保持層 255 を介して、上記開口および上記溝部を埋め込むように形成される。電荷保持層 255 および絶縁体 250b は、絶縁体 250a と導電体 260 の間に形成される。

【0343】

次に、上記の加熱処理と同様の条件で加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて 400℃ の温度で 1 時間の処理を行う。該加熱処理によって、絶縁体 250 および絶縁体 280 中の水分濃度および水素濃度を低減させることができる。なお、上記加熱処理後、大気に曝すことなく連続して、絶縁体 282 の成膜を行ってもよい。

【0344】

次に、絶縁体 250 上、電荷保持層 255 上、導電体 260 上、および絶縁体 280 上に、絶縁体 282 を形成する（図 15A 乃至図 15D 参照。）。絶縁体 282 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。絶縁体 282 の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 282 中の水素濃度を低減することができる。また、スパッタリング法を用いて、酸素を含む雰囲気中で絶縁体

10

20

30

40

50

282の成膜を行うことで、成膜しながら、絶縁体280に酸素を添加することができる。これにより、絶縁体280に過剰酸素を含ませることができる。このとき、基板加熱を行いながら、絶縁体282を成膜することが好ましい。

#### 【0345】

本実施の形態では、絶縁体282として、酸素ガスを含む雰囲気中でアルミニウムターゲットを用いて、パルスDCスパッタリング法で酸化アルミニウムを成膜する。パルスDCスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

#### 【0346】

次に、絶縁体282上に、絶縁体283を形成する（図5A乃至図5D参照。）。絶縁体283の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。絶縁体283の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体283中の水素濃度を低減することができる。また、絶縁体283は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD法を用いて窒化シリコンを成膜してもよい。バリア性の高い絶縁体283および絶縁体212でトランジスタ200を挟み込むことで、外部から水分、および水素が侵入するのを防止することができる。

#### 【0347】

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体282の成膜によって添加された酸素を絶縁体280、絶縁体250へ拡散させ、酸化物230のチャネル形成領域へ選択的に供給することができる。なお、当該加熱処理は、絶縁体283の形成後に限らず、絶縁体282の成膜後などに行ってもよい。

#### 【0348】

以上により、図5A乃至図5Dに示すトランジスタ200を有する半導体装置を作製することができる。図8A乃至図15A、図8B乃至図15B、図8C乃至図15C、および図8D乃至図15Dに示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200を作製することができる。

#### 【0349】

#### <マイクロ波処理装置>

以下では、上記半導体装置の作製方法に用いることができる、マイクロ波処理装置について説明する。

#### 【0350】

まずは、半導体装置などの製造時に不純物の混入が少ない製造装置の構成について図16、図17および図18を用いて説明する。

#### 【0351】

図16は、枚葉式マルチチャンバーの製造装置2700の上面図を模式的に示している。製造装置2700は、基板を収容するカセットポート2761と、基板のアライメントを行うアライメントポート2762と、を備える大気側基板供給室2701と、大気側基板供給室2701から、基板を搬送する大気側基板搬送室2702と、基板の搬入を行い、かつ室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替えるロードロック室2703aと、基板の搬出を行い、かつ室内の圧力を減圧から大気圧、または大気圧から減圧へ切り替えるアンロードロック室2703bと、真空中の基板の搬送を行う搬送室2704と、チャンバー2706aと、チャンバー2706bと、チャンバー2706cと、チャンバー2706dと、を有する。

#### 【0352】

また、大気側基板搬送室2702は、ロードロック室2703aおよびアンロードロック室2703bと接続され、ロードロック室2703aおよびアンロードロック室2703bは、搬送室2704と接続され、搬送室2704は、チャンバー2706a、チャン

10

20

30

40

50

バー 2706b、チャンバー 2706c およびチャンバー 2706d と接続されている。

【0353】

なお、各室の接続部にはゲートバルブGVが設けられており、大気側基板供給室2701と、大気側基板搬送室2702を除き、各室を独立して真空状態に保持することができる。また、大気側基板搬送室2702には搬送口ポット2763aが設けられており、搬送室2704には搬送口ポット2763bが設けられている。搬送口ポット2763aおよび搬送口ポット2763bによって、製造装置2700内で基板を搬送することができる。

【0354】

搬送室2704および各チャンバーの背圧（全圧）は、例えば、 $1 \times 10^{-4}$  Pa以下、好ましくは $3 \times 10^{-5}$  Pa以下、さらに好ましくは $1 \times 10^{-5}$  Pa以下とする。また、搬送室2704および各チャンバーの質量電荷比（ $m/z$ ）が18である気体分子（原子）の分圧は、例えば、 $3 \times 10^{-5}$  Pa以下、好ましくは $1 \times 10^{-5}$  Pa以下、さらに好ましくは $3 \times 10^{-6}$  Pa以下とする。また、搬送室2704および各チャンバーの $m/z$ が28である気体分子（原子）の分圧は、例えば、 $3 \times 10^{-5}$  Pa以下、好ましくは $1 \times 10^{-5}$  Pa以下、さらに好ましくは $3 \times 10^{-6}$  Pa以下とする。また、搬送室2704および各チャンバーの $m/z$ が44である気体分子（原子）の分圧は、例えば、 $3 \times 10^{-5}$  Pa以下、好ましくは $1 \times 10^{-5}$  Pa以下、さらに好ましくは $3 \times 10^{-6}$  Pa以下とする。

【0355】

なお、搬送室2704および各チャンバー内の全圧および分圧は、質量分析計を用いて測定することができる。例えば、株式会社アルバック製四重極形質量分析計（Q-massともいう。）QuLee CGM-051を用いればよい。

【0356】

また、搬送室2704および各チャンバーは、外部リークまたは内部リークが少ない構成とすることが望ましい。例えば、搬送室2704および各チャンバーのリークレートは、 $3 \times 10^{-6}$  Pa・m<sup>3</sup>/s以下、好ましくは $1 \times 10^{-6}$  Pa・m<sup>3</sup>/s以下とする。また、例えば、 $m/z$ が18である気体分子（原子）のリークレートが $1 \times 10^{-7}$  Pa・m<sup>3</sup>/s以下、好ましくは $3 \times 10^{-8}$  Pa・m<sup>3</sup>/s以下とする。また、例えば、 $m/z$ が28である気体分子（原子）のリークレートが $1 \times 10^{-5}$  Pa・m<sup>3</sup>/s以下、好ましくは $1 \times 10^{-6}$  Pa・m<sup>3</sup>/s以下とする。また、例えば、 $m/z$ が44である気体分子（原子）のリークレートが $3 \times 10^{-6}$  Pa・m<sup>3</sup>/s以下、好ましくは $1 \times 10^{-6}$  Pa・m<sup>3</sup>/s以下とする。

【0357】

なお、リークレートに関しては、前述の質量分析計を用いて測定した全圧および分圧から導出すればよい。リークレートは、外部リークおよび内部リークに依存する。外部リークは、微小な穴やシール不良などによって真空系外から気体が流入することである。内部リークは、真空系内のバルブなどの仕切りからの漏れや内部の部材からの放出ガスに起因する。リークレートを上述の数値以下とするために、外部リークおよび内部リークの両面から対策をとる必要がある。

【0358】

例えば、搬送室2704および各チャンバーの開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属を用いると好ましい。メタルガスケットはOリングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどによって被覆された金属の不動態を用いることで、メタルガスケットから放出される不純物を含む放出ガスが抑制され、内部リークを低減することができる。

【0359】

また、製造装置2700を構成する部材として、不純物を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前

10

20

30

40

50

述の部材を鉄、クロムおよびニッケルなどを含む合金に被覆して用いてもよい。鉄、クロムおよびニッケルなどを含む合金は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておくこと、放出ガスを低減できる。

#### 【0360】

または、前述の製造装置2700の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどで被覆してもよい。

#### 【0361】

製造装置2700の部材は、極力金属のみで構成することが好ましく、例えば石英などで構成される覗き窓などを設置する場合も、放出ガスを抑制するために表面をフッ化鉄、酸化アルミニウム、酸化クロムなどで薄く被覆するとよい。

#### 【0362】

搬送室2704および各チャンバーに存在する吸着物は、内壁などに吸着しているために搬送室2704および各チャンバーの圧力に影響しないが、搬送室2704および各チャンバーを排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないものの、排気能力の高いポンプを用いて、搬送室2704および各チャンバーに存在する吸着物をできる限り脱離し、あらかじめ排気しておくことは重要である。なお、吸着物の脱離を促すために、搬送室2704および各チャンバーをベーキングしてもよい。ベーキングすることで吸着物の脱離速度を10倍程度大きくすることができる。ベーキングは100℃以上450℃以下で行えばよい。このとき、不活性ガスを搬送室2704および各チャンバーに導入しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。なお、導入する不活性ガスをベーキングの温度と同程度に加熱することで、吸着物の脱離速度をさらに高めることができる。ここで不活性ガスとして希ガスを用いると好ましい。

#### 【0363】

または、加熱した希ガスなどの不活性ガスまたは酸素などを導入することで搬送室2704および各チャンバー内の圧力を高め、一定時間経過後に再び搬送室2704および各チャンバーを排気する処理を行うと好ましい。加熱したガスの導入により搬送室2704および各チャンバー内の吸着物を脱離させることができ、搬送室2704および各チャンバー内に存在する不純物を低減することができる。なお、この処理は2回以上30回以下、好ましくは5回以上15回以下の範囲で繰り返し行うと効果的である。具体的には、温度が40℃以上400℃以下、好ましくは50℃以上200℃以下である不活性ガスまたは酸素などを導入することで搬送室2704および各チャンバー内の圧力を0.1Pa以上10kPa以下、好ましくは1Pa以上1kPa以下、さらに好ましくは5Pa以上100Pa以下とし、圧力を保つ期間を1分以上300分以下、好ましくは5分以上120分以下とすればよい。その後、搬送室2704および各チャンバーを5分以上300分以下、好ましくは10分以上120分以下の期間排気する。

#### 【0364】

次に、チャンバー2706bおよびチャンバー2706cについて図17に示す断面模式図を用いて説明する。

#### 【0365】

チャンバー2706bおよびチャンバー2706cは、例えば、被処理物にマイクロ波処理を行うことが可能なチャンバーである。なお、チャンバー2706bと、チャンバー2706cと、はマイクロ波処理を行う際の雰囲気異なるのみである。そのほかの構成については共通するため、以下ではまとめて説明を行う。

#### 【0366】

チャンバー2706bおよびチャンバー2706cは、スロットアンテナ板2808と、誘電体板2809と、基板ホルダ2812と、排気口2819と、を有する。また、チャンバー2706bおよびチャンバー2706cの外などには、ガス供給源2801と、バルブ2802と、高周波発生器2803と、導波管2804と、モード変換器2805

と、ガス管 2806 と、導波管 2807 と、マッチングボックス 2815 と、高周波電源 2816 と、真空ポンプ 2817 と、バルブ 2818 と、が設けられる。

【0367】

高周波発生器 2803 は、導波管 2804 を介してモード変換器 2805 と接続している。モード変換器 2805 は、導波管 2807 を介してスロットアンテナ板 2808 に接続している。スロットアンテナ板 2808 は、誘電体板 2809 と接して配置される。また、ガス供給源 2801 は、バルブ 2802 を介してモード変換器 2805 に接続している。そして、モード変換器 2805、導波管 2807 および誘電体板 2809 を通るガス管 2806 によって、チャンバー 2706b およびチャンバー 2706c にガスが送られる。また、真空ポンプ 2817 は、バルブ 2818 および排気口 2819 を介して、チャンバー 2706b およびチャンバー 2706c からガスなどを排気する機能を有する。また、高周波電源 2816 は、マッチングボックス 2815 を介して基板ホルダ 2812 に接続している。

10

【0368】

基板ホルダ 2812 は、基板 2811 を保持する機能を有する。例えば、基板 2811 を静電チャックまたは機械的にチャックする機能を有する。また、高周波電源 2816 から電力を供給される電極としての機能を有する。また、内部に加熱機構 2813 を有し、基板 2811 を加熱する機能を有する。

【0369】

真空ポンプ 2817 としては、例えば、ドライポンプ、メカニカルブースターポンプ、イオンポンプ、チタンサブリーションポンプ、クライオポンプまたはターボ分子ポンプなどを用いることができる。また、真空ポンプ 2817 に加えて、クライオトラップを用いてもよい。クライオポンプおよびクライオトラップを用いると、水を効率よく排気できて特に好ましい。

20

【0370】

また、加熱機構 2813 としては、例えば、抵抗発熱体などを用いて加熱する加熱機構とすればよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する加熱機構としてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) または LRTA (Lamp Rapid Thermal Annealing) などの RTA (Rapid Thermal Annealing) を用いることができる。GRTA は、高温のガスを用いて加熱処理を行う。ガスとしては、不活性ガスが用いられる。

30

【0371】

また、ガス供給源 2801 は、マスフローコントローラを介して、精製機と接続されていてもよい。ガスは、露点が  $-80^{\circ}\text{C}$  以下、好ましくは  $-100^{\circ}\text{C}$  以下であるガスを用いることが好ましい。例えば、酸素ガス、窒素ガス、および希ガス（アルゴンガスなど）を用いればよい。

【0372】

誘電体板 2809 としては、例えば、酸化シリコン（石英）、酸化アルミニウム（アルミナ）または酸化イットリウム（イットリア）などを用いればよい。また、誘電体板 2809 の表面に、さらに別の保護層が形成されていてもよい。保護層としては、酸化マグネシウム、酸化チタン、酸化クロム、酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化シリコン、酸化アルミニウムまたは酸化イットリウムなどを用いればよい。誘電体板 2809 は、後述する高密度プラズマ 2810 の特に高密度領域に曝されることになるため、保護層を設けることで損傷を緩和することができる。その結果、処理時のパーティクルの増加などを抑制することができる。

40

【0373】

高周波発生器 2803 では、例えば、 $0.3\text{GHz}$  以上  $3.0\text{GHz}$  以下、 $0.7\text{GHz}$  以上  $1.1\text{GHz}$  以下、または  $2.2\text{GHz}$  以上  $2.8\text{GHz}$  以下のマイクロ波を発生させる機能を有する。高周波発生器 2803 で発生させたマイクロ波は、導波管 2804

50

を介してモード変換器 2805 に伝わる。モード変換器 2805 では、TE モードとして伝わったマイクロ波が TEM モードに変換される。そして、マイクロ波は、導波管 2807 を介してスロットアンテナ板 2808 に伝わる。スロットアンテナ板 2808 は、複数のスロット孔が設けられており、マイクロ波は該スロット孔および誘電体板 2809 を通過する。そして、誘電体板 2809 の下方に電界を生じさせ、高密度プラズマ 2810 を生成することができる。高密度プラズマ 2810 には、ガス供給源 2801 から供給されたガス種に応じたイオンおよびラジカルが存在する。例えば、酸素ラジカルなどが存在する。

#### 【0374】

このとき、基板 2811 が高密度プラズマ 2810 で生成されたイオンおよびラジカルによって、基板 2811 上の膜などを改質することができる。なお、高周波電源 2816 を用いて、基板 2811 側にバイアスを印加すると好ましい場合がある。高周波電源 2816 には、例えば、13.56 MHz、27.12 MHz などの周波数の RF (Radio Frequency) 電源を用いればよい。基板側にバイアスを印加することで、高密度プラズマ 2810 中のイオンを基板 2811 上の膜などの開口部の奥まで効率よく到達させることができる。

#### 【0375】

例えば、チャンバー 2706b またはチャンバー 2706c で、ガス供給源 2801 から酸素を導入することで高密度プラズマ 2810 を用いた酸素ラジカル処理を行うことができる。

#### 【0376】

次に、チャンバー 2706a およびチャンバー 2706d について図 18 に示す断面模式図を用いて説明する。

#### 【0377】

チャンバー 2706a およびチャンバー 2706d は、例えば、被処理物に電磁波の照射を行うことが可能なチャンバーである。なお、チャンバー 2706a と、チャンバー 2706d と、は電磁波の種類が異なるのみである。そのほかの構成については共通する部分が多いため、以下ではまとめて説明を行う。

#### 【0378】

チャンバー 2706a およびチャンバー 2706d は、一または複数のランプ 2820 と、基板ホルダ 2825 と、ガス導入口 2823 と、排気口 2830 と、を有する。また、チャンバー 2706a およびチャンバー 2706d の外などには、ガス供給源 2821 と、バルブ 2822 と、真空ポンプ 2828 と、バルブ 2829 と、が設けられる。

#### 【0379】

ガス供給源 2821 は、バルブ 2822 を介してガス導入口 2823 に接続している。真空ポンプ 2828 は、バルブ 2829 を介して排気口 2830 に接続している。ランプ 2820 は、基板ホルダ 2825 と向かい合って配置されている。基板ホルダ 2825 は、基板 2824 を保持する機能を有する。また、基板ホルダ 2825 は、内部に加熱機構 2826 を有し、基板 2824 を加熱する機能を有する。

#### 【0380】

ランプ 2820 としては、例えば、可視光または紫外光などの電磁波を放射する機能を有する光源を用いればよい。例えば、波長 10 nm 以上 2500 nm 以下、500 nm 以上 2000 nm 以下、または 40 nm 以上 340 nm 以下にピークを有する電磁波を放射する機能を有する光源を用いればよい。

#### 【0381】

例えば、ランプ 2820 としては、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプまたは高圧水銀ランプなどの光源を用いればよい。

#### 【0382】

例えば、ランプ 2820 から放射される電磁波は、その一部または全部が基板 2824

10

20

30

40

50

に吸収されることで基板 2824 上の膜などを改質することができる。例えば、欠陥の生成もしくは低減、または不純物の除去などができる。なお、基板 2824 を加熱しながら行くと、効率よく、欠陥の生成もしくは低減、または不純物の除去などができる。

【0383】

または、例えば、ランプ 2820 から放射される電磁波によって、基板ホルダ 2825 を発熱させ、基板 2824 を加熱してもよい。その場合、基板ホルダ 2825 の内部に加熱機構 2826 を有さなくてもよい。

【0384】

真空ポンプ 2828 は、真空ポンプ 2817 についての記載を参照する。また、加熱機構 2826 は、加熱機構 2813 についての記載を参照する。また、ガス供給源 2821 は、ガス供給源 2801 についての記載を参照する。

【0385】

以上の製造装置を用いることで、被処理物への不純物の混入を抑制しつつ、膜の改質などが可能となる。

【0386】

本発明の一態様により、記憶容量の大きい半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、電界効果移動度が大きい半導体装置を提供することができる。または、本発明の一態様により、オフ電流が小さい半導体装置を提供することができる。または、本発明の一態様により、低消費電力の半導体装置を提供することができる。または、本発明の一形態により、新規な半導体装置を提供することができる。

【0387】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0388】

(実施の形態 3)

本実施の形態では、半導体装置の一形態を、図 19 乃至図 20 を用いて説明する。

【0389】

[記憶装置 1]

本発明の一態様に係る半導体装置（記憶装置）の一例を図 19 に示す。本発明の一態様の半導体装置は、トランジスタ 200、およびトランジスタ 201 がトランジスタ 300 の上方に設けられている。なお、トランジスタ 200 として、先の実施の形態で説明したトランジスタ 200 を用いることができる。また、トランジスタ 201 は、先の実施の形態に示すトランジスタ 12 またはトランジスタ 14 に対応しており、電荷保持層 255 および絶縁体 250b が設けられていない点を除けば、トランジスタ 200 と同様の構造である。

【0390】

図 19 に示す半導体装置において、トランジスタ 300 上には、実施の形態 1 に示す半導体装置と同様の構造が設けられる。つまり、トランジスタ 300 上には、実施の形態 1 に示すストリングが複数配列して設けられる。当該ストリングは、二つのトランジスタ 201 の間に複数のトランジスタ 200 が設けられており、互いのソースとドレインが直列に接続されている。

【0391】

先の実施の形態で述べたように、In-M-Zn 酸化物などの金属酸化物は、スパッタ

リング法などを用いて基板上に成膜することができる。よって、シリコン基板に形成したトランジスタ300などで構成される駆動回路などの上に重ねて、トランジスタ200およびトランジスタ201などで形成されるメモリセルアレイを設けることができる。これにより、1チップに設けられる周辺回路の占有面積を低減し、メモリセルアレイの占有面積を増やすことができるので、半導体装置の記憶容量を大きくすることができる。

【0392】

また、図19に示す記憶装置は、メモリセルをマトリクス状に配置することで、メモリセルアレイを構成することができる。

【0393】

<トランジスタ300>

トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0394】

ここで、図19に示すトランジスタ300はチャンネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

【0395】

なお、図19に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0396】

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0397】

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能する。

【0398】

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

【0399】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図19において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能する。

10

20

30

40

50

## 【0400】

絶縁体354および導電体356上には絶縁体210が設けられる。絶縁体210上には、先の実施の形態に示す、絶縁体212、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体280、絶縁体282および絶縁体283が設けられ、これらの絶縁体の中にトランジスタ200、およびトランジスタ201が形成される。

## 【0401】

また、トランジスタ201のソース電極またはドレイン電極の上面に接して、プラグとして機能する導電体240が設けられる。なお、プラグとして機能する導電体240の側面に接して絶縁体241が設けられる。また、絶縁体283上、および導電体240上には、導電体240と電氣的に接続し、配線として機能する導電体246が設けられる。また、絶縁体283上の、絶縁体280と重畳しない領域に絶縁体274が設けられる。また、導電体246上、および絶縁体283上には、絶縁体286が設けられる。絶縁体286上に絶縁体287が設けられる。

10

## 【0402】

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

## 【0403】

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

20

## 【0404】

例えば、絶縁体210、絶縁体352、および絶縁体354等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

30

## 【0405】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体214、絶縁体212および絶縁体350等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

## 【0406】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

40

## 【0407】

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ル

50

テニウムなどから選ばれた金属元素を１種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【０４０８】

例えば、導電体３２８、導電体３３０、および導電体３５６等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

10

【０４０９】

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ２００、トランジスタ２０１に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けられることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

【０４１０】

例えば、図１９では、過剰酸素を有する絶縁体２８０と、導電体２４０との間に、絶縁体２４１を設けるとよい。絶縁体２４１と、絶縁体２７５、絶縁体２８２、および絶縁体２８３とが接して設けられることで、絶縁体２２４、およびトランジスタ２００は、バリア性を有する絶縁体により、封止することができる。

20

【０４１１】

つまり、絶縁体２４１を設けることで、絶縁体２２４および絶縁体２８０が有する過剰酸素が、導電体２４０に吸収されることを抑制することができる。また、絶縁体２４１を有することで、不純物である水素が、導電体２４０を介して、トランジスタ２００へ拡散することを抑制することができる。

【０４１２】

なお、絶縁体２４１としては、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。特に、窒化シリコンは水素に対するバリア性が高いため好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物などを用いることができる。

30

【０４１３】

また、上記実施の形態で示したように、トランジスタ２００は、絶縁体２１２、絶縁体２１４、絶縁体２８２、および絶縁体２８３で封止される構成にしてもよい。このような構成とすることで、絶縁体２７４などに含まれる水素が絶縁体２８０などに混入するのを低減することができる。

【０４１４】

ここで絶縁体２８３、および絶縁体２８２には導電体２４０が貫通しているが、上記の通り、絶縁体２４１が導電体２４０に接して設けられている。これにより、導電体２４０を介して、絶縁体２１２、絶縁体２１４、絶縁体２８２、および絶縁体２８３の内側に混入する水素を低減することができる。このようにして、絶縁体２１２、絶縁体２１４、絶縁体２８２、絶縁体２８３、および絶縁体２４１でトランジスタ２００を封止し、絶縁体２７４等に含まれる水素などの不純物が外側から混入するのを低減することができる。

40

【０４１５】

また、絶縁体２８６は、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いることが好ましい。ここで、導電体２４６の上面、および導電体２４６の側面は、絶縁体２８６と接し、導電体２４６の下面は、絶縁体２８３と接する。つまり、導電体２４６は、絶縁体２８３、および絶縁体２８６で包まれる構成とすることができる。こ

50

の様な構成とすることで、外方からの酸素の透過を抑制し、導電体 2 4 6 の酸化を防止することができる。また、導電体 2 4 6 から、水、水素などの不純物が外部に拡散することを防ぐことができるので好ましい。

【0 4 1 6】

<ダイシングライン>

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。

10

【0 4 1 7】

ここで、例えば、図 1 9 に示すように、絶縁体 2 8 3 と、絶縁体 2 1 2 とが接する領域がダイシングラインと重なるように設計することが好ましい。つまり、複数のトランジスタ 2 0 0 を有するメモリセルの外縁に設けられるダイシングラインとなる領域近傍において、絶縁体 2 8 2、絶縁体 2 8 0、絶縁体 2 7 5、絶縁体 2 2 4、絶縁体 2 2 2、絶縁体 2 1 6、および絶縁体 2 1 4 に開口を設ける。

【0 4 1 8】

つまり、絶縁体 2 8 2、絶縁体 2 8 0、絶縁体 2 7 5、絶縁体 2 2 4、絶縁体 2 2 2、絶縁体 2 1 6、および絶縁体 2 1 4 に設けた開口において、絶縁体 2 1 2 と、絶縁体 2 8 3 とが接する。例えば、このとき、絶縁体 2 1 2 と、絶縁体 2 8 3 とを同材料及び同方法を用いて形成してもよい。絶縁体 2 1 2、および絶縁体 2 8 3 を、同材料、および同方法で設けることで、密着性を高めることができる。例えば、窒化シリコンを用いることが好ましい。

20

【0 4 1 9】

当該構造により、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 2、および絶縁体 2 8 3 で、トランジスタ 2 0 0 およびトランジスタ 2 0 1 を包み込むことができる。絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 2、および絶縁体 2 8 3 の少なくとも一は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ 2 0 0 に拡散することを防ぐことができる。

30

【0 4 2 0】

また、当該構造により、絶縁体 2 8 0、および絶縁体 2 2 4 の過剰酸素が外部に拡散することを防ぐことができる。従って、絶縁体 2 8 0、および絶縁体 2 2 4 の過剰酸素は、効率的にトランジスタ 2 0 0 におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ 2 0 0 におけるチャンネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ 2 0 0 におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 2 0 0 の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

40

【0 4 2 1】

また、複数のストリングを有するセルアレイを平面のみでなく積層する構成としてもよい。図 2 0 にセルアレイ 6 1 0 を n 層積層する構成の断面図を示す。図 2 0 に示すように、複数のセルアレイ（セルアレイ 6 1 0 \_\_ 1 乃至セルアレイ 6 1 0 \_\_ n）を積層することにより、セルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、3 Dセルアレイを構成することができる。このようにして、メモリセルの高集積化を図り、記憶容量の大きい半導体装置を提供することができる。

【0 4 2 2】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせて用いることができる。

50

## 【0423】

## (実施の形態4)

本実施の形態では、図21A、図21Bおよび図22を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSトランジスタと呼ぶ場合がある。）が適用されている記憶装置（以下、OSメモリ装置と呼ぶ場合がある。）について説明する。

## 【0424】

## &lt;記憶装置の構成例&gt;

図21AにOSメモリ装置の構成の一例を示す。記憶装置1400は、周辺回路1411、およびメモリセルアレイ1470を有する。周辺回路1411は、行回路1420、列回路1430、出力回路1440、およびコントロールロジック回路1460を有する。

## 【0425】

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線である。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

## 【0426】

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路1411用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダおよび列デコーダに入力され、データ信号WDATAは書き込み回路に入力される。

## 【0427】

コントロールロジック回路1460は、外部から入力される制御信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号CEは、チップイネーブル信号であり、制御信号WEは、書き込みイネーブル信号であり、制御信号REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

## 【0428】

メモリセルアレイ1470の回路図の一例を図22に示す。図22に示すメモリセルアレイは、n本のストリングと、m本の配線WLが互いに直交して設けられており、m×n個のメモリセルMCがマトリクス状に配置されている。ここで、n、mはそれぞれ2以上の自然数である。

## 【0429】

メモリセルアレイ1470のストリングは、m個のメモリセルMCのソースとドレインが直列に接続されており、m個のメモリセルMCの一方の端部にはトランジスタST1のドレインが接続されており、m個のメモリセルMCの他方の端部にはトランジスタST2のソースが接続されている。当該ストリングは、実施の形態1に示すストリングと同様の構造を有しており、メモリセルMCはトランジスタ10、トランジスタST1はトランジスタ14、トランジスタST2はトランジスタ12に対応している。よって、ストリング、およびメモリセルアレイ1470の詳細な構成については、先の実施の形態の記載を参照することができる。

## 【0430】

ストリングの両端には、トランジスタST1のソースに接続された配線SLと、トランジスタST2のドレインに接続された配線BLが設けられている。例えば、配線BL\_\_1乃至配線BL\_\_nは、列回路1430に接続する構成にすればよい。また、例えば、配線SL\_\_1乃至配線SL\_\_nも、列回路1430に接続する構成にしてもよい。

10

20

30

40

50

## 【0431】

また、各ストリングのメモリセルMCのゲートは、行ごとに配線WL\_\_1乃至配線WL\_\_mに接続され、m個のページを形成している。また、各ストリングのトランジスタST1のゲートは配線SGSに接続されており、各ストリングのトランジスタST2のゲートは配線SGBに接続されている。例えば、配線WL\_\_1乃至配線WL\_\_m、配線SGS、および配線SGBは、行回路1420に接続する構成にすればよい。

## 【0432】

なお、メモリセルアレイ1470は、図22に示すn本のストリングを1ブロックとして、さらに複数のブロックを有する構成にしてもよい。

## 【0433】

なお、図21Aにおいて、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図21Bに示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

## 【0434】

先の実施の形態で述べたように、In-M-Zn酸化物などの金属酸化物は、スパッタリング法などを用いて基板上に成膜することができる。よって、シリコン基板に形成した周辺回路1411の上に重ねて、メモリセルアレイ1470を設けることができる。これにより、1チップに設けられる周辺回路の占有面積を低減し、メモリセルアレイの占有面積を増やすことができるので、半導体装置の記憶容量を大きくすることができる。

## 【0435】

また、メモリセルアレイ1470を複数積層する構成にしてもよい。複数のメモリセルアレイ1470を積層することにより、メモリセルアレイ1470の占有面積を増やすことなく、メモリセルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。このようにして、メモリセルの高集積化を図り、記憶容量の大きい半導体装置を提供することができる。

## 【0436】

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

## 【0437】

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

## 【0438】

## (実施の形態5)

本実施の形態では、図23Aおよび図23Bを用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip: SoC）と呼ぶ場合がある。

## 【0439】

図23Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

## 【0440】

チップ1200には、バンパ（図示しない）が設けられ、図23Bに示すように、プリント基板（Printed Circuit Board: PCB）1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンパ1202が設けられており、マザーボード1203と接続する。

10

20

30

40

50

## 【0441】

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。フラッシュメモリ1222として、先の実施の形態に示す半導体装置を用いることが好ましい。先の実施の形態に示す半導体装置をフラッシュメモリ1222に用いることで、フラッシュメモリ1222の記憶容量を大きくすることができる。

## 【0442】

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。また、GPU1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU1212に、画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

## 【0443】

また、CPU1211、およびGPU1212が同一チップに設けられていることで、CPU1211およびGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、およびGPU1212が有するメモリ間のデータ転送、およびGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

## 【0444】

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一方、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

## 【0445】

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

## 【0446】

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

## 【0447】

ネットワーク回路1216は、LAN（Local Area Network）などとの接続を制御する機能を有する。また、ネットワークセキュリティ用の回路を有してもよい。

## 【0448】

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

## 【0449】

GPU1212を有するチップ1200が設けられたPCB1201、DRAM1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

## 【0450】

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの

10

20

30

40

50

携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

【0451】

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

【0452】

（実施の形態6）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用することができる。図24A乃至図24Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

【0453】

図24AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

【0454】

図24BはSDカードの外観の模式図であり、図24Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

【0455】

図24DはSSDの外観の模式図であり、図24Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

【0456】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【0457】

（実施の形態7）

本発明の一態様に係る半導体装置を用いて、マイクロコントローラのプログラム保持用ROMを形成することができる。先の実施の形態で示したように、CPUなどが設けられたシリコン基板上に積層して、ROMを形成することができるので、マイクロコントロー

10

20

30

40

50

ラチップを小型にすることができる。図25A乃至図25Gに、本発明の一態様に係る記憶装置を搭載したマイクロコントローラを有する電子機器の具体例を示す。

【0458】

＜電子機器・システム＞

本発明の一態様に係るマイクロコントローラは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、テレビジョン装置、デジタルサイネージ（Digital Signage：電子看板）、パチンコ機などの大型ゲーム機、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、録画再生装置、ナビゲーションシステム、音響再生装置、などが挙げられる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

10

【0459】

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

【0460】

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの）を有していてもよい。

20

【0461】

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

【0462】

〔情報端末〕

図25Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、携帯電話内部の限られた空間を有効に利用することができる。また、携帯電話のストレージに、本発明の一態様に係る記憶装置を用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

30

【0463】

図25Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、ノート型情報端末内部の限られた空間を有効に利用することができる。また、ノート型情報端末のストレージに、本発明の一態様に係る記憶装置を用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

40

【0464】

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図25A、図25Bに図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、デスクトップ型情報端末、ワークステーションなどが挙げられる。

【0465】

50

## 〔ゲーム機〕

図 2 5 C は、ゲーム機の一例である携帯ゲーム機 5 3 0 0 を示している。携帯ゲーム機 5 3 0 0 は、筐体 5 3 0 1、筐体 5 3 0 2、筐体 5 3 0 3、表示部 5 3 0 4、接続部 5 3 0 5、操作キー 5 3 0 6 等を有する。筐体 5 3 0 2、および筐体 5 3 0 3 は、筐体 5 3 0 1 から取り外すことが可能である。筐体 5 3 0 1 に設けられている接続部 5 3 0 5 を別の筐体（図示せず）に取り付けることで、表示部 5 3 0 4 に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体 5 3 0 2、および筐体 5 3 0 3 は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体 5 3 0 1、筐体 5 3 0 2、および筐体 5 3 0 3 の基板に設けられているチップなどに本発明の一態様に係るマイクロコントローラを組み込むことができる。

10

## 〔0 4 6 6〕

また、図 2 5 D は、ゲーム機の一例である据え置き型ゲーム機 5 4 0 0 を示している。据え置き型ゲーム機 5 4 0 0 には、無線または有線でコントローラ 5 4 0 2 が接続されている。

## 〔0 4 6 7〕

携帯ゲーム機 5 3 0 0、据え置き型ゲーム機 5 4 0 0 などのゲーム機に本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、ゲーム機内部の限られた空間を有効に利用することができる。また、携帯ゲーム機のストレージに、本発明の一態様に係る記憶装置を用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

20

## 〔0 4 6 8〕

図 2 5 C、図 2 5 D では、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のマイクロコントローラを適用するゲーム機はこれに限定されない。本発明の一態様のマイクロコントローラを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

## 〔0 4 6 9〕

## 〔大型コンピュータ〕

本発明の一態様のマイクロコントローラは、大型コンピュータに適用することができる。

30

## 〔0 4 7 0〕

図 2 5 E は、大型コンピュータの一例である、スーパーコンピュータ 5 5 0 0 を示す図である。図 2 5 F は、スーパーコンピュータ 5 5 0 0 が有するラックマウント型の計算機 5 5 0 2 を示す図である。

## 〔0 4 7 1〕

スーパーコンピュータ 5 5 0 0 は、ラック 5 5 0 1 と、複数のラックマウント型の計算機 5 5 0 2 と、を有する。なお、複数の計算機 5 5 0 2 は、ラック 5 5 0 1 に格納されている。また、計算機 5 5 0 2 には、複数の基板 5 5 0 4 が設けられ、当該基板上に本発明の一態様に係るマイクロコントローラを搭載することができる。本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、大型コンピュータの限られた空間を有効に利用することができる。また、大型コンピュータのストレージに、本発明の一態様に係る記憶装置を用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

40

## 〔0 4 7 2〕

図 2 5 E、図 2 5 F では、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のマイクロコントローラを適用する大型コンピュータはこれに限定されない。本発明の一態様のマイクロコントローラを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

## 〔0 4 7 3〕

50

# 〔電化製品〕

図 25 G は、電化製品の一例である電気冷凍冷蔵庫 5800 を示している。電気冷凍冷蔵庫 5800 は、筐体 5801、冷蔵室用扉 5802、冷凍室用扉 5803 等を有する。

## 〔0474〕

電気冷凍冷蔵庫 5800 に本発明の一態様の小型化されたマイクロコントローラを適用することによって、電気冷凍冷蔵庫の限られた空間を有効に利用することができる。

## 〔0475〕

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH 調理器、ウォーターサーバ、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

## 〔0476〕

本実施の形態で説明した電子機器、その電子機器の機能、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

## 〔0477〕

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

## 〔符号の説明〕

## 〔0478〕

BGL：配線、BL：配線、BL\_\_1：配線、BL\_\_n：配線、MC：メモリセル、NWL：配線、SGB：配線、SGS：配線、SL：配線、SL\_\_1：配線、SL\_\_n：配線、SWL：配線、ST1：トランジスタ、ST2：トランジスタ、WL：配線、WL\_\_1：配線、WL\_\_m：配線、10：トランジスタ、12：トランジスタ、14：トランジスタ、20：酸化物、20a：領域、20b：領域、22：導電体、24：絶縁体、26：絶縁体、26a：絶縁体、26b：絶縁体、28：電荷保持層、30：導電体、30a：導電体、30b：導電体、200：トランジスタ、200a：トランジスタ、200b：トランジスタ、200c：トランジスタ、201：トランジスタ、205：導電体、205a：導電体、205b：導電体、205c：導電体、210：絶縁体、212：絶縁体、214：絶縁体、216：絶縁体、222：絶縁体、224：絶縁体、230：酸化物、230a：酸化物、230A：酸化膜、230b：酸化物、230B：酸化膜、230ba：領域、230bb：領域、230bc：領域、240：導電体、241：絶縁体、242：導電体、242a：導電体、242A：導電膜、242b：導電体、242B：導電層、243：酸化物、243a：酸化物、243A：酸化膜、243b：酸化物、243B：酸化物層、246：導電体、250：絶縁体、250a：絶縁体、250A：絶縁膜、250b：絶縁体、250B：絶縁膜、255：電荷保持層、255A：電荷保持膜、260：導電体、260a：導電体、260b：導電体、274：絶縁体、275：絶縁体、280：絶縁体、282：絶縁体、283：絶縁体、286：絶縁体、287：絶縁体、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、610：セルアレイ、610\_\_n：セルアレイ、610\_\_1：セルアレイ、1100：USBメモリ、1101：筐体、1102：キャップ、1103：USBコネクタ、1104：基板、1105：メモリチップ、1106：コントローラチップ、1110：SDカード、1111：筐体、1112：コネクタ、1113：基板、1114：メモリチップ、1115：コントローラチップ、1150：SSD、1151：筐体、1152：コネクタ、1153：基板、1154：メモリチップ、1155：メモリチップ、1156：コントローラチップ、1200：チップ、1201：PCB、1202：バンプ、1203：マザーボード、1204：GPUモジュール、1211：CPU、1212：GPU、1213：アナログ演算部、1214：メモリコントローラ、1215：インターフェース、1216：ネッ

10

20

30

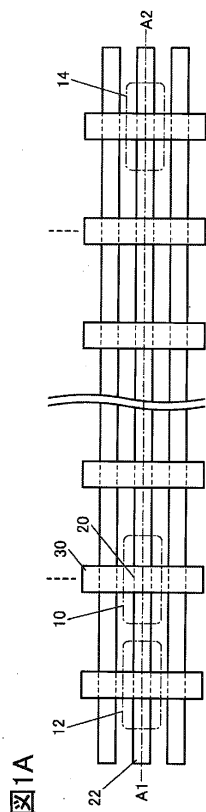
40

50

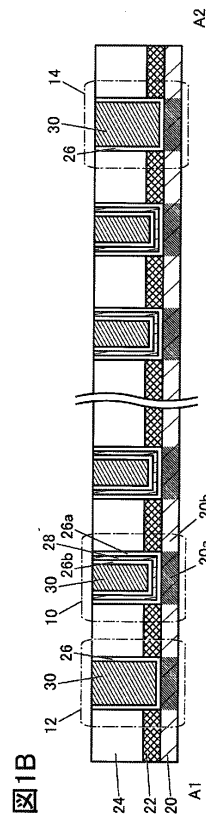
トワーク回路、1221：DRAM、1222：フラッシュメモリ、1400：記憶装置、1411：周辺回路、1420：行回路、1430：列回路、1440：出力回路、1460：コントロールロジック回路、1470：メモリセルアレイ、2700：製造装置、2701：大気側基板供給室、2702：大気側基板搬送室、2703a：ロードロック室、2703b：アンロードロック室、2704：搬送室、2706a：チャンバー、2706b：チャンバー、2706c：チャンバー、2706d：チャンバー、2761：カセットポート、2762：アライメントポート、2763a：搬送口ポット、2763b：搬送口ポット、2801：ガス供給源、2802：バルブ、2803：高周波発生器、2804：導波管、2805：モード変換器、2806：ガス管、2807：導波管、2808：スロットアンテナ板、2809：誘電体板、2810：高密度プラズマ、2811：基板、2812：基板ホルダ、2813：加熱機構、2815：マッチングボックス、2816：高周波電源、2817：真空ポンプ、2818：バルブ、2819：排気口、2820：ランプ、2821：ガス供給源、2822：バルブ、2823：ガス導入口、2824：基板、2825：基板ホルダ、2826：加熱機構、2828：真空ポンプ、2829：バルブ、2830：排気口、5100：情報端末、5101：筐体、5102：表示部、5200：ノート型情報端末、5201：本体、5202：表示部、5203：キーボード、5300：携帯ゲーム機、5301：筐体、5302：筐体、5303：筐体、5304：表示部、5305：接続部、5306：操作キー、5400：据え置き型ゲーム機、5402：コントローラ、5500：スーパーコンピュータ、5501：ラック、5502：計算機、5504：基板、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵室用扉、5803：冷凍室用扉

【図面】

【図1A】



【図1B】



10

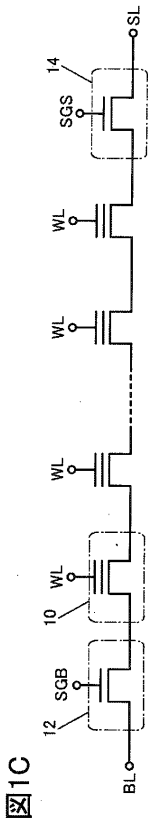
20

30

40

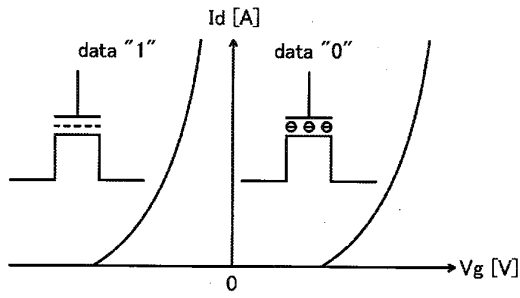
50

【図 1 C】



【図 2 A】

図2A

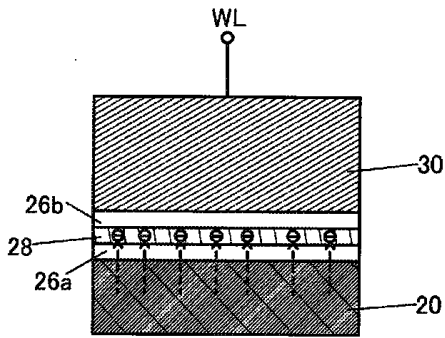


10

20

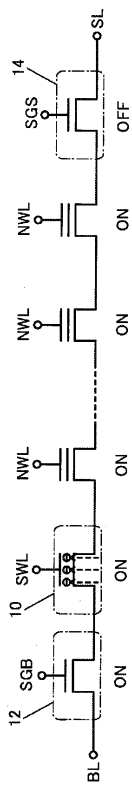
【図 2 B】

図2B



【図 3 A】

図3A

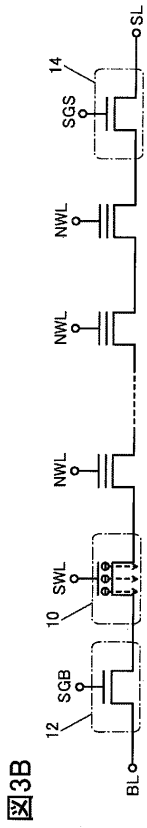


30

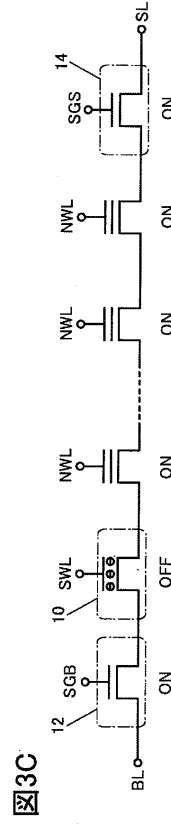
40

50

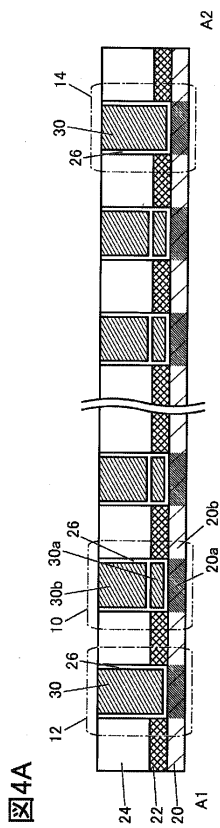
【図 3 B】



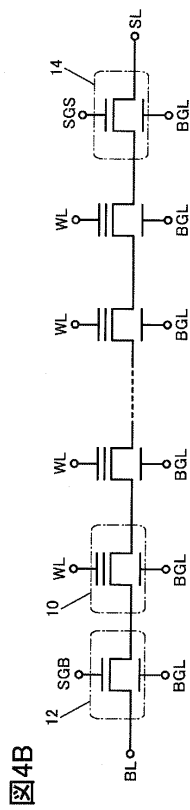
【図 3 C】



【図 4 A】



【図 4 B】



10

20

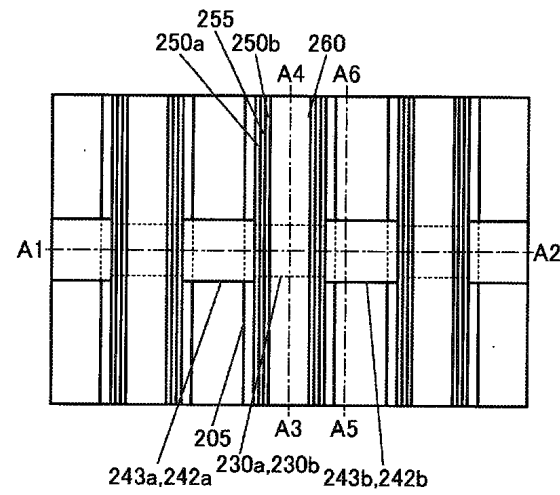
30

40

50

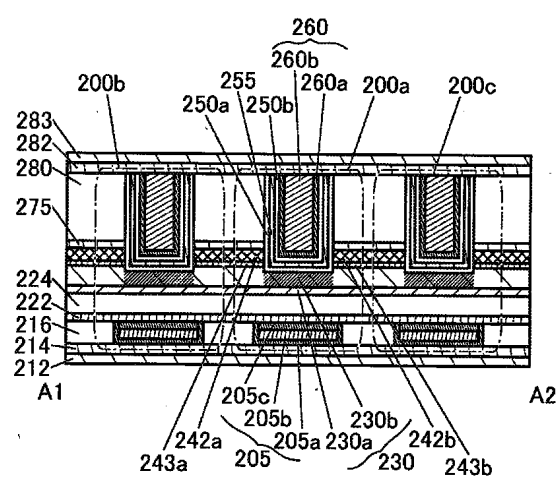
【図 5 A】

図5A



【図 5 B】

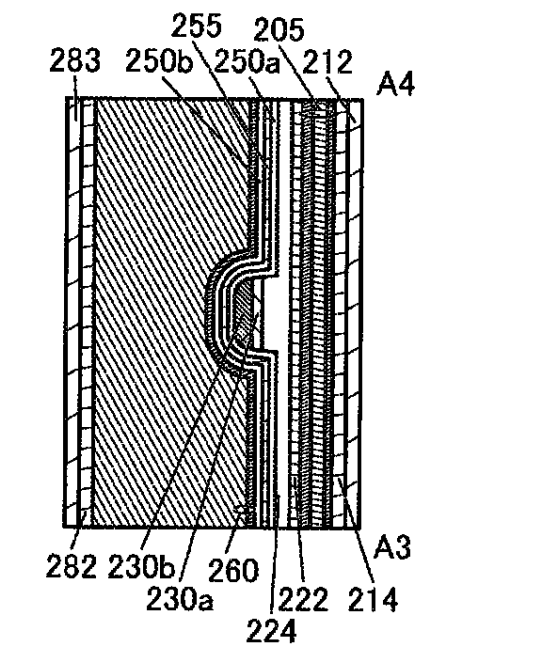
図5B



10

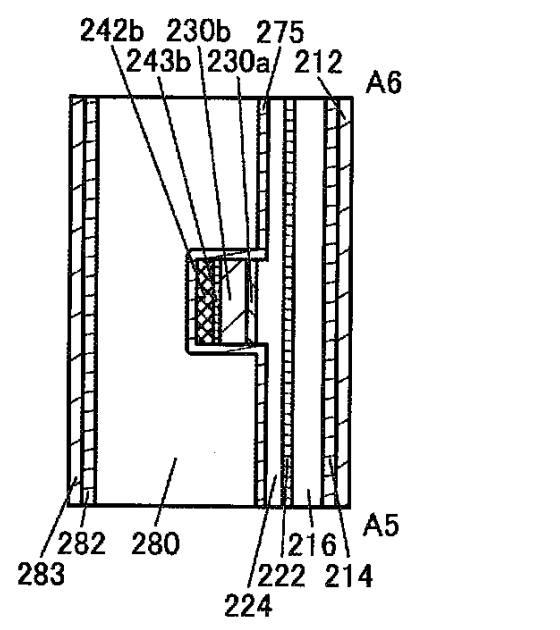
【図 5 C】

図5C



【図 5 D】

図5D



20

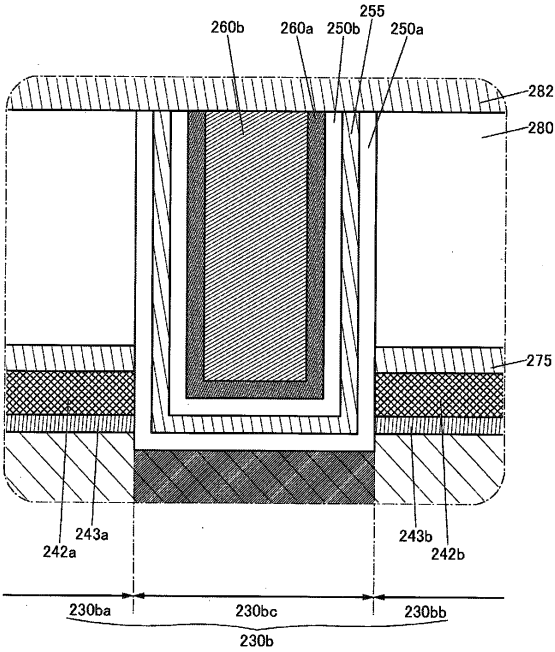
30

40

50

【図 6】

図6



【図 7 A】

図7A

中間状態  
新しい境界領域

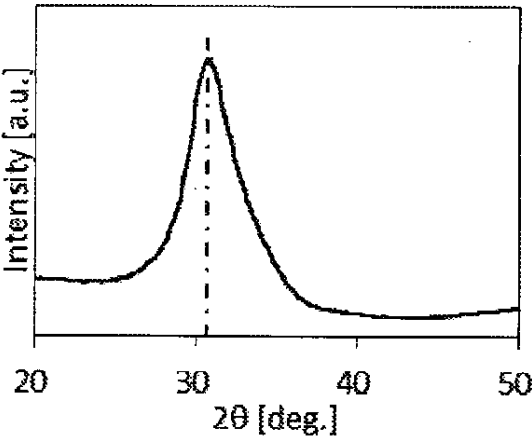
| Amorphous<br>(無定形)       | Crystalline<br>(結晶性)                                                        | Crystal<br>(結晶)                  |
|--------------------------|-----------------------------------------------------------------------------|----------------------------------|
| •completely<br>amorphous | •CAAC<br>•nc<br>•CAC<br><br>excluding<br>single crystal<br>and poly crystal | •single crystal<br>•poly crystal |

10

20

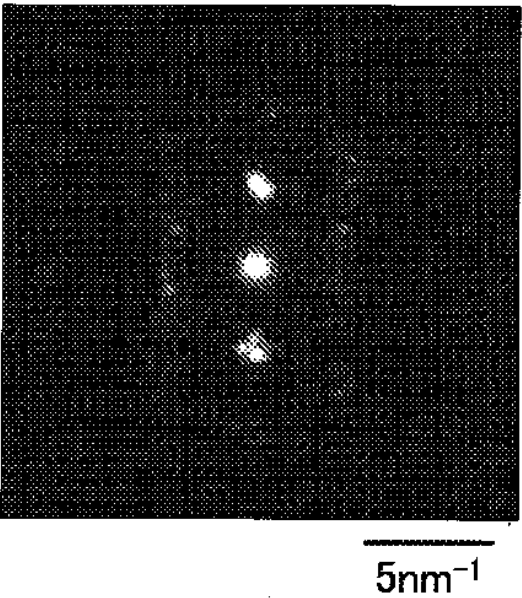
【図 7 B】

図7B



【図 7 C】

図7C



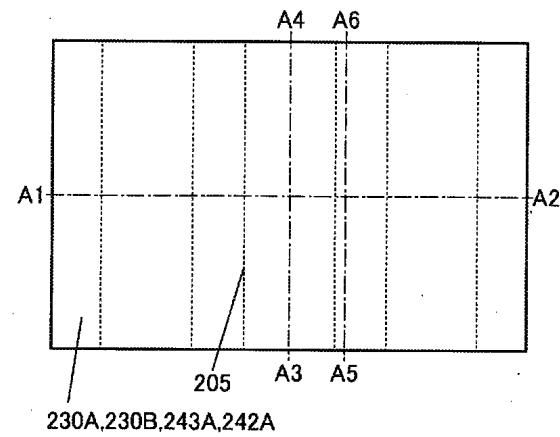
30

40

50

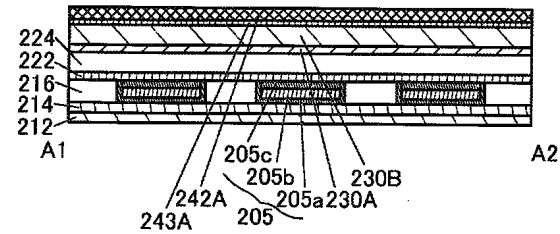
【図 8 A】

図8A



【図 8 B】

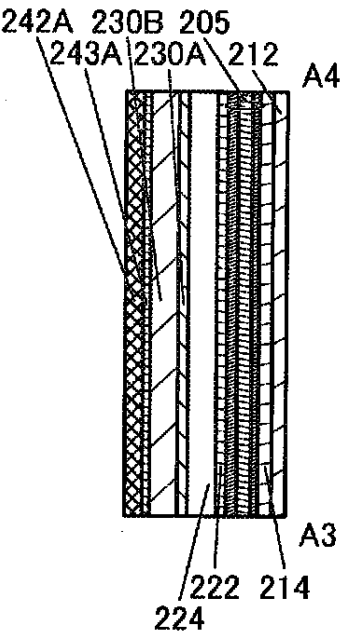
図8B



10

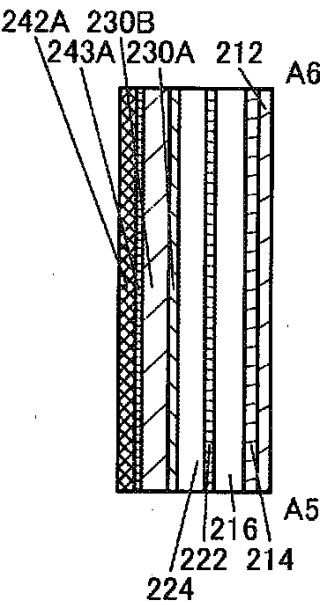
【図 8 C】

図8C



【図 8 D】

図8D



20

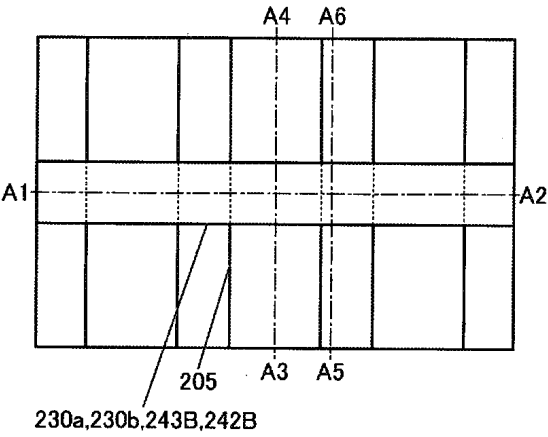
30

40

50

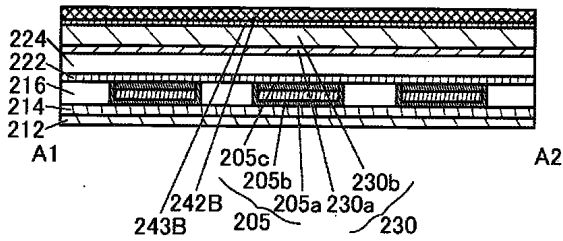
【図 9 A】

図9A



【図 9 B】

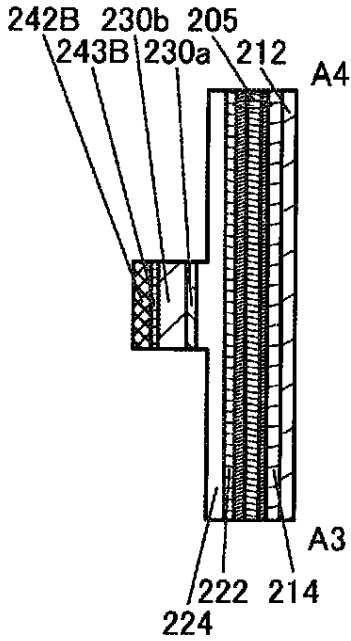
図9B



10

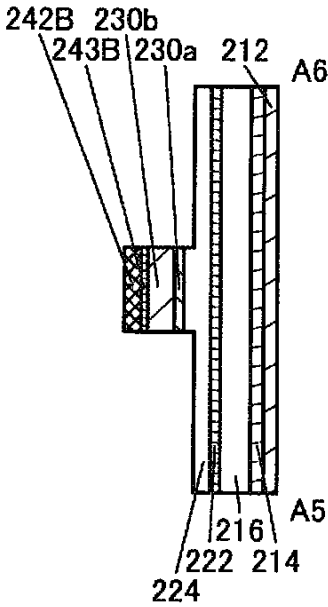
【図 9 C】

図9C



【図 9 D】

図9D



20

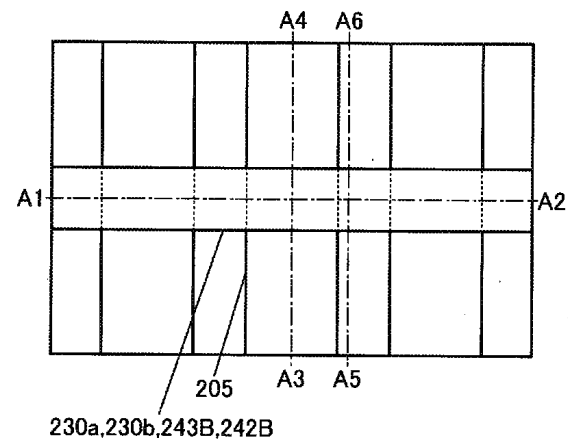
30

40

50

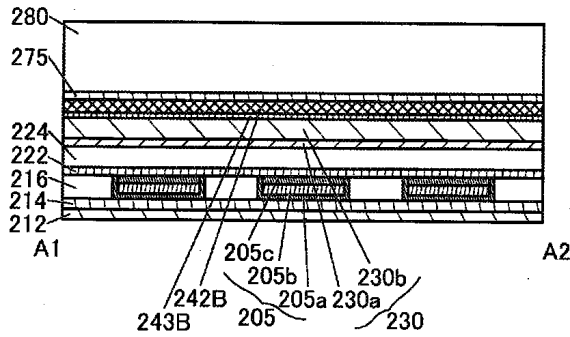
【図 10 A】

図10A



【図 10 B】

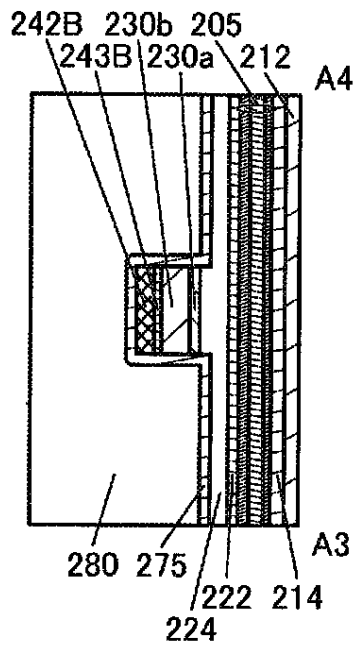
図10B



10

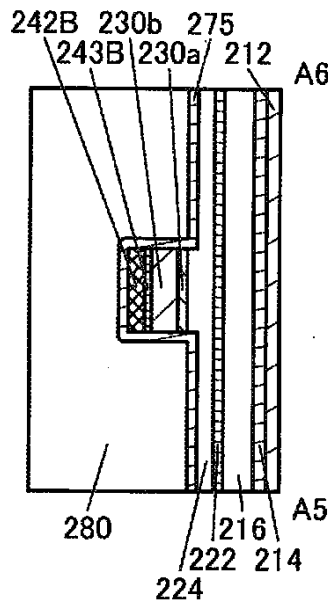
【図 10 C】

図10C



【図 10 D】

図10D



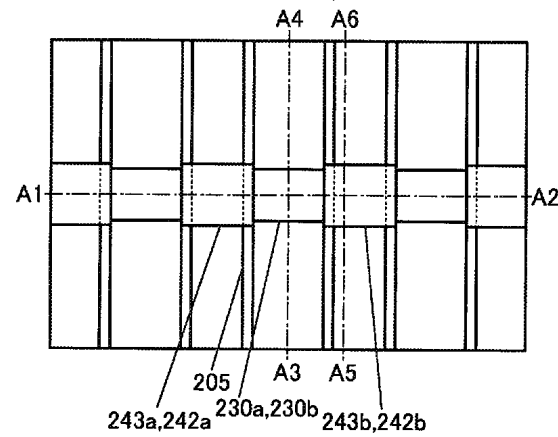
30

40

50

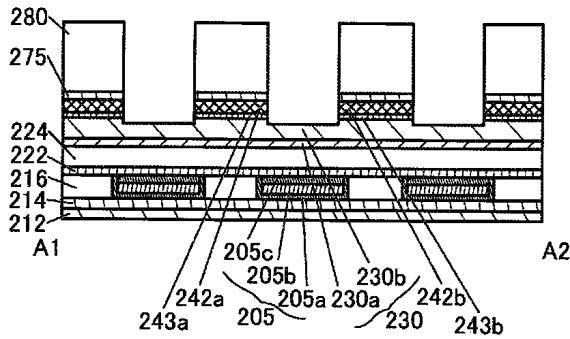
【図 1 1 A】

図11A



【図 1 1 B】

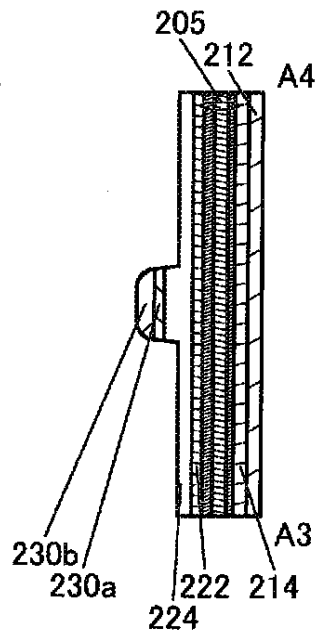
図11B



10

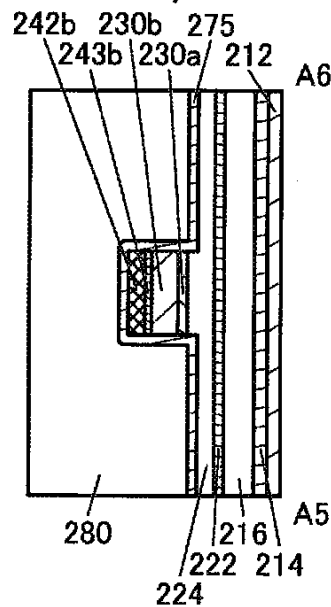
【図 1 1 C】

図11C



【図 1 1 D】

図11D



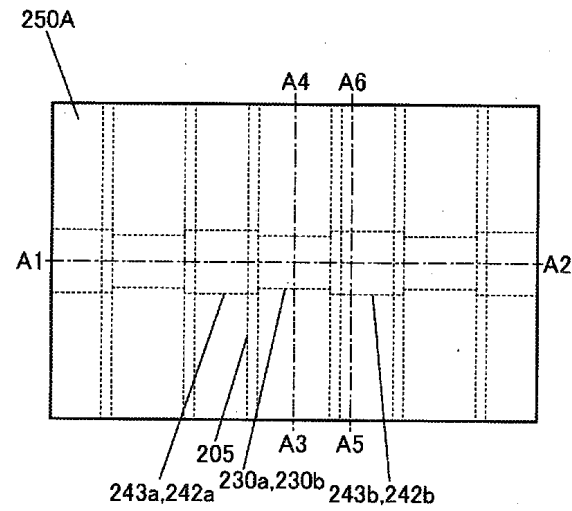
30

40

50

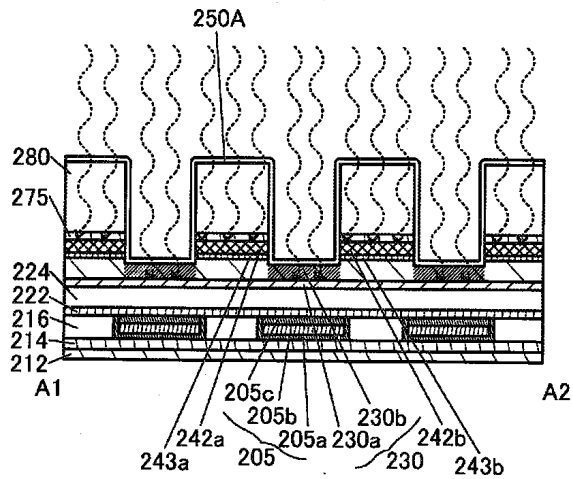
【図 1 2 A】

図12A



【図 1 2 B】

図12B

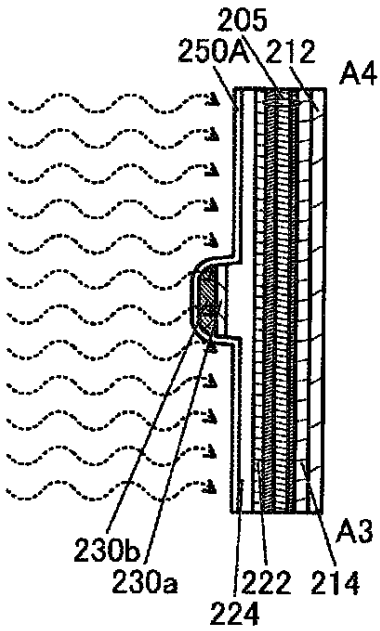


10

20

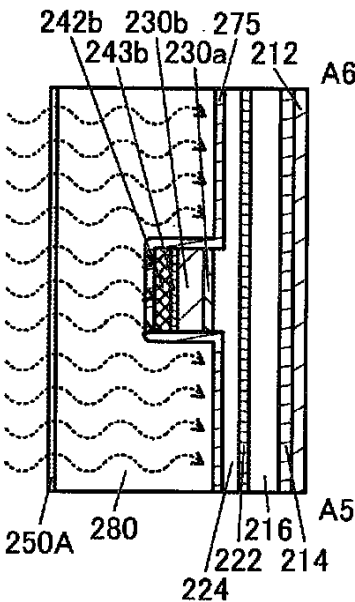
【図 1 2 C】

図12C



【図 1 2 D】

図12D



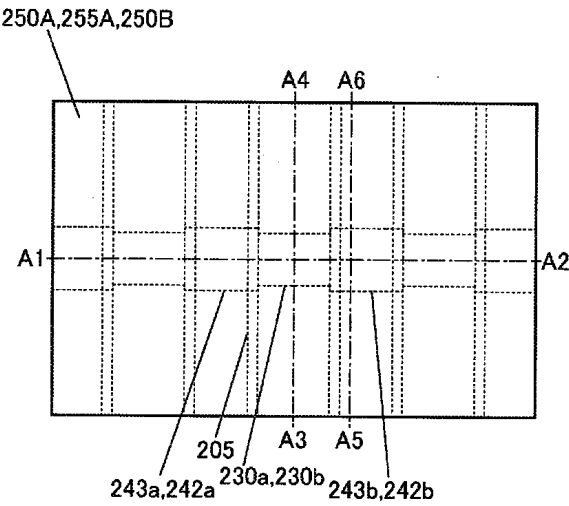
30

40

50

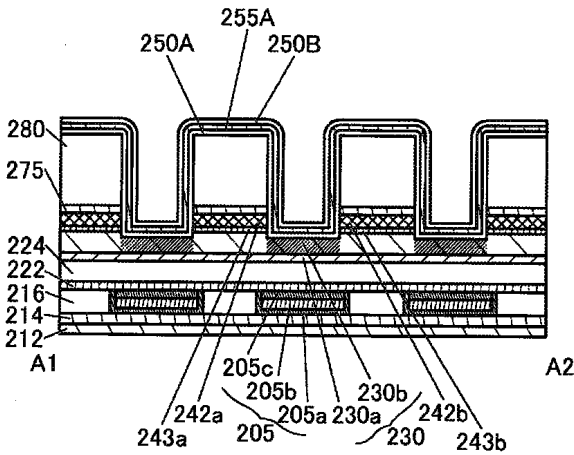
【図 1 3 A】

図13A



【図 1 3 B】

図13B

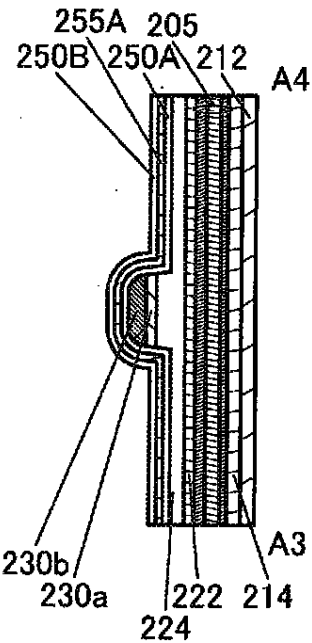


10

20

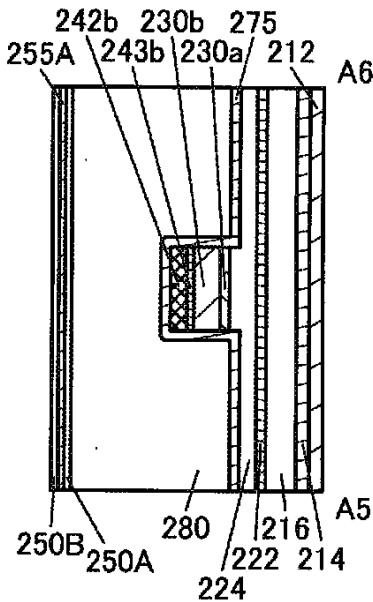
【図 1 3 C】

図13C



【図 1 3 D】

図13D



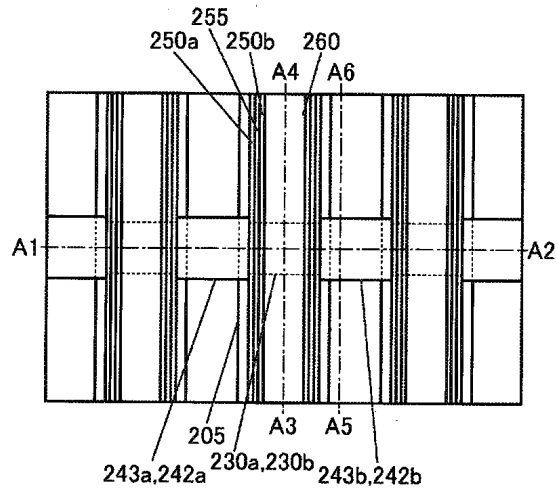
30

40

50

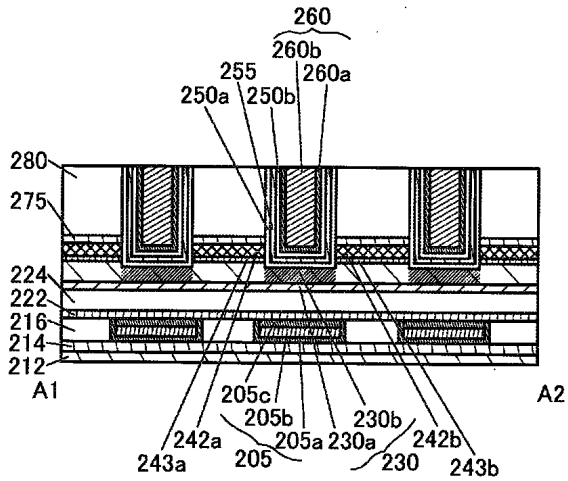
【図 1 4 A】

図14A



【図 1 4 B】

図14B

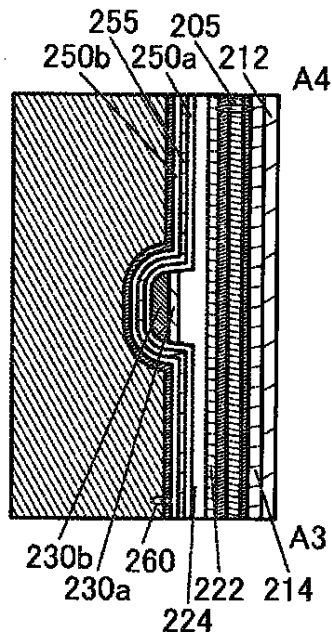


10

20

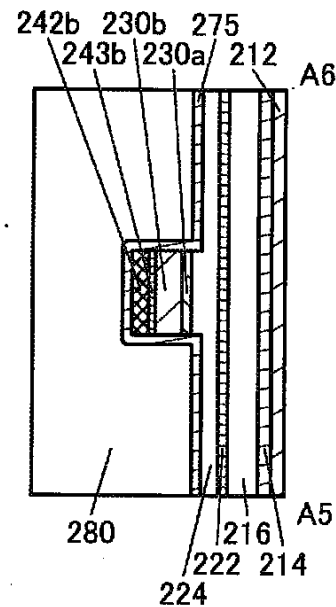
【図 1 4 C】

図14C



【図 1 4 D】

図14D



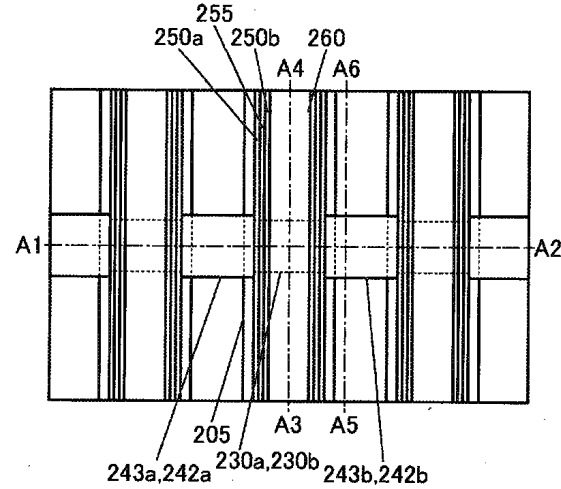
30

40

50

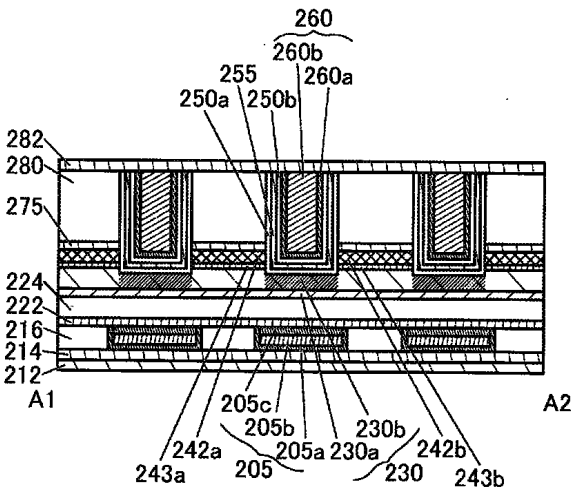
【図 1 5 A】

図15A



【図 1 5 B】

図15B

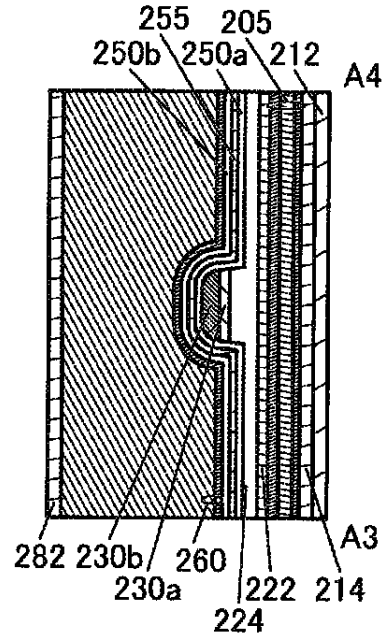


10

20

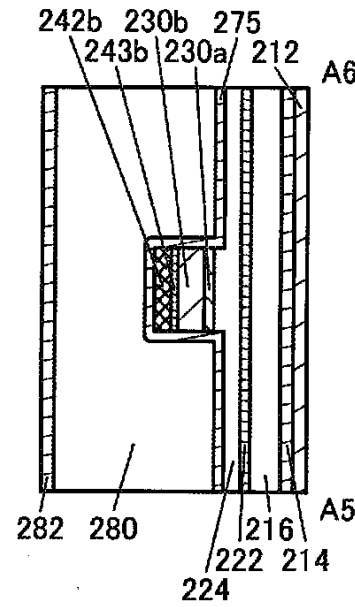
【図 1 5 C】

図15C



【図 1 5 D】

図15D



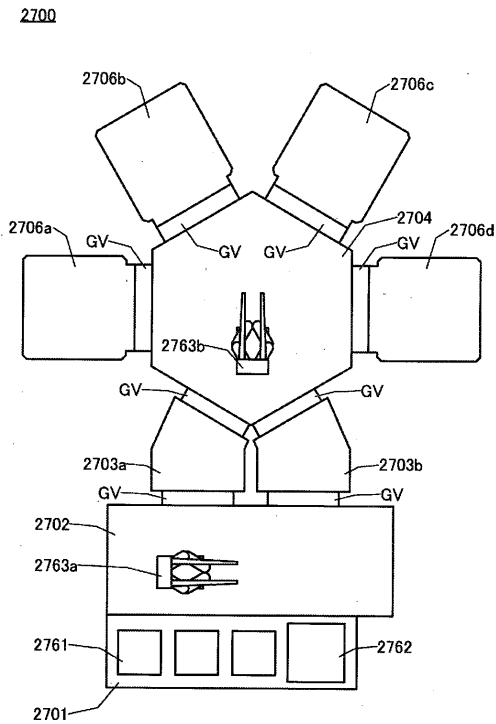
30

40

50

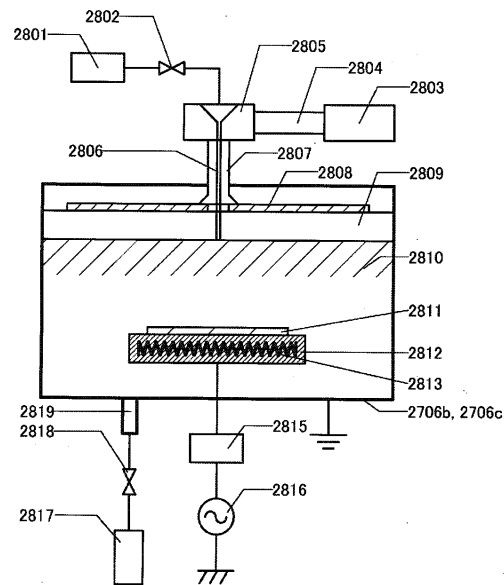
【図 1 6】

図16



【図 1 7】

図17

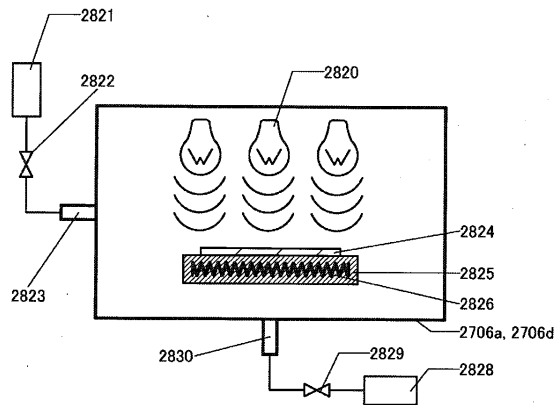


10

20

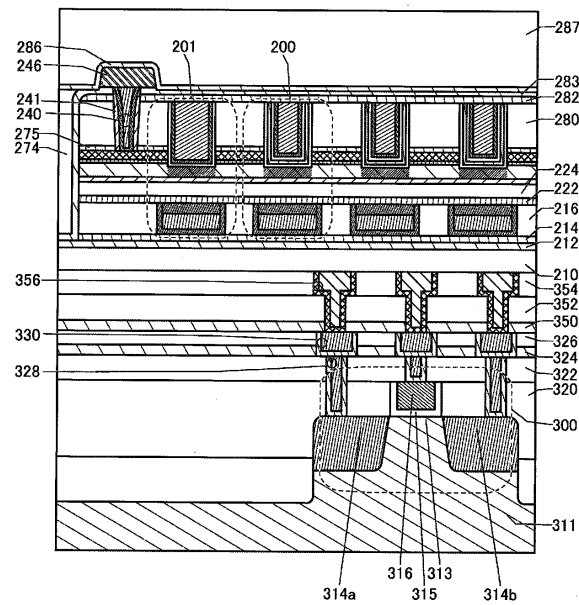
【図 1 8】

図18



【図 1 9】

図19



30

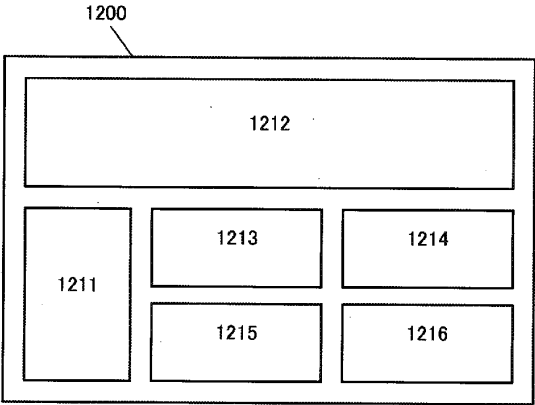
40

50



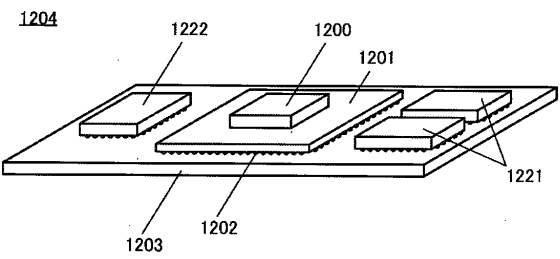
【図 2 3 A】

図23A



【図 2 3 B】

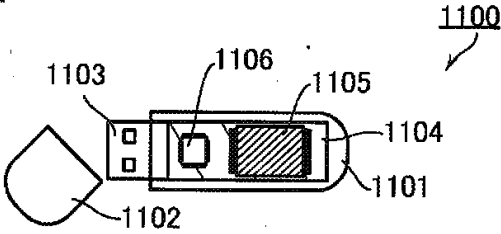
図23B



10

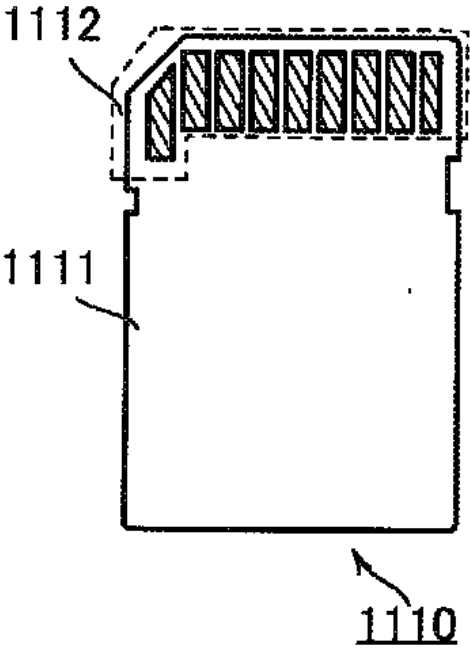
【図 2 4 A】

図24A



【図 2 4 B】

図24B



20

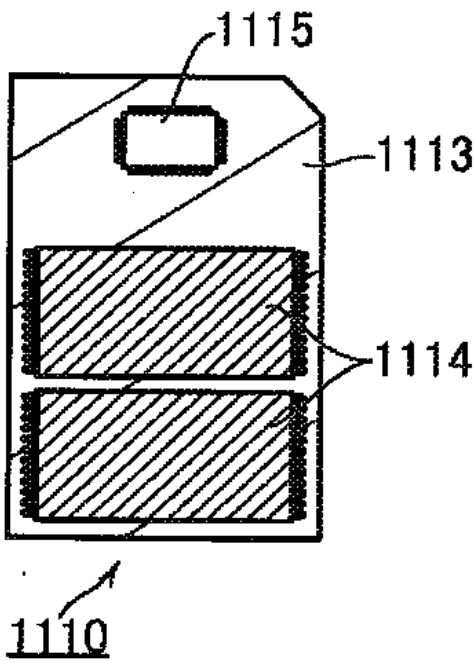
30

40

50

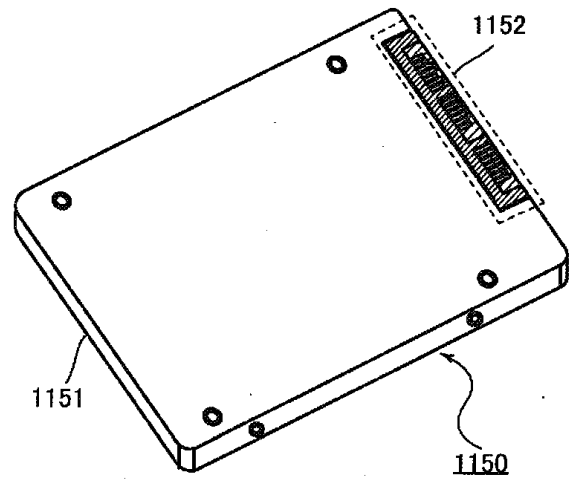
【図 2 4 C】

図24C



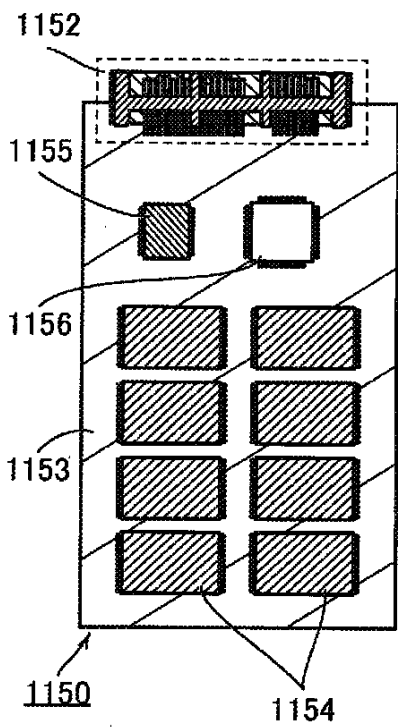
【図 2 4 D】

図24D



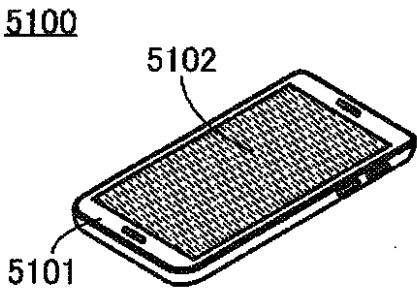
【図 2 4 E】

図24E



【図 2 5 A】

図25A



10

20

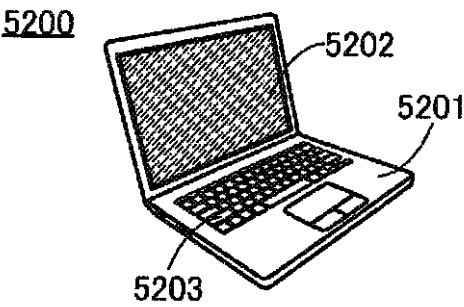
30

40

50

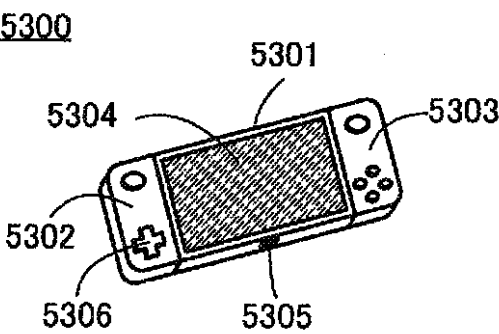
【図 2 5 B】

図25B



【図 2 5 C】

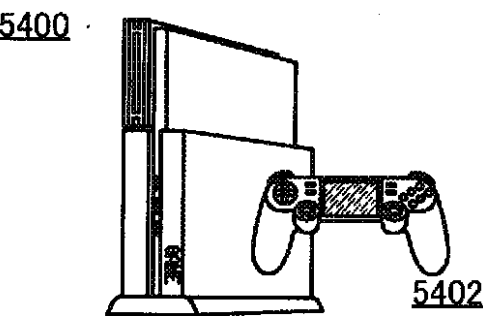
図25C



10

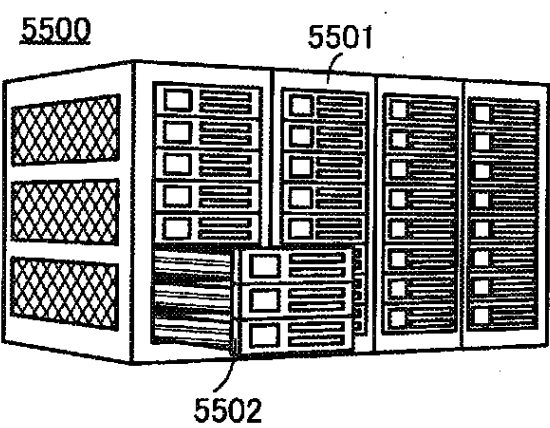
【図 2 5 D】

図25D



【図 2 5 E】

図25E



20

30

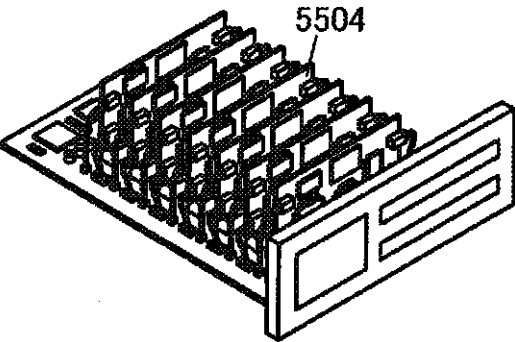
40

50

【図 25 F】

図25F

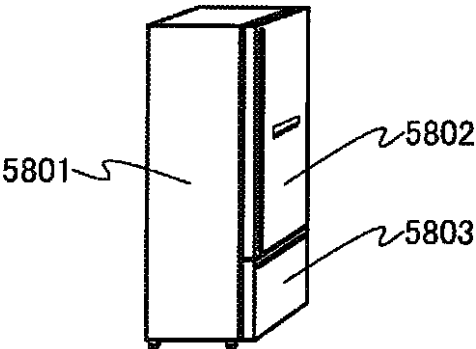
5502



【図 25 G】

図25G

5800



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 米国特許出願公開第2010/0213458 (US, A1)  
特開2012-069583 (JP, A)  
特開2003-188287 (JP, A)  
特開2014-239202 (JP, A)  
特開2009-032804 (JP, A)  
特開2000-294660 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)  
H10B 43/30  
H10B 41/30  
H10D 30/69  
H10D 30/01