(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2017-157681
(P2017-157681A)
(43)公開日　平成29年9月7日(2017.9.7)

(51)Int.Cl.		F I			テーマコード（参考）
H05K 3/46	(2006.01)	H05K	3/46	Q	5E316
H01L 23/12	(2006.01)	H05K	3/46	B	
		H05K	3/46	X	
		H01L	23/12	F	
		H01L	23/12	N	

審査請求 未請求　請求項の数 5　ＯＬ　（全 14 頁）

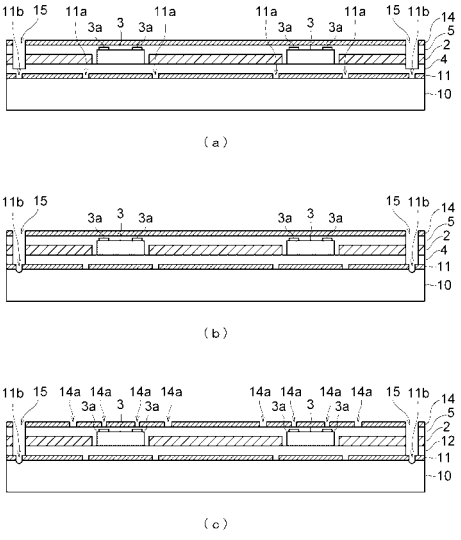
(21)出願番号　特願2016-39533(P2016-39533)
(22)出願日　平成28年3月2日(2016.3.2)

(71)出願人　000003067
ＴＤＫ株式会社
東京都港区芝浦三丁目９番１号
(74)代理人　100115738
弁理士　鷲頭　光宏
(74)代理人　100121681
弁理士　緒方　和文
(74)代理人　100130982
弁理士　黒瀬　泰之
(72)発明者　勝俣　正史
東京都港区芝浦三丁目９番１号　ＴＤＫ株式会社内
(72)発明者　渡辺　和義
東京都港区芝浦三丁目９番１号　ＴＤＫ株式会社内

最終頁に続く

(54)【発明の名称】電子部品内蔵基板の製造方法

(57)【要約】
【課題】銅箔付樹脂層によってアライメントマークが覆われたとしてもその後の工程でアライメントマークを参照してＩＣチップ等と配線層との位置精度を高める。
【解決手段】第１の導体層１１に第１及び第２のアライメントマーク１１ａ，１１ｂを形成し、導体層１１を覆う第１の絶縁層４を形成する。次に絶縁層４を透過して見えるアライメントマーク１１ａを基準にして絶縁層４の上面にＩＣチップ３を実装し、絶縁層１１の上面の全面にＩＣチップ３を覆う第２の絶縁層５を形成すると共に絶縁層５の上面に第２の導体層１４を形成する。さらに、アライメントマーク１１ｂと平面視にて重なる位置において少なくとも導体層１４を貫通するアライメントホール１５をドリル加工により形成し、アライメントホール１５の底部をレーザ加工によりさらに掘り下げてアライメントマーク１１ｂを露出させ、アライメントマーク１１ｂを基準にして導体層１４をパターニングする。
【選択図】図４



【特許請求の範囲】
【請求項１】
第１の導体層に第１及び第２のアライメントマークを形成する工程と、
前記第１の導体層を覆う第１の絶縁層を形成する工程と、
前記第１の絶縁層を透過して見える前記第１のアライメントマークを基準にして前記第１の絶縁層の上面に電子部品を実装する工程と、
前記第１の絶縁層の上面の全面に前記電子部品を覆う第２の絶縁層を形成すると共に前記第２の絶縁層の上面に第２の導体層を形成する工程と、
前記第２のアライメントマークと平面視にて重なる位置において少なくとも前記第２の導体層を貫通するアライメントホールを形成する工程と、
前記アライメントホールの底部をさらに掘り下げて前記第２のアライメントマークを露出させる工程と、
前記第２のアライメントマークを基準にして前記第２の導体層をパターニングする工程とを備えることを特徴とする電子部品内蔵基板の製造方法。
【請求項２】
前記アライメントホールを形成する工程はドリル加工によって行われ、
前記第２のアライメントマークを露出させる工程はレーザ加工によって行われる、請求項１に記載の電子部品内蔵基板の製造方法。
【請求項３】
前記第１の導体層の平面領域は、当該平面領域の中央部を含む回路形成領域と、前記回路形成領域の外側に位置する余白領域とを含み、
前記第１のアライメントマークは回路形成領域に設けられており、
前記第２のアライメントマークは余白領域に設けられている、請求項１又は２に記載の電子部品内蔵基板の製造方法。
【請求項４】
前記回路形成領域は、単一の電子部品内蔵基板の形成領域の集合領域であり、
前記単一の電子部品内蔵基板の形成領域の各々に前記第１のアライメントマークに設けられており、
前記単一の電子部品内蔵基板の形成領域の各々に前記電子部品が実装される、請求項３に記載の電子部品内蔵基板の製造方法。
【請求項５】
前記電子部品は半導体ＩＣチップである、請求項１乃至４のいずれか一項に記載の電子部品内蔵基板の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電子部品内蔵基板の製造方法に関し、特に、半導体ＩＣチップ等の電子部品が埋め込まれた回路基板の製造方法に関するものである。
【背景技術】
【０００２】
近年、スマートフォン、タブレットＰＣ等の携帯電子機器が広く普及している。これらの携帯電子機器には、小型化及び高機能化を図るため、多くの機能を集約したＩＣ内蔵基板が実装されている。ＩＣ内蔵基板は、非常に薄く研削された半導体ＩＣのベアチップが基板内に埋め込まれ、基板の表面にキャパシタ、インダクタ、サーミスタ、抵抗等の受動部品が表面実装されたモジュール部品である。このＩＣ内蔵基板によれば、多様な電源回路や複数の無線通信機能をモジュール化することができ、小型及び薄型で高機能な携帯電子機器を実現することが可能である。
【０００３】
例えば、特許文献１に記載された従来のＩＣ内蔵基板は、キャビティが形成されたコア基板と、キャビティに収容されたＩＣチップと、コア基板の上面に形成された第１導体パ

ターンと、第１導体パターンの周囲に形成された第２導体パターンと、コア基板の上面に、第１導体パターン、第２導体パターンおよびキャビティの開口を覆うように形成された絶縁層とを有している。コア基板はガラスクロス等の補強材に樹脂を含浸させたものであり、これにより所望の基板強度が確保されている。また、第１導体パターンはキャビティの開口を囲むように設けられ、これにより絶縁層の湾曲が抑制される。第１導体パターンにはスリットが形成されており、第１導体パターンの外側にある樹脂の一部はスリットを通過して第１導体パターンの内側に移動するので、第１導体パターンの内側と外側とで絶縁層の厚みを等しくすることができ、絶縁層の平坦化が可能となる。

【０００４】

また、特許文献２には、フレキシブル多層プリント配線板の製造方法が記載されている。この製造方法では、内層基板の端部に貫通穴を形成し、さらに内層基板の両面に１層目回路パターンを形成する。次に、この貫通穴をアライメントマークとして使用して積層用フィルムを積層する。このとき、アライメントマークを含む内層基板の端部の導電層をエッチングにより除去した後、積層用フィルムの積層が行われる。積層フィルムはアライメントマークを覆わない大きさであるため、その後の２層目回路パターンの形成時にはアライメントマークを基準にすることができる。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】特許第５００１３９５号公報

【特許文献２】特開２００５－１４２２５３号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

電子部品内蔵基板の製造では、ＩＣチップを埋め込むため、ＩＣチップの上層に銅箔付樹脂層が形成される。しかし、アライメントマークがＩＣチップよりも下方に設けられている場合、アライメントマークの上方が銅箔樹脂層に覆われて隠れてしまうため、上方からアライメントマークを視認することができず、ＩＣチップと配線層との位置合わせができないという問題がある。特許文献２に記載の製造方法のように、アライメントマークと重ならない領域に積層用フィルムを選択的に貼り付ける方法も考えられるが、積層用フィルムの位置決め精度が要求され、取り扱いが難しい。また、アライメントマークが基板の端部に設けられ、アライメントマークから遠く離れた基板の中央部にＩＣチップを実装する場合には、ＩＣチップの位置決め精度が低下するおそれがある。

【０００７】

したがって、本発明の目的は、銅箔付樹脂層によってアライメントマークが覆われたとしてもその後の工程でアライメントマークを参照することができ、基板面内のどの位置でもＩＣチップ等の電子部品を高い精度で位置決めすることができ、電子部品と配線層との位置精度を高めることが可能な電子部品内蔵基板の製造方法を提供することにある。

【課題を解決するための手段】

【０００８】

上記課題を解決するため、本発明による電子部品内蔵基板の製造方法は、第１の導体層に第１及び第２のアライメントマークを形成する工程と、前記第１の導体層を覆う第１の絶縁層を形成する工程と、前記第１の絶縁層を透過して見える前記第１のアライメントマークを基準にして前記第１の絶縁層の上面に電子部品を実装する工程と、前記第１の絶縁層の上面の全面に前記電子部品を覆う第２の絶縁層を形成すると共に前記第２の絶縁層の上面に第２の導体層を形成する工程と、前記第２のアライメントマークと平面視にて重なる位置において少なくとも前記第２の導体層を貫通するアライメントホールを形成する工程と、前記アライメントホールの底部をさらに掘り下げて前記第２のアライメントマークを露出させる工程と、前記第２のアライメントマークを基準にして前記第２の導体層をパターニングする工程とを備えることを特徴とする。

【０００９】
本発明によれば、第２の導体層を貫通するアライメントホールを例えばドリル加工で形成した後、前記アライメントホールの底部をレーザ加工等によって掘り下げる２段加工により第２のアライメントマークを露出させるので、第２のアライメントマークを確実に露出させることができる。したがって、ＩＣチップ等の電子部品が実装された内層よりも下層に設けられた第２のアライメントマークを第２の導体層の上方から視認することが可能となり、電子部品と配線層との位置精度を高めることが可能となる。
【００１０】
本発明において、前記アライメントホールを形成する工程はドリル加工によって行われることが好ましく、前記第２のアライメントマークを露出させる工程はレーザ加工によって行われることが好ましい。これによれば、第２の導体層を貫通して第２のアライメントマークを露出させるアライメントホールを容易かつ確実に形成することができる。
【００１１】
本発明において、前記第１の導体層の平面領域は、当該平面領域の中央部を含む回路形成領域と、前記回路形成領域の外側に位置する余白領域とを含み、前記第１のアライメントマークは回路形成領域に設けられており、前記第２のアライメントマークは余白領域に設けられていることが好ましい。このように、第２のアライメントマークを余白領域に設けることにより、ドリル加工が電子部品内蔵基板の製造工程や品質に悪影響を与えることが無く、製造工程の信頼性を高めることができる。
【００１２】
本発明において、前記回路形成領域は、単一の電子部品内蔵基板の形成領域の集合領域であり、前記単一の電子部品内蔵基板の形成領域の各々に前記第１のアライメントマークに設けられており、前記単一の電子部品内蔵基板の形成領域の各々に前記電子部品が実装されることが好ましい。これによれば、個々の電子部品の実装領域のできるだけ近くに第１のアライメントマークを設けることができ、電子部品の実装工程において集合基板が収縮・膨張した際でも電子部品の実装の位置決め精度と電子部品に対する第２の導体層のパターニング精度の両方を向上させることができる。
【００１３】
本発明において、前記電子部品は半導体ＩＣチップであることが好ましい。半導体ＩＣチップの多くは狭ピッチで配列された多数のパッド電極を有しており、高い位置決め精度が要求されることから、本発明の適用が極めて有効である。
【００１４】
本発明において、第２のアライメントマークは導体パターンの一部が除去されたネガパターンであることが好ましい。導体パターンはレーザ加工に対するストッパー膜となるので、第２のアライメントマークの露出を確実にすることができる。
【発明の効果】
【００１５】
本発明によれば、銅箔付樹脂層によってアライメントマークが覆われたとしてもその後の工程でアライメントマークを参照することができ、基板面内のどの位置でもＩＣチップ等の電子部品を高い精度で位置決めすることができ、電子部品と配線層との位置精度を高めることが可能な電子部品内蔵基板の製造方法を提供することができる。
【図面の簡単な説明】
【００１６】
【図１】図１は、本発明の第１の実施の形態による電子部品内蔵基板の構造を示す略断面図である。
【図２】図２（ａ）～（ｃ）は、電子部品内蔵基板の製造方法を説明するための略断面図である。
【図３】図３（ａ）～（ｃ）は、電子部品内蔵基板の製造方法を説明するための略断面図である。
【図４】図４（ａ）～（ｃ）は、電子部品内蔵基板の製造方法を説明するための略断面図

である。
【図５】図５（ａ）～（ｄ）は、電子部品内蔵基板の製造方法を説明するための略断面図である。
【図６】図６（ａ）～（ｃ）は、電子部品内蔵基板の製造方法を説明するための略断面図である。
【図７】図７は、アライメントマークの平面レイアウトの一例を示す略平面図である。
【図８】図８は、アライメントマークの平面レイアウトの他の例を示す略平面図である。
【発明を実施するための形態】
【００１７】
以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。
【００１８】
図１は、本発明の第１の実施の形態による電子部品内蔵基板の構造を示す略断面図である。
【００１９】
図１に示すように、この電子部品内蔵基板１は、電子部品としての半導体ＩＣチップを内蔵する回路基板であって、開口部２ａを有するコア基板２と、開口部２ａ内に設けられたＩＣチップ３と、コア基板２及びＩＣチップ３の下面を覆う下部絶縁層４と、コア基板２及びＩＣチップ３の上面を覆う上部絶縁層５と、下部絶縁層４の下面に形成された下部配線層６と、上部絶縁層５の上面に形成された上部配線層７とを有している。本明細書において、「電子部品内蔵基板」とは、ＩＣチップが内蔵された単位基板である個別基板（個片、個品）のみではなく、その個別基板を複数有する集合基板（ワークボード、ワークシート）を含む。
【００２０】
コア基板２は、ガラスクロス、ガラス不織布、アラミド不織布等の繊維質な補強材にエポキシ樹脂、ＢＴ（ビスマレイミドトリアジン）樹脂、ポリイミド樹脂等の樹脂を含浸させたものである。コア基板２の厚さは、求められる基板強度及びＩＣチップ３の厚さを考慮して決定される。
【００２１】
開口部２ａはコア基板２を貫通するように設けられており、下部絶縁層４の上面の一部は露出して開口部２ａの底面を構成している。本実施形態において開口部２ａはコア基板２の平面領域の中央部に位置しているが、必ずしも中央部に位置していなくても良い。
【００２２】
ＩＣチップ３は、パッド電極３ａの形成面が上方を向いたいわゆるフェースアップの状態で開口部２ａ内の下部絶縁層４の上面に搭載されている。パッド電極３ａの形成面とは反対側のＩＣチップ３の裏面は下方を向いており、下部絶縁層４の上面に接している。
【００２３】
本実施形態において、コア基板２の下面の全面は下部絶縁層４に接しており、コア基板２の上面の全面もまた上部絶縁層５に接している。すなわち、電子部品内蔵基板１は基板の上下面にのみ配線層を有しており、内部配線層は設けられていない。そのため、内部配線層のレイアウトの制約を受けることなくビアホール導体を自由に形成することが可能である。
【００２４】
下部絶縁層４は、下部配線層６の下地面を構成するものであり、コア基板２及びＩＣチップ３の下面を覆うように形成されている。下部絶縁層４は、ガラスクロス等の繊維質な補強材を含まない樹脂からなり、その厚さは６０μｍ以下であることが好ましい。これにより、下部配線層６に形成されるアライメントマークの認識性を高めることができる。下部絶縁層４の上面は平坦面であるため、コア基板２の下面とＩＣチップ３の下面は同一平面をなしている。これにより、ＩＣチップ３の傾きや搭載位置ずれを低減することが可能となる。更に、線膨張係数が大きく異なるＩＣチップ３と下部絶縁層４間との接着力を強

化させるため、ＩＣチップ３の下面は＃８０００相当の粗化処理が行われている。具体的には、８００μｍ程度のウエハ状態から研削加工により２０から２００μｍ程度に薄加工する際の仕上げ工程であるポリッシング処理を省略することにより０．１μｍ程度の粗さとなるような加工を行うことが好ましい。

【００２５】

上部絶縁層５は、上部配線層７の下地面を構成するものであり、コア基板２及びＩＣチップ３の上面を覆うように形成されている。上部絶縁層５はコア基板２及びＩＣチップ３の上面のみならず、ＩＣチップ３の側面と開口部２ａの内周面との間の隙間にも充填されている。上部絶縁層５は、ガラスクロス等の繊維質な補強材を含まない樹脂からなり、ＩＣチップ３の上面の上方における厚さは５～３５μｍであることが好ましい。加工性やコスト面を考慮すると、上部絶縁層５は下部絶縁層４と同一材料からなることが特に好ましい。

【００２６】

樹脂としては、フィルム状の熱硬化性樹脂や熱可塑性樹脂を用いることが好ましく、さらにはＲＣＦ（Resin Coated copper Foil：銅箔付樹脂）を用いることができる。ここで、熱硬化性樹脂としては、例えばエポキシ樹脂、ポリイミド樹脂、ＢＴ樹脂、アリル化フェニレンエーテル樹脂、アラミド樹脂などを用いることができる。また、熱可塑性樹脂としては、例えば液晶ポリマー（ＬＣＰ）、ＰＥＥＫ樹脂、ＰＴＦＥ樹脂（フッ素樹脂）などを用いることができる。これらの材料は、例えば絶縁性、誘電特性、耐熱性、機械的特性等の観点から、必要性に応じて選ぶことが望ましい。また、上記樹脂はフィラーを含むものであっても良く、硬化剤、安定剤等の添加剤を含むものであっても良い。

【００２７】

本実施形態による電子部品内蔵基板１は、ＩＣチップ３の上方に設けられた上部絶縁層５を貫通してＩＣチップ３のパッド電極３ａと上部配線層７とを接続するビアホール導体８ａと、上部絶縁層５、コア基板２及び下部絶縁層４を貫通して上部配線層７と下部配線層６とを接続するビアホール導体８ｂと、下部配線層６の導体パターンを選択的に覆うソルダーレジスト層９ａと、上部配線層７の導体パターンを選択的に覆うソルダーレジスト層９ｂとをさらに有している。電子部品内蔵基板１の上面もしくは下面もしくは両面にはキャパシタ、インダクタ、サーミスタ、抵抗等の受動部品が表面実装され、これにより電源モジュール等の電子部品モジュールが実現される。電子部品モジュールは携帯電子機器のメイン回路基板上に表面実装される。

【００２８】

電子部品内蔵基板１の製造では、一枚の大きな集合基板上に多数個の電子部品内蔵基板を形成した後、個々の電子部品内蔵基板を切り出す量産工程が採用される。以下、図２～図６を参照しながら電子部品内蔵基板１の製造方法について説明する。

【００２９】

電子部品内蔵基板１の製造では、まず上面に銅箔１１（第１の導体層）が張り付けられたキャリアプレート１０を用意し、銅箔１１の所定の位置にアライメントマーク１１ａ，１１ｂを形成する（図２（ａ））。キャリアプレート１０に耐熱接着剤等で貼り付ける事により工程中の加熱・冷却による集合基板の歪を低減でき、より精度の高い位置合わせが可能となる。アライメントマーク１１ａ（第１のアライメントマーク）はＩＣチップ３の実装するときの位置決めに用いられ、アライメントマーク１１ｂ（第２のアライメントマーク）は下部配線層６及び上部配線層７をパターニングするときの位置決めに用いられる。本実施形態によるアライメントマーク１１ａ，１１ｂは銅箔の一部を除去してなるネガパターンであるが、銅箔の一部を残してなるポジパターンでもよい。

【００３０】

アライメントマーク１１ａ，１１ｂの形成方法としては精度的な観点からフォトリソグラフィ及びドライエッチングが望ましいが、ドリル加工やレーザ加工も可能である。フォトリソグラフィ及びドライエッチングによるアライメントマーク１１ａの形成では、ドライフィルム及び後述する樹脂シート１２との密着性を高めるため予め銅箔１１の表面の粗

面化処理を行うことが望ましい。その後、銅箔１１の表面にドライフィルムをラミネート法により張り付け、ドライフィルムの露光及び現像を行い、このドライフィルムをマスクとして銅箔１１をエッチングし、ドライフィルムを剥離する。以上により、アライメントマーク１１ａが完成する。銅箔１１は後に下部配線層６となるものであるが、このアライメントマーク１１ａ，１１ｂの形成と同時に下部配線層６のパターンを形成することも可能である。

【００３１】

図７は、アライメントマーク１１ａ，１１ｂの平面レイアウトの一例を示す略平面図である。

【００３２】

図７に示すように、銅箔１１の平面領域のうち、破線Ｄ１で囲まれた当該平面領域の中央部を含む矩形領域は、複数の電子部品内蔵基板１の形成領域である回路形成領域Ａ１である。また破線Ｄ１の外側の領域は、電子部品内蔵基板１の形成領域として使用されない余白領域Ａ２である。回路形成領域Ａ１は、単一の電子部品内蔵基板の形成領域の集合領域である。特に限定されないが、本実施形態では一枚の集合基板上に４つの電子部品内蔵基板１が作製され、一点鎖線で示す分割線Ｄ２に沿って切断されることにより単一の電子部品内蔵基板１に個片化される。

【００３３】

ここで、ＩＣチップ３の位置決めに用いるアライメントマーク１１ａは、単一の電子部品内蔵基板の形成領域の各々に設けられており、配線パターンの位置決めに用いるアライメントマーク１１ｂは余白領域Ａ２に設けられている。すなわち、アライメントマーク１１ａは各電子部品内蔵基板に対して個別に用意されており、アライメントマーク１１ｂはすべての電子部品内蔵基板に対して共通に用意されている。個々のＩＣチップ３の実装領域のできるだけ近くにアライメントマーク１１ａを設けることにより、電子部品の実装工程において集合基板が収縮・膨張した際でもＩＣチップ３の実装の位置決め精度を高めることができ、さらにＩＣチップ３と配線層との位置精度を向上させることができる。また、第２のアライメントマークを余白領域Ａ２に設けることにより、ドリル加工が電子部品内蔵基板の製造工程や品質に悪影響を与えることが無く、製造工程の信頼性を高めることができる。

【００３４】

本実施形態において、単一の電子部品内蔵基板の形成領域の各々には、２つアライメントマーク１１ａが設けられている。２つのアライメントマーク１１ａは、ＩＣチップ３の４つのコーナーのうち対角方向にある２つのコーナー付近にそれぞれ設けられている。２つのアライメントマーク１１ａ，１１ａを結ぶ直線の向きはＩＣチップ３の一方の対角方向と概ね平行であることが好ましい。また、余白領域Ａ２には、２つのアライメントマーク１１ｂが設けられている。２つのアライメントマーク１１ｂは、銅箔１１の矩形領域の４つのコーナーのうち対角方向にある２つのコーナー付近にそれぞれ設けられている。２つのアライメントマーク１１ｂ，１１ｂを結ぶ直線の向きは銅箔１１の矩形領域の一方の対角方向と概ね平行であることが好ましい。アライメントマーク１１ａの配列方向とアライメントマーク１１ｂの配列方向は略直交関係にあることが好ましい。

【００３５】

次に、キャリアプレート１０に支持され且つアライメントマーク１１ａ，１１ｂが形成された銅箔１１の上面に未硬化（半硬化を含む）の樹脂シート１２（第１の絶縁層）を張り付ける（図２（ｂ））。樹脂シート１２は下部絶縁層４に相当するものであり、ラミネート法により形成することができる。樹脂シート１２の厚さは例えば３５μｍである。

【００３６】

次に、樹脂シート１２の上面にＩＣチップ３を搭載する（図２（ｃ））。ＩＣチップ３はパッド電極３ａの形成面が上方を向いたフェースアップの状態で搭載される。ＩＣチップ３をフェースダウンで搭載した場合にはＩＣチップ３のパッド電極３ａと樹脂シート１２との間にボイドが発生しやすいが、フェースアップで搭載した場合には凹凸面がほとん

ど無く、ボイドを抱き込み難いことから、ボイドの問題を回避することができる。

【００３７】

ＩＣチップ３の位置決めにはアライメントマーク１１ａが用いられる。樹脂シート１２は厚さ６０μｍ以下のガラスクロスやアラミド繊維が含まれていない、透明又は半透明の材料であるため、ＩＣチップ３を搭載する際は、樹脂シート１２を透過して見えるアライメントマーク１１ａの位置を基準にしてＩＣチップ３を樹脂シート１２の上面の所定の位置に搭載する。

【００３８】

次に、樹脂シート１２の上面にコア基板２をラミネート法により張り付ける（図３（ａ））。ここで、コア基板２は開口部２ａを有しており、コア基板２は各ＩＣチップ３が対応する開口部２ａ内に収容されるように搭載される。その後、加熱して未硬化の樹脂シート１２を硬化させることにより、コア基板２及びＩＣチップ３の位置が固定される。また、硬化した樹脂シート１２は下部絶縁層４となる。

【００３９】

次に、コア基板２及びＩＣチップ３の上面に未硬化（半硬化を含む）の樹脂シート１３（第２の絶縁層）を張り付ける（図３（ｂ））。この樹脂シート１３は上部絶縁層５に相当するものであり、ラミネート法により形成することができる。樹脂シート１３の厚さは例えば３５μｍである。また、樹脂シート１３はガラスクロスやアラミド繊維が含まれていない材料であることが望ましい。

【００４０】

次に、上部導体層としての銅箔１４（第２の導体層）を樹脂シート１３の上面に張り付ける（図３（ｃ））。銅箔１４は上部配線層７の構成要素であって、真空熱プレス法により積層する。この熱プレス工程により、未硬化の樹脂シート１３は硬化して上部絶縁層５となる。なお、樹脂シート１３及び銅箔１４を順に張り付けるのではなく、銅箔付樹脂シートを用いてもよい。

【００４１】

次に、アライメントマーク１１ｂの直上にドリル加工によりアライメントホール１５を形成する（図４（ａ））。アライメントホール１５は銅箔１４を貫通しているが、アライメントマーク１１ｂまでは到達していない非貫通穴である。アライメントホール１５はアライメントマーク１１ｂと平面視で重なる位置に設けられる。アライメントマーク１１ｂを視認することはできないので、アライメントマーク１１ｂの正確な位置は分からないが、大体の位置は分かるので、アライメントマーク１１ｂよりも大きなサイズのアライメントホール１５を形成することにより、アライメントマーク１１ｂに対する位置ずれを吸収し、アライメントマーク１１ｂの位置をカバーすることができる。

【００４２】

次に、アライメントホール１５の内部にレーザ加工及び加工残渣洗浄を施してアライメントマーク１１ｂを露出させる（図４（ｂ））。レーザ加工によってアライメントホール１５が下部絶縁層４を貫通し、アライメントマーク１１ｂが露出するので、アライメントマーク１１ｂを基準にしてＩＣチップ３のパッド電極３ａの位置を正確に把握することができ、銅箔１４の高精度な加工が可能となる。なおアライメントマーク１１ｂを構成する銅箔１１に囲まれた絶縁材料（樹脂）はその上方の絶縁材料と共に概ね焼失し、加工残渣洗浄を施すことにより残渣は除去される。このようにアライメントマーク１１ｂは、銅箔１１とキャリアプレート１０とを貼り合わせる接着層（不図示）に到達する程度まで深く形成された凹部を構成している。

【００４３】

次に、アライメントマーク１１ｂの位置を基準に銅箔１４をパターニングしてビアホール形成用の開口パターン１４ａを形成する（図４（ｃ））。開口パターン１４ａの形成では、予め銅箔１４の表面の粗面化処理を行った後、銅箔１４の表面にドライフィルムをラミネート法により張り付ける。次にドライフィルムの露光及び現像を行い、このドライフィルムをマスクとして銅箔１４をエッチングした後、ドライフィルムを剥離する。以上に

より、開口パターン１４ａが完成する。

【００４４】

次に、開口パターン１４ａの位置に貫通又は非貫通のビアホール１４ｂを形成する（図５（ａ））。加工方法としては、公知のレーザ加工、ブラスト加工、ドリル加工、またその組み合わせを適用することができる。中でも、静電気、加工タクト等の観点から、ウエットブラスト加工が好ましい。

【００４５】

次に、無電解めっき、電解めっき及びアニール処理を行い、ビアホール１４ｂの内部に導体を埋め込むことにより、ビアホール導体８ａ，８ｂを形成する（図５（ｂ））。ビアホール導体８ａはＩＣ接続用のビアホール導体であり、ビアホール導体８ｂは上部絶縁層５、コア基板２及び下部絶縁層４を貫通して上部配線層７と下部配線層６とを接続するための層間接続用のビアホール導体である。

【００４６】

また図５（ｂ）のように、このめっき処理により、ビアホール１４ｂの内部のみならずアライメントホール１５内にも導体が埋め込まれてしまい、既存のアライメントホール１５の直下のアライメントマーク１１ｂは消滅する。そこで図５（ｃ）に示すように、消滅したアライメントマーク１１ｂの近くに別のアライメントマーク１１ｂ'を準備しておき、図４に示したドリル加工及びレーザ加工を行って、新たなアライメントホール１５'の形成が行われる。このようなアライメントマークの作り直しは必要に応じて適宜行われる。

【００４７】

次に、上下面の銅箔１１，１４に対して公知の手法によりパターニングを行う。具体的には、まず銅箔１４の上面にドライフィルム１６を張り付け、これを露光して上部配線層のマスクパターンの潜像を形成する（図５（ｄ））。なおドライフィルム１６は実質透明であるので下層のアライメントマーク１１ｂ'を認識することは可能である。

【００４８】

次に、キャリアプレート１０を剥離した後、銅箔１１の下面にドライフィルム１７を張り付け、これを露光して下部配線層のマスクパターンの潜像を形成する（図６（ａ））。

【００４９】

次に、両面のドライフィルム１６，１７を現像してマスクパターンを形成し、これらのマスクパターンを用いて銅箔１１，１４をドライエッチングすることにより、所定のパターンを有する下部配線層６及び上部配線層７を完成させる（図６（ｂ））。なお本実施形態では銅箔１１，１４のパターニングを同時に行っているが、別々に行っても良い。

【００５０】

最後に、下部配線層６及び上部配線層７を選択的に覆うソルダーレジスト層９ａ，９ｂをそれぞれ形成する（図６（ｃ））。以上により、本実施形態による電子部品内蔵基板１の集合基板が完成する。その後、図示のＤ－Ｄ'線の位置で集合基板を分割することにより、個々の電子部品内蔵基板１が完成する。なお、電子部品内蔵基板１を個片化する前の集合基板を中間製品として提供してもよい。

【００５１】

以上説明したように、本実施形態による電子部品内蔵基板の製造方法は、キャリアプレートに支持された薄い樹脂シート１２の上面にＩＣチップ３とコア基板２とを搭載するので、基板強度を保ちつつ非常に薄型な電子部品内蔵基板を製造することができる。また、ＩＣチップ３の搭載時には銅箔１１に形成されたアライメントマーク１１ａを樹脂シート越しに見ながらその位置決めを行うので、アライメントマーク１１ａの位置変化を抑えることができ、ＩＣチップ３の位置精度を高めることができる。

【００５２】

第２の導体層にドリル加工を施して第２の導体層を貫通するアライメントホールを形成した後、レーザ加工を行う２段加工により第２のアライメントマークを露出させるので、第２のアライメントマークを確実に露出させることができる。したがって、ＩＣチップ等

の電子部品が実装された内層よりも下層に設けられた第２のアライメントマークを第２の導体層の上方から視認することが可能となり、電子部品と配線層との位置精度を高めることが可能となる。

【００５３】

図８は、アライメントマーク１１ａ，１１ｂの平面レイアウトの他の例を示す略平面図である。

【００５４】

図８に示すように、単一の電子部品内蔵基板の形成領域の各々には、４つのアライメントマーク１１ａが設けられている。４つのアライメントマーク１１ａは、ＩＣチップ３の４つのコーナー付近にそれぞれ設けられている。また、余白領域Ａ２には、多数（ここでは２０個）のアライメントマーク１１ａが外周に沿って一定の間隔で設けられている。このようなレイアウトであってもＩＣチップ３の位置決めが可能であり、ＩＣチップ３と配線層との位置精度を向上させることができる。さらに、アライメントマーク１１ｂを多数設けた場合には、製造工程上の理由から現在使用中のアライメントマーク１１ｂが消滅した場合でも、他のアライメントマーク１１ｂに乗り換えて位置決めが可能となり、非常に便利である。

【００５５】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【００５６】

例えば、上記実施形態においては、ＩＣチップ３を搭載した後にコア基板２を搭載しているが、ＩＣチップ３及びコア基板２の搭載の順序は特に限定されず、コア基板２を搭載した後にＩＣチップ３を搭載することも可能である。コア基板２を先に搭載する場合には、アライメントマーク１１ａを視認できるようにコア基板２に開口を形成しておくことが好ましい。

【００５７】

また、コア基板２はガラスクロスやアラミド繊維を用いた樹脂基板に限定されず、銅やステンレス、ニッケル等の一体型の金属導体を用いても良い。この場合、上部配線層７と下部配線層６とを接続する層間接続用のビアホールが形成される部位においては、あらかじめ貫通形状の開口を設ける加工処理を行うことが好ましい。

【００５８】

また、コア基板２の開口部２ａを形成する際、同時に上部配線層７と下部配線層６とを接続する層間接続用のビアホールを形成しても良い。これにより、一度に加工する量としては低く抑えることが出来るため、より小径ビアの形成が可能となる。

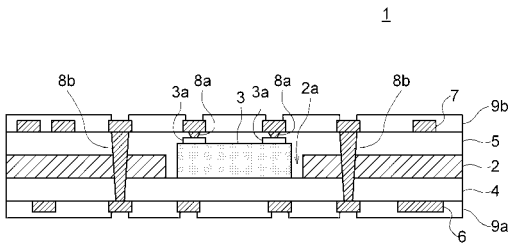
【符号の説明】

【００５９】

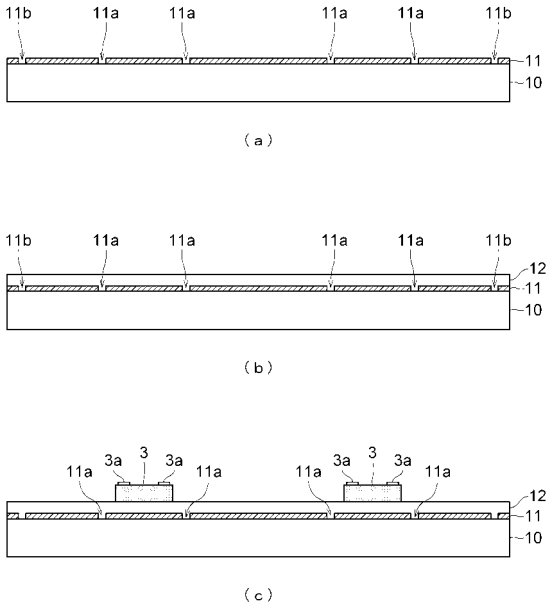
１　電子部品内蔵基板
２　コア基板
２ａ　開口部
３　ＩＣチップ
３ａ　パッド電極
４　下部絶縁層
５　上部絶縁層
６　下部配線層
７　上部配線層
８ａ，８ｂ　ビアホール導体
９ａ，９ｂ　ソルダーレジスト層
１０　キャリアプレート
１１　銅箔

１１ａ，１１ｂ，１１ｂ'　アライメントマーク
１２　樹脂シート
１３　樹脂シート
１４　銅箔
１４ａ　開口パターン
１４ｂ　ビアホール
１５，１５'　アライメントホール
１６，１７　ドライフィルム

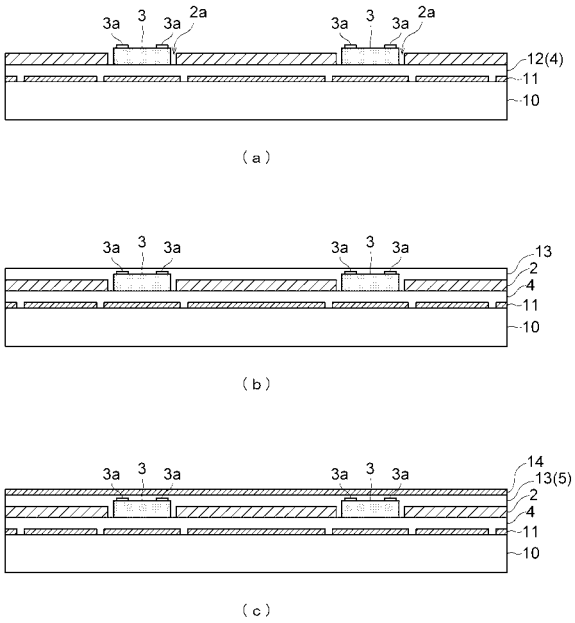
【図１】



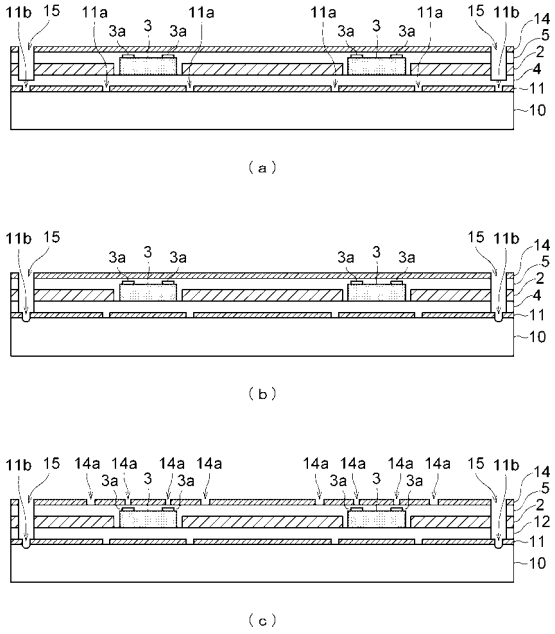
【図２】



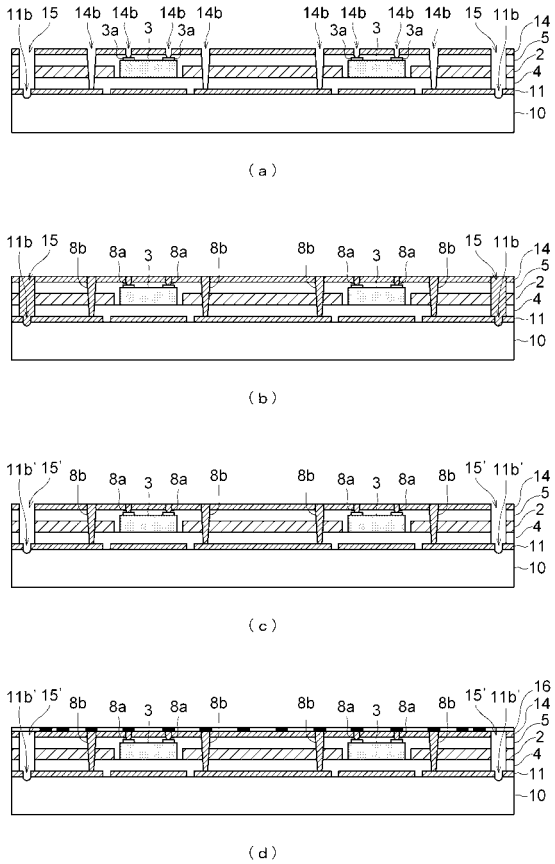
【図３】


3a 3 3a 2a
12(4)
11
10
(a)
13
2
4
(b)
14
13(5)
(c)

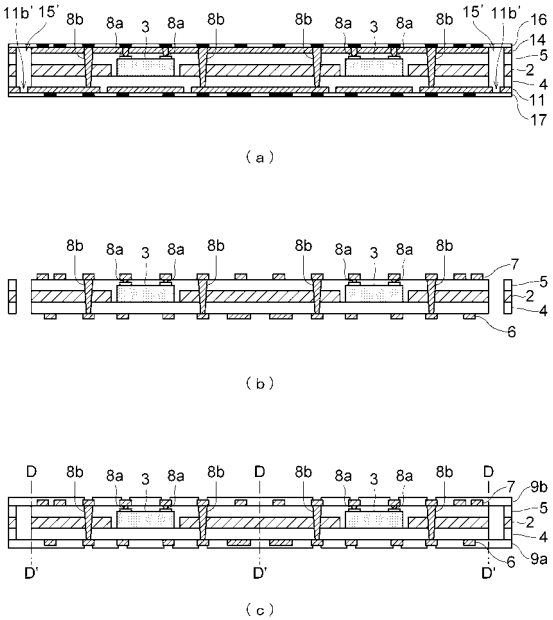
【図４】


11b 15 11a 3a 3 3a
14 5 2 4 11 10
(a)
(b)
14a
12
(c)

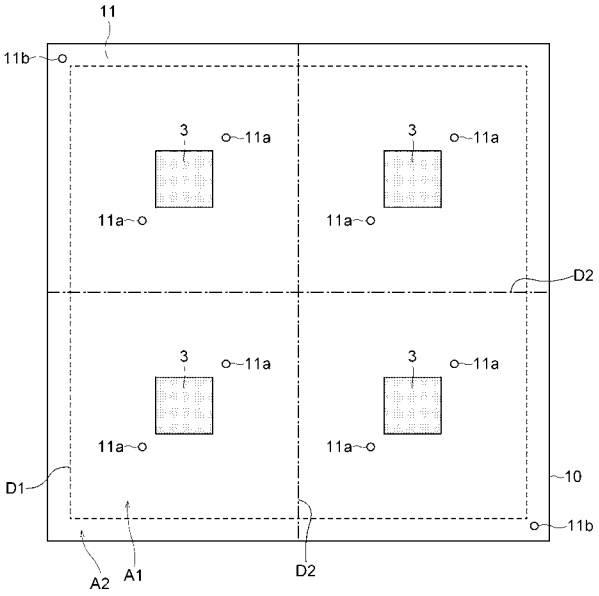
【図５】


11b 15 14b 3a 3
14 5 2 4 11 10
(a)
8b 8a
(b)
11b' 15'
16
(c)
(d)

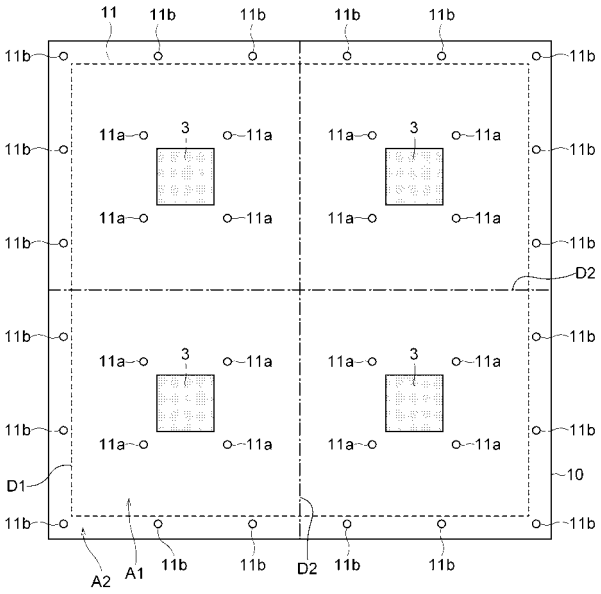
【図６】


11b' 15' 8b 8a 3
16 14 5 2 4 11 17
(a)
7
6
(b)
D D'
9b 9a
(c)

【図７】



【図８】



フロントページの続き

Ｆターム(参考) 5E316 AA12 AA15 AA32 AA38 AA43 BB02 CC04 CC09 CC10 CC32
DD02 DD12 DD32 EE31 FF13 FF14 FF23 FF45 GG15 GG17
GG22 GG27 GG28 HH11 JJ12 JJ26 JJ28