

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

O P I S P A T E N T O W Y

104592

**Patent dodatkowy
do patentu _____**

Zgłoszono: 31.03.76 (P. 188413)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 24.10.77

Opis patentowy opublikowano: 30.04.1980

Int. Cl². H03K 13/20

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórca wynalazku: Ryszard Bayer
Uprawniony z patentu: Instytut Badań Jądrowych, Warszawa (Polska)

Układ przetwornika napięć stałych i zmiennych

Przedmiotem wynalazku jest układ przetwornika napięć stałych i zmiennych, przeznaczony do cyfrowych pomiarów napięć stałych i zmiennych o zmiennej polaryzacji, metodą próbkowania.

Stan techniki. Znany jest przetwornik opisany w książce p.t. „Przetworniki analogowo-cyfrowe” A.Libury i M.Nadachowskiego, str. 114 WTN, 1973, wykorzystujący czasową metodę zamiany. Sygnał wejściowy podawany jest jednocześnie na stopień wejściowy, dyskryminatory dolnego i górnego progu oraz na układ koincydencji i antykoincydencji. Wyjście stopnia wejściowego połączone jest przez linię opóźniającą z wejściem bramki liniowej, której wyjście połączone jest z układem ładującym pojemność. Wyjście układu ładującego, wysyłające przez wtórnik sygnał końca rozładowania, połączone jest z układem sterowania rozładowania liniowego, który połączony jest z wyłącznikiem prądu rozładowania. Wyjście dyskryminatorów górnego i dolnego poziomu oraz układów koincydencji i antykoincydencji połączone są z wejściami układów sterujących. Wyjścia tych układów połączone są przez bramkę logiczną z wejściem sterującym bramki liniowej oraz z wejściem startującym układu sterowania rozładowania liniowego. Wyjście układu sterowania rozładowania liniowego połączone jest ponadto z wejściem otwierającym bramki przepuszczającej impulsy z zegara do rejestru. Wadą przetwornika jest to, że przetwarza on przebiegi o jednej polaryzacji, np. dodatniej, nie może natomiast przetwarzać przebiegów zmiennych o zmieniającej się polaryzacji.

Istota wynalazku. Układ według wynalazku zawiera na wejściu wzmacniacz symetryczny, którego wyjście połączone jest jednocześnie z pierwszym wejściem detektora polaryzacji napięcia oraz z wejściami analogowymi symetrycznej bramki analogowej. Wyjście symetrycznej bramki analogowej połączone jest z układem przetwarzania mającym wyjście połączone jednocześnie z drugim wejściem detektora polaryzacji napięcia oraz układem logiki sterującej. Pierwsze wyjście układu logiki sterującej połączone jest z trzecim wejściem detektora polaryzacji napięcia, natomiast jego wyjścia pierwsze i drugie połączone są z wejściami sterującymi symetrycznej bramki analogowej zaś wyjście trzecie z wejściem wybierającym rejestru wyniku. Wejście sterujące rejestru wyniku połączone jest z drugim wyjściem układu logiki sterującej zaś wyjście otwierające połączone jest z trzecim wyjściem logiki sterującej. Detektor polaryzacji napięcia zawiera na wejściu komparator, którego wyjście połączone jest jednocześnie z pierwszym wejściem centralnego układu wyboru polaryzacji i z pierwszym wejściem

bramki polaryzacji oraz z wejściem wybierającym rejestru wyniku. Drugie wejście centralnego układu wyboru polaryzacji połączone jest z wyjściem układu logiki sterującej. Drugie wejście bramki polaryzacji połączone jest z wyjściem układu przetwarzania natomiast wyjście bramki polaryzacji połączone jest z wejściem układu rejestracji polaryzacji. Symetryczna bramka analogowa ma na wejściu wzmacniacz odwracający i wzmacniacz nieodwracający przy czym wyjście wzmacniacza symetrycznego połączone jest jednocześnie przez rezystor z wejściem odwracającym wzmacniacza odwracającego oraz przez pierwszy dzielnik rezystorowy z wejściem nieodwracającym wzmacniacza nieodwracającego. Wyjście symetrycznej bramki analogowej połączone jest jednocześnie przez rezystor z wejściem odwracającym wzmacniacza odwracającego, oraz przez drugi dzielnik rezystorowy z wejściem odwracającym wzmacniacza nieodwracającego, a także, przez trzeci dzielnik rezystorowy, z wejściem odwracającym wzmacniacza napięcia odniesienia. Wszystkie trzy wymienione poprzednio wzmacniacze mają wejścia sterowania prądowego połączone przez trzy układy kluczujące ze wspólnym źródłem prądowym. Wejścia sterujące układów kluczujących połączone są z wyjściami detektora polaryzacji napięcia.

Korzystne skutki techniczne wynalazku. Układ według wynalazku ma tę zaletę, że pozwala na szybki, cyfrowy, a zarazem dokładny pomiar napięć stałych i zmiennych o zmiennej polaryzacji co uzyskano przez opracowanie symetrycznej bramki analogowej współpracującej z układem detektora polaryzacji napięcia przetwarzania, logiki sterującej i rejestru wyniku. W przetwornikach tego typu bardzo ważnym parametrem jest szybkość przetwarzania informacji analogowej podawanej na wejście w informację cyfrową pobieraną z wyjścia przetwornika.

Objaśnienie rysunków. Przedmiot wynalazku jest pokazany na przykładzie wykonania odtworzonym na rysunku na którym fig. 1 przedstawia układ przetwornika napięć stałych i zmiennych fig. 2 detektor polaryzacji napięcia oraz fig. 3 symetryczną bramkę analogową.

Przykład wykonania wynalazku. Przebieg stały lub zmienny o zmiennej polaryzacji, podawany jest na wzmacniacz symetryczny 1, z fig. 1, którego wyjście połączone jest jednocześnie z pierwszym wejściem detektora polaryzacji napięcia 2 oraz z wejściami analogowymi symetrycznej bramki analogowej 3 której wyjście połączone jest z układem przetwarzania 4 mającym wyjście połączone jednocześnie z drugim wejściem detektora polaryzacji napięcia 2 oraz z układem logiki sterującej 5, której pierwsze wyjście 6 połączone jest z trzecim wejściem detektora polaryzacji napięcia 2, natomiast wyjścia pierwsze 7 i drugie 8 detektora polaryzacji napięcia 2 połączone są z wejściami sterującymi symetrycznej bramki analogowej 3, zaś wyjście trzecie 9 połączone jest z wejściem wybierającym rejestru wyniku 10, którego wejście sterujące 11 połączone jest z drugim wyjściem układu logiki sterującej 5 natomiast wejście otwierające 12 połączone jest z trzecim wyjściem logiki sterującej 5.

Detektor polaryzacji napięcia 2 z fig. 2, ma na wejściu komparator 13, którego wyjście połączone jest jednocześnie z pierwszym wejściem centralnego układu wyboru polaryzacji 14 i z pierwszym wejściem bramki polaryzacji 15 oraz z wejściem wybierającym rejestru wyniku 10 podczas gdy drugie wejście centralnego układu wyboru polaryzacji 14 połączone jest z wyjściem 6 układu logiki sterującej 5, natomiast wyjścia 7 i 8 połączone są z wejściami sterującymi symetrycznej bramki analogowej 3, podczas gdy drugie wejście bramki polaryzacji 15 połączone jest z wyjściem układu przetwarzania 4 natomiast wyjście bramki polaryzacji 15 połączone jest z wejściem układu rejestracji polaryzacji 16.

Symetryczna bramka analogowa 3 z fig. 3, ma na wejściu dwa wzmacniacze przy czym wyjście wzmacniacza symetrycznego 1 połączone jest jednocześnie przez rezystor R_1 z wejściem odwracającym wzmacniacza odwracającego 17 oraz, przez pierwszy dzielnik rezystorowy R_2 i R_5 , z wejściem nieodwracającym wzmacniacza nieodwracającego 18 podczas gdy wyjście symetrycznej bramki analogowej 3 połączone jest jednocześnie przez rezystor R_8 , z wejściem odwracającym wzmacniacza odwracającego 17 oraz przez drugi dzielnik rezystorowy R_9 , R_4 z wejściem odwracającym wzmacniacza nieodwracającego 18, a także, przez trzeci dzielnik rezystorowy R_{10} , R_6 , z wejściem odwracającym wzmacniacza napięcia odniesienia 19, a wejścia sterujące układów kluczujących 20 i 21 połączone są z wyjściami pierwszym 7, i drugim 8 detektora polaryzacji napięcia 2, ponadto wymienione wzmacniacze 17, 18, 19 mają wejścia sterowania prądowego 23, 24, 25 połączone przez układy kluczujące 20, 21, 22 ze wspólnym źródłem prądowym 26.

Działanie układu według wynalazku jest następujące. Przebieg pojawiający się na wejściu wzmacniacza symetrycznego 1 podawany jest na wejście detektora polaryzacji napięcia 2 i na wejścia analogowe symetrycznej bramki analogowej 3. W zależności od polaryzacji napięcia wejściowego, symetryczna bramka analogowa sterowana jest z wyjścia 7 lub 8 detektora polaryzacji napięcia 2 zawsze jednak wytwarza na swym wyjściu impulsy o jednej polaryzacji, o amplitudzie liniowo zależnej od wartości napięcia wejściowego. Impulsy te podawane są na układ przetwarzania 4, który wytwarza na swym wyjściu sygnały o czasie trwania proporcjonalnym do amplitudy impulsów powstających na wyjściu symetrycznej bramki analogowej 3. Sygnały te przechodzą na detektor polaryzacji napięcia 2 oraz na układ logiki sterującej 5, której pierwsze wyjście 6 połączone jest z trzecim

wejściem detektora polaryzacji napięcia 2. Wejście to, przez centralny układ wyboru polaryzacji 14, powoduje zadziałanie wzmacniacza 17 lub 18 symetrycznej bramki analogowej 3. Wyjście trzecie 9 detektora polaryzacji napięcia 2 i wyjście 11 układu logiki sterującej 5 wybierają rodzaj pracy rejestru wyniku 10 i pozwalają na podjęcie decyzji o tym, w jaki sposób wartość napięcia ma być zapisana, natomiast wejście otwierające 12 zezwala na przesłanie na zewnątrz informacji zawartej w rejestrze wyniku 10.

Zastrzeżenia patentowe

1. Układ przetwornika napięć stałych i zmiennych zawierający na wejściu wzmacniacz symetryczny, z n a m i e n n y t y m, że wyjście wzmacniacza symetrycznego (1) połączone jest jednocześnie z pierwszym wejściem detektora polaryzacji napięcia (2) oraz z wejściami analogowymi symetrycznej bramki analogowej (3), której wyjście połączone jest z układem przetwarzania (4) mającego wyjście połączone jednocześnie z drugim wejściem detektora polaryzacji napięcia (2) oraz z układem logiki sterującej (5), której pierwsze wyjście (6) połączone jest z trzecim wejściem detektora polaryzacji napięcia (2), natomiast wyjścia pierwsze (7) i drugie (8) detektora polaryzacji napięcia (2) połączone są z wejściami sterującymi symetrycznej bramki analogowej (3) zaś wyjście trzecie (9) z wejściem wybierającym rejestr wyniku (10), którego wejście sterujące (11) połączone jest z drugim wyjściem układu logiki sterującej (5) natomiast wejście otwierające (12) połączone jest w znany sposób z trzecim wyjściem logiki sterującej (5).

2. Układ przetwornika według zastrz. 1, z n a m i e n n y t y m, że detektor polaryzacji napięcia (2) zawiera na wejściu komparator (13), którego wyjście połączone jest jednocześnie z pierwszym wejściem centralnego układu wyboru polaryzacji (14) i z pierwszym wejściem bramki polaryzacji (15) oraz z wejściem wybierającym rejestr wyniku (10), podczas gdy drugie wejście centralnego układu wyboru polaryzacji (14) połączone jest z wyjściem 6) układu logiki sterującej (5), podczas gdy drugie wejście bramki polaryzacji (15) połączone jest z wyjściem układu przetwarzania (4), natomiast wyjście bramki polaryzacji (15) połączone jest w znany sposób z wejściem układu rejestracji polaryzacji (16).

3. Układ przetwornika według zastrz. 1, z n a m i e n n y t y m, że symetryczna bramka analogowa (3) ma na wejściu wzmacniacz odwracający (17) i wzmacniacz nieodwracający (18) przy czym wyjście wzmacniacza symetrycznego (1) połączone jest jednocześnie, przez rezystor (R_1), z wejściem odwracającym wzmacniacza odwracającego (17) oraz przez pierwszy dzielnik rezystorowy (R_2, R_5) z wejściem nieodwracającym wzmacniacza nieodwracającego (18), podczas gdy wyjście symetrycznej bramki analogowej (3) połączone jest jednocześnie przez rezystor (R_8) z wejściem odwracającym wzmacniacza odwracającego (17) oraz przez drugi dzielnik rezystorowy (R_9, R_4) z wejściem odwracającym wzmacniacza nieodwracającego (18) a także, przez trzeci dzielnik rezystorowy (R_{10}, R_6) z wejściem odwracającym wzmacniacza napięcia odniesienia (19), ponadto wymienione wzmacniacze (17,18,19) mają wejścia sterowania prądowego (23,24,25) połączone w znany sposób przez układy kluczujące (20, 21, 22) ze wspólnym źródłem prądowym (26) a wejścia sterujące układów kluczujących (20, 21) połączone są z wyjściami pierwszym (7) i drugim (8) detektora polaryzacji napięcia (2).

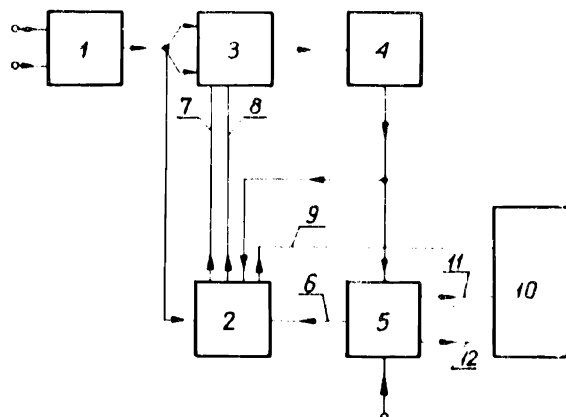


Fig. 1

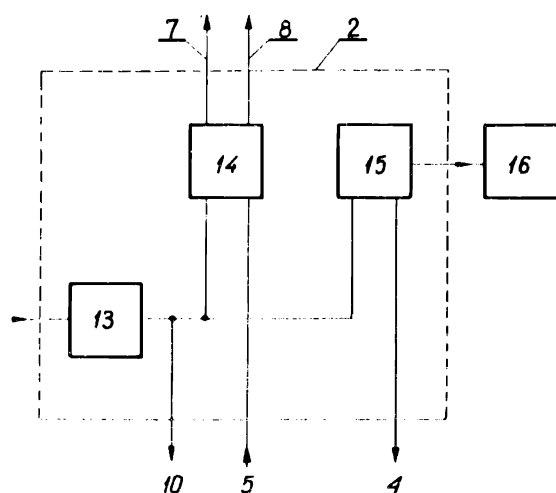


Fig. 2

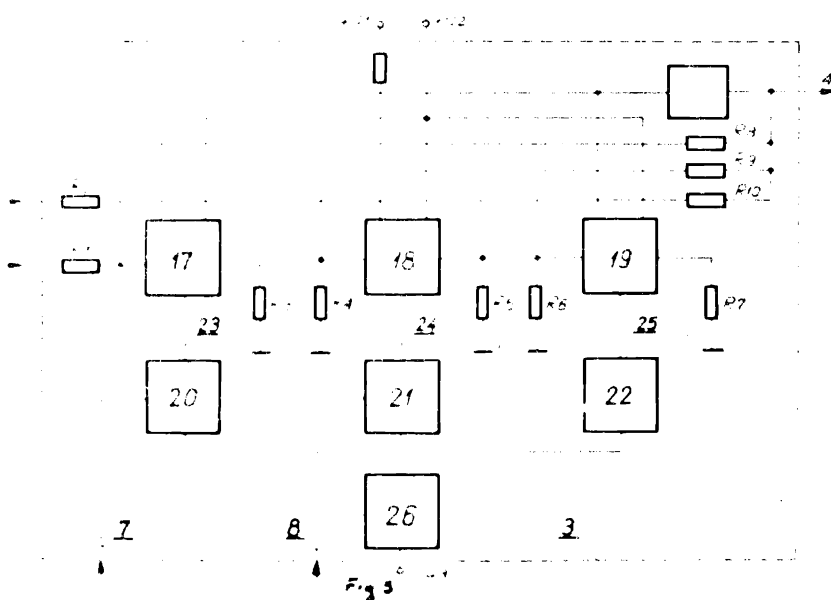


Fig. 3