


申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	3. 黃廣豪
	姓名 (英文)	3. Wong, Michael K.
	國籍	3. 美國
	住、居所	3. 美國加州94402聖馬提歐市金脊巷26號(26 Goldenridge Ct., San Mateo, California 94402, U.S.A.)
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	
		

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	2001/10/22	60/345,315	有

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

## 【發明背景】

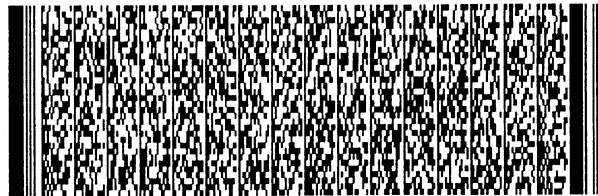
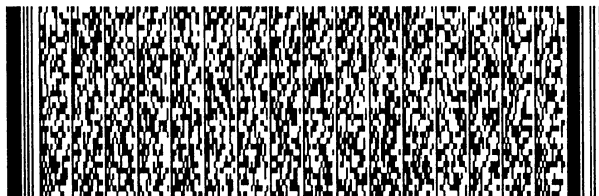
## 1. 發明之領域

本發明一般係關於伺服器(sever)，具體而言係關於一種處理器架構及一種在一網路(network)上將資料伺服至客戶端(clients)電腦之方法。

## 2. 相關技術之描述

隨著網際網路之崛起所帶來的網路連線之拓展，已有愈來愈多的伺服器應用利用多重線程來伺服多重客戶端。電子商務已為大企業創造了如何有效服務百萬消費者的需求。為了支援此一不可避免的需求，伺服應用中的記憶體特性必須不同於桌上型電腦應用中的記憶體特性。尤其，為了容納大量的客戶端，伺服應用需要大的主記憶體頻寬以及較弱的快取行為。

此外，習知的處理器係將焦點放在指令層級平行度(instruction level parallelism ; ILP)上來提昇性能。因此，處理器係傾向於愈來愈大且管線(pipeline)愈來愈複雜。因此，由於處理器，例如INTEL處理器，管線複雜化的關係使得晶片(die)上只有一顆核心(core)。因此，當主記憶體快取未中(cache miss)時或某些其他的長潛伏事件(long latency event)存在時，諸如分支遺漏(branch miss)預測，通常會有一暫停(stall)而使管線閒置下來(sit idle)。這樣一來，具有大型記憶體覆蓋區(footprints)、弱快取局部性(locality)及分支預測性(predictability)的伺服應用的每一線程將傾向於具有非



## 五、發明說明 (2)

常小的指令層級平行度(ILP)。因此，習知處理器及伺服器工作量的實施特性將會由於指令層級平行度之著重而導致一較差的硬體使用率及非必要的功率浪費。

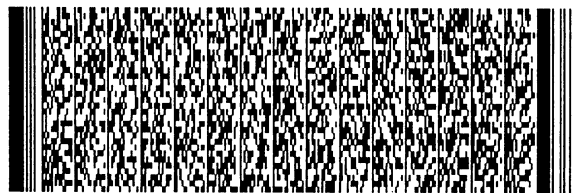
同時，基於指令層級平行度之處理器的性能，例如晶片尺寸之功能、功率及複雜度等已到達一飽和點(saturation point)。圖1描繪了一習知基於指令層級平行度之處理器的性能及功率/尺寸之間的關係圖。如圖1之線100所示，由於指令層級平行度架構(ILP)的限制，習知處理器之功率及尺寸的提昇並沒有讓性能呈現同步的線性成長。習知ILP處理器包含已知的PENTIUM™、ITANIUM™、POWER™、ULTRASPARC™等等家族的處理器。

鑑於以上敘述，吾人係需要一處理器，其具有一較適用於伺服應用、且配置成利用伺服應用之多線程特性的架構。

## 【發明綜合說明】

廣言之，本發明藉由提供一種能有效處理伺服應用之配置架構來滿足上述之需求。吾人應了解的是，本發明可以用不同的方式來實施，包含一種設備、一種系統、一種裝置或一種方法。以下將敘述數個本發明之發明實施例。

一實施例中，本發明提供了一處理器。此一處理器包含至少二核心，其中各個核心包含一第一層級快取記憶體。各個核心係多線程處理。另一實施例中，各個核心包含四線程。此一處理器另包含一交叉網路。此一處理器另



## 五、發明說明 (3)

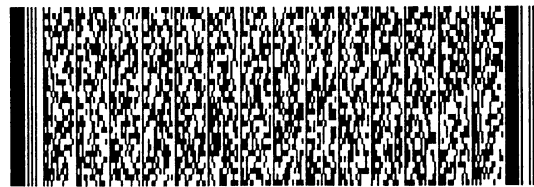
設有複數透過交叉網路與核心連通之第二層級快取庫記憶體。各個該等第二層級快取庫記憶體係與一主記憶體介面連通。此一處理器亦包含一與各個該等快取庫記憶體連通之緩衝區交換核心。

另一實施例中，所提供的是一伺服器。伺服器包含一應用處理器晶片。此一應用處理器晶片包含複數多線程之中央處理單元(central processing unit; CPU)核心。各個該等多線程之中央處理單元核心包含一第一層級快取記憶體。應用處理器晶片包含一交叉網路及複數透過交叉網路與核心連通之快取庫記憶體。各個該等第二層級快取庫記憶體係與一主記憶體介面連通。應用處理器晶片包含一緩衝區交換核心，其與各個該等快取庫記憶體連通。另一實施例中，所提供的是一種多線程之處理器核心之利用的最佳化方法。此一方法始於透過一第一線程操作來存取一處理器核心之方法操作。然後，在第一線程操作完成處理器核心之存取後，一長潛伏操作係透過第一線程來執行。接著，暫停第一線程。然後，確認及選定一就緒(ready)存取(access)處理器核心之一第二線程操作。當第一線程在背景中執長潛伏操作時，第二線程操作係透過處理器核心來處理。

從底下的詳細敘述以及為例示本發明原理而描繪之附隨圖形中，我們將了解本發明其他的實施樣態及優點。

**【較佳實施例之詳細說明】**

本發明係描述一種設備及方法，用以增進處理商業應

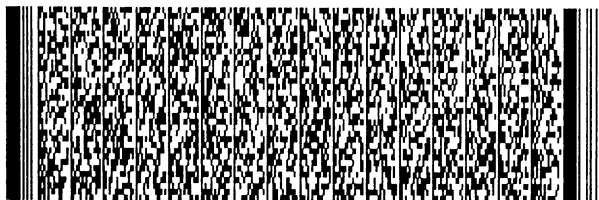


## 五、發明說明 (4)

用工作之處理器的產能及性能。然而，熟習該項技術者當了解的是在欠缺這些具體細節的情況下，本發明亦可被實施。另一方面，在此並未詳述已知的程序操作，以避免不必要性地模糊了本發明。此處所稱之「大約」一詞用語指的是對應值 $\pm 10\%$ 的範圍。

在此處所敘述的實施例中，一晶片上係具有多重簡單核心，而各個核心具有自己的第一層級快取且核心透過一交叉網路共享一第二層級快取。同時，各個核心具有兩個或多個線程。透過多線程，記憶體負載之潛伏、快取遺漏、分支及其他長潛伏事件所引起之潛伏係被隱藏起來。一實施例中，長潛伏指令會造成線程之暫停直至指令之結果就緒。在下一時脈中，剩餘之在核心中運行線程之就緒會被選定在管線中完成(不須引進額外的上下文交換(context switch))。一實施例中，一排程演算法(scheduling algorithm)會在各核心上運行線程的就緒中作選擇。因此，在長潛伏事件於背景中執行及藉由多線程來最佳化中央處理單元的前提下，可達成一高產能架構。

圖2係本發明一實施例之一伺服器之高層級的簡示圖，此一伺服器具有一基於線程層級平行度(thread level parallelism; TLP)架構的處理器。伺服器110包含處理器112，例如一中央處理單元(CPU)。處理器112在一晶片上包含多重核心，而各個多重核心具有兩個或多個線程，以下將詳細說明。伺服器110係與一分佈網路(distributed network)諸如一網際網路114連通，而讓伺

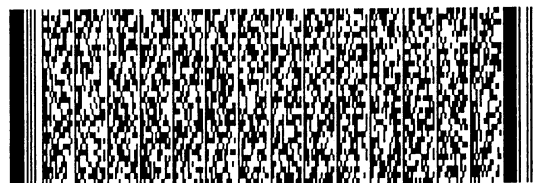


## 五、發明說明 (5)

伺服器110與客戶端1-n 116a-116n連通。一實施例中，伺服器110係一商業用伺服器，例如一應用程式伺服器應用、資料庫應用等等。

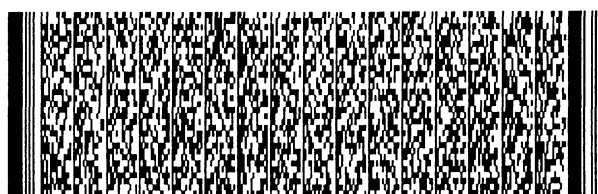
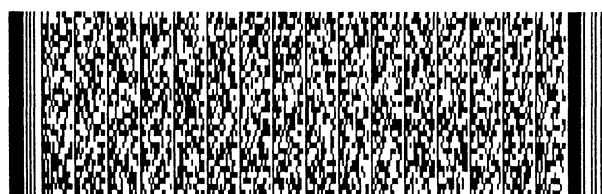
圖3係本發明一實施例之一處理器晶片之一簡示圖，此一處理器晶片具有多重處理核心及多重線程，其中各個核心包含一第一層級快取且多重核心共享一第二層級快取。處理器晶片112包含處理器核心0至n，118-1至118-n。一實施例中，處理器晶片112包含8處理器核心，然而，吾人應了解的是發明並不限於8個處理器核心。各個處理器核心118-1至118-n各別包含一第一層級快取124-1至124-n。各個核心透過交叉網路120共享第二層級快取庫122。交叉網路120在處理器核心118-1至118-n及第二層級快取庫122之間連通兩者。一實施例中，交叉網路120係被配置成容納許多在各個計時週期上進行處理之獨立存取。

圖4更詳細地描繪出本發明一實施例之一處理器晶片，此一處理器晶片具有8多線程之處理器核心。各個線程處理核心118-1至118-8包含層級1(第一層級)快取124-1至124-8。層級1快取124-1包含指令快取(I\$)區段(instruction cache segment)及資料快取(D\$)區段(data cache segment)。載入/儲存單元(load/store unit)128-1係包含在線程處理之核心118-1之內。吾人應了解的是各個處理器核心118-1至118-8包含一指令快取、一資料快取及一載入儲存單元。另一實施例中，各個處理



## 五、發明說明 (6)

器核心係以本發明之申請公司之SPARC™V9架構為基礎。各個處理器核心118-1至118-8係與交叉網路120連通。在為了獲致極低潛伏之處，交叉網路120係為了處理器之流量而最佳化。層級2(level 2; L2)/或第二層級快取庫122-1至122-4係被處理器核心118-1至118-8所共享。吾人應了解的是藉由共享層級2(L2)快取庫122-1至122-4而允許了同一時間內對多重庫同時進行的存取，藉此界定出一高頻寬之記憶體系統。一實施例中，各個層級2(L2)快取庫約有1百萬位元組(megabyte; MB)。吾人應了解的是儘管圖四中僅顯示四個層級2(L2)快取庫122-1至122-4，本發明並非受限於四個層級2(L2)快取庫。換言之，層級2(L2)快取庫的數目係足以從層級2(L2)快取中供給足夠的頻寬來讓所有的核心維持在忙時的狀態。一實施例中，各個處理器核心包含4線程。因此，在此配置中，一具有8個核心之單一處理器晶片將具有32線程。各個層級2(L2)快取庫122-1至122-4係與主記憶體介面126-1至126-4介面連通，以提供快取予主記憶體。吾人應了解的是儘管此一處理器晶片上描繪有8個核心，然晶片上可包含更多或更少的核心，圖4所示者僅為例示性的而非限制性的。熟習該項技術者當了解的是內連接結構，例如交叉網路120及緩衝區交換核心(buffer switch core; BSC)130，所提供的功能係可透過適當的處理快取庫122-1至122-4之間信號的等效結構、用以處理核心118-1至118-8及I/O裝置132-1至132-n之等效結構(equivalent structures)及已知的等效

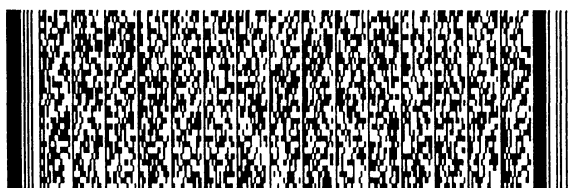


## 五、發明說明 (7)

結構來提供。

再參照圖4，緩衝區交換核心130係一為I/O直接記憶體存取(direct memory access; DMA)異動(transaction)而提供一最大頻寬予主記憶體的最佳化區塊。一實施例中，BSC 130之交換結構可作為一DMA流量交換，此一DMA流量交換係配置來處理一些與BSC 130連通之不同I/O裝置及I/O介面埠。另一實施例中，BSC 130係被致能來執行記憶體的排序。BSC 130包含電路，此電路係配置來透過I/O埠與各種不同I/O介面連通及用以緩衝I/O裝置所產生之DMA流量。被緩衝區的信號係經過排序的，然後被傳送至層級2(L2)快取庫122-1至122-4。接著，層級2(L2)快取庫122-1至122-4將層級2(L2)快取庫中資料與主記憶體中對應資料之間的相關性維持住。

一實施例中，圖4中包含BCS 130層級2(L2)快取庫122-1至122-4及主記憶體介面126-1至126-4之路線，係用來執行I/O裝置132-1至132-n及主記憶體之間的直接記憶體存取(DMA)傳輸。就I/O裝置之控制登錄存取而言，交叉網路120上一額外埠係與I/O橋接器(bridge)134連通，而橋接器係接著與I/O裝置132-1至132-n連通。因此，處理器核心118-1至118-8能夠直接存取任一I/O裝置132-1至132n中的登錄(register)而非透過記憶體來連通。舉例而言，一處理器核心118-1至118-8可傳送一載入指令至交叉網路120。然後，交叉網路120將信號傳送至I/O橋接器134而非層級2(L2)快取庫122-1至122-4。然後，I/O橋接器



## 五、發明說明 (8)

134 產生一異動予對應的 I/O 裝置 132-1 至 132-n 來獲得必需的資料。一旦資料被 I/O 橋接器 134 接收之後，資料會回傳至交叉網路 120 且接著傳至各個處理器核心 118-1 至 118-8。因此，任一處理器核心 118-1 至 118-8，或任何處理器核心之線程，可存取 I/O 裝置 132-1 至 132-n 而繞過為達成 DMA 傳輸之 I/O 裝置之程式化的層級 2 (L2) 快取庫 122-1 至 122-4。熟習該項技術者當了解的是，在 DMA 傳輸之前，必須先設定 I/O 裝置 132-1 至 132-n 中的特定參數。在 I/O 裝置 132-1 至 132-n 中所設定的典型參數包含傳輸長度、傳輸位址及傳輸數目等等。一實施例中，I/O 橋接器 134 會處理例如設定控制信號命令及讀取狀態命令等的控制信號。因此，I/O 裝置 132-1 至 132-n、I/O 橋接器 134 及交叉網路 120 之間的路線定義了一控制路徑 (control path)。交叉網路 120、快取庫 122-1 至 122-4、BSC 130 及主記憶體介面 126-1 至 126-4 之間所界定的路線定義了一資料路線 (data pathway)。

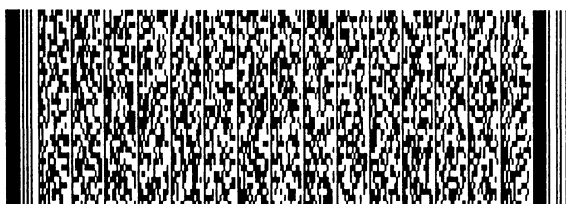
圖 5 係本發明一實施例之一處理器晶片之示意圖，此一處理晶片具有 32 多線程之處理器核心。此處，4 組處理器核心 118a1-118a8、118b1-118b8、118c1-118c8 及 118d1-118d8 係設置在處理器晶片 140 上。各組處理器核心包含 8 處理器核心。一實施例中，各處理器核心包含四線程，因此，此一實施例中處理器晶片 140 總共包含 128 線程。理所當然的是，每個處理器核心可包含更多或更少的線程，而處理器晶片上可包含更多或更少的處理器核心。



## 五、發明說明 (9)

如上參照圖4所作之敘述，各組處理器核心之資料路線係透過交叉網路120、各個層級2(L2)快取庫122a1-122a4、122b1-122b4、122c1-122c4及122d1-122d4、緩衝區交換核心(BSC)130及各別的主記憶體介面126a1-126a4、126b1-126b4、126c1-126c4及126d1-126d4來界定。吾人應了解的是，BSC130因描繪上的限制關係而出現四次。換言之，一單一BSC130係將所有的I/O裝置132a1-132an、132b1-132bn、132c1-132cn及132d1-132dn連接至各個第二層級快取庫122a1-122a4、122b1-122b4、122c1-122c4及122d1-122d4。同樣地，各組處理器核心之控制路線係透過交叉網路120、I/O橋接器134及各別的I/O裝置132a1-132an、132b1-132bn、132c1-132cn及132d1-132dn來界定。以下將有詳細說明，各個處理器之核心功率及晶片尺寸對於性能異動之關係係透過有序執行(in order execution)中所用之一單一發出(single issue)管線來最佳化。因此，性能係藉由設置具有多重線程之多重簡單核心來提昇，其中線程層級平行度連同一簡化的管線讓處理器晶片能夠被安裝至一較習知基於指令層級平行度之處理器具有較少消耗功率之一小晶片上。

圖6係圖5之處理器晶片的另一個示意圖。此處，交叉網路120係與資料路線144a-144d、BSC130及層級2(L2)快取庫122連通。吾人應了解的是，受限於此一配置之二維描繪，圖中只顯示2組快取庫122。另外所設置之兩組額外的快取庫並未顯示，所以各資料路線144a-144d係與一快



## 五、發明說明 (10)

取庫相關。乙太網路(Ethernet)介面142a及142b提供了一分佈網路之存取。一實施例中，乙太網路介面 142a及142b係十億位元之乙太網路介面。第一層級的快取記憶體146a-146d係為了各個與資料路線144a-144d相關之處理器核心而設置。

圖7係本發明一實施例之一處理器核心之高產能架構的圖形表示，此一處理器核心具有四個線程。線程0利用了中央處理單元(CPU)然後在記憶體中現用(active)。舉例而言，一長潛伏事件可引起線程在記憶體中現用。當線程0在記憶體中現用時，對各個線程3及4而言，線程1會存取中央處理單元(CPU)等等。吾人應了解的是在記憶體中現用之線程0之操作係在背景中執行。此外，由於此處描述之記憶體系統係一平行記憶體系統，多重參考可同時發生。因此，在一交錯技術中，中央處理單元(CPU)之利用係經由核心來最佳化。管線較不複雜，意即，一不具有指令層級平行度之單一發出管線，且可如一習知指令層級平行度之管線一般在相同之區域內進行數次的複製。本質上，管線覆蓋了多線程之執行來增大中央處理單元(CPU)管線之利用。

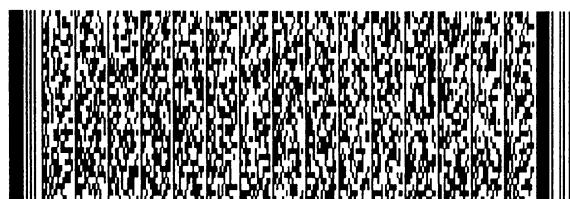
圖8係本發明一實施例中一線程內所執行之有序管線中一單一發出管線的階段簡示圖。管線的第一階段係獲得指令的指令取得(instruction fetch; IF)。管線的第二階段係解碼(decode)階段，亦被稱為登錄取得階段，此處作業碼、運算元來源/目的地指令及控制信號係被解碼。



## 五、發明說明 (11)

第三階段係交換(switch)階段，此處係選擇一線程而將其分配至執行階段，即管線之第四階段，即執行(execute)各個計時週期。吾人應了解的是上述具有四個線程的處理器核心處，硬體之四個線程係存在於階段1-3中。一實施例中，階段4係為了載入及儲存指令而運算出有效位址。另一實施例中，所有的階段1-6中，在任一階段中係有一指令被處理，意即管線係一單一發出管線，係有別於習知ILP處理器中，多於一個指令可存在於對應階段的情況。階段5係一登錄錯誤碼校正(register error code correction; Reg ECC)階段，而階段6係一回寫(write back)階段，此處一特定線程之結果係被寫入至一登錄檔。

圖9係本發明一實施例中，一多線程處理器核心之最佳化方法操作的一流程圖。此方法始於操作160，係透過一第一線程操作來存取一處理器核心。吾人應了解的是，此一處理器核心係一具有至少二上述線程之一多線程核心。本方法之後進行至操作162，係在第一線程操作已完成處理器核心之存取後執行一長潛伏操作。舉例而言，此線程可如參照圖7所描述般在記憶體中現用。長潛伏操作包含一快取遺漏、一分支及一浮點(floating point)操作。本方法之後進行至操作164，係暫停第一線程。如參照圖7所作的描述，在記憶體中現用之第一線程係在背景中運行。方法之後進行至操作166，係確認一已就緒存取處理器核心之第二線程操作。如參照圖8所作的描述，第



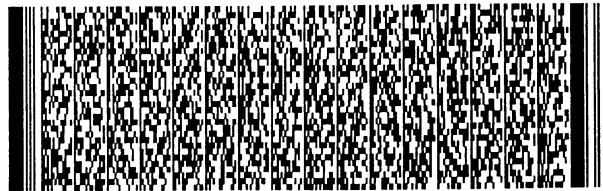
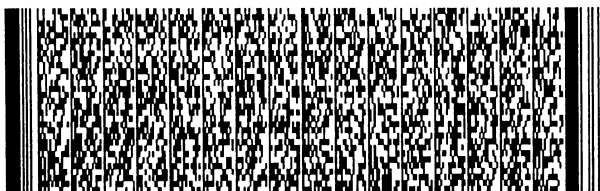
## 五、發明說明 (12)

二線程操作在管線之一交換階段中確認及選定。一實施例中，一排程演算法係用來選擇第二線程。本方法之後進行至操作168，係當與第一線程有關之長潛伏操作係於背景中執行時，意即在記憶體中現用時，藉由處理器核心來處理第二線程操作。理所當然的是，吾人可從第二線程中分配出多重指令，直至第一線程之長潛伏指令完成。因此，多重線程會被覆蓋以最大化管線之利用。

總之，上述之實施例在一晶片上設置了多重核心，而各個核心具有至少二線程。多線程之多重核心界定了一個高產能架構，係配置來有效地支援一用以伺服數個客戶端之伺服器應用。同時，架構利用了一伺服器應用之多線程。一實施例中，處理器核心之架構因線程層級平行度及簡化的管線，即單一發出管線，而被簡化了。

此外，本發明可輔以其他包含手提裝置、微處理器系統、微處理器為主或可程式化的消費性電子、迷你電腦、大型主電腦等等的電腦系統配置來實施。本發明亦可在分散計算環境中來實施，在此環境中工作係藉由透過網路所連接之處理裝置來執行。

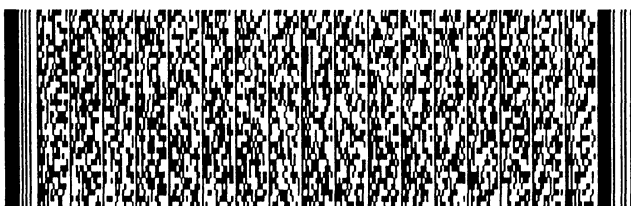
就上述實施例而言，吾人應了解的是，本發明可利用各種不同包含電腦系統中所儲存資料的電腦實現操作。這些操作係物理量之物理操作。通常性地，雖非必要，這些量係以電信號或磁信號的形式出現，且可被儲存、傳輸、合併、比較及其他操作。進一步地，操作之執行通常被稱為生產、確認、決定或比較。



## 五、發明說明 (13)

在這裡，形成本發明之一部份的任一操作係有用的機械操作。本發明亦與執行這些操作之一裝置或一設備有關。這些設備可以是為了所需目的而特別建構的設備，或者是藉由電腦中儲存之電腦程式所配置或選擇性現用之一般性電腦。尤其，各種不同目的之機器可與依此處教示而寫下之電腦程式來一起使用，或者建構一更為特別的設備來執行所需的操作會較為便利。

儘管為了清楚了解本發明，前述之發明已然詳細描述，然須了解的是在不脫離後附之申請專利範圍之界限內，特定的改變及修正係可被實施的。因此，本發明實施例僅為例示用而非限制用，且本發明不受限於此處之細節，而可在後附申請專利範圍之範圍及等效設計中變化。



## 圖式簡單說明

圖1係一曲線圖，描繪出習知基於指令層級平行度之處理器的性能及功率/尺寸之間的關係。

圖2係本發明一實施例之一伺服器的高層級簡示圖，此一伺服器之處理器係具有一基於線程層級平行度的架構。

圖3係本發明一實施例之一處理器晶片的簡示圖，此一處理器晶片具有多重處理核心及多重線程，其中各個核心包含一第一層級快取且多重核心共享一第二層級快取。

圖4係本發明一實施例之一處理器晶片的詳示圖，此一處理器晶片具有8多線程處理器核心。

圖5係本發明一實施例之一處理器晶片的詳示圖，此一處理器晶片具有32多線程處理器核心。

圖6係圖5之處理器晶片的另一個示意圖。

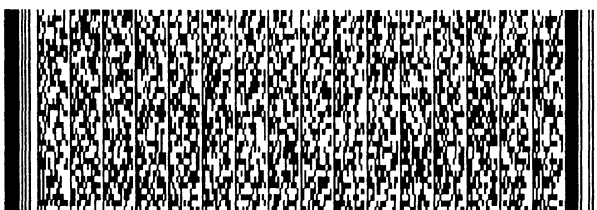
圖7係本發明一實施例之一處理器核心之管線利用的圖形表示，此一處理器核心具有四個線程。

圖8係本發明一實施例中，在一線程內執行之有序管線中，一單一發出之管線階段的圖形表示。

圖9係本發明一實施例中，用以最佳化一多線程之處理器核心之方法操作的流程圖。

## 元件符號說明：

100	曲線
110	伺服器
112	處理器



## 圖式簡單說明

- 114 網際網路
- 116a~116n 客戶端
- 118-1~118-n、118a1-118a8、118b1-118b8、  
118c1-118c8、118d1-118d8 線程核心
- 120 交叉網路
- 122-1~122-4、122、122a1-122a4、122b1-122b4、  
122c1-122c4、122d1-122d4 第二層級快取庫
- 124-1~124-n 第一層級快取
- 126-1~126-4、126a1-126a4、126b1-126b4、  
126c1-126c4、126d1-126d4 主記憶體介面
- 130 緩衝區交換核心
- 132-1~132-n、132a1-132an、132b1-132bn、  
132c1-132cn、132d1-132dn I/O 裝置
- 134 I/O 橋接器
- 140 處理器晶片
- 142a、142b 乙太網路介面
- 144a-144d 資料路線
- 146a-146d 第一層級快取記憶體
- 160~168 多線程處理器核心之最佳化方法操作步驟



圖式

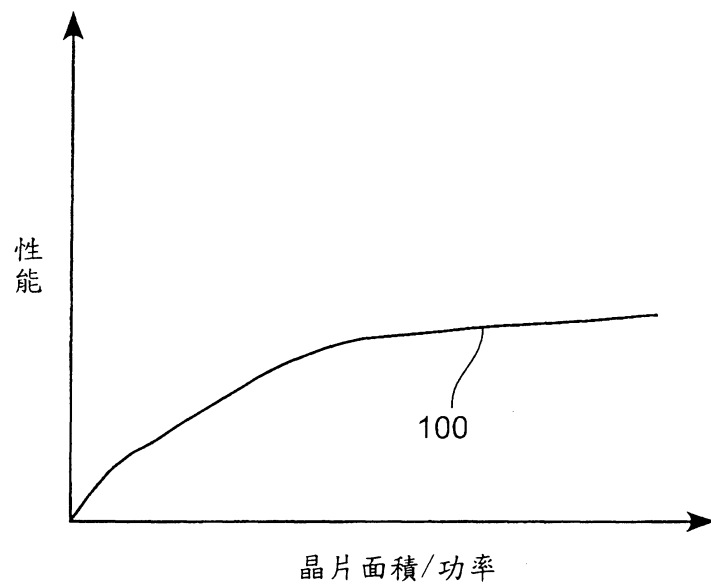


圖 1

圖式

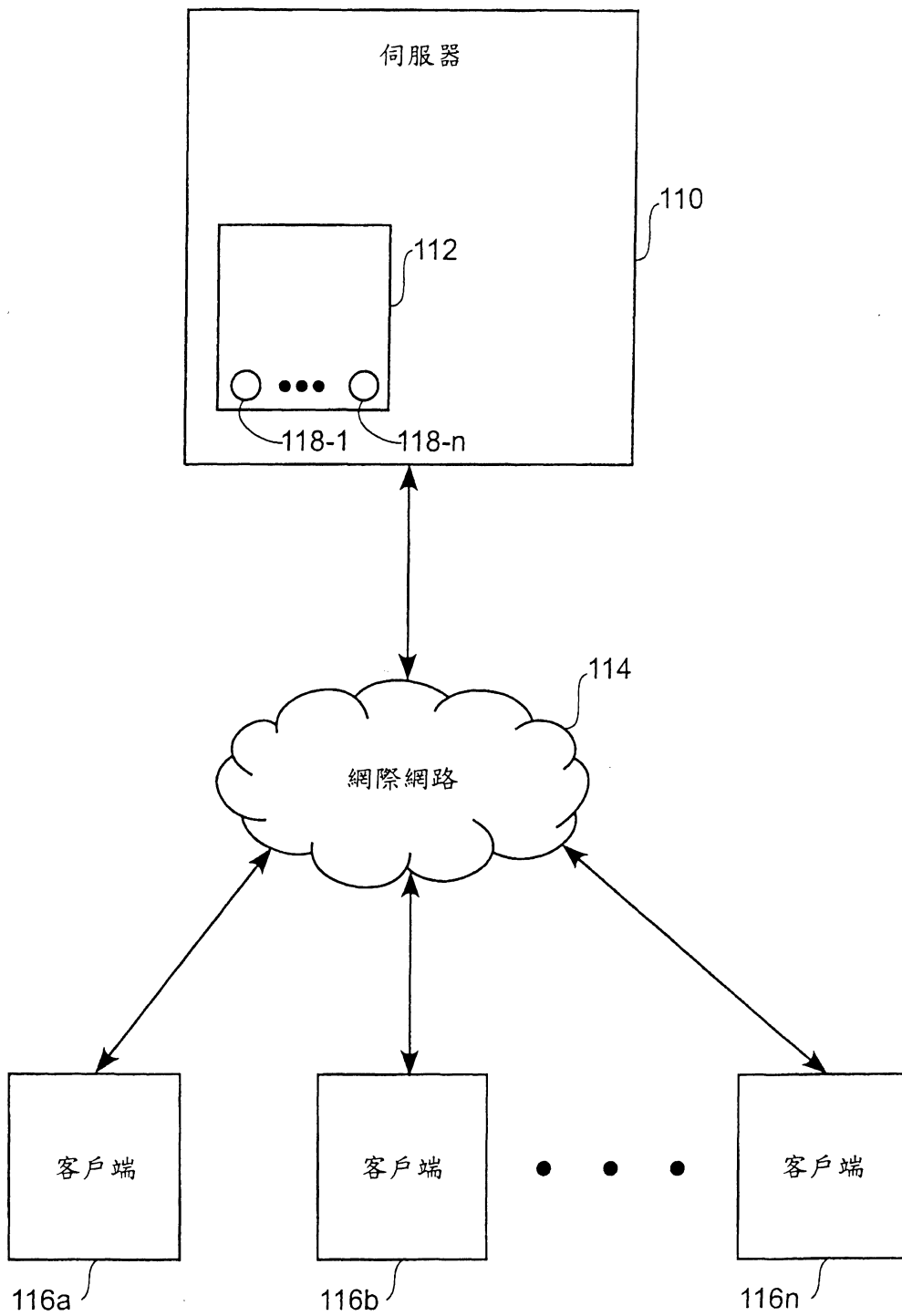


圖 2

圖式

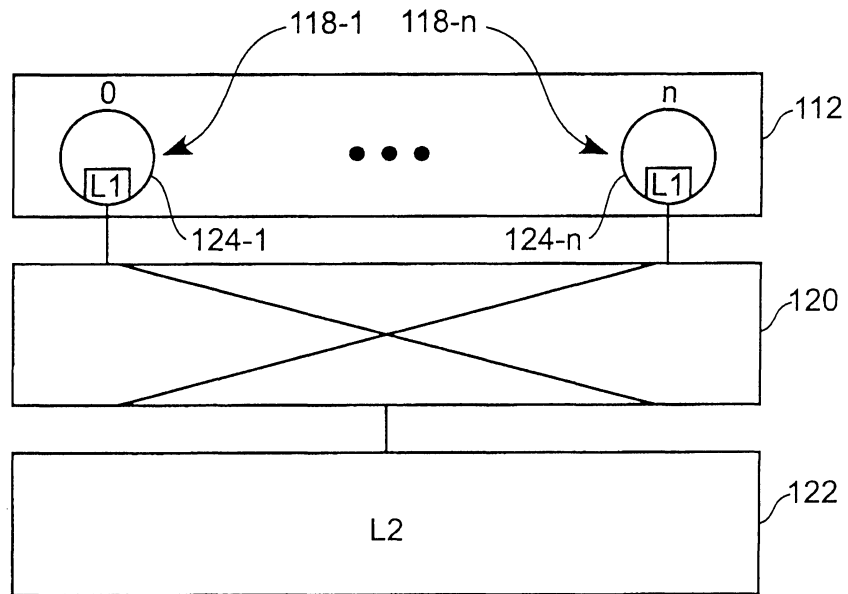


圖 3

圖式

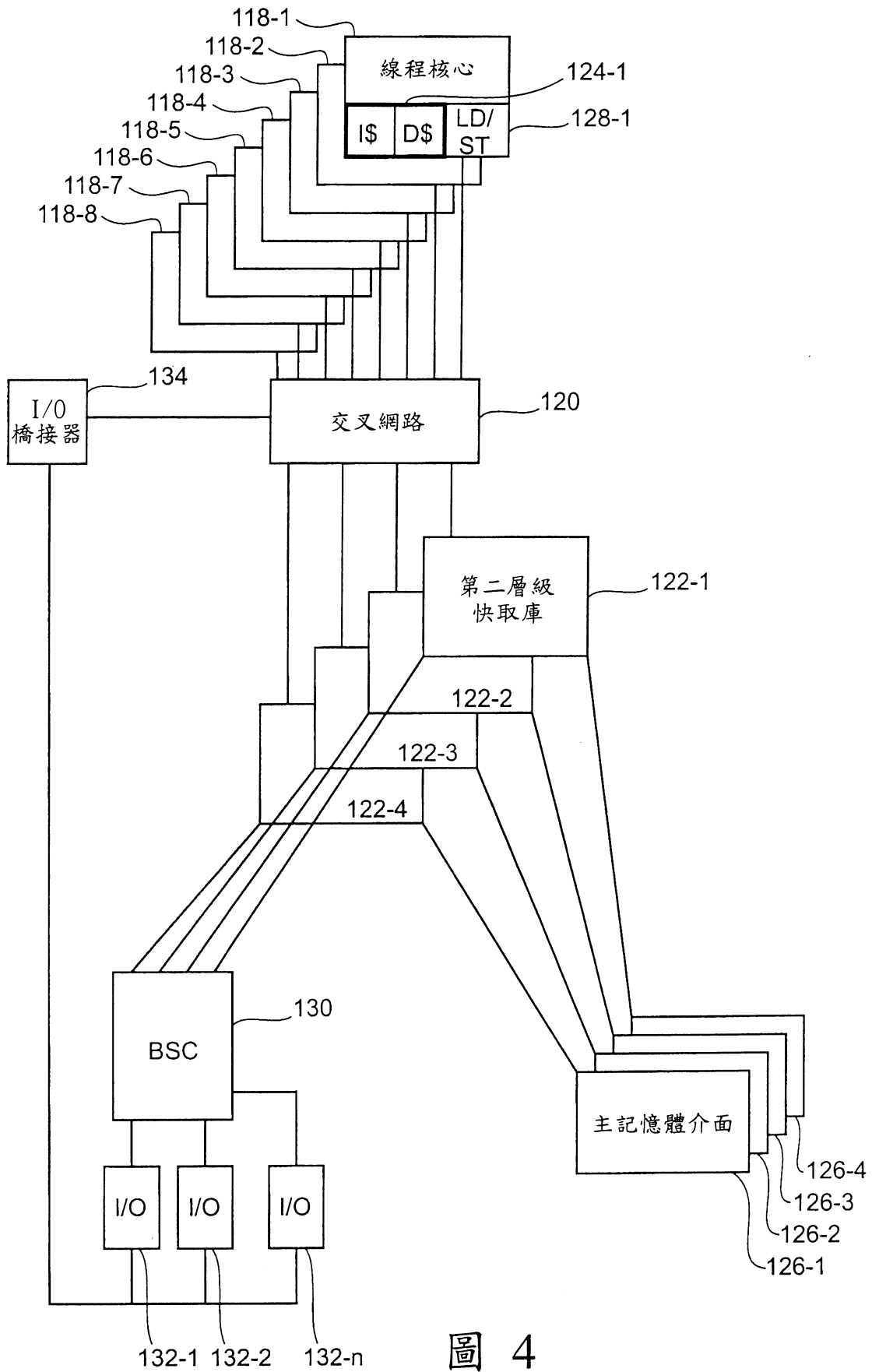


圖 4

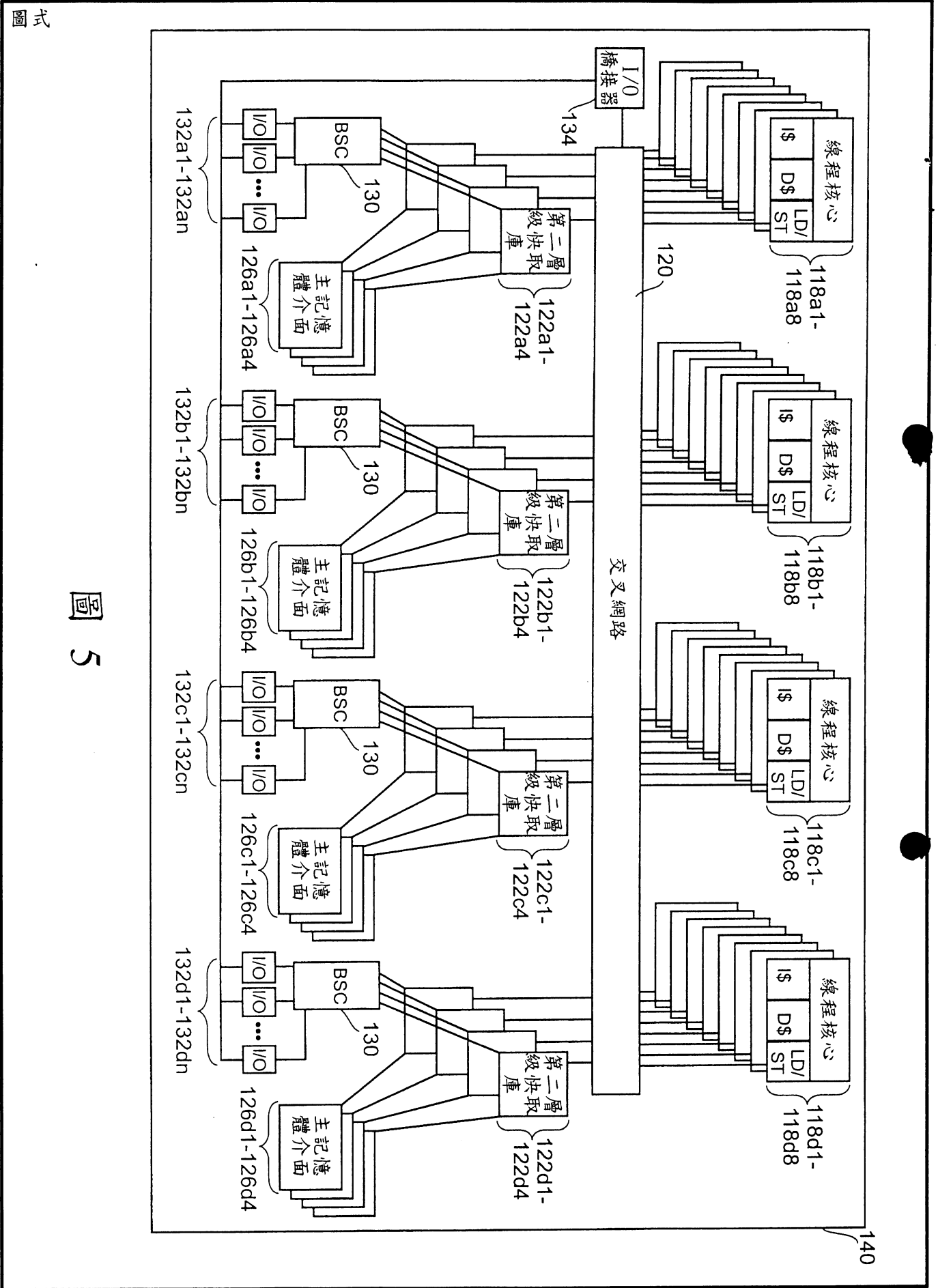


圖 5

圖式

圖式

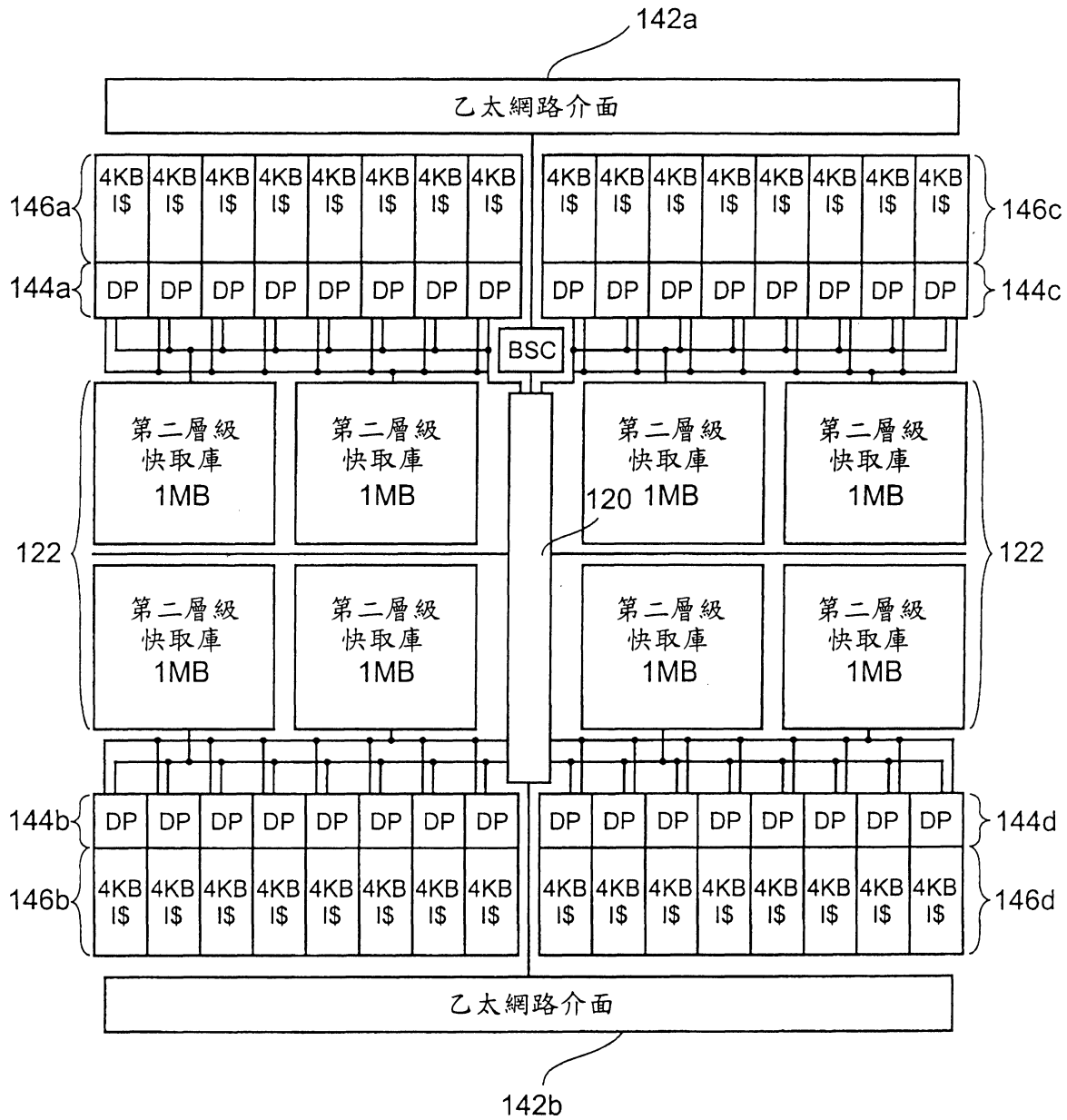


圖 6

圖式

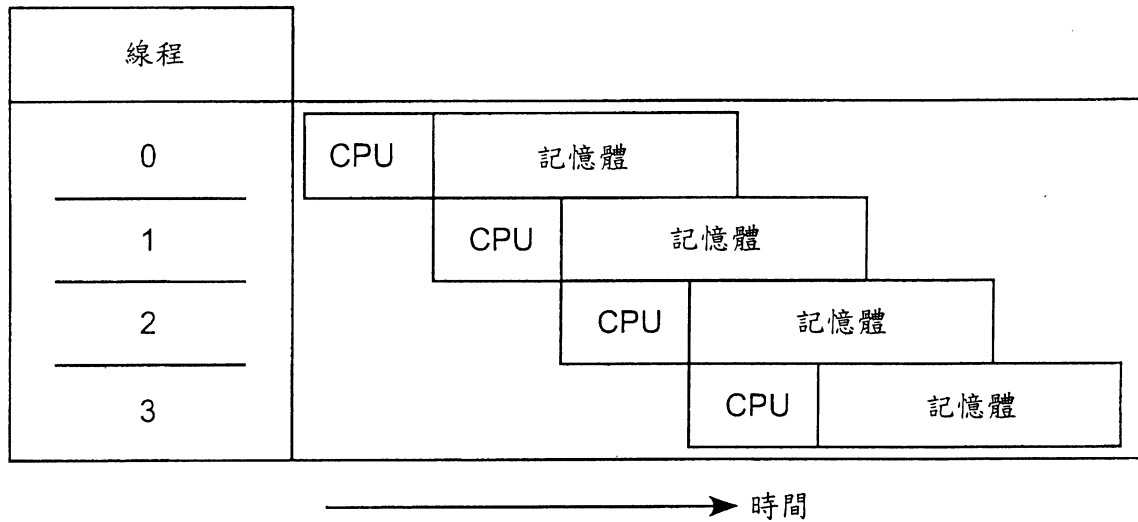


圖 7

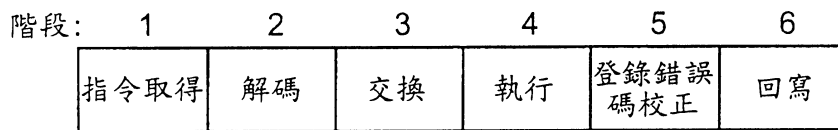


圖 8

圖式

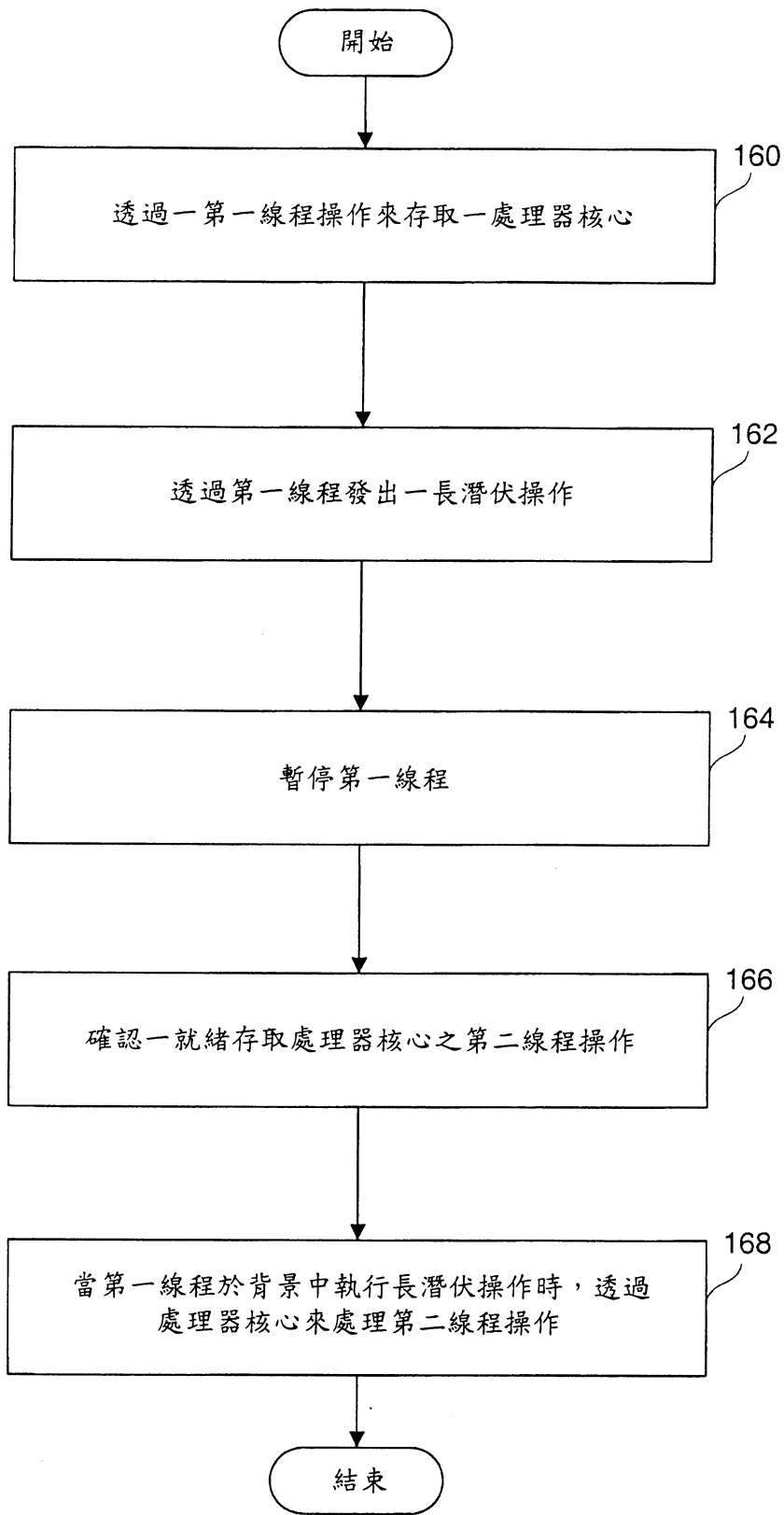


圖 9

# 公告本

正替換頁  
93年12月6日

附件 124016

申請日期：91.10.22 案號：91124449

類別：G06F1/32

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中文	多核心多線程處理器以及利用多核心多線程處理器之方法與裝置
	英文	MULTI CORE MULTI THREAD PROCESSOR AND METHOD AND APPARATUS UTILIZING A MULTI CORE MULTI THREAD PROCESSOR
二、發明人	姓名 (中文)	1. 雷思莉·D·科翰 2. 郡爾·A·歐盧科頓
	姓名 (英文)	1. Kohn, Leslie D. 2. Olukotun, Kunle A.
	國籍	1. 美國 2. 英國
	住、居所	1. 美國加州94539佛蒙特市羅斯米爾大道43967號(43967 Rosemere Dr., Fremont, California, 94539, U.S.A.) 2. 美國加州94305史丹佛市道勒斯街773號(773 Dolores St., Stanford, California, 94305, U.S.A.)
三、申請人	姓名 (名稱) (中文)	1. 昇陽電腦股份有限公司
	姓名 (名稱) (英文)	1. Sun Microsystems, Inc.
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州94303裴洛亞圖市聖安東尼奧路901號 (901 San Antonio Road, Palo Alto, California, 94303, U.S.A.)
	代表人 姓名 (中文)	1. 玫兒琳·葛勒賓斯里
	代表人 姓名 (英文)	1. Marilyn Glaubenslee

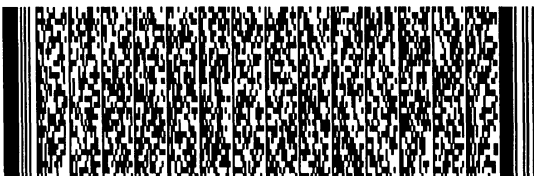


四、中文發明摘要 (發明之名稱：多核心多線程處理器以及利用多核心多線程處理器之方法與裝置)

本發明在一實施例中提供一處理器(processor)。此一處理器包含至少二核心(cores)，而各個核心包含一第一層級(first level)快取記憶體(cache memory)。各個核心係經過多線程處理(multi-threaded)。另一實施例中，各個核心包含四線程(threads)。另一實施例中，此一處理器包含一交叉網路(crossbar)。所提供的尚有複數個透過交叉網路而與核心連通之快取庫記憶體(cache bank memories)。各個該等快取庫記憶體係與一主記憶體介面(main memory interface)連通。另一實施例中，此一處理器亦包含一與各個該等快取庫記憶體連通之緩衝區交換核心(buffer switch core ; BSC)。本發明亦提供一種伺服器及一種多線程處理器核心之利用的最佳化方法。

英文發明摘要 (發明之名稱：MULTI CORE MULTI THREAD PROCESSOR AND METHOD AND APPARATUS UTILIZING A MULTI CORE MULTI THREAD PROCESSOR)

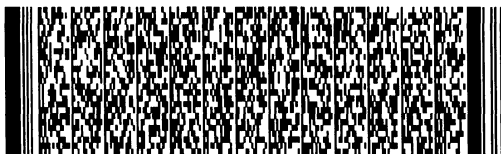
In one embodiment, a processor is provided. The processor includes at least two cores, where each of the cores include a first level cache memory. Each of the cores are multi-threaded. In another embodiment, each of the cores includes four threads. In another embodiment a crossbar is included. A plurality of cache bank memories in communication with the at cores through the crossbar is provided. Each of the plurality of cache bank memories are in communication with a



四、中文發明摘要 (發明之名稱：多核心多線程處理器以及利用多核心多線程處理器之方法與裝置)

英文發明摘要 (發明之名稱：MULTI CORE MULTI THREAD PROCESSOR AND METHOD AND APPARATUS UTILIZING A MULTI CORE MULTI THREAD PROCESSOR)

main memory interface. In another embodiment a buffer switch core in communication with each of the plurality of cache bank memories is also included. A server and a method for optimizing the utilization of a multithreaded processor core are also provided.



## 六、申請專利範圍

## 1. 一種多核心多線程處理器，包含：

至少二核心，該等至少二核心中之每一個核心具有一第一層級快取記憶體，該等至少二核心中之每一個核心係被多線程處理；

一內連線結構，致能進行一輸入／輸出裝置與一主記憶體介面間之直接記憶體存取傳輸；及

複數快取庫記憶體，其係透過該內連線結構與該等二核心相連通，每一該等複數快取庫記憶體係與該主記憶體介面連通。

2. 如申請專利範圍第1項之多核心多線程處理器，其中該內連線結構包含：

一交叉網路，其與每一該等快取庫記憶體及該等二核心連通；以及

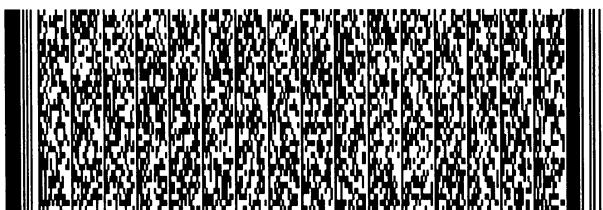
一緩衝區交換核心，係與每一該等快取庫記憶體連通。

3. 如申請專利範圍第2項之多核心多線程處理器，更包含：

一輸入／輸出橋接器，係與該交叉網路及一輸入輸出裝置連通，該輸入／輸出橋接器以該輸入／輸出裝置致能控制登錄傳輸。

4. 如申請專利範圍第2項之多核心多線程處理器，其中該緩衝區交換核心致能該直接記憶體存取傳輸。

5. 如申請專利範圍第1項之多核心多線程處理器，其中該第一層級快取記憶體包含一指令快取單元及一資料快



## 六、申請專利範圍

取單元。

6. 如申請專利範圍第1項之多核心多線程處理器，其中與該等二核心相關之每一線程係被配置成在一管線中運行。

7. 如申請專利範圍第6項之多核心多線程處理器，其中該管線係一單一發出管線。

8. 如申請專利範圍第1項之多核心多線程處理器，其中該等快取庫記憶體係單埠靜態隨機存取記憶體(single ported static random access memories)。

9. 一種具有多核心多線程處理器晶片之伺服器，該多核心多線程處理器晶片係用以有效率地執行被複數客戶端存取之一伺服器應用，該伺服器包含：

位於該處理器核心晶片上之複數多線程之中央處理單元核心，每一該等多線程中央處理單元核心具有一第一層級快取記憶體；

一內連線結構，包含一交叉網路以及一緩衝區交換核心，該交叉網路與每一複數快取庫記憶體及該等複數多線程中央處理單元核心連通，該緩衝區交換核心與每一該等複數快取庫記憶體連通；及

複數快取庫記憶體，係透過該內連線結構與該等複數多線程中央處理單元核心連通，每一該等快取庫記憶體係與一主記憶體介面連通。

10. 如申請專利範圍第9項之具有多核心多線程處理器晶片之伺服器，其中與每一該等複數快取庫記憶體連通



## 六、申請專利範圍

之該緩衝區交換核心係用以緩衝並排序用於傳輸至該等快取庫記憶體之直接記憶體存取訊號。

11. 如申請專利範圍第9項之具有多核心多線程處理器晶片之伺服器，其中該伺服器係選自於由一網路伺服器、一應用伺服器及一資料庫伺服器所構成之群組。

12. 如申請專利範圍第10項之具有多核心多線程處理器晶片之伺服器，其中該應用處理器晶片包含：

一輸入/輸出橋接器，其與該交叉網路及一輸入輸出裝置連通，該輸入/輸出橋接器以該輸入/輸出裝置致能控制登錄傳輸。

13. 如申請專利範圍第9項之具有多核心多線程處理器晶片之伺服器，其中該第一層級快取記憶體包含：

一指令快取單元及一資料快取單元。

14. 如申請專利範圍第9項之具有多核心多線程處理器晶片之伺服器，其中每一該等中央處理單元核心之線程係被配置成在一單一發出管線中運行。

15. 一種將一多核心多線程處理器之利用最佳化的方法，該方法係透過一單一發出管線，該方法包含：

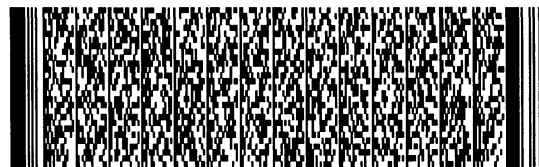
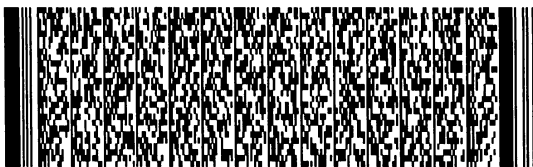
透過一第一線程操作存取一處理器核心；

透過該第一線程發出一長潛伏操作；

在該管線之一第一階段暫停該第一線程；

在該管線之一第二階段確認一就緒存取該處理器核心之第二線程操作；及

當該第一線程在背景中執行長潛伏操作時，透過該處



## 六、申請專利範圍

理器核心處理該第二線程操作，其中該第一線程操作與該第二線程操作係依序執行。

16. 如申請專利範圍第15項之將一多核心多線程處理器之利用最佳化的方法，其中該確認一就緒存取該處理器核心之第二線程操作之方法操作包含：

依照一排程演算法選定該第二線程操作。

17. 如申請專利範圍第15項之將一多核心多線程處理器之利用最佳化的方法，其中該處理器核心包含四線程。

18. 如申請專利範圍第15項之將一多核心多線程處理器之利用最佳化的方法，更包含：

提供一積體電路晶片，其具有八處理器核心，其中每一處理器核心包含四線程。

19. 如申請專利範圍第15項之將一多核心多線程處理器之利用最佳化的方法，其中該暫停該第一線程之方法操作包含：

自該長潛伏操作獲得一結果；及

在自該長潛伏操作獲得該結果後，指示該第一線程就緒在該處理器核心上運行。

20. 如申請專利範圍第15項之將一多核心多線程處理器之利用最佳化的方法，其中該多線程處理器核心之每一線程係被配置成依序執行中所用之一單一發出管線。

