



등록특허 10-2461243



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년10월28일  
(11) 등록번호 10-2461243  
(24) 등록일자 2022년10월26일

- (51) 국제특허분류(Int. Cl.)  
*H03F 3/45* (2006.01) *H03F 1/02* (2006.01)  
*H03F 3/193* (2006.01) *H03F 3/21* (2006.01)  
*H03F 3/24* (2006.01) *H03F 3/72* (2006.01)  
*H03G 1/00* (2006.01)
- (52) CPC특허분류  
*H03F 3/45179* (2013.01)  
*H03F 1/0205* (2013.01)
- (21) 출원번호 10-2016-7028864
- (22) 출원일자(국제) 2015년04월14일  
심사청구일자 2020년03월31일
- (85) 번역문제출일자 2016년10월17일
- (65) 공개번호 10-2016-0145592
- (43) 공개일자 2016년12월20일
- (86) 국제출원번호 PCT/US2015/025770
- (87) 국제공개번호 WO 2015/164125  
국제공개일자 2015년10월29일

(30) 우선권주장  
14/258,669 2014년04월22일 미국(US)

(56) 선행기술조사문헌

KR1020060037424 A\*

\*는 심사관에 의하여 인용된 문헌

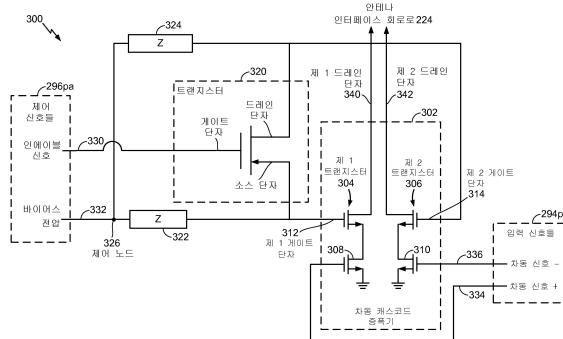
전체 청구항 수 : 총 20 항

심사관 : 이준건

(54) 발명의 명칭 선택적으로 결합되는 게이트 단자들을 갖는 차동 캐스코드 증폭기

**(57) 요약**

장치는 제 1 트랜지스터 및 제 2 트랜지스터를 포함하는 차동 캐스코드 증폭기를 포함한다. 장치는 차동 캐스코드 증폭기의 제 1 트랜지스터의 게이트 단자에 커플링되는 소스 단자를 포함하는 트랜지스터를 더 포함한다. 트랜지스터는 또한 차동 캐스코드 증폭기의 제 2 트랜지스터의 게이트 단자에 결합되는 드레인 단자를 포함한다.

**대 표 도**

(52) CPC특허분류

*H03F 3/193* (2013.01)  
*H03F 3/21* (2013.01)  
*H03F 3/245* (2013.01)  
*H03F 3/45188* (2013.01)  
*H03F 3/72* (2013.01)  
*H03G 1/0029* (2013.01)  
*H03G 1/0088* (2013.01)  
*H03F 2200/541* (2013.01)  
*H03F 2203/45024* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

장치로서,

제 1 캐스코드 트랜지스터 및 제 2 캐스코드 트랜지스터를 포함하는 차동 캐스코드 증폭기;

트랜지스터 – 상기 트랜지스터는 상기 차동 캐스코드 증폭기의 상기 제 1 캐스코드 트랜지스터의 게이트 단자에 커플링되는 소스 단자; 상기 차동 캐스코드 증폭기의 상기 제 2 캐스코드 트랜지스터의 게이트 단자에 커플링되는 드레인 단자; 및 인에이블 신호를 수신하도록 구성된 단자를 포함하고, 상기 트랜지스터는 제 1 값을 갖는 상기 인에이블 신호에 기초하여 상기 제 1 캐스코드 트랜지스터의 게이트 단자를 상기 제 2 캐스코드 트랜지스터의 게이트 단자에 선택적으로 커플링시키도록 구성되고, 상기 트랜지스터는 제 2 값을 갖는 상기 인에이블 신호에 응답하여 상기 제 1 캐스코드 트랜지스터의 게이트 단자를 상기 제 2 캐스코드 트랜지스터의 게이트 단자로부터 실질적으로 격리(isolate)시키도록 추가로 구성됨 –;

상기 트랜지스터의 소스 단자에 커플링되는 제 1 고 임피던스 엘리먼트 – 상기 제 1 고 임피던스 엘리먼트는 제 1 저항기 또는 제 1 인덕터를 포함함 –; 및

상기 제 1 고 임피던스 엘리먼트에 그리고 상기 드레인 단자에 커플링되는 제 2 고 임피던스 엘리먼트를 포함하며,

상기 제 2 고 임피던스 엘리먼트는 제 2 저항기 또는 제 2 인덕터를 포함하는, 장치.

#### 청구항 2

제 1 항에 있어서,

상기 차동 캐스코드 증폭기는,

상기 제 1 캐스코드 트랜지스터에 커플링되고, 제 1 차동 신호를 수신하도록 구성된 게이트 단자를 가지는 제 3 트랜지스터; 및

상기 제 2 캐스코드 트랜지스터에 커플링되고, 제 2 차동 입력 신호를 수신하도록 구성된 게이트 단자를 가지는 제 4 트랜지스터를 더 포함하고,

상기 제 1 캐스코드 트랜지스터 및 상기 제 3 트랜지스터는 제 1 캐스코드 트랜지스터 쌍을 형성하고, 상기 제 2 캐스코드 트랜지스터 및 상기 제 4 트랜지스터는 제 2 캐스코드 트랜지스터 쌍을 형성하는, 장치.

#### 청구항 3

제 1 항에 있어서,

안테나; 및

상기 차동 캐스코드 증폭기에 커플링되는 변압기를 더 포함하고, 상기 변압기는 상기 차동 캐스코드 증폭기의 출력을 상기 안테나에 제공하도록 구성되는, 장치.

#### 청구항 4

제 1 항에 있어서,

전력 증폭기를 더 포함하고, 상기 트랜지스터 및 상기 차동 캐스코드 증폭기는 상기 전력 증폭기에 포함되는, 장치.

#### 청구항 5

제 1 항에 있어서,

드라이버 증폭기를 더 포함하고,

상기 트랜지스터 및 상기 차동 캐스코드 증폭기는 상기 드라이버 증폭기에 포함되는, 장치.

#### 청구항 6

장치로서,

차동 신호를 증폭하기 위한 수단 –상기 증폭하기 위한 수단은 제 1 게이트 단자를 갖는 제 1 캐스코드 트랜지스터 및 제 2 게이트 단자를 갖는 제 2 캐스코드 트랜지스터를 포함함–;

제 1 값을 갖는 인에이블 신호에 응답하여 상기 제 1 게이트 단자를 상기 제 2 게이트 단자에 선택적으로 커플링시키고, 그리고 제 2 값을 갖는 인에이블 신호에 응답하여 상기 제 1 게이트 단자를 상기 제 2 게이트 단자로부터 실질적으로 격리(isolate)시키기 위한 수단; 및

상기 제 1 게이트 단자에 커플링되는 인더티브(inductive) 임피던스를 제공하기 위한 수단을 포함하는, 장치.

#### 청구항 7

제 6 항에 있어서,

상기 제 1 게이트 단자를 상기 제 2 게이트 단자에 선택적으로 커플링시키기 위한 수단은 트랜지스터를 포함하는, 장치.

#### 청구항 8

제 6 항에 있어서,

상기 차동 신호를 증폭시키기 위한 수단은,

상기 제 1 캐스코드 트랜지스터에 커플링되는 제 3 트랜지스터 – 상기 제 3 트랜지스터의 게이트는 제 1 차동 입력 신호를 수신하도록 구성됨 –; 및

상기 제 2 캐스코드 트랜지스터에 커플링되는 제 4 트랜지스터를 더 포함하고,

상기 제 4 트랜지스터의 게이트는 제 2 차동 입력 신호를 수신하도록 구성되고,

상기 제 1 캐스코드 트랜지스터 및 상기 제 3 트랜지스터는 제 1 캐스코드 트랜지스터 쌍을 형성하고, 상기 제 2 캐스코드 트랜지스터 및 상기 제 4 트랜지스터는 제 2 캐스코드 트랜지스터 쌍을 형성하는, 장치.

#### 청구항 9

장치로서,

차동 신호를 증폭하기 위한 수단 –상기 증폭하기 위한 수단은 제 1 게이트 단자를 갖는 제 1 캐스코드 트랜지스터 및 제 2 게이트 단자를 갖는 제 2 캐스코드 트랜지스터를 포함함–;

상기 제 1 게이트 단자를 상기 제 2 게이트 단자에 선택적으로 커플링시키기 위한 수단;

상기 제 1 게이트 단자를 바이어스 전압에 유도성으로(inductively) 커플링시키기 위한 수단; 및

전력 증폭기 또는 드라이버 증폭기를 포함하며,

상기 차동 신호를 증폭하기 위한 수단, 상기 제 1 게이트 단자를 상기 제 2 게이트 단자에 선택적으로 커플링시키기 위한 수단 및 유도성으로 커플링시키기 위한 수단은 상기 전력 증폭기 또는 상기 드라이버 증폭기 내에 포함되는, 장치.

#### 청구항 10

제 6 항에 있어서,

드라이버 증폭기를 더 포함하고, 상기 차동 신호를 증폭하기 위한 수단 및 상기 제 1 게이트 단자를 상기 제 2 게이트 단자에 선택적으로 커플링시키기 위한 수단은 상기 드라이버 증폭기에 포함되는, 장치.

**청구항 11**

제 6 항에 있어서,

상기 차동 신호를 증폭하기 위한 수단의 출력을 안테나로 제공하기 위한 수단을 더 포함하며,

상기 차동 신호를 증폭하기 위한 수단은 차동 캐스코드 증폭기를 포함하는, 장치.

**청구항 12**

방법으로서,

제 1 게이트 단자를 갖는 제 1 캐스코드 트랜지스터를 포함하고 그리고 제 2 게이트 단자를 갖는 제 2 캐스코드 트랜지스터를 더 포함하는 차동 캐스코드 증폭기에서 차동 신호를 증폭하는 단계 – 상기 제 1 게이트 단자는 인덕터를 포함하는 제 1 고 임피던스 엘리먼트에 커플링됨 –;

제 1 모드 동안, 상기 제 1 게이트 단자를 트랜지스터를 통해 상기 제 2 게이트 단자에 커플링시키기 위해서 상기 제 1 게이트 단자와 상기 제 2 게이트 단자 사이에 커플링되는 상기 트랜지스터를 활성화하는 단계; 및

제 2 모드 동안, 상기 제 1 고 임피던스 엘리먼트에 적어도 부분적으로 기초하여 상기 제 1 게이트 단자로부터 상기 제 2 게이트 단자로의 임피던스를 증가시키기 위해 상기 트랜지스터를 비활성화하는 단계를 포함하는, 방법.

**청구항 13**

제 12 항에 있어서,

상기 제 2 모드 동안, 상기 제 1 게이트 단자의 전압은 상기 제 1 캐스코드 트랜지스터의 드레인 전압을 트랙킹(track)하고 그리고 상기 제 2 게이트 단자에서의 전압은 상기 제 2 캐스코드 트랜지스터의 드레인 전압을 트랙킹하는, 방법.

**청구항 14**

장치로서,

제 1 트랜지스터 및 제 2 트랜지스터를 포함하는 차동 캐스코드 증폭기;

트랜지스터 – 상기 트랜지스터는 상기 차동 캐스코드 증폭기의 상기 제 1 트랜지스터의 게이트 단자에 커플링되고 그리고 제 1 인덕터에 커플링되는 소스 단자; 상기 차동 캐스코드 증폭기의 상기 제 2 트랜지스터의 게이트 단자에 커플링되고 그리고 제 2 인덕터에 커플링되는 드레인 단자; 및 인에이블 신호를 수신하도록 구성된 단자를 포함하고, 상기 트랜지스터는 제 1 값을 갖는 상기 인에이블 신호에 기초하여 상기 제 1 트랜지스터의 게이트 단자를 상기 제 2 트랜지스터의 게이트 단자에 선택적으로 커플링시키도록 구성되고, 상기 트랜지스터는 제 2 값을 갖는 상기 인에이블 신호에 응답하여 상기 제 1 트랜지스터의 게이트 단자를 상기 제 2 트랜지스터의 게이트 단자로부터 실질적으로 격리(isolate)시키도록 추가로 구성됨 –;

상기 제 1 트랜지스터에 커플링된 제 3 트랜지스터 – 상기 제 3 트랜지스터의 게이트는 제 1 차동 입력 신호를 수신하도록 구성됨 –; 및

상기 제 2 트랜지스터에 커플링된 제 4 트랜지스터를 포함하며,

상기 제 4 트랜지스터의 게이트는 제 2 차동 입력 신호를 수신하도록 구성되는, 장치.

**청구항 15**

제 14 항에 있어서,

상기 제 1 인덕터는 상기 제 1 트랜지스터의 게이트 단자에 커플링되고,

상기 제 2 인덕터는 상기 제 2 트랜지스터의 게이트 단자에 커플링되며,

상기 제 1 인덕터 및 상기 제 2 인덕터는 바이어스 전압을 수신하도록 구성되는, 장치.

**청구항 16**

제 1 항에 있어서,

상기 제 1 고 임피던스 엘리먼트는 상기 트랜지스터의 소스 단자와 제어 노드 사이에 커플링되며, 상기 제어 노드는 바이어스 전압을 수신하도록 구성되는, 장치.

### 청구항 17

제 1 항에 있어서,

증폭기의 복수의 유닛 셀들(unit cells)을 더 포함하며,

상기 복수의 유닛 셀들의 제 1 유닛 셀은 상기 차동 캐스코드 증폭기, 상기 트랜지스터, 및 상기 제 1 고 임피던스 엘리먼트를 포함하는, 장치.

### 청구항 18

제 17 항에 있어서,

상기 차동 캐스코드 증폭기의 출력은 상기 복수의 유닛 셀들의 제 2 유닛 셀의 제 2 차동 캐스코드 증폭기의 출력에 커플링되는, 장치.

### 청구항 19

제 18 항에 있어서,

변압기를 더 포함하며,

상기 복수의 유닛 셀들의 각 유닛 셀의 출력은 상기 변압기에 커플링되는, 장치.

### 청구항 20

제 17 항에 있어서,

상기 복수의 유닛 셀들의 각 유닛 셀은 대응하는 인에이블 신호에 기초하여 선택적으로 활성화될 수 있는, 장치.

## 발명의 설명

### 기술 분야

[0001] 관련 출원의 교차 참조

[0002] [0001] 본 출원은, 2014년 4월 22일에 출원되고 공동 소유되는 미국 정규 특허 출원 제14/258,669호로부터 우선권을 주장하며, 상기 출원의 내용들은 그 전체가 인용에 의해 본원에 명시적으로 포함된다.

[0003] [0002] 본 개시물은 전반적으로, 오프-상태의 하나 또는 그 초과의 이득 셀들을 지닌 차동 캐스코드 증폭기들과 관련된다.

### 배경 기술

[0004] [0003] 기술의 발전은 더 소형이고 더 강력한 컴퓨팅 디바이스들을 초래했다. 예를 들어, 휴대용 무선 전화기, 개인 휴대용 정보 단말기(PDA들), 그리고 작고 경량이며 쉽게 사용자에 의해 휴대되는 페이징 디바이스들과 같은, 무선 컴퓨팅 디바이스를 포함하는 다양한 휴대용 퍼스널 컴퓨팅 디바이스들이 현재 존재한다. 보다 구체적으로, 셀룰러 전화기들 및 인터넷 프로토콜(IP) 전화기들과 같은 휴대용 무선 전화기들은 무선 네트워크들을 통해 음성 및 데이터 패킷들을 통신할 수 있다. 또한, 이러한 많은 무선 전화들은, 그 내부에 포함되는 다른 타입들의 디바이스들을 포함한다. 예를 들어, 무선 전화기는 또한 디지털 스틸 카메라, 디지털 비디오 카메라, 디지털 리코더, 및 오디오 파일 플레이어를 포함할 수 있다. 또한, 이러한 무선 전화들은 인터넷에 액세스하기 위해 사용될 수 있는 웹 브라우저 애플리케이션과 같은 소프트웨어 애플리케이션들을 포함하는 실행 가능 명령들을 프로세싱할 수 있다. 이와 같이, 이러한 무선 전화기들은 상당한 컴퓨팅 능력을 포함할 수 있다.

[0005] [0004] 무선 전화 또는 다른 무선 디바이스는 신호들을 안테나를 통해 전송하는 송신기를 포함할 수 있다. 신호들은, 예를 들어, 무선 디바이스의 PA(power amplifier) 스테이지 또는 DA(driver amplifier) 스테이지에서,

안테나에 의해 전송되기 전에 증폭될 수 있다. PA 스테이지(또는 DA 스테이지)는, 예를 들어, 변압기를 통해 안테나에 자기적으로 결합될 수 있고, PA 스테이지(또는 DA 스테이지)로 하여금 차동 증폭 신호를 변압기를 통해 안테나에 제공할 수 있게 하는 차동 캐스코드 구성을 구비할 수 있다(예를 들어, 캐스코드 트랜지스터들의 차동 쌍들을 포함할 수 있다). 동작 동안, 무선 디바이스는, 차동 증폭 신호의 이득을 조정하기 위해서 PA 스테이지(또는 DA 스테이지)의 부분들(예를 들어, "셀들")을 선택적으로 활성화시킬 수 있다. 예를 들어, 바이어스 전압이 로직 하이 전압 레벨을 가질 경우 셀들 내의 트랜지스터들의 게이트 단자들이 활성화될 수 있거나 또는 바이어스 전압이 로직 로우 전압 레벨(예를 들어, 약 0 볼트)을 가질 경우 비활성화될 수 있다.

[0006] [0005] 셀들을 비활성화하기 위해서 바이어스 전압을 로직 로우 전압 레벨(예를 들어, 약 0 볼트)로 조정하는 것은 트랜지스터들에 "스트레스"를 줄 수 있다. 예를 들어, PA 스테이지(또는 DA 스테이지)의 이득을 조정하는 동안, 비활성화 셀의 캐스코드 디바이스의 트랜지스터는, 바이어스 전압보다 실질적으로 더 높은 드레인 전압을 가질 수 있고, 이는 트랜지스터에 대해 전압 "스트레스"를 유발한다. 이 전압 "스트레스"는 (예를 들어, 트랜지스터의 게이트 산화물 영역을 손상시킴으로써) 트랜지스터에 손상을 줄 수 있고, 증폭기 스테이지의 신뢰도를 감소시킬 수 있다. 로직 로우 전압 레벨 바이어스 전압이 비활성화된 트랜지스터들의 드레인-투-게이트 전압 차들을 감소시키기 위해서 증가될 수 있지만, 이 기술은 캐스코드 디바이스를 통과하는 누설 전류(예를 들어, 신호 누설)를 증가시키고, 이로써, 캐스코드 디바이스의 증폭된 출력과 캐스코드 디바이스의 입력 간의 선형성을 감소시킨다.

### 도면의 간단한 설명

[0007] [0006] 도 1은 무선 시스템과 통신하는 무선 디바이스를 도시한다;

[0007] [0007] 도 2는 도 1의 무선 디바이스의 블록도를 도시한다;

[0008] [0008] 도 3은 도 2의 무선 디바이스의 컴포넌트 내의 증폭기의 예시적인 실시예를 도시하는 블록도이다.

[0009] [0009] 도 4는 도 2의 무선 디바이스의 증폭기 내에 포함되는 엘리먼트들을 포함하는 회로의 예시적인 실시예를 도시하는 다이어그램이다.

[0010] [0010] 도 5는 차동 캐스코드 증폭기 내 트랜지스터들의 게이트 단자들을 선택적으로 격리시키는 방법의 예시적인 실시예를 도시하는 흐름도이다.

### 발명을 실시하기 위한 구체적인 내용

[0008] [0011] 후술되는 상세한 설명은, 본 개시물의 예시적인 설계들의 설명으로서 의도되며, 본 개시물이 실시될 수 있는 유일한 설계들만을 나타내도록 의도되지 않는다. 용어 "예시적인"은 본원에서 "예, 보기, 또는 예시로서 기능하는" 것을 의미하는 것으로 이용된다. "예시적인" 것으로서 본원에서 설명된 임의의 설계가 반드시 다른 설계들보다 바람직하거나 유용한 것으로 해석되는 것은 아니다. 상세한 설명은 본 개시물의 예시적인 설계들의 완전한 이해를 제공할 목적으로 특정 세부 사항들을 포함한다. 본원에 설명된 예시적인 설계들이 이를 특정한 세부사항들 없이 실시될 수도 있다는 것은 당업자들에게 명백할 것이다. 몇몇 예시들에서, 본원에 제시된 예시적인 설계들의 신규성을 불명료하게 하는 것을 회피하기 위해, 잘 알려진 구조들 및 디바이스들은 블록도 형태로 도시되어 있다.

[0009] [0012] 도 1은 무선 통신 시스템(120)과 통신하는 무선 디바이스(110)를 도시한다. 무선 통신 시스템(120)은, LTE(Long Term Evolution) 시스템, CDMA(Code Division Multiple Access) 시스템, GSM(Global System for Mobile Communications) 시스템, WLAN(wireless local area network) 시스템 또는 몇몇 다른 무선 시스템일 수 있다. CDMA 시스템은 광대역 CDMA(WCDMA), CDMA 1X(CDMA2000 1xRTT), EV-DO(Evolution-Data Optimized), TD-SCDMA(Time Division Synchronous CDMA), 또는 CDMA의 일부 다른 버전들을 구현할 수 있다. 간략화를 위해, 도 1은 2개의 기지국(130 및 132) 및 하나의 시스템 제어기(140)를 포함하는 무선 통신 시스템(120)을 도시한다. 일반적으로, 무선 시스템은 임의의 수의 기지국들 및 임의의 세트의 네트워크 엔티티들을 포함할 수 있다.

[0010] [0013] 무선 디바이스(110)는 또한, 사용자 장비(UE), 모바일 스테이션, 단말, 액세스 단말, 가입자 유닛, 스테이션 등으로 지칭될 수 있다. 무선 디바이스(110)는 셀룰러 폰, 스마트 폰, 태블릿, 무선 모뎀, 개인 휴대 정보 단말기(PDA), 핸드 헬드 디바이스, 램프 컴퓨터, 스마트북, 넷북, 코드리스 전화기, 무선 로컬 루프(WLL) 스테이션, 블루투스 디바이스 등일 수 있다. 무선 디바이스(110)는 무선 통신 시스템(120)과 통신할 수 있다.

무선 디바이스(110)는 또한, 하나 또한 그 초파의 GNSS(global navigation satellite system) 등에서, 브로드캐스트 스테이션들(예를 들어, 브로드캐스트 스테이션(134))로부터의 신호들, 위성들(예를 들어, 위성(150))로부터의 신호들을 수신할 수 있다. 무선 디바이스(110)는, LTE, WCDMA, CDMA 1X, EVDO, TD-SCDMA, GSM, 802.11 등과 같은 무선 통신을 위한 하나 또는 그 초파의 라디오 기술들을 지원할 수 있다.

[0011] [0014] 도 2는 도 1의 무선 디바이스(110)의 예시적인 설계의 블록도를 도시한다. 본 예시적인 설계에서, 무선 디바이스(110)는 1차 안테나(210)에 결합된 트랜시버(220), 2차 안테나(212)에 결합된 트랜시버(222), 및 데이터 프로세서/제어기(280)를 포함한다. 트랜시버(220)는 다중 주파수 대역들, 다중 무선 기술들, 반송파 집성을 지원하기 위해서 다수(K)개의 수신기들(230pa 내지 230pk) 및 다수(K)개의 송신기들(250pa 내지 250pk)을 포함한다. 트랜시버(222)는, 다수의 송신 안테나들로부터 다수의 수신 안테나들로의 다수의 주파수 대역들, 다수의 라디오 기술들, 반송파 집성, 수신 다이버시티, MIMO(multiple-input multiple-output) 송신 등을 지원하기 위한 다수(L)개의 수신기들(230sa 내지 230s1) 및 다수(L)개의 송신기들(250sa 내지 250s1)을 포함한다.

[0012] [0015] 도 2에 도시된 예시적인 설계에서, 각각의 수신기(230pa-230pk, 230sa-230s1)는 LNA(240pa-240pk, 240sa-240s1) 및 수신 회로(242pa-242pk, 242sa-242s1)를 각각 포함한다. 데이터 수신의 경우, 안테나(210)는, 기지국들 및/또는 다른 송신기 스테이션들로부터 신호들을 수신하고 수신된 RF 신호를 제공하며, 이 수신된 RF 신호는, 안테나 인터페이스 회로(224)를 통해 라우팅되고 입력 RF 신호로서 선택된 수신기에 제공된다. 안테나 인터페이스 회로(224)는 스위치들, 듀플렉서들, 송신 필터들, 수신 필터들, 매칭 회로들 등을 포함할 수 있다. 아래의 설명은, 수신기(230pa)가 선택된 수신기인 예를 제공한다. 수신기(230pa) 내에서, LNA(240pa)는 입력 RF 신호를 증폭시키고 출력 RF 신호를 제공한다. 수신 회로들(242pa)은 출력 RF 신호를 RF로부터 기저대역으로 하향변환하고, 하향변환된 신호를 증폭 및 필터링하고, 그리고 아날로그 입력 신호를 데이터 프로세서/제어기(280)에 제공한다. 수신 회로들(242pa)은 믹서들, 필터들, 증폭기들, 매칭 회로들, 발진기, LO(local oscillator) 발생기, 페이즈 고정 루프(PLL) 등을 포함할 수 있다. 트랜시버들(220 및 222) 내 각각의 나머지 수신기는 수신기(230pa)와 유사한 방식으로 동작할 수 있다.

[0013] [0016] 도 2에 도시된 예시적인 설계에서, 각각의 송신기(250pa-250pk, 250sa-250s1)는 송신 회로(252pa-252pk, 252sa-252s1) 및 전력 증폭기(PA)(254pa-254pk, 254sa-254s1)를 각각 포함한다. 데이터 송신의 경우, 데이터 프로세서/제어기(280)는 송신될 데이터를 프로세싱(예를 들어, 인코딩 및 변조)하고 아날로그 출력 신호를 선택된 송신기에 제공한다. 아래의 설명은, 송신기(250pa)가 선택된 송신기인 예를 제공한다. 송신기(250pa) 내에서, 송신 회로들(252pa)은 아날로그 출력 신호를 증폭하고, 필터링하고, 기저대역으로부터 RF로 상향변환하고 변조된 RF 신호를 제공한다. 송신 회로들(252pa)은, 증폭기들, 필터들, 믹서들, 매칭 회로들, 발진기, LO 생성기, PLL 등을 포함할 수 있다. PA(254pa)는 변조된 RF 신호를 수신하고 증폭하며 적절한 출력 전력 레벨을 갖는 송신 RF 신호를 제공한다. 송신 RF 신호는 안테나 인터페이스 회로(224)를 통해 라우팅되고 안테나 어레이(210)를 통해 송신된다. 트랜시버들(220 및 222) 내 각각의 나머지 송신기는 송신기(250pa)와 유사한 방식으로 동작할 수 있다.

[0014] [0017] 도 2는 수신기들(230pa-230pk 및 230sa-230s1) 및 송신기들(250pa-250pk 및 250sa-250s1)의 예시적인 설계를 도시한다. 수신기 및 송신기는 또한 도 2에 도시되지 않은 다른 회로, 이를 테면, 필터들, 매칭 회로들 등을 포함할 수 있다. 트랜시버(220 및 222)의 전부 또는 일부는 하나 또는 그 초파의 아날로그 집적 회로들(IC들), RF IC들(RFIC들), 믹스드-신호 IC들 등에서 구현될 수 있다. 예를 들어, LNA들(240pa-240pk 및 240sa-240s1) 및 수신 회로들(242pa-242pk 및 242sa-242s1)은, RFIC일 수 있는 하나의 모듈 등에서 구현될 수 있다. 트랜시버들(220 및 222)의 회로들은 또한 다른 방식들로 구현될 수 있다.

[0015] [0018] 예시적인 실시예에서, 송신 회로들(252pa-252pk, 252sa-252s1)은 드라이버 증폭기들(290pa-290pk, 290sa-290s1)을 각각 포함할 수 있다. 드라이버 증폭기들(290pa-290pk, 290sa-290s1)은 데이터 프로세서/제어기(280)로부터 제 1 송신 신호들(292pa-292pk, 292sa-292s1)(예를 들어, 입력 신호들)을 수신할 수 있다. 예시적인 실시예에서, 전력 증폭기들(254pa-254pk, 254sa-254s1)은, 각각 드라이버 증폭기들(290pa-290pk, 290sa-290s1)로부터 제 2 송신 신호들(294pa-294pk, 294sa-294s1)을 수신할 수 있다. 예시적인 실시예에서, 제 1 송신 신호들(292pa-292pk, 292sa-292s1) 및/또는 제 2 송신 신호들(294pa-294pk, 294sa-294s1)은 차동 신호들(예를 들어, 도 3의 제 1 차동 신호(334) 및 제 2 차동 신호(336) 또는 도 4의 제 1 차동 신호(PA 입력+)(450) 및 제 2 차동 신호(PA 입력-)(452))을 포함할 수 있다.

[0016] [0019] 전력 증폭기들(254pa-254pk, 254sa-254s1) 중 하나 또는 그 초파의 것 및/또는 드라이버 증폭기들(290pa-290pk, 290sa-290s1) 중 하나 또는 그 초파의 것은, 도 3, 도 4 및 도 7에 대하여 더욱 상세하게 설명

되는 바와 같이, 차동 캐스코드 증폭기(예를 들어, 제 1 게이트 단자(312)를 갖는 제 1 트랜지스터(304) 및 제 2 게이트 단자(314)를 갖는 제 2 트랜지스터(306)를 포함하는 도 3의 차동 캐스코드 증폭기(302)), 트랜지스터(예를 들어, 도 3의 트랜지스터(320)), 제 1 게이트 단자(312)에 그리고 제어 노드(예를 들어, 도 3의 제어 노드(326))에 결합되는 제 1 고 임피던스 엘리먼트(예를 들어, 도 3의 제 1 고 임피던스 엘리먼트(322)), 제 2 게이트 단자(314)에 그리고 제어 노드에 결합되는 제 2 고 임피던스 엘리먼트(예를 들어, 도 3의 제 2 고 임피던스 엘리먼트(324))를 포함할 수 있다.

[0017] 예를 들어, 드라이버 증폭기들(290pa-290pk, 290sa-290s1) 중 하나 또는 그 초과의 것들은, 데이터 프로세서/제어기(280)로부터, 제 1 송신 신호(예를 들어, 각각 292pa-292pk, 292sa-292s1 중 하나)를 수신하고 증폭시키도록 동작가능한 도 3의 차동 캐스코드 증폭기(302)를 포함할 수 있다. 다른 예로서, 전력 증폭기들(254pa-254pk, 254sa-254s1) 중 하나 또는 그 초과의 것들은, 드라이버 증폭기들(290pa-290pk, 290sa-290s1) 중 하나 또는 그 초과의 것들로부터, 제 2 송신 신호(예를 들어, 294pa-294pk, 294sa-294s1)를 수신하고 증폭시키도록 동작가능한 도 3의 차동 캐스코드 증폭기(302)를 포함할 수 있다. 추가적으로 또는 대안으로, 도 4의 시스템(400)은, PA들(254p-254pk, 254sa-254s1) 중 하나 또는 그 초과의 것 및/또는 DA들(290pa-290pk, 290sa-290s1) 중 하나 또는 그 초과의 것에 포함될 수 있거나 또는 PA들(254p-254pk, 254sa-254s1) 중 하나 또는 그 초과의 것 및/또는 DA들(290pa-290pk, 290sa-290s1) 중 하나 또는 그 초과의 것을 구현하기 위해 사용될 수 있다.

[0018] [0021] 도 3 내지 도 7을 참조하여 추가로 설명된 바와 같이, 신뢰도, 전력 소모, 및 하나 또는 그 초과의 전력 증폭기들(254pa-254pk, 254sa-254s1) 및/또는 드라이버 증폭기들(290pa-290pk, 290sa-290s1) 중 하나 또는 그 초과의 것의 응답 선형성이 도 3의 차동 캐스코드 증폭기(302)를 이용하여 개선될 수 있으며, 도 3에서, 트랜지스터(320)는 차동 캐스코드 증폭기(302)의 2개의 트랜지스터들(304, 306)의 2개의 게이트 단자들(312, 314)에 각각 결합된다.

[0019] [0022] 데이터 프로세서/제어기(280)는 무선 디바이스(110)를 위한 다양한 기능들을 수행할 수 있다. 예를 들어, 데이터 프로세서/제어기(280)는 수신기들(230pa-230pk, 230sa-230s1)을 통해 수신되는 데이터 및 송신기들(250pa-250pk, 250sa-250s1)을 통해 송신되는 데이터를 위해 프로세싱을 수행할 수 있다. 데이터 프로세서/제어기(280)는 트랜시버들(220 및 222) 내의 다양한 회로들의 동작을 제어할 수 있다. 예를 들어, 데이터 프로세서/제어기(280)는 제어 신호들(296pa 내지 PA254pa)을 제공할 수 있다. 제어 신호들(296pa)은 인에이블 신호(예를 들어, 도 3의 인에이블 신호(330) 또는 도 4의 인에이블 신호(TURN\_ON)(440)) 및 바이어스 전압(예를 들어, 도 3의 바이어스 전압(332) 또는 제 1 바이어스 신호(Vdc\_cas\_ON)(442) 및 도 4의 제 2 바이어스 신호(Vdc\_cas\_OFF)(444))를 포함할 수 있다. 데이터 프로세서/제어기(280)는 PA들(254pa-254pk, 254sa-254s1)을 그리고/또는 DA들(290pa-290pk, 290sa-290s1)로 유사한 제어 신호들을 제공할 수 있다. 메모리(282)는 데이터 프로세서/제어기(280)를 위한 프로그램 코드들 및 테이터를 저장할 수 있다. 데이터 프로세서/제어기(280)는 하나 또는 그 초과의 ASIC(application specific integrated circuit)들 및/또는 다른 IC들 상에서 구현될 수 있다.

[0020] [0023] 무선 디바이스(110)는 다수의 대역 그룹들, 다수의 라디오 기술들, 및/또는 다수의 안테나들을 지원할 수 있다. 무선 디바이스(110)는 다수의 대역 그룹들, 다수의 무선 기술들, 및/또는 다수의 안테나들을 통해 수신을 지원하는 다수의 LNA들을 포함할 수 있다. 도 1 및 도 2의 무선 디바이스(110)는, 도 3, 도 4 및 도 7을 참고로 하여 추가로 설명되는 바와 같이, 차동 캐스코드 증폭기의 하나 또는 그 초과의 트랜지스터들에 대한 손상의 가능성을 감소시키는 (차동 캐스코드 증폭기, 트랜지스터, 제 1 고 임피던스 엘리먼트, 및 제 2 고 임피던스 엘리먼트를 포함하는) 예시적인 디바이스를 도시한다.

[0021] [0024] 도 3을 참고하면, 증폭 시스템(300)의 예시적인 실시예가 도시된다. 증폭 시스템(300)은 전력 증폭기 또는 드라이버 증폭기에 포함될 수 있다. 예시의 방식으로 본원에 기재된 바와 같이, 증폭 시스템(300)은 PA(254pa)에 포함되거나 또는 PA(254pa)를 구현하는 데 사용될 수 있다. 다른 예시적인 실시예들에서, 증폭 시스템(300)은, 도 2의 전력 증폭기들(254p-254pk, 254sa-254s1) 중 하나 또는 그 초과의 것 또는 드라이버 증폭기들(290pa-290pk, 290sa-290s1) 중 하나 또는 그 초과의 것에 포함될 수 있거나 또는 도 2의 전력 증폭기들(254p-254pk, 254sa-254s1) 중 하나 또는 그 초과의 것 또는 드라이버 증폭기들(290pa-290pk, 290sa-290s1) 중 하나 또는 그 초과의 것을 구현하기 위해 사용될 수 있다.

[0022] [0025] 증폭 시스템(300)은, 제 1 게이트 단자(312)를 갖는 제 1 트랜지스터(304) 및 제 2 게이트 단자(314)를 갖는 제 2 트랜지스터(306)를 포함하는 차동 캐스코드 증폭기(302)를 포함할 수 있다. 차동 캐스코드 증폭기

(302)는 또한 제 1 트랜지스터(304)에 결합되는 제 3 트랜지스터(308) 및 제 2 트랜지스터(306)에 결합되는 제 4 트랜지스터(310)를 포함할 수 있다. 제 1 트랜지스터(304) 및 제 3 트랜지스터(308)는 제 1 캐스코드 트랜지스터 쌍을 형성할 수 있고 제 2 트랜지스터(306) 및 제 4 트랜지스터(310)는 제 2 캐스코드 트랜지스터 쌍을 형성할 수 있다. 제 3 트랜지스터(308)는 제 1 차동 신호(334)를 수신하도록 구성될 수 있고 제 4 트랜지스터(310)는 제 2 차동 신호(336)를 수신하도록 구성될 수 있다. 예시적인 실시예에서, 차동 신호들(334, 336)은 도 2의 DA(290pa)로부터 수신된 제 2 송신 신호들(294pa)에 대응할 수 있다. 다른 예시적인 실시예들에서, 차동 신호들은 제 1 송신 신호들(292pa-292pk, 292sa-292s1) 중 하나 또는 그 초과의 것 및/또는 도 2의 제 2 송신 신호들(294pa-294pk, 294sa-294s1) 중 하나 또는 그 초과의 것에 대응할 수 있다.

[0023] 증폭 시스템(300)은 또한, 제 1 게이트 단자(312)에 그리고 제 2 게이트 단자(314)에 결합되는 트랜지스터(320)(예를 들어, 메인 트랜지스터)를 포함할 수 있다. 도 3에 도시된 예시적인 실시예에서, 트랜지스터(320)는 PMOS(p-type metal oxide semiconductor) 트랜지스터일 수 있다. 대안으로, 트랜지스터(320)는 다른 예시적인 실시예들에서, n형 금속 산화물 반도체(NMOS) 트랜지스터일 수 있다. 트랜지스터(320)는 스위치로서 동작할 수 있다. 트랜지스터(320)의 게이트 단자는, 제 1 게이트 단자(312)를 제 2 게이트 단자(314)에 선택적으로 결합시키기 위해서 인에이블 신호(330)에 반응할 수 있다. 예를 들어, 트랜지스터(320)의 드레인 단자는 제 2 게이트 단자(314)에 결합될 수 있고, 트랜지스터(320)의 소스 단자는 제 1 게이트 단자(312)에 결합될 수 있다. 예시적인 실시예에서, 인에이블 신호(330) 및 바이어스 전압(332)은 데이터 프로세서/제어기(280)로부터 도 2의 제어 신호들(296pa)로서 수신될 수 있다. 트랜지스터(320)가 수행될 경우(예를 들어, 전류가 소스 단자와 드레인 단자 사이에서 전파될 경우), 제 1 게이트 단자(312)는 트랜지스터(320)를 통해 제 2 게이트 단자(314)에 결합된다.

[0024] 추가로, 증폭 시스템(300)은 제 1 게이트 단자(312)에 그리고 제어 노드(326)에 결합되는 제 1 고 임피던스 엘리먼트(Z)(322), 및 제 2 게이트 단자(314)에 그리고 제어 노드(326)에 결합되는 제 2 고 임피던스 엘리먼트(Z)(324)를 포함할 수 있다. 고 임피던스 엘리먼트들(322 및 324)은, 각각, 제어 노드(326)와 게이트 단자들(312, 314) 사이에서 고 임피던스를 제공할 수 있다. 고 임피던스 엘리먼트들(322 및 324) 각각은 고 임피던스 값을 가질 수 있고, 트랜지스터(320) 및 고 임피던스 엘리먼트들(322 및 324)은, 제어 노드(326)에 제공되는 바이어스 전압(332)에 기초하여 바이어싱되도록 제 1 게이트 단자(312) 및 제 2 게이트 단자(314) 각각을 인에이블할 수 있다. 제 1 예시적 실시예에서, 제 1 고 임피던스 엘리먼트(322) 및 제 2 고 임피던스 엘리먼트(324)는 저항기들일 수 있다. 예를 들어, 고 임피던스 엘리먼트들(322 및 324)은 각각, 적어도 10 킬로-옴의 저항을 가질 수 있다. 제 2 예시적 실시예에서, 제 1 고 임피던스 엘리먼트(322) 및 제 2 고 임피던스 엘리먼트(324)는 인덕터들일 수 있다. 예를 들어, 고 임피던스 엘리먼트들(322 및 324)은, 주파수 의존 고 임피던스 값을 제공하는 인덕터들일 수 있다.

[0025] 동작 동안, 증폭 시스템(300)은 DA(290pa)로부터 차동 신호들(334 및 336)을 수신한다. 차동 캐스코드 증폭기(302)의 제 1 동작 모드(예를 들어, 인에이블 또는 활성 모드) 동안, 인에이블 신호(330)가 어서트되고, 트랜지스터(320)가 활성화되어 제 1 게이트 단자(312)를 제 2 게이트 단자(314)에 결합시킨다. 제 1 게이트 단자(312) 및 제 2 게이트 단자(314)는, 제 1 동작 모드 동안 트랜지스터들(304, 306)을 인에이블(예를 들어, 턴온)시키기에 충분한 특정 전압 레벨(예를 들어, 1 볼트)인 바이어스 전압(332)에 의해 바이어싱되어, 차동 캐스코드 증폭기(302)로 하여금 수신 차동 신호들(334, 336)을 증폭하게 하고 증폭된 차동 출력 신호들(340, 342)을 도 2의 안테나 인터페이스 회로(224)에 제공하게 할 수 있다.

[0026] 제 2 동작 모드(예를 들어, 디스에이블 또는 비활성 모드) 동안, 인에이블 신호(330)가 디어서트되고, 트랜지스터(320)가 비활성화되고, 바이어스 전압(332)이 로직 로우 전압 레벨(예를 들어, 0 볼트)로 설정된다. 트랜지스터(320)를 비활성화시키는 것은 제 1 게이트 단자(312)로부터 제 2 게이트 단자(314)로의 임피던스를 증가시킨다(예를 들어, 임피던스 증가를 촉진시킨다). 임피던스 증가는 제 1 고 임피던스 엘리먼트(322) 및 제 2 고 임피던스 엘리먼트(324)에 적어도 부분적으로 기초할 수 있다. 임피던스를 증가시키는 것은 제 1 게이트 단자(312)를 제 2 게이트 단자(314)로부터 격리시키거나 또는 실질적으로 격리시킬 수 있어, 게이트 단자들(312, 314)에서의 게이트 전압들로 하여금 독립적으로 "플로팅" 상태가 되게 할 수 있다. 게이트 전압들이 "플로팅" 상태이기 때문에, 각각의 게이트 전압은, 트랜지스터들(304, 306)의 기생 드레인-투-게이트 캐패시턴스들로 인해 각각의 드레인 전압에 반응할 수 있다. 예를 들어, 제 1 게이트 단자(312)의 제 1 게이트 전압은, 제 1 트랜지스터(304)의 제 1 드레인 단자에서 제 1 드레인 전압을 "추적(track)" 할 수 있다(예를 들어, 제 1 드레인 전압에 대한 응답으로 전압을 변경시킬 수 있다). 유사하게, 제 2 게이트 단자(314)에서의 제 2 게이트 전압은, 제 2 트랜지스터(306)의 제 2 드레인 단자에서의 제 2 드레인 전압을 "추적" 할 수 있다. 이와 같이, 트

랜지스터들(304, 306)의 드레인-투-게이트 전압들이 제 2 동작 모드 동안 감소될 수 있는데, 이는 게이트 단자들(312, 314)에서의 게이트 전압들이, 제 2 동작 모드 동안 게이트 전압들이 변경되지 않는 (예를 들어, 로직로우 전압 값에서 고정되는) 다른 차동 캐스코드 증폭기들에 비해, 각각의 드레인 전압들에 대한 응답으로 전압을 변경시키기 때문이다.

[0027] [0030] 드레인-투-게이트 전압들을 감소시키는 것은, 도 4를 참고로 하여 더욱 상세하게 설명되는 시스템(400)과 같이, 오프-상태의 다수의 유닛 셀들(예를 들어, 이득 셀들)을 포함하는 증폭기들 내의 트랜지스터들에 대한 전압 "스트레스"를 감소시킬 수 있다. 다수의 유닛 셀들을 포함하고 트랜지스터(320) 및 고 임피던스 엘리먼트들(322, 324)을 포함하지 않는 특정 증폭기들에서, 드레인 단자들에서의 전압들이 충분히 높은 레벨들까지 도달할 수 있어 트랜지스터들에 대해 전압 "스트레스"를 유발한다. 예를 들어, 트랜지스터(320) 및 고 임피던스 엘리먼트들(322 및 324)을 포함하지 않는 다른 차동 캐스코드 증폭기들에서, 게이트 전압들은, 차동 캐스코드 증폭기들이 디스에이블될 경우, 로직 로우 전압 레벨(예를 들어, 0 볼트)로 "강제"된다. 그러나, 이러한 다른 차동 캐스코드 증폭기들의 트랜지스터들의 드레인 단자들은, 동일한 트랜시버의 다른 유닛 셀들 내의 다른 트랜지스터들의 다른 드레인 단자들에 결합될 수 있다. 다수의 다른 유닛 셀들은, 다른 차동 캐스코드 증폭기들의 트랜지스터들의 드레인 단자들에서의 전압들로 하여금 고 전압 레벨들까지 도달하게 하는 한편, 각각의 게이트 전압들은 로직 로우 전압 레벨로 "강제"되는, 활성상태일 수 있다. 따라서, 다른 차동 캐스코드 증폭기들이 디스에이블될 경우 다른 차동 캐스코드 증폭기들의 트랜지스터들은 고 드레인-투-게이트 전압들을 경험한다. 고 드레인-투-게이트 전압들은 트랜지스터들에 대해 전압 "스트레스"를 유발시킬 수 있는데, 이는, 트랜지스터들에 대한 손상을 유발시키고 다른 차동 캐스코드 증폭기들의 신뢰도를 감소시킬 수 있다.

[0028] [0031] 반면, 트랜지스터(320)는, 증폭 시스템(300)으로 하여금, 트랜지스터들(304 및 306)의 손상을 방지하거나 또는 감소시키게 할 수 있다. 예를 들어, 트랜지스터(320)가 비활성화되는 경우, 게이트 단자(312 및 314)의 게이트 전압들은, 로직 로우 전압 레벨로 강제되는 대신, 각각의 드레인 전압들을 "추적"한다. 따라서, 트랜지스터들(304 및 306)의 드레인-투-게이트 전압들은 트랜지스터들(304 및 306) 상에서 전압 "스트레스"를 감소시킨다. 전압 "스트레스"를 감소시키는 것은, 차동 캐스코드 증폭기(302)가 디스에이블될 경우, 트랜지스터들(304 및 306)에 대한 손상을 방지하거나 감소시킬 수 있다.

[0029] [0032] 추가적으로, 트랜지스터(320)는 차동 캐스코드 증폭기(302)의 선형성(예를 들어, 증폭된 차동 출력 신호들(340, 342)와 수신된 차동 신호들(334, 336) 사이의 선형성)을 증가시킬 수 있다. 본원에서 사용되는 바와 같이, "스위치(switted)" 구성으로 구성되는 차동 캐스코드 증폭기는, 도 3에 도시된 바와 같이, 트랜지스터(320)에 그리고 고 임피던스 엘리먼트들(322, 324)에 결합되는 트랜지스터들의 게이트 단자들을 갖는 차동 캐스코드 증폭기를 지칭한다. 대조적으로, "게이트-결합" 구성으로 구성되는 차동 캐스코드 증폭기는 트랜지스터들의 게이트 단자들이 함께 직접 결합되는 차동 캐스코드 증폭기(예를 들어, 트랜지스터(320) 및 고 임피던스 엘리먼트들(322, 324)을 포함하지 않는 차동 캐스코드 증폭기)를 지칭한다. 게이트 단자들(312, 314)에서 게이트 전압들로 하여금 각각의 드레인 전압들을 "추적"할 수 있게 함으로써, "스위치" 구성의 차동 캐스코드 증폭기(302)는, "게이트-결합" 구성의 차동 캐스코드 증폭기에 비해, 증폭된 차동 출력 신호들(340, 342)과 수신된 차동 신호들(334, 336) 사이에서 선형성을 개선한다. 예를 들어, "게이트-결합" 구성에서, 트랜지스터들의 드레인 전압들은 각각의 게이트 전압들 미만으로 강하될 수 있음으로써, 제 2 동작 모드(예를 들어, 비활성 모드) 동안 트랜지스터들을 턴 온시킨다. 비활성 모드 동안 트랜지스터들을 턴온시키는 것은 누설 전류를 증가시키고 "게이트 결합" 구성에서 차동 캐스코드 증폭기의 선형성을 감소시킨다.

[0030] [0033] "스위치" 구성에서, 드레인 전압들이 각각의 게이트 전압들 미만으로 강하되지 않도록, 게이트 단자들(312, 314)의 게이트 전압들이 트랜지스터들(304, 306)의 드레인 전압들에 대한 응답으로 변경된다. 따라서, 트랜지스터들(304, 306)은 비활성 모드 동안 인에이블되지 않고(예를 들어, 턴 온되지 않고) "게이트-결합" 구성의 차동 캐스코드 증폭기에 비해 차동 출력 신호들(340, 342)의 선형성이 증가된다. 개선된 선형성과 관련된 추가 상세들이 도 4 내지 도 6에 대하여 설명된다.

[0031] [0034] 도 4를 참고하면, 트랜지스터들에 대한 감소된 전압 "스트레스"를 지닌 차동 증폭을 제공하는 시스템(400)의 예시적인 실시예가 도시된다. 일 예시적인 실시예에서, 시스템(400)은 전력 증폭기 또는 드라이버 증폭기에 포함될 수 있다. 예를 들어, 본원에 설명된 바와 같이, 시스템(400)은 도 2의 전력 증폭기(254pa)에 포함되거나 또는 전력 증폭기(254pa)를 구현하는데 사용될 수 있다. 다른 예시적인 실시예들에서, 시스템(400)은, 전력 증폭기들(254p-254pk, 254sa-254s1) 중 하나 또는 그 초과의 것 또는 도 2의 드라이버 증폭기들(290pa-290pk, 290sa-290s1) 중 하나 또는 그 초과의 것에 포함될 수 있고 그리고/또는 전력 증폭기들(254p-254pk, 254sa-254s1) 중 하나 또는 그 초과의 것 또는 도 2의 드라이버 증폭기들(290pa-290pk, 290sa-

290s1) 중 하나 또는 그 초과의 것을 구현하기 위해 사용될 수 있다.

[0032] [0035] 시스템(400)은 증폭기 스테이지(402) 및 안테나(404)를 포함할 수 있다. 증폭기 스테이지(402)는, 각각 전력 증폭기를 형성하는 복수의 N개의 "유닛 셀들"(예를 들어, 부분들)을 포함할 수 있고, 여기서, N은 양의 정수이다. 예를 들어, 안테나(404)는 안테나(210)에 대응할 수 있고 각각의 유닛 셀은 도 2의 PA들(254pa-254pk, 254sa-254s1) 중 하나 또는 그 초과의 것에 포함될 수 있거나, 또는 PA들(254pa-254pk, 254sa-254s1) 중 하나 또는 그 초과의 것을 구현하기 위해 사용될 수 있다. 증폭기 스테이지(402) 및 안테나(404)는, 출력부하를 통해, 이를 테면, 변압기(408)를 통해 자기 결합될 수 있다. 예를 들어, 변압기(408)는 도 2의 안테나 인터페이스 회로(224)에 대응할 수 있다. 시스템(400)의 컴포넌트들은 송신기(예를 들어, 도 2의 송신기(250pa))에 대응할 수 있거나 또는 송신기 내부에 통합될 수 있다.

[0033] [0036] 증폭기 스테이지(402)(예를 들어, 복수의 유닛 셀들)는, 차동 캐스코드 증폭기(412)를 가지며 트랜지스터(MPSW)(420)(예를 들어, 메인 트랜지스터)를 추가로 구비하는 예시적인 유닛 셀(410)을 포함할 수 있다. 차동 캐스코드 증폭기(412)는 제 1 트랜지스터(M1pc)(422), 제 2 트랜지스터(M1nc)(424), 제 1 트랜지스터(M1pc)(422)에 결합되는 제 3 트랜지스터(M1p)(426), 및 제 2 트랜지스터(M1nc)(424)에 결합되는 제 4 트랜지스터(M1n)(428)를 포함할 수 있다. 제 1 트랜지스터(M1pc)(422) 및 제 3 캐스코드 트랜지스터(M1p)(426)는 제 1 캐스코드 트랜지스터 쌍을 형성할 수 있고, 제 2 트랜지스터(M1nc)(424) 및 제 4 트랜지스터(M1n)(428)는 제 2 캐스코드 트랜지스터 쌍을 형성할 수 있다.

[0034] [0037] 트랜지스터(MPSW)(420)는 제 1 트랜지스터(M1pc)(422)의 제 1 게이트 단자(436)에 그리고 제 2 트랜지스터(M1nc)(424)의 제 2의 게이트 단자(438)에 결합될 수 있다. 예시적인 실시예에서, 트랜지스터(MPSW)(420)는 PMOS 트랜지스터일 수 있고, 스위치로서 동작할 수 있다. 트랜지스터(MPSW)(420)는 인에이블 신호(Turn\_ON)(440)에 반응하는 입력 단자를 포함할 수 있다. 예시적인 실시예에서, 인에이블 신호(Turn\_ON)(440), 제 1 바이어스 전압(Vdc\_cas\_ON)(442), 및 제 2 바이어스 전압(Vdc\_cas\_OFF)(444)이 도 2의 제어 신호들(296pa)로서 제어기(280)로부터 수신될 수 있다. 유닛 셀(410)은 제어 노드(434)에 그리고 제 1 게이트 단자(436)에 결합되고 트랜지스터(MPSW)(420)의 제 1 단자에 추가로 결합되어 있는 제 1 저항기(414)(예를 들어, 제 1 고 임피던스 엘리먼트)를 더 포함할 수 있다. 유닛 셀(410)은 제어 노드(434)에 그리고 제 2 게이트 단자(438)에 결합되고 트랜지스터(MPSW)(420)의 제 2 단자에 추가로 결합되어 있는 제 2 저항기(416)(예를 들어, 제 2 고 임피던스 엘리먼트)를 더 포함할 수 있다. 저항기들(414 및 416)은 각각, 적어도 10 킬로-옴의 저항을 가질 수 있다.

[0035] [0038] 차동 캐스코드 증폭기(412)는 변압기(408)에 결합될 수 있다. 예를 들어, 제 1 트랜지스터(M1pc)(422)의 제 1 드레인 단자는 제 1 노드(430)를 통해 변압기에 결합될 수 있고 제 2 트랜지스터(M1nc)(424)의 제 2 드레인 단자는 제 2 노드(432)를 통해 변압기(408)에 결합될 수 있다. 복수의 유닛 셀들의 다른 유닛 셀들은 유사한 방식으로 제 1 노드(430)에 그리고 제 2 노드(432)에 결합될 수 있다(예를 들어, 노드들(430 및 432) 각각은 복수의 유닛 셀들 각각에 결합될 수 있다). 변압기(408)는 N개의 유닛 셀들의 증폭된 차동 출력(예를 들어, Voutp 및 Voutn)을 안테나(404)에 제공하도록 구성될 수 있다. 예를 들어, 노드들(430 및 432)에서 수신된 증폭된 차동 출력은, 각각의 활성 유닛 셀 내의 차동 캐스코드 증폭기들의 출력들에 기초할 수 있고 변압기(408)와 안테나(404) 간의 상술된 자기 결합을 통해 안테나(404)에 제공될 수 있다. 이와 같이, 증폭기 스테이지(402)의 각각의 유닛 셀은, 활성화될 경우, 증폭된 차동 출력(Voutp 및 Voutn)에 기여한다.

[0036] [0039] 증폭기 스테이지(402)의 각각의 유닛 셀은 예시적인 유닛 셀(410)과 유사한 구성을 가질 수 있다. 예를 들어, 각각의 유닛 셀은 대응하는 차동 캐스코드 증폭기, 대응하는 트랜지스터(예를 들어, 트랜지스터(MPSW)(420)에 대응하는 트랜지스터), 및 대응하는 저항기들(예를 들어, 고 임피던스 엘리먼트들)을 포함할 수 있고, 각각의 유닛 셀은 노드들(430 및 432)을 통해 변압기(408)에 결합될 수 있다. 각각의 유닛 셀은 대응하는 인에이블 신호에 기초하여 선택적으로 활성화될 수 있다. 예를 들어, 유닛 셀들의 서브셋은 스위치들의 대응하는 서브셋들을 (예를 들어, 인에이블 신호들의 대응하는 서브셋을 어서팅하는 것을 통해) 비활성화시킴으로써 비활성화될 수 있다. N개의 유닛 셀들의 선택적 활성화에 의해, 증폭기 스테이지(402)의 이득이 조정될 수 있다.

[0040] [0040] 동작 동안, 증폭기 스테이지(402)는 차동 신호들(PA 입력+(450) 및 PA 입력-(452))에 대해 반응할 수 있다. 예시적인 실시예에서, 차동 신호들(PA 입력+(450) 및 PA 입력-(452))은 제 2 송신 신호들(294pa)로서 DA(290pa)로부터 수신될 수 있다. 차동 캐스코드 증폭기(412)의 제 3 트랜지스터(M1P)(426) 및 제 4 트랜지스터(M1n)(428)는 차동 신호들(PA 입력+(450) 및 PA 입력-(452))에 반응할 수 있다. 차동 캐스코드 증폭기(41

2)는 인에이블 신호(Turn\_ON)(440)에 기초하여 상이한 동작 모드들로 동작할 수 있다. 인에이블 신호(Turn\_ON)(440) 및 한 쌍의 스위치들은 제어 노드(434)를 바이어싱하기 위해 사용될 수 있다. 예를 들어, 인에이블 신호(Turn\_ON)(440)가 어서트되는 경우, 제어 노드(434)는 제 1 바이어스 신호(Vdc\_cas\_ON)(442)에 의해 바이어싱될 수 있고, 인에이블 신호(Turn\_ON)(440)가 디어서트되는 경우, 제어 노드(434)는 제 2 바이어스 신호(Vdc\_cas\_ON)(444)에 의해 바이어싱될 수 있다. 일 예시적인 실시예에서, 제 1 바이어스 신호(Vdc\_cas\_ON)(442)는 특정 전압 레벨로 실질적인 정전압(예를 들어, 약 1 볼트 또는 트랜지스터들(422, 424)을 인에이블하기에 충분한 임의의 전압)을 제공할 수 있고, 제 2 바이어스 신호(Vdc\_cas\_OFF)(444)는 로직 로우 전압 레벨로 실질적인 정전압(예를 들어, 약 0 볼트)을 제공할 수 있다.

[0038] 차동 캐스코드 증폭기(412)의 동작의 제 1 모드(예를 들어, "온" 모드 또는 활성화 모드) 동안, 제 1 트랜지스터(M1pc)(422) 및 제 2 트랜지스터(M1nc)(424)가 제 1 바이어스 신호(Vdc\_cas\_ON)(442)에 기초하여 활성화되어, 변압기(408)를 통해 안테나(404)에 제공되는 증폭된 차동 출력(예를 들어, Voutp 및 Voutn)에 기여할 수 있다. 제 1 모드 동안, 트랜지스터(MPSW)(420)는, 제 1 게이트 단자(436)를 제 2 게이트 단자(438)에 결합시키기 위해서 인에이블 신호(Turn\_ON)(440)의 제 1 값(예를 들어, 로직 로우 전압 레벨)에 기초하여 활성화될 수 있다. 제 1 게이트 단자(436)와 제 2 게이트 단자(438)는, 제 1 바이어스 신호(Vdc\_cas\_ON)(442)에 기초하여 저항기들(414 및 416)을 통해 바이어싱될 수 있다.

[0039] 차동 캐스코드 증폭기(412)의 동작의 제 2 모드(예를 들어, "off" 모드 또는 비활성 모드) 동안, 인에이블 신호(Turn\_on)(440)는 제 2 값(예를 들어, 특정 전압 레벨)으로 어서트될 수 있다. 인에이블 신호(Turn\_on)(440)를 디어서트하는 것은 트랜지스터(MPSW)(420)를 비활성화시켜, 제 1 게이트 단자(436)로부터 저항기들(414 및 416)을 경유한 제 2 게이트 단자(438)로의 임피던스를 증가시킨다. 제 1 게이트 단자(436)로부터 제 2 게이트 단자(438)로의 임피던스를 증가시키는 것은, 제 1 게이트 단자(436)를 제 2 게이트 단자(438)로부터 격리시키거나 또는 실질적으로 격리시킬 수 있다. 예를 들어, 비활성 트랜지스터(MPSW)(420)의 임피던스가 실질적으로 높을 수 있으므로, 저항기들(414 및 416)의 결합으로, 제 1 게이트 단자(436)에서의 제 1 게이트 전압(Vcpgate)은 제 2 게이트 단자(438)의 제 2 게이트 전압(Vcngate)과는 실질적으로 무관할 수 있다.

[0040] 격리시키는 것 또는 실질적으로 격리시키는 것은, 게이트 단자들(436 및 438)이 제 1 게이트 전압(Vcpgate) 및 제 2 게이트 전압(Vcngate)으로 하여금, 각각 제 1 트랜지스터(M1pc)(422) 및 제 2 트랜지스터(M1nc)(424)의 드레인 전압들(예를 들어, 드레인 전압들의 "추적")에 대해 반응할 수 있게 한다. 예를 들어, 트랜지스터(MPSW)(420)가 비활성화될 경우, 제 1 게이트 단자(436)가 제 2 게이트 단자(438)에 대하여 격리되기 때문에, 또는 실질적으로 격리되기 때문에, 제 1 게이트 전압(Vcpgate)이 제 1 트랜지스터(M1pc)(422)의 제 1 드레인 전압(Voutp)에 기초하여 제 1 전압까지 "플로팅" 상태일 수 있다. 제 1 게이트 전압(Vcpgate)이 제 1 트랜지스터(M1pc)(422)의 제 1 드레인 단자와 1 게이트 단자(436) 사이의 용량성 결합으로 인해 "플로팅" 상태일 수 있다. 이 예에서, 제 1 게이트 전압(Vcpgate)이 제 1 드레인 전압(Voutp)의 전압 변화(예를 들어, "스윙")에 비례하는 전압 변화(예를 들어, "스윙")를 가질 수 있는 반면, 제 1 트랜지스터(M1pc)(422)가 턴 온되지 않도록 충분히 낮은 전압 레벨을 유지하게 된다. 제 2 게이트 전압(Vcngate)이 유사하게, 제 2 트랜지스터(M1nc)(424)의 제 2 드레인 전압(Voutn)에 기초하여 (예를 들어, 제 2 트랜지스터(M1nc)(424)의 제 2 드레인 단자와 제 2 게이트 단자(438) 사이의 용량성 결합으로 인해) 제 2 전압까지 "플로팅" 상태일 수 있다.

[0041] 그에 따라, 제 1 트랜지스터(M1pc)(422)와 연관되는 제 1 드레인-투-게이트 전압 차 및 제 2 트랜지스터(M1nc)(424)와 연관되는 제 2 드레인-투-게이트 전압 차는, 증폭기 트랜지스터들의 게이트 단자들이 바이어스 신호를 통해 공통 로직 로우 전압 레벨까지 "강제"되는 디바이스(예를 들어, 다른 차동 캐스코드 증폭기들)에 비해 감소될 수 있다. 도 3을 참고하여 상기 설명된 바와 같이, 고 드레인-투-게이트 전압들이 트랜지스터들 상에서 전압 "스트레스"를 유발하고, 이는 트랜지스터들에 대한 손상을 유발시킬 수 있고 증폭기의 신뢰도를 감소시킬 수 있다. 드레인-투-게이트 전압들을 감소시키는 것은, 트랜지스터들(422 및 424)에 대한 손상 가능성을 감소시키며, 이는 차동 캐스코드 증폭기(412)의 신뢰도를 증가시킨다.

[0042] 차동 캐스코드 증폭기의 트랜지스터들의 게이트 단자들이 "게이트-결합" 구성에서 함께 직접 결합되는 디바이스(예를 들어, 트랜지스터(MPSW)(420) 및 저항기들(414 및 416)을 갖지 않는 디바이스)에서, 게이트 단자들은, 차동 캐스코드 증폭기가 비활성화될 때까지 로직 로우 전압 레벨(예를 들어, 0 볼트)로 바이어싱된다. 그러나, 트랜지스터들의 드레인 전압들은, 디바이스의 다른 활성 유닛 셀들에 적어도 부분적으로 기초하여,  $2 \times V_{dd}$ (예를 들어, 레일 전압)의 값에 도달할 수 있다. 그에 따라, 하나의 유닛 셀이 비활성화될 경우, 트랜지스터들의 드레인-투-게이트 전압들이  $2 \times V_{dd}$  만큼 클 수 있다. 이러한 큰 드레인-투-게이트 전압은 트랜지스터들에 대해 "스트레스"를 유발하고 "게이트 결합" 구성으로 구성되는 차동 캐스코드 증폭기의 트랜지스터들에 대

한 손상(예를 들어, 트랜지스터들의 게이트 산화물 영역들의 손상) 가능성을 증가시킨다.

[0043] [0046] 시스템(400)(예를 들어, "스위치" 구성으로 구성되는 시스템)에서, 제 2 동작 모드 동안 제 1 게이트 단자(436)를 제 2 게이트 단자(438)로부터 격리시키거나 또는 실질적으로 격리시키기 위해 트랜지스터(MPSW)(420) 및 저항기들(414 및 416)을 이용함으로써, 트랜지스터들(422 및 424) 상의 전압 "스트레스"가, 제 1 게이트 전압(Vcpgate) 및 제 2 게이트 전압(Vcngate)을 로직 로우 전압 레벨(예를 들어, 약 0 볼트)로 "강제"하는 것에 비해 감소된다. 예를 들어, 제 1 게이트 전압(Vcpgate)은 제 1 드레인 전압을 "추적"할 수 있고, 따라서, 드레인-투-게이트 전압 및 제 1 트랜지스터(M1pc)(422)에 대한 손상 가능성을 감소시킨다.

[0044] 추가로, 제 1 게이트 전압(Vcpgate) 및 제 2 게이트 전압(Vcngate)이 각각의 드레인 전압들에 반응하게 하기 위해 트랜지스터(MPSW)(420)를 사용하는 것은, "게이트-결합" 구성으로 구성되는 차동 캐스코드 증폭기에 비해, 차동 캐스코드 증폭기(412)의 선형성(예를 들어, 증폭된 차동 출력(예를 들어, Voutp 및 Voutn)과 차동 신호들(PA 입력+(450) 및 PA 입력-(452)) 간의 관계의 선형성)을 증가시킬 수 있다. 예를 들어, 제 1 게이트 전압(Vcpgate) 및 제 2 게이트 전압(Vcngate)으로 하여금 각각의 드레인 전압들에 반응하게 하는 것은, 게이트 전압들이 각각의 드레인 전압들을 초과하는 것을 방지하거나, 또는 이러한 가능성을 감소시킨다. 따라서, 트랜지스터들이 제 2 동작 모드(예를 들어, 비활성 모드) 동안 오프 상태를 유지하기 때문에, 제 1 트랜지스터(M1pc)(422) 및 제 2 트랜지스터(M1nc)(424)에서 누설 전류가 방지되거나 또는 감소될 수 있다. 대조적으로, "게이트-결합" 구성으로 구성되는 차동 캐스코드 증폭기에서, 트랜지스터들은, 제 2 동작 모드 동안 턴온되거나 또는 부분적으로 턴온될 수 있음으로써, 대응하는 차동 캐스코드 증폭기의 선형성(예를 들어, 저하)을 감소시킨다.

[0045] [0048] (예를 들어, 트랜지스터(MPSW)(420) 및 저항기들(414, 416)을 포함하는) "스위치" 구성으로 구성되는 차동 캐스코드 증폭기(412)를 포함하는 시스템(400)은 "게이트-결합" 구성으로 구성되는 차동 캐스코드 증폭기에 비해 추가 성능 혜택들을 제공할 수 있다. 도 5를 참고하면, "스위치" 구성으로 구성되는 차동 캐스코드 증폭기(본원에서 "스위치 구성 DCA"로 지칭됨) 및 "게이트-결합" 구성으로 구성되는 차동 캐스코드 증폭기(본원에서 "게이트 결합 구성 DCA"로 지칭됨)의 Psat(power output at saturation) 및 AM-PM(phase-modulation per amplitude-modulation)의 그래프가 도시되어 전반적으로 500으로 지정된다. 예시적인 실시예에서, 스위치 구성 DCA는 도 3의 증폭 시스템(300)의 차동 캐스코드 증폭기(302) 또는 도 4의 시스템(400)의 차동 캐스코드 증폭기(412)에 대응할 수 있다. 그래프(500)는 예시적이고, 비한정적인 값들을 나타낸다. 다른 실시예들에서, Psat 및 AM-PM의 다른 값들이 달성될 수 있다.

[0046] [0049] 그래프(500)는 스위치 구성 DCA와 연관되는 제 1 AM-PM 곡선(502) 및 게이트-결합 구성 DCA와 연관되는 제 2 AM-PM 곡선(504)을 포함한다. AM-PM 곡선들(502, 504)은 2개의 차동 캐스코드 증폭기들에 대한 AM-PM과 무선 주파수 전력(Prf) 사이의 관계를 도시한다. 도 5에 도시된 바와 같이, 스위치 구성 DCA와 연관되는 AM-PM 변화가, 게이트-결합 구성 DCA와 연관되는 AM-PM 변화에 비해 감소된다(예를 들어, 더 작다). 예를 들어, "스위치" 구성에 대한 AM-PM 값들은, P2에서의 제 1 AM-PM 값(510)과 P3에서의 제 2 AM-PM 값(512) 간의 AM-PM 차로 도시되는 바와 같이, 0과 P3 사이의 Prf 값들에 대해 3 degree 이내에서 변할 수 있다. "게이트 결합" 구성에 대한 AM-PM 값들은, P1에서의 제 3 AM-PM 값(514)과 P3에서의 제 4 AM-PM 값(516) 간의 AM-PM 차로 도시되는 바와 같이, 0과 P3 사이의 Prf 값들에 대해 4 degrees 이내로 변할 수 있다. 이와 같이, "스위치" 구성은, "게이트-결합" 구성에 비해, 0과 P3 사이의 Prf 값들에 대해 적어도 1 degree 씩의 AM-PM 변화의 감소와 연관된다.

[0047] [0050] 그래프(500)는 또한 스위치 구성 DCA와 연관되는 제 1 Psat 곡선(506) 및 게이트-결합 구성 DCA와 연관되는 제 2 Psat 곡선(508)을 포함한다. Psat 곡선들(506, 508)은 2개의 차동 캐스코드 증폭기들에 대한 Psat와 Prf 간의 관계를 도시한다. 도 5에 도시된 바와 같이, 스위치 구성 DCA의 Psat가, 게이트-결합 구성 DCA의 Psat에 비해 증가된다. 예를 들어, 제 1 Prf 값(P1)에서, 스위치 구성 DCA와 연관되는 제 1 Psat 값(520)이 약 29.4 dB(decibels)이고, 게이트-결합 구성 DCA와 연관되는 제 2 Psat 값(522)이 약 28.9 dB이다. 따라서, "스위치" 구성은 "게이트-결합" 구성에 비해 Psat의 증가(예를 들어, 약 0.5dB의 증가)와 연관된다.

[0048] [0051] 스위치 구성 DCA 및 게이트-결합 구성 DCA의 EVM(error vector magnitude)의 그래프가 도시되고 전반적으로 600으로 지정되는 도 6에 추가 성능 개선들이 도시된다. 그래프(600)는 예시적이고, 비한정적인 값들을 나타낸다. 다른 실시예들에서, EVM의 다른 값들이 달성될 수 있다. 그래프(600)는 스위치 구성 DCA와 연관되는 제 1 EVM 곡선(602) 및 게이트-결합 구성 DCA와 연관되는 제 2 EVM 곡선(604)을 포함한다. EVM 곡선(602, 604)은 2개의 차동 캐스코드 증폭기들에 대한 EVM과 출력 전력(Pout) 간의 관계를 도시한다. 도 6에 도시된 바

와 같이, 스위치 구성 DCA의 EVM은, 낮은 Pout 값들의 게이트-결합 구성 DCA의 EVM과 실질적으로 유사하고, 높은 Pout 값들로 증가된다. 예를 들어, 제 1 Pout 값(P1)에서, 스위치 구성 DCA와 연관되는 EVM은 게이트-결합 구성 DCA와 연관되는 EVM과 실질적으로 유사하다. P1보다 더 큰 (예를 들어, 더 높은) 제 2 Pout 값(P2)에서, 스위치 구성 DCA와 연관되는 제 1 EVM 값(606)이 약 34.9dB이고 게이트-결합 구성 DCA와 연관되는 제 2 EVM 값(608)은 약 33.3dB이다. 따라서, "스위치" 구성은, "게이트-결합" 구성에 비해, P2 또는 그 초과의 Pout 값에서의 EVM의 증가(예를 들어, 약 1.5dB를 초과하는 증가)와 연관된다.

[0049] [0052] 도 7을 참고하면, 차동 캐스코드 증폭기 내 트랜지스터들의 게이트 단자들을 선택적으로 격리시키는 방법의 예시적인 실시예를 도시하는 흐름도가 도시되며 전반적으로 700으로 지정된다. 예시적인 실시예에서, 방법(700)은, 도 1 및 도 2의 무선 디바이스(110), 도 3의 증폭 시스템(300), 도 4의 시스템(400), 또는 이들의 조합에서 수행될 수 있다.

[0050] [0053] 방법(700)은 제 1 게이트 단자를 갖는 제 1 트랜지스터를 포함하고, 제 2 게이트 단자를 갖는 제 2 트랜지스터를 추가로 포함하는 차동 캐스코드 증폭기에서 차동 신호를 증폭하는 단계(702)를 포함한다. 차동 캐스코드 증폭기는 도 3의 차동 캐스코드 증폭기(302) 또는 도 4의 차동 캐스코드 증폭기(412)를 포함하거나 또는 이에 대응할 수 있다. 제 1 트랜지스터는 도 3의 제 1 트랜지스터(304) 또는 도 4의 제 1 트랜지스터(M1pc)(422)를 포함하거나 또는 이에 대응할 수 있다. 제 2 트랜지스터는 도 3의 제 2 트랜지스터(306) 또는 도 4의 제 2 트랜지스터(M1nc)(424)를 포함하거나 또는 이에 대응할 수 있다.

[0051] [0054] 방법(700)은 또한 제 1 게이트 단자를 제 2 게이트 단자에 결합시키기 위해 제 1 게이트 단자와 제 2 게이트 단자 사이에서 결합되는 트랜지스터를 선택적으로 활성화시키는 단계를 포함할 수 있다. 예를 들어, 트랜지스터는 도 3의 트랜지스터(320) 또는 도 4의 트랜지스터(MPSW)(420)를 포함하거나 또는 이에 대응할 수 있고, 각각 인에이블 신호(예를 들어, 도 3의 인에이블 신호(330) 또는 도 4의 인에이블 신호(Turn\_ON)(440))에 반응할 수 있다.

[0052] [0055] 예시적인 실시예에서, 방법(700)은 제 1 고 임피던스 엘리먼트 및 제 2 고 임피던스 엘리먼트에 적어도 부분적으로 기초하여 제 1 게이트 단자로부터 제 2 게이트 단자까지의 임피던스를 증가시키기 위해 트랜지스터를 비활성화하는 단계를 포함한다. 제 1 고 임피던스 엘리먼트는 제 1 게이트 단자와 제어 노드에 결합될 수 있으며, 제 2 고 임피던스 엘리먼트는 제 2 게이트 단자와 제어 노드에 결합될 수 있다. 예를 들어, 트랜지스터(320)는 제 1 고 임피던스 엘리먼트(322) 및 제 2 고 임피던스 엘리먼트(324)에 적어도 부분적으로 기초하여 제 1 게이트 단자(312)로부터 제 2 게이트 단자(314)까지의 임피던스를 증가시키기 위해 비활성화될 수 있다. 다른 예로서, 트랜지스터(MPSW)(420)는 제 1 저항기(414) 및 제 2 저항기(416)에 적어도 부분적으로 기초하여 제 1 게이트 단자(436)로부터 제 2 게이트 단자(438)까지의 임피던스를 증가시키기 위해 비활성화될 수 있다. 트랜지스터를 비활성화시키는 것은 제 1 게이트 단자에서의 제 1 게이트 전압으로 하여금 제 1 트랜지스터의 제 1 드레인 단자에서의 제 1 드레인 전압에 반응(예를 들어, "추적")하게 할 수 있고 제 2 게이트 단자에서의 제 2 게이트 전압으로 하여금 제 2 트랜지스터의 제 2 드레인 단자에서의 제 2 드레인 전압에 반응(예를 들어, "추적")하게 할 수 있다. 예를 들어, 트랜지스터(320)를 비활성화시키는 것은 제 1 게이트 단자(312)에서의 제 1 게이트 전압으로 하여금 제 1 트랜지스터(304)의 제 1 드레인 단자에서의 제 1 드레인 전압에 반응하게 할 수 있고 제 2 게이트 단자(314)에서의 제 2 게이트 전압으로 하여금 제 2 트랜지스터(306)의 제 2 드레인 단자에서의 제 2 드레인 전압에 반응하게 할 수 있다. 다른 예로서, 트랜지스터(MPSW)(420)를 비활성화시키는 것은 제 1 게이트 단자(436)에서의 제 1 게이트 전압(Vcpgate)으로 하여금 제 1 트랜지스터(M1pc)(422)의 제 1 드레인 단자에서의 제 1 드레인 전압(Voutp)에 반응하게 할 수 있고 제 2 게이트 단자(438)에서의 제 2 게이트 전압(Vcngate)으로 하여금 제 2 트랜지스터(M1nc)(424)의 제 2 드레인 단자에서의 제 2 드레인 전압(Voutn)에 반응하게 할 수 있다.

[0053] [0056] 방법(700)은, 하나 또는 그 초과의 트랜지스터들에 대한 전압 "스트레스"를 감소시키면서 증폭기 스테이지의 이득 제어를 가능하게 한다. 예를 들어, 증폭기 스테이지의 이득이 증폭기 스테이지의 하나 또는 그 초과의 유닛 셀들을 턴 온 또는 턴 오프시킴으로써 조정될 수 있다. 차동 캐스코드 증폭기가 턴 오프될 경우 제 1 게이트 단자를 제 2 게이트 단자로부터 격리시키거나 또는 실질적으로 격리시키기 위해 트랜지스터들 및 고 임피던스 엘리먼트들을 이용함으로써, 방법(700)은, 차동 캐스코드 증폭기가 턴 오프될 경우 게이트 단자들을 로직 로우 전압 레벨(예를 들어, 약 0 볼트)로 "강제"시키는 트랜지스터들에 비해, 트랜지스터들의 드레인-투-게이트 전압들에서의 감소를 가능하게 한다. 드레인-투-게이트 전압들을 감소시키는 것은, 트랜지스터들에 대한 손상 가능성을 감소시키고, 차동 캐스코드 증폭기의 신뢰도를 증가시킨다. 추가로, 게이트 전압들로 하여금 각각의 드레인 전압들을 추적할 수 있게 하는 것은, 차동 캐스코드 증폭기의 선형성(예를 들어, 증폭 차동 출력

과 수신 차동 입력 간의 관계의 선형성)을 증가시킨다.

[0054] [0057] 설명된 실시예들과 함께, 장치는 차동 신호를 증폭시키기 위한 수단을 포함한다. 증폭시키기 위한 수단은 도 3의 차동 캐스코드 증폭기(302) 또는 도 4의 차동 캐스코드 증폭기(412), 차동 신호를 증폭시키기 위한 하나 또는 그 초과의 다른 디바이스들, 회로들, 모듈들, 또는 명령들, 또는 이들의 임의의 조합을 포함하거나 또는 이에 대응할 수 있다. 증폭시키기 위한 수단은 제 1 게이트 단자를 갖는 제 1 트랜지스터와 제 2 게이트 단자를 갖는 제 2 트랜지스터를 포함할 수 있다. 제 1 트랜지스터는 도 3의 제 1 게이트 단자(312)를 갖는 제 1 트랜지스터(304) 또는 제 4의 제 1 게이트 단자(436)를 갖는 제 1 트랜지스터(M1pc)(422)를 포함하거나 또는 이에 대응할 수 있고, 제 2 트랜지스터는 도 3의 제 2 게이트 단자(314)를 갖는 제 2 트랜지스터(306) 또는 도 4의 제 2 게이트 단자(438)를 갖는 제 2 트랜지스터(M1nc)(424)를 포함하거나 또는 이에 대응할 수 있다.

[0055] [0058] 장치는 제 1 게이트 단자를 제 2 게이트 단자에 선택적으로 결합시키기 위한 수단을 포함할 수 있다. 선택적으로 결합시키기 위한 수단은 도 3의 트랜지스터(320), 도 4의 트랜지스터(MPSW)(420), 제 1 게이트 단자를 제 2 게이트 단자로 선택적으로 결합시키기 위한 하나 또는 그 초과의 다른 디바이스들, 회로들, 모듈들, 또는 명령들, 또는 이들의 임의의 조합을 포함하거나 또는 이에 대응할 수 있다.

[0056] [0059] 일 예시적이 실시예에서, 장치는 제 1 게이트 단자에 그리고 제어 노드에 결합되는 제 1 고 임피던스 엘리먼트, 제 2 게이트 단자에 그리고 제어 노드에 결합되는 제 2 고 임피던스 엘리먼트를 더 포함할 수 있다. 제 1 고 임피던스 엘리먼트 및 제 2 고 임피던스 엘리먼트는, 각각, 도 3의 제 1 고 임피던스 엘리먼트(322) 및 제 2 고 임피던스 엘리먼트(324) 또는 도 4의 제 1 저항기(414) 및 도 4의 제 2 저항기(416)를 포함하거나 또는 이에 대응할 수 있다. 제어 노드는 도 3의 제어 노드(326) 또는 도 4의 제어 노드(434)를 포함하거나 또는 이에 대응할 수 있다.

[0057] [0060] 예시적인 실시예에서, 제 1 고 임피던스 엘리먼트 및 제 2 고 임피던스 엘리먼트는 저항기들, 인덕터들, 또는 이들의 조합을 포함할 수 있다. 선택적으로 결합시키기 위한 수단은, 증폭시키기 위한 수단의 제 1 동작 모드 동안 활성화되어 제 1 게이트 단자를 제 2 게이트 단자에 결합시킬 수 있고, 증폭시키기 위한 수단의 제 2 동작 모드 동안 비활성화되어 제 1 게이트 단자로부터 제 1 고 임피던스 엘리먼트 및 제 2 고 임피던스 엘리먼트를 통해 제 2 게이트 단자까지의 임피던스를 증가시킬 수 있다. 예를 들어, 선택적으로 결합시키기 위한 수단은, 게이트 전압들로 하여금, 도 3, 도 4 및 도 7에 대하여 설명된 바와 같이, 드레인 전압들에 반응(예를 들어, 드레인 전압들을 "추적")할 수 있게 하도록 제 2 게이트 단자로부터 제 1 게이트 단자를 격리하거나 또는 실질적으로 격리할 수 있다.

[0058] [0061] 본원에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 논리 블록, 구성들, 모듈, 회로, 및 알고리즘 단계는, 전자 하드웨어, 프로세서에 의해 실행되는 컴퓨터 소프트웨어, 또는 이 둘의 조합으로 구현될 수 있다는 것을 당업자는 추가로 이해할 것이다. 예를 들어, 도 2의 제어 신호들(296pa), 도 3의 인에이블 신호(330), 도 4의 인에이블 신호(Turn\_ON)(440), 또는 이들의 조합은, 명령들을 실행하는 프로세서에 의해 생성될 수 있다. 다양한 예시적인 컴포넌트들, 블록들, 구성들, 모듈들, 회로들, 및 단계들은, 그 기능성의 관점에서 일반적으로 상술되었다. 이러한 기능이 하드웨어 또는 프로세서 실행가능 명령들로 구현되는지 여부는 전체 시스템에 부과된 특정 애플리케이션 및 설계 제약들에 의존한다. 해당 기술분야에서 통상의 지식을 가진 자들은 설명된 기능을 각각의 특정 애플리케이션마다 다양한 방식들로 구현할 수도 있지만, 이러한 구현 결정들이 본 개시의 범위를 벗어나게 하는 것으로 해석되지는 않아야 한다.

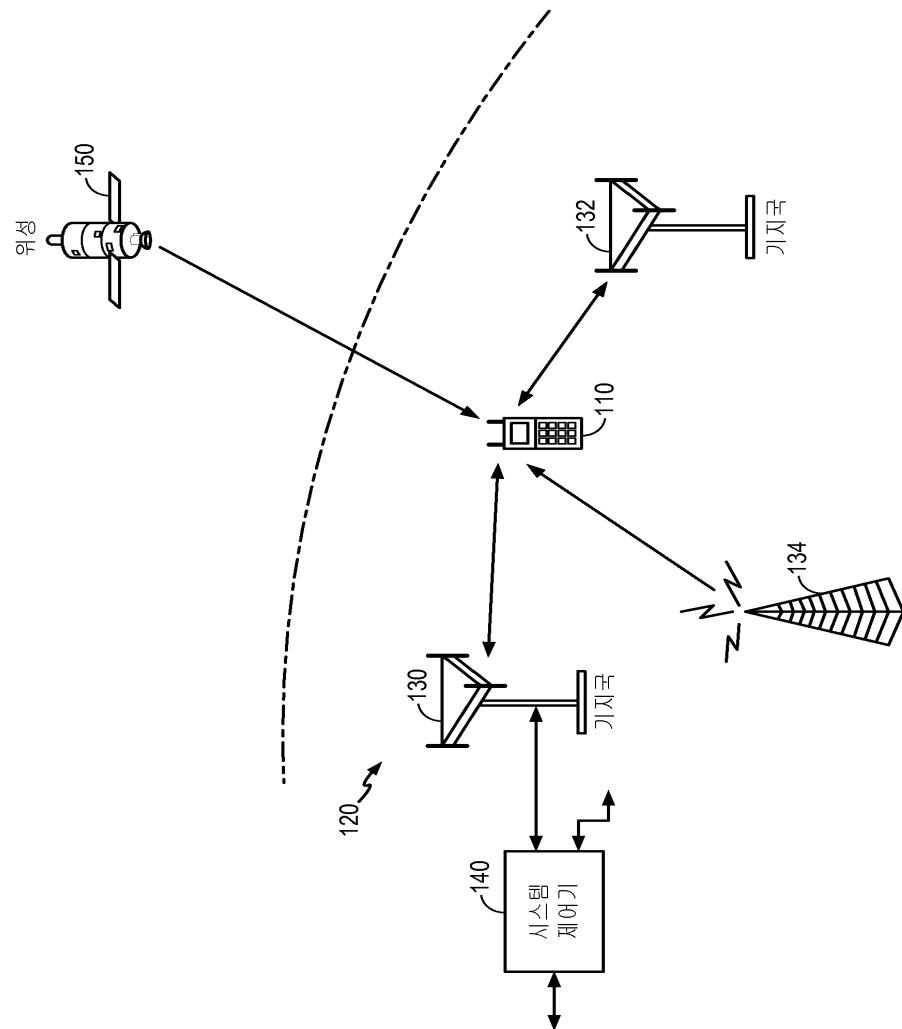
[0059] [0062] 본원에 개시된 실시예들과 관련하여 설명된 방법 또는 알고리즘의 단계들은 직접 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 결합으로 구현될 수 있다. 예시하자면, 프로세서는 도 3의 인에이블 신호(330) 또는 도 4의 인에이블 신호(Turn\_ON)(440)를 생성하는 것을 포함하는 방법 또는 알고리즘을 수행할 명령들을 실행할 수 있다. 소프트웨어 모듈은 RAM(random access memory), ROM(flash memory, read-only memory), PROM(programmable read-only memory), EPROM(erasable programmable read-only memory), EEPROM(electrically erasable programmable read-only memory), 레지스터들, 하드 디스크, 착탈식 디스크, CD-ROM(compact disc read-only memory), 또는 본 기술에 알려진 비일시적 저장 매체의 임의의 다른 형태로 상주할 수 있다. 예시적인 저장 매체는 프로세서가 저장 매체로부터 정보를 관독하고 저장 매체에 정보를 기록할 수 있도록 프로세서에 결합된다. 대안으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC(application-specific integrated circuit)에 상주할 수 있다. ASIC은 컴퓨팅 디바이스 또는 사용자 단말에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 컴퓨팅 디바이스 또는 사용자 단말에 개별 컴포넌트로서 상주할 수 있다.

[0060]

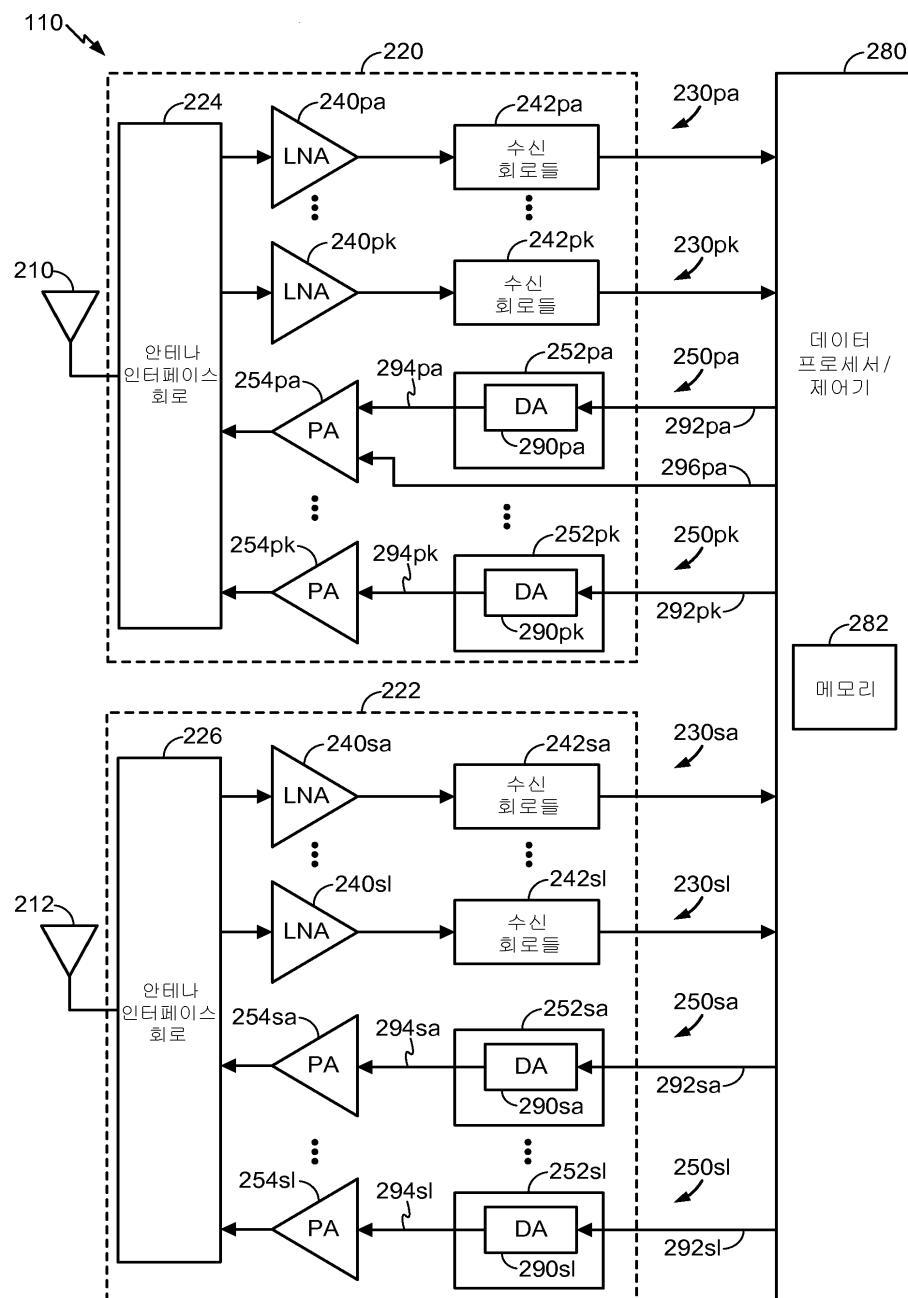
[0063] 개시된 실시예의 이전 설명은 당업자가 개시된 실시예들을 실시하거나 이용할 수 있도록 제공된다. 이들 실시예들에 대한 다양한 변형은 당업자에게 자명할 것이며, 본원에 정의된 일반적인 원리들은 본 개시물의 범위를 벗어나지 않고 다른 실시예들에 적용될 수도 있다. 예를 들어, 특정 예시적인 회로들이 설명되었지만, 다른 회로들이 구현될 수 있다. 따라서, 본 개시물은 본원에 제시된 실시예들로 한정되도록 의도되는 것이 아니라, 다음 청구범위에 의해 정의된 바와 같이 원리들 및 신규한 특징들과 일치하는 최광의 범위와 일치하여야 한다.

## 도면

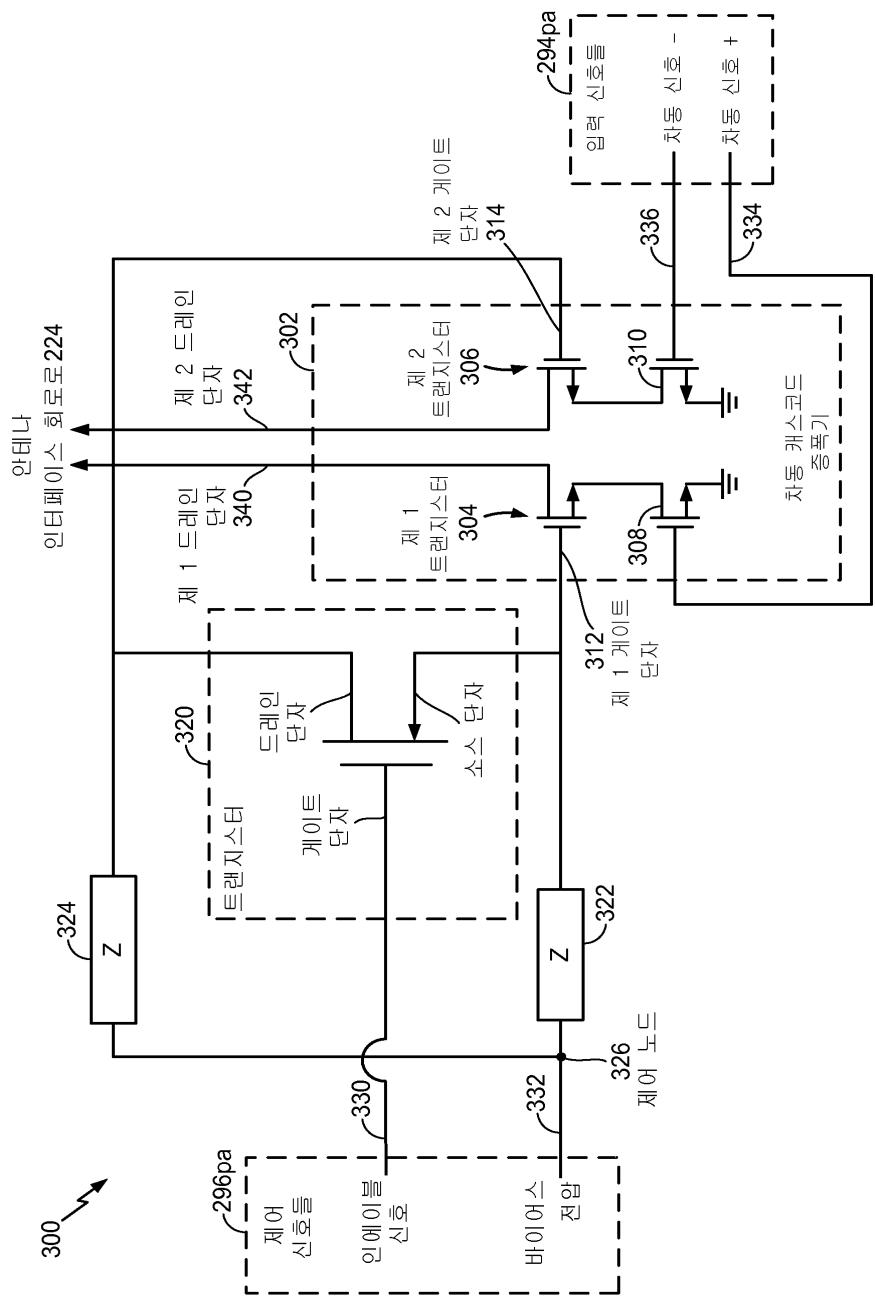
### 도면1



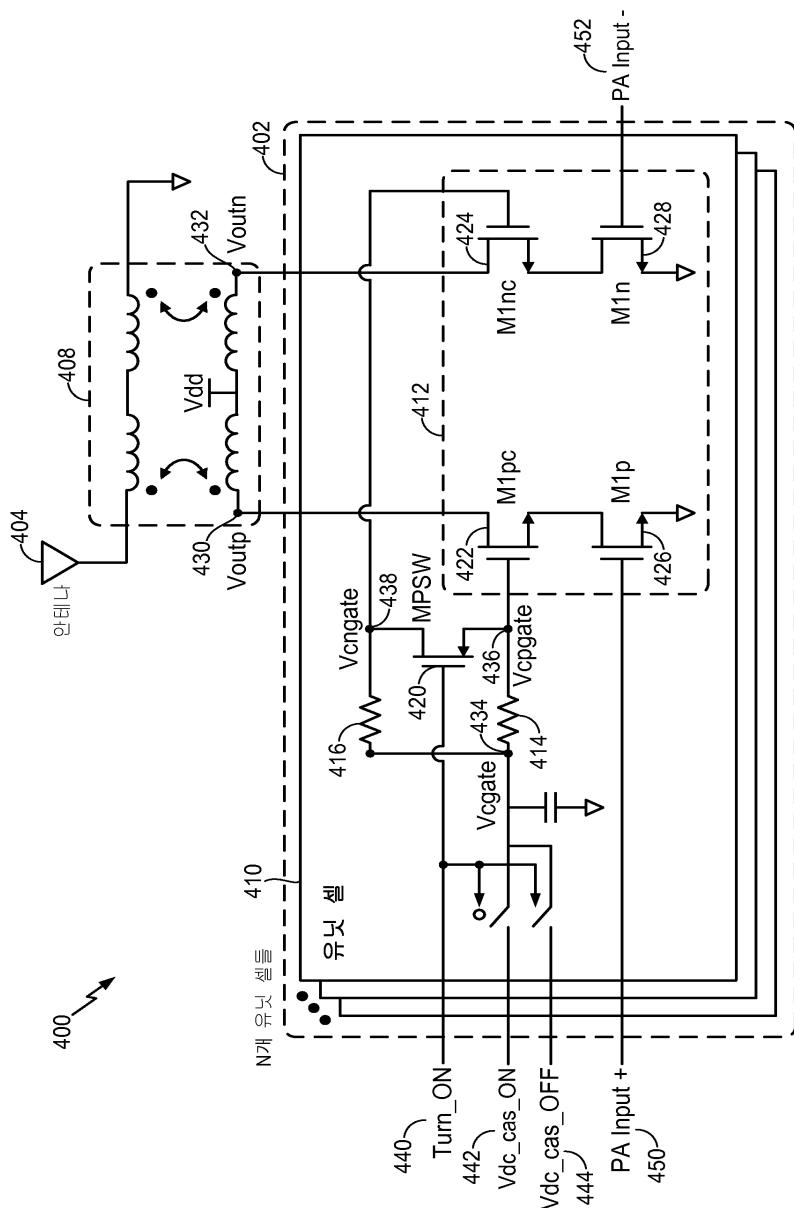
## 도면2



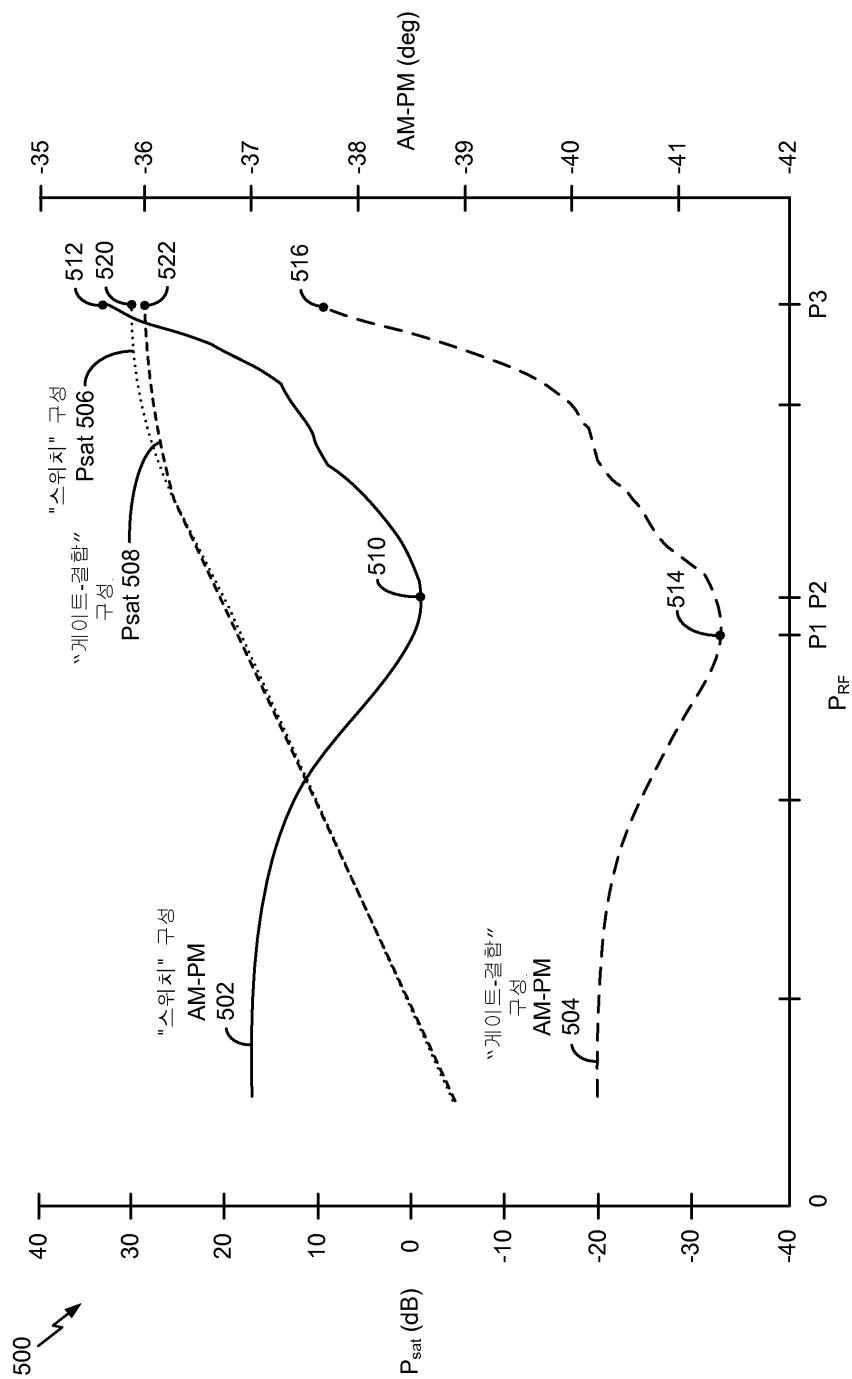
## 도면3



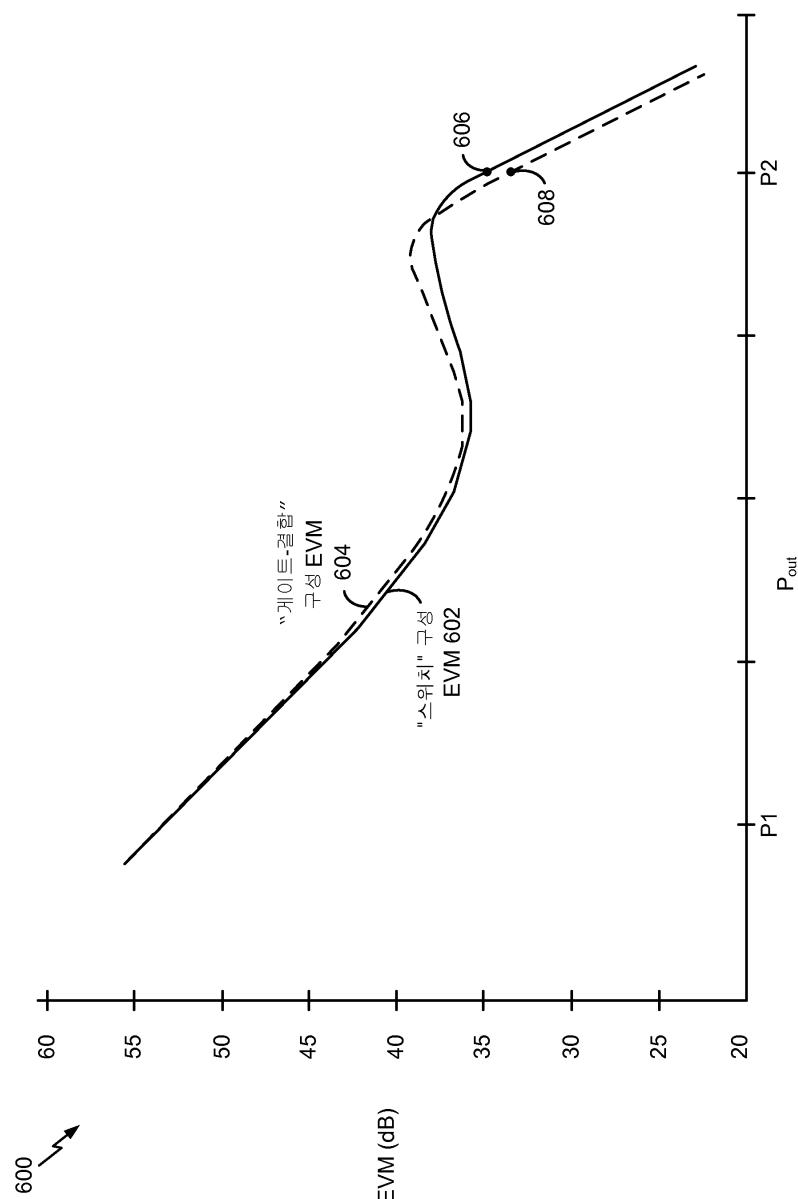
도면4



도면5



도면6



## 도면7

