



(12) 发明专利申请

(10) 申请公布号 CN 102891133 A

(43) 申请公布日 2013.01.23

(21) 申请号 201110209132.1

(22) 申请日 2011.07.22

(71) 申请人 精材科技股份有限公司

地址 中国台湾桃园县

(72) 发明人 颜裕林 陈键辉 刘沧宇 尤龙生

(74) 专利代理机构 北京林达刘知识产权代理事  
务所(普通合伙) 11277

代理人 刘新宇

(51) Int. Cl.

H01L 23/538 (2006.01)

H01L 21/768 (2006.01)

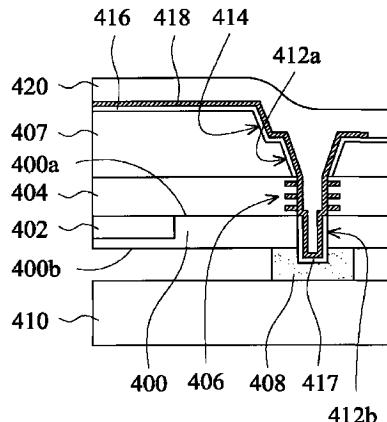
权利要求书 2 页 说明书 12 页 附图 24 页

(54) 发明名称

晶片封装体及其形成方法

(57) 摘要

本发明提供一种晶片封装体及其形成方法，该晶片封装体包括：一基底，具有一上表面及一下表面；多个导电垫，位于该基底的该下表面之下；一介电层，位于所述导电垫之间；一沟槽，自该基底的该上表面朝该下表面延伸；一孔洞，自该沟槽的一底部朝该基底的该下表面延伸，其中该孔洞的一上侧壁倾斜于该基底的该下表面，且该孔洞的一下侧壁或一底部露出部分的所述导电垫；以及一导电层，位于该孔洞之中且电性接触至少一所述导电垫。本发明不仅可增进结构可靠度，还能增加穿基底导通结构所连接的导电通路。



1. 一种晶片封装体,其特征在于,包括:

一基底,具有一上表面及一下表面;

多个导电垫,位于该基底的该下表面之下;

一介电层,位于所述导电垫之间;

一沟槽,自该基底的该上表面朝该下表面延伸;

一孔洞,自该沟槽的一底部朝该基底的该下表面延伸,其中该孔洞的一上侧壁倾斜于该基底的该下表面,且该孔洞的一下侧壁或一底部露出部分的所述导电垫;以及

一导电层,位于该孔洞之中且电性接触至少一所述导电垫。

2. 根据权利要求 1 所述的晶片封装体,其特征在于,所述导电垫中的一上层导电垫具有至少一开口或沟槽,该开口或该沟槽露出所述导电垫中的一下层导电垫。

3. 根据权利要求 1 所述的晶片封装体,其特征在于,所述导电垫的至少其中之一接近该孔洞的部分的厚度朝远离该孔洞的方向递增。

4. 根据权利要求 1 所述的晶片封装体,其特征在于,该孔洞的底部露出所述导电垫的至少其中之一的上表面。

5. 根据权利要求 1 所述的晶片封装体,其特征在于,该孔洞的侧壁露出所述导电垫的至少其中之一的侧边。

6. 根据权利要求 1 所述的晶片封装体,其特征在于,还包括一间隔层,设置于所述导电垫之下,其中该孔洞进一步延伸至该间隔层之中。

7. 根据权利要求 1 所述的晶片封装体,其特征在于,还包括一光电元件,形成于该基底之中。

8. 根据权利要求 1 所述的晶片封装体,其特征在于,还包括一第二基底,设置于该基底的该下表面之下与所述导电垫之下。

9. 根据权利要求 8 所述的晶片封装体,其特征在于,还包括一光电元件,形成于该第二基底之中。

10. 根据权利要求 8 所述的晶片封装体,其特征在于,该孔洞进一步延伸至该第二基底之中。

11. 根据权利要求 10 所述的晶片封装体,其特征在于,还包括一绝缘层,位于该导电层与该第二基底之间。

12. 根据权利要求 8 所述的晶片封装体,其特征在于,还包括一间隔层,设置于所述第二基底之下,其中该孔洞进一步延伸至该间隔层之中。

13. 根据权利要求 12 所述的晶片封装体,其特征在于,还包括一绝缘层,位于该导电层与该第二基底之间,且位于该导电层与该间隔层之间。

14. 根据权利要求 1 所述的晶片封装体,其特征在于,还包括一防焊层,位于该导电层之上,且填满该孔洞。

15. 一种晶片封装体的形成方法,其特征在于,包括:

提供一基底,该基底具有一上表面及一下表面,其中该基底包括位于该基底的该下表面之下的多个导电垫以及位于所述导电垫之间的介电层;

自该基底的该上表面移除部分的该基底以形成朝所述导电垫延伸的一孔洞;

在形成该孔洞之后,自该基底的该上表面移除部分的该基底以形成朝该基底的该下表

面延伸的一沟槽，其中该沟槽与该孔洞连接；

于该沟槽的侧壁及该孔洞的侧壁与底部上形成一绝缘层；

移除部分的该绝缘层及部分的该介电层以露出部分的所述导电垫；以及

于该沟槽的侧壁及该孔洞的侧壁与底部上形成一导电层，该导电层电性接触所述导电垫。

16. 根据权利要求 15 所述的晶片封装体的形成方法，其特征在于，在形成该沟槽之后，该孔洞的该侧壁倾斜于该基底的该下表面。

17. 根据权利要求 16 所述的晶片封装体的形成方法，其特征在于，在形成该沟槽之前，该孔洞的该侧壁垂直于该基底的该下表面。

18. 一种晶片封装体的形成方法，其特征在于，包括：

提供一基底，该基底具有一第一表面及一第二表面，其中该基底包括位于该基底的该第一表面之上的多个导电垫以及位于所述导电垫之间的介电层；

于该基底的该第一表面之上、所述导电垫及该介电层之上设置一承载基底；

自该承载基底的一上表面移除部分的该承载基底以形成朝所述导电垫延伸的一孔洞；

在形成该孔洞之后，自该承载基底的该上表面移除部分的该承载基底以形成朝该基底延伸的一沟槽，其中该沟槽与该孔洞连接；

于该沟槽的侧壁及该孔洞的侧壁与底部上形成一绝缘层；

移除部分的该绝缘层及部分的该介电层以露出部分的所述导电垫；以及

于该沟槽的侧壁及该孔洞的侧壁与底部上形成一导电层，该导电层电性接触所述导电垫。

19. 根据权利要求 18 所述的晶片封装体的形成方法，其特征在于，该孔洞延伸进入该基底之中，且该导电层延伸进入该基底之中。

20. 根据权利要求 19 所述的晶片封装体的形成方法，其特征在于，还包括于该基底与该导电层之间形成一第二绝缘层。

## 晶片封装体及其形成方法

### 技术领域

[0001] 本发明有关于晶片封装体，且特别是有关于具有穿基底导通结构(through-substrate via, TSV)的晶片封装体。

### 背景技术

[0002] 近来，业界常于晶片封装体中形成穿基底导通结构以实现晶片的尺寸缩小化与多功能化。为进一步增进晶片封装体的功能性，需设法提升与穿基底导通结构连接的导电通路，使晶片封装体在持续缩小化之余，仍能具有高密度的导电通路。此外，业界亦亟需增进穿基底导通结构的结构稳定性。

### 发明内容

[0003] 本发明提供一种晶片封装体，包括：一基底，具有一上表面及一下表面；多个导电垫，位于该基底的该下表面之下；一介电层，位于所述导电垫之间；一沟槽，自该基底的该上表面朝该下表面延伸；一孔洞，自该沟槽的一底部朝该基底的该下表面延伸，其中该孔洞的一上侧壁倾斜于该基底的该下表面，且该孔洞的一下侧壁或一底部露出部分的所述导电垫；以及一导电层，位于该孔洞之中且电性接触至少一所述导电垫。

[0004] 本发明所述的晶片封装体，其中所述导电垫中的一上层导电垫具有至少一开口或沟槽，该开口或该沟槽露出所述导电垫中的一下层导电垫。

[0005] 本发明所述的晶片封装体，其中所述导电垫的至少其中之一接近该孔洞的部分的厚度朝远离该孔洞的方向递增。

[0006] 本发明所述的晶片封装体，其中该孔洞的底部露出所述导电垫的至少其中之一的上表面。

[0007] 本发明所述的晶片封装体，其中该孔洞的侧壁露出所述导电垫的至少其中之一的侧边。

[0008] 本发明所述的晶片封装体，还包括一间隔层，设置于所述导电垫之下，其中该孔洞进一步延伸至该间隔层之中。

[0009] 本发明所述的晶片封装体，还包括一光电元件，形成于该基底之中。

[0010] 本发明所述的晶片封装体，还包括一第二基底，设置于该基底的该下表面之下与所述导电垫之下。

[0011] 本发明所述的晶片封装体，还包括一光电元件，形成于该第二基底之中。

[0012] 本发明所述的晶片封装体，其中该孔洞进一步延伸至该第二基底之中。

[0013] 本发明所述的晶片封装体，还包括一绝缘层，位于该导电层与该第二基底之间。

[0014] 本发明所述的晶片封装体，还包括一间隔层，设置于所述第二基底之下，其中该孔洞进一步延伸至该间隔层之中。

[0015] 本发明所述的晶片封装体，还包括一绝缘层，位于该导电层与该第二基底之间，且位于该导电层与该间隔层之间。

- [0016] 本发明所述的晶片封装体,还包括一防焊层,位于该导电层之上,且填满该孔洞。
- [0017] 本发明提供一种晶片封装体的形成方法,包括:提供一基底,该基底具有一上表面及一下表面,其中该基底包括位于该基底的该下表面之下的多个导电垫以及位于所述导电垫之间的介电层;自该基底的该上表面移除部分的该基底以形成朝所述导电垫延伸的一孔洞;在形成该孔洞之后,自该基底的该上表面移除部分的该基底以形成朝该基底的该下表面延伸的一沟槽,其中该沟槽与该孔洞连接;于该沟槽的侧壁及该孔洞的侧壁与底部上形成一绝缘层;移除部分的该绝缘层及部分的该介电层以露出部分的所述导电垫;以及于该沟槽的侧壁及该孔洞的侧壁与底部上形成一导电层,该导电层电性接触所述导电垫。
- [0018] 本发明所述的晶片封装体的形成方法,其中在形成该沟槽之后,该孔洞的该侧壁倾斜于该基底的该下表面。
- [0019] 本发明所述的晶片封装体的形成方法,其中在形成该沟槽之前,该孔洞的该侧壁垂直于该基底的该下表面。
- [0020] 本发明提供一种晶片封装体的形成方法,包括:提供一基底,该基底具有一第一表面及一第二表面,其中该基底包括位于该基底的该第一表面之上的多个导电垫以及位于所述导电垫之间的介电层;于该基底的该第一表面之上所述导电垫及该介电层之上设置一承载基底;自该承载基底的一上表面移除部分的该承载基底以形成朝所述导电垫延伸的一孔洞;在形成该孔洞之后,自该承载基底的该上表面移除部分的该承载基底以形成朝该基底延伸的一沟槽,其中该沟槽与该孔洞连接;于该沟槽的侧壁及该孔洞的侧壁与底部上形成一绝缘层;移除部分的该绝缘层及部分的该介电层以露出部分的所述导电垫;以及于该沟槽的侧壁及该孔洞的侧壁与底部上形成一导电层,该导电层电性接触所述导电垫。
- [0021] 本发明所述的晶片封装体的形成方法,其中该孔洞延伸进入该基底之中,且该导电层延伸进入该基底之中。
- [0022] 本发明所述的晶片封装体的形成方法,还包括于该基底与该导电层之间形成一第二绝缘层。
- [0023] 本发明不仅可增进结构可靠度,还能增加穿基底导通结构所连接的导电通路。

## 附图说明

- [0024] 图 1A 至图 1C 显示根据本发明一实施例的晶片封装体的制程剖面图。
- [0025] 图 2A 至图 2C 显示根据本发明一实施例的晶片封装体的局部放大制程剖面图。
- [0026] 图 3A 至图 3C 显示根据本发明一实施例的晶片封装体的局部放大制程剖面图。
- [0027] 图 4A 至图 4B 显示根据本发明一实施例的晶片封装体的局部放大制程剖面图。
- [0028] 图 5 显示根据本发明一实施例的晶片封装体的局部放大剖面图。
- [0029] 图 6A 至图 6E 显示根据本发明实施例的晶片封装体的局部俯视图。
- [0030] 图 7 显示根据本发明一实施例的晶片封装体的剖面图。
- [0031] 图 8 至图 13 显示根据本发明一实施例的晶片封装体的制程剖面图。
- [0032] 图 14A 至图 14B 显示根据本发明另一实施例的晶片封装体的制程剖面图。
- [0033] 图 15A 至图 15C 显示根据本发明一实施例的晶片封装体的局部放大制程剖面图。
- [0034] 图 16A 至图 16C 显示根据本发明一实施例的晶片封装体的局部放大制程剖面图。
- [0035] 图 17A 至图 17C 显示根据本发明一实施例的晶片封装体的局部放大制程剖面图。

[0036] 图 18A 至图 18G 显示根据本发明一实施例的晶片封装体的制程剖面图。

[0037] 图 19A 至图 19F 显示根据本发明一实施例的晶片封装体的制程剖面图。

[0038] 附图中符号的简单说明如下：

[0039] 1 : 晶圆 ; 3 : 晶片 ; 5 : 基底 ; 7 : 影像感测元件 ; 9 : 导电垫结构 ; 9A、9B、9C : 导电垫 ; 10A : 主动区 ; 10B : 周边电路区 ; 11 : 介电层 ; 13 : 保护层 ; 15 : 接合层 ; 17 : 承载晶圆 ; 19 : 中间层 ; 21 : 间隔层 ; 23 : 承载晶圆 ; 25 : 穿孔 ; 27 : 绝缘层 ; 30、30A : 开口 ; 32 : 导电层 ; 34 : 保护层 ; 36、36A、36B、36C : 绝缘窗 ; 100A : 正面 ; 100B : 背面 ; 100 : 基底 ; 100a、100b : 表面 ; 102、104 : 绝缘层 ; 106 : 基板 ; 106a : 间隔层 ; 106b : 透明基板 ; 108、112 : 孔洞 ; 110 : 导电垫结构 ; 110a、110b、110c : 导电垫 ; 113、113a、113b : 介电层 ; 114 : 导电层 ; 300 : 基底 ; 300a、300b : 表面 ; 302 : 元件区 ; 304 : 绝缘层 ; 306 : 导电垫结构 ; 308 : 间隔层 ; 310 : 承载基底 ; 312、312a、312b : 孔洞 ; 314 : 凹陷 ; 316 : 绝缘层 ; 318 : 导电层 ; 320 : 防焊层 ; 400 : 基底 ; 400a、400b : 表面 ; 402 : 元件区 ; 404 : 绝缘层 ; 406 : 导电垫结构 ; 407 : 承载基底 ; 408 : 间隔层 ; 410 : 承载基底 ; 412a、412b : 孔洞 ; 414 : 凹陷 ; 416、417 : 绝缘层 ; 418 : 导电层 ; 420 : 防焊层 ; 602、604、606 : 开口 ; 700 : 晶片 ; 702 : 沟槽 ; 704 : 接触孔 ; A : 区域 ; D、D1 : 深度 ; H : 穿孔 ; SC : 切割道 ; T : 沟槽 ; θ : 角度。

## 具体实施方式

[0040] 以下将详细说明本发明实施例的制作与使用方式。然应注意的是，本发明提供许多可供应用的发明概念，其可以多种特定型式实施。文中所举例讨论的特定实施例仅为制造与使用本发明的特定方式，非用以限制本发明的范围。此外，在不同实施例中可能使用重复的标号或标示。这些重复仅为了简单清楚地叙述本发明，不代表所讨论的不同实施例及 / 或结构之间具有任何关连性。再者，当述及一第一材料层位于一第二材料层上或之上时，包括第一材料层与第二材料层直接接触或间隔有一或更多其他材料层的情形。

[0041] 在本发明的晶片封装体的实施例中，其可应用于各种包含有源元件或无源元件 (active or passive elements)、数字电路或模拟电路 (digital or analog circuits) 等集成电路的电子元件 (electronic components)，例如有关于光电元件 (opto electronic devices)、微机电系统 (Micro Electro Mechanical System; MEMS)、微流体系统 (micro fluidic systems) 或利用热、光线及压力等物理量变化来测量的物理感测器 (Physical Sensor)。特别是可选择使用晶圆级封装 (wafer scale package; WSP) 制程对影像感测元件、发光二极管 (light-emitting diodes; LEDs)、太阳能电池 (solar cells)、射频元件 (RF circuits)、加速计 (accelerators)、陀螺仪 (gyroscopes)、微制动器 (micro actuators)、表面声波元件 (surface acoustic wave devices)、压力感测器 (process sensors)、喷墨头 (ink printer heads) 或功率模组 (power modules) 等半导体晶片进行封装。

[0042] 其中上述晶圆级封装制程主要指在晶圆阶段完成封装步骤后，再予以切割成独立的封装体，然而，在一特定实施例中，例如将已分离的半导体晶片重新分布在一承载晶圆上，再进行封装制程，亦可称之为晶圆级封装制程。另外，上述晶圆级封装制程亦适用于通过堆叠 (stack) 方式安排具有集成电路的多片晶圆，以形成多层集成电路 (multi-layer integrated circuit devices) 的晶片封装体。

[0043] 本发明实施例的晶片封装体主要通过对多层导电垫的图案进行设计，使封装

体中所形成的穿基底导通结构 (TSV) 可同时与多层导电垫电性接触, 可增进结构可靠度外, 并增加穿基底导通结构所连接的导电通路。

[0044] 图 1A 至图 1C 显示根据本发明一实施例的晶片封装体的制程剖面图。如图 1A 所示, 提供基底 100, 其具有上表面 100a 及下表面 100b。基底 100 例如包括半导体材料或陶瓷材料。在一实施例中, 基底 100 为一半导体晶圆 (例如是硅晶圆) 以便于进行晶圆级封装。采用晶圆级封装来形成晶片封装体可降低成本并节省制程时间。

[0045] 在一实施例中, 基底 100 包括导电垫结构 110, 其位于基底 100 的下表面 100b 之下。然在其他实施例中, 导电垫结构 110 可位于基底 100 之中。导电垫结构 110 为多个导电垫的堆叠结构, 例如包括彼此间夹置有介电层的多个导电垫。导电垫结构 110 的详细结构后续将配合图 2A 至图 2C 所显示的根据本发明一实施例的晶片封装体的局部放大制程剖面图作说明。在图 1A 的实施例中, 导电垫结构 110 位于基底 100 的下表面 100b 之下, 且与基底 100 的下表面 100b 之间隔有绝缘层 102。此外, 基底 100 及导电垫结构 110 之下可设置有基板 106。基板 106 例如可包括绝缘材料。在一实施例中, 基板 106 为设置于玻璃基板上的间隔层。

[0046] 请参照图 2A, 其显示图 1A 的实施例于区域 A 处的局部放大剖面图。在基板 106 上形成有导电垫 110b、介电层 113、导电垫 110a 及绝缘层 102。在一实施例中, 导电垫 110a 的图案经特别设计以露出其下的部分的导电垫 110b。在一实施例中, 导电垫 110a 具有至少一开口 (或沟槽) 602, 开口 602 露出介电层 113 及正下方的导电垫 110b。即, 在此实施例中, 上层导电垫 (110a) 具有至少一开口 (或沟槽), 其露出下层导电垫 (110b)。应注意的是, 此处的“露出”非指视觉上实质可看见导电垫 110b, 而是指开口 602 的正下方与部分的导电垫 110b 重叠。

[0047] 接着, 于基底 100 中形成孔洞, 孔洞自基底 100 的上表面 100a 朝下表面 100b 延伸, 且孔洞露出部分的导电垫 110a 及部分的导电垫 110b。在一实施例中, 孔洞于单一蚀刻制程中形成。在另一实施例中, 孔洞是分段形成。以下, 将举例说明分段形成露出部分的导电垫 110a 及部分的导电垫 110b 的孔洞的形成过程。

[0048] 例如, 请参照图 1A, 在此实施例中, 自基底 100 的上表面 100a 形成第一孔洞 108, 第一孔洞 108 朝导电垫结构 110 延伸 (即, 朝导电垫 110a 延伸)。以图 1A 的实施例为例, 第一孔洞 108 贯穿基底 100, 并停止于基底 100 与导电垫结构 110 之间的绝缘层 102 上。接着, 可选择性于第一孔洞 108 的侧壁与底部上形成绝缘层 104 以电性隔离基底 100 与后续将形成于孔洞中的导电层。

[0049] 接着, 如图 1B 所示, 自第一孔洞 108 的底部形成第二孔洞 112。即, 移除部分的绝缘层 104 与 102 以使下方的导电垫结构 110 露出。此外, 第二孔洞 112 还进一步使导电垫 110a 与 110b 露出。请参照图 2B, 显示图 1B 的实施例于区域 A 处的局部放大剖面图。

[0050] 如图 2A 及图 2B 所示, 第二孔洞 112 的形成包括移除导电垫 110a 的开口 602 中的绝缘层 102 与其下的介电层 113 的一部分。在一实施例中, 所形成的第二孔洞 112 的侧壁露出部分的导电垫 110a, 例如露出导电垫 110a 的侧边, 如图 2B 所示。在一实施例中, 所形成的第二孔洞 112 的底部露出部分的导电垫 110b, 例如露出导电垫 110b 的上表面, 如图 2B 所示。由于第二孔洞 112 的形成仅涉及绝缘材质的移除, 因此其可于单一蚀刻制程中形成。此外, 所选用的蚀刻剂较佳对介电材料或绝缘材料的蚀刻速度大于对金属材料或导电材料

的蚀刻速度。

[0051] 如先前所叙述，导电垫 110a 的图案经特别设计以露出其下的部分的导电垫 110b。因此，在形成第二孔洞 112 的过程中，所移除的材料大抵为导电垫 110a 的开口 602 中的绝缘材料与下方的介电材料，因而可于单一蚀刻制程中形成出第二孔洞 112。

[0052] 图 6A 显示根据本发明一实施例的晶片封装体的局部俯视图，其仅显示导电垫 110a 与 110b 的相对关系。应注意的是，图 6A 所示的俯视图仅为举例说明用，非用以限定本发明实施例的实施方式。如图 6A 所示，导电垫 110a 中具有至少一开口 602，其露出下方的导电垫 110b。即，在第二孔洞 112 中露出深度不同的导电垫 110a 与 110b。

[0053] 接着，请参照图 1C，于第一孔洞 108 与第二孔洞 112 所共同组成的孔洞中形成导电层 114。请同时参照图 2C，其显示图 1C 的实施例于区域 A 处的局部放大剖面图。如图 2C 所示，导电层 114 延伸进入第二孔洞 112 中而与导电垫 110a 及导电垫 110b 电性接触。在一实施例中，导电层 114 可固定于第二孔洞 112 中而具有较佳的结构稳定度，且导电层 114 还同时与导电垫 110a 及导电垫 110b 接触，可连接至较多的导电通路。在一实施例中，导电垫 110a 及导电垫 110b 连接至同一电子元件。由于导电层 114 同时与导电垫 110a 及导电垫 110b 电性接触，可确保连接至该电子元件的导电通路不发生断路。在另一实施例中，导电垫 110a 及导电垫 110b 分别连接至不同的电子元件。不同的电子元件可分别经由导电垫 110a 及导电垫 110b 而通过导电层 114 传送或接收电子信号。

[0054] 本发明实施例的导电垫结构 110 除了可包括两个导电垫 (110a、110b) 之外，还可包括其他导电垫。图 3A 至图 3C 显示根据本发明另一实施例的晶片封装体的局部放大制程剖面图，其中相同或相似的元件将采用相同或相似的标号标示。此外，由于图 3 所示实施例与图 2 的实施例相比，主要是导电垫结构 110 的设计不同，其形成方式可参照相应于图 1A 至图 1C 的叙述，以下将不再赘述。

[0055] 如图 3A 所示，在一实施例中，晶片封装体除了包括导电垫 110a 及导电垫 110b 之外，还包括至少一导电垫 110c，其位于导电垫 110a 与 110b 之间的介电层之中。如图 3A 所示，在基板 106 上形成有导电垫 110b、介电层 113a、导电垫 110c、介电层 113b、导电垫 110a 及绝缘层 102。在一实施例中，导电垫 110a 的图案经特别设计以露出其下的部分的导电垫 110c 与部分的导电垫 110b。在一实施例中，导电垫 110a 具有至少一开口 (或沟槽) 602，开口 602 露出介电层 113b、下方的导电垫 110c、介电层 113a 及下方的导电垫 110b。此外，导电垫 110c 的图案亦经设计而具有至少一开口 (或沟槽) 604，开口 604 露出介电层 113a 及下方的导电垫 110b。

[0056] 换言之，本发明一实施例的晶片封装体中包括多个导电垫 (例如是导电垫 110a、110c、110b)，且这些导电垫中的一上层导电垫具有至少一开口或沟槽，露出这些导电垫中的一下层导电垫。例如，对于导电垫 110a (上层导电垫) 而言，其具有开口 602，其露出导电垫 110c 及 110b (下层导电垫)。相似地，对于导电垫 110c (上层导电垫) 而言，其具有开口 604，其露出导电垫 110b (下层导电垫)。

[0057] 接着，于基底 100 中形成孔洞，孔洞自基底 100 的上表面 100a 朝下表面 100b 延伸，且孔洞露出部分的导电垫 110a、部分的导电垫 110c 及部分的导电垫 110b。在一实施例中，孔洞于单一蚀刻制程中形成。在另一实施例中，孔洞是分段形成。

[0058] 相似地，在此实施例中，亦可先形成第一孔洞 108 (如图 1A 所示)，接着于第一孔洞

108 的底部形成第二孔洞 112, 如图 1B 所示。图 3B 显示第二孔洞 112 附近的局部放大剖面图。

[0059] 相似地, 在形成第二孔洞 112 的过程中, 所移除的材料大抵为导电垫 110a 的开口 602 中的绝缘材料与下方的介电材料, 因而可于单一蚀刻制程中形成出第二孔洞 112。

[0060] 图 6B 显示根据本发明一实施例的晶片封装体的局部俯视图, 其仅显示导电垫 110a、110b 及 110c 的相对关系。应注意的是, 图 6B 所示的俯视图仅为举例说明用, 非用以限定本发明实施例的实施方式。如图 6B 所示, 导电垫 110a 中具有至少一开口 602, 其露出下方的导电垫 110c 及 110b。此外, 导电垫 110c 中具有至少一开口 604, 其露出下方的导电垫 110b。即, 在第二孔洞 112 中露出深度不同的导电垫 110a、110c 及 110b。

[0061] 相似地, 如图 3C 所示, 接着形成导电层 114, 其延伸进入第二孔洞 112 中而与导电垫 110a、110c 及 110b 电性接触。在一实施例中, 导电层 114 可固定于第二孔洞 112 中而具有较佳的结构稳定度, 且导电层 114 还同时与导电垫 110a、110c 及 110b 接触, 可连接至较多的导电通路。

[0062] 如上所述, 通过对导电垫的图案设计, 可于单一蚀刻制程中形成出同时露出多个导电垫的孔洞, 可使后续形成于孔洞中的导电层 (穿基底导电结构) 所连接的导电通路的数目增加。再者, 由于所形成的孔洞的表面轮廓较为粗糙 (因具有深度不同的多个导电垫), 可提升导电层与孔洞侧壁间的粘着性, 因而提升穿基底导电结构的结构稳定度。

[0063] 应注意的是, 导电垫的图案设计可有各种形式, 不限于图 6A 至图 6B 所述的形式。图 6C 至图 6E 显示根据本发明多个实施例的晶片封装体的局部俯视图。同样地, 图 6C 至图 6E 亦仅为举例说明用, 非用以限定本发明实施例的实施方式。

[0064] 如图 6C 所示, 在一实施例中, 导电垫 110a 具有一矩形开口 602, 其露出下方的导电垫 110c 及 110b。导电垫 110c 具有多个矩形开口 604, 其露出下方的导电垫 110b。

[0065] 如图 6D 所示, 在另一实施例中, 导电垫 110a 具有一矩形开口 602, 其露出下方的导电垫 110c 及 110b。导电垫 110c 具有两个长方形开口 604 (或称沟槽), 其露出下方的导电垫 110b。

[0066] 如图 6E 所示, 在又一实施例中, 导电垫 110a 具有一矩形开口 602, 其露出下方的导电垫 110c 及 110b。导电垫 110c 具有多个开口 604, 包括有矩形开口及长方形开口 (或称沟槽), 其露出下方的导电垫 110b。如上述, 导电垫的开口的形状、数目及分布皆可视需求而调整。

[0067] 图 4A 至图 4B 显示根据本发明一实施例的晶片封装体的局部放大制程剖面图, 且相同或相似的元件将以相同或相似的标号标示。其中, 图 4A 所示的结构与图 3A 的实施例相似, 主要差异请参照图 4B。

[0068] 如上述, 第二孔洞 112 的形成包括使用单一蚀刻制程。在一情形下, 蚀刻形成第二孔洞 112 的过程中可能会部分移除两侧的导电垫。如图 4B 所示, 部分的导电垫 110a 与 110c 在形成第二孔洞 112 的过程中亦被蚀刻移除。在此情形下, 导电垫 110a 接近孔洞 112 的部分的厚度朝远离孔洞 112 的方向递增。相似地, 在一实施例中, 导电垫 110c 接近孔洞 112 的部分的厚度朝远离孔洞 112 的方向递增。虽然如此, 后续于第二孔洞 112 中形成导电层 114 时, 导电层 114 仍可电性接触导电垫 110a、110c 及 110b。而且, 基于部分的导电垫 110a 与 110c 被移除, 导电层 114 与导电垫 110a 及 110c 之间的接触面积还可因而增加, 如

图 4B 所示。

[0069] 图 5 显示根据本发明一实施例的晶片封装体的局部放大剖面图。相似地，在此实施例中，在形成第二孔洞 112 的过程中，部分的导电垫 110a 及 110b 被移除。在此情形下，导电垫 110a 接近孔洞 112 的部分的厚度朝远离孔洞 112 的方向递增。相似地，导电垫 110b 接近孔洞 112 的部分的厚度朝远离孔洞 112 的方向递增。此外，在此实施例中，导电垫 110b 经特别设计而具有开口 605，其露出下方的基板 106。在一实施例中，第二孔洞 112 可进一步延伸至基板 106 中。例如，在一实施例中，第二孔洞 112 可延伸进入基板 106 的间隔层中。

[0070] 图 7 显示根据本发明一实施例的晶片封装体的剖面图，相同或相似的元件以相同或相似的标号标示。在此实施例中，晶片封装体还包括沟槽 702，其自基底 100 的上表面 100a 朝下表面 100b 延伸。沟槽 702 的底部形成有多个接触孔 704。接触孔 704 露出基底 100 下的导电垫结构 110。导电层 114 可延着基底 100 的上表面 100a、沟槽 702 的侧壁、接触孔 704 的侧壁而延伸至导电垫结构 110。其中，导电垫结构 110 可类似于先前所述的实施例而包括多个具有特殊图案设计的导电垫。导电层 114 可沿着所形成的孔洞的侧壁而与所露出的多个导电垫电性接触。此外，在此实施例中，基板 106 可包括透明基板 106b 及设置于其上的间隔层 106a。间隔层 106a、基底 100 及透明基板 106b 可围绕出一空腔。空腔中可设置晶片 700，其例如可为（但不限于）感光晶片或发光晶片。

[0071] 本发明实施例的晶片封装体主要通过分别对多层导电垫的图案进行设计，使封装体中所形成的穿基底导电结构 (TSV) 可同时与多层导电垫电性接触，可增进结构可靠度外，并增加穿基底导电结构所连接的导电通路。

[0072] 图 8 至图 13 显示根据本发明一实施例的晶片封装体的制程剖面图。如图 8 所示，提供一晶圆 1，包括多个晶片 3，例如是 CMOS 影像感测器晶片，晶片包括一基底 5，依区域可分成有源区 10A 和外围电路区 10B，晶片 3 具有正面 100A 及背面 100B，有源区 10A 和外围电路区 10B 在正面 100A 的位置分别设置有影像感测元件 7 和导电垫结构 9。基底 5 例如包括半导体材料或陶瓷材料。在一实施例中，基底 5 为一半导体晶圆（例如是硅晶圆）而便于进行晶圆级封装。采用晶圆级封装来形成晶片封装体可降低成本并节省制程时间。

[0073] 在一实施例中，导电垫结构 9 可由一层金属构成，或是由多个导电垫组成的堆叠结构，例如包括彼此间夹置有介电层 11 的多个导电垫。导电垫结构 9 的详细结构后续将配合实施例说明。一般而言，位于晶片正面是覆盖着一层晶片保护层 13，例如是氧化层、氮化层或其复合层，晶片保护层 13 在导电垫结构的位置上则可选择是否形成开口，其依后续封装形式而定。

[0074] 请参阅图 9，接着将上述晶片晶圆 1 的正面 100A 接合于承载晶圆 17 上而形成一接合面，其中在一实施例中，可通过接合层 15 来接合晶片晶圆 1 和承载晶圆 17，其视各种晶圆接合技术而定。因此，在一实施例中，导电垫结构 9 在晶片晶圆 1 的正面 100A 与承载晶圆 17 之间的接合面包括一中间层 19，例如晶片保护层 13 及 / 或接合层 15。此时可对晶片晶圆 1 的背面 100B 施予薄化制程，以使光线足以自其背面进入影像感测区。

[0075] 请参阅图 10，依序制程为贴合另一承载晶圆 23 于晶片晶圆的基底 5 的背面 100B，例如由透光材料如玻璃等物质构成的晶圆，基底 5 和承载晶圆 23 之间可形成一间隔层 21，在一实施例中，于基底 5 的有源区上、承载晶圆 23 和间隔层 21 之间可形成空腔。此时可选择实施另一薄化制程，以减少承载晶圆 17 的厚度。

[0076] 请参阅图 11,接续于承载晶圆 17 对应导电垫结构的位置处形成一导通孔 25,在本例中,其选择蚀刻形成一倒角,角度  $\theta$  约为大于 90 度至 92 度之间,然后顺应性形成一绝缘层 27,例如是氧化层或是感光性绝缘层、光阻等,以自承载晶圆 17 延伸进入导通孔 25 内侧壁及底部。

[0077] 请参阅图 12,其显示实施一暴露导电垫结构 9 的制程步骤,以于导通孔 25 的底部形成开口 30,在本实施例中,此开口可贯穿两晶圆间的接合面如中间层 19,而停在导电垫结构的上表面及 / 或通过部分的导电垫结构而连通至晶片介电层 11,或是进一步地部分或完全穿过基底 5 而停留在间隔层 21 上,有关上述制程及其结构将详如后述。

[0078] 请参阅图 13,于承载晶圆 17 表面顺应性形成一导电层 32 如由金属材料构成,并延伸进入导通孔侧壁、底部及开口 30 中,以接触导电垫结构而构成一导电路径。之后,填入封装保护层 34,如由阻焊材料所构成,接着制作电性连接导电层 32 的焊垫等外部连接元件,进行晶圆切割步骤以完成晶片封装体的制作(未显示)。

[0079] 在另一实施例中,如图 14A、图 14B 所示,其显示另一种导通孔结构的剖面图及俯视图。在本例中,承载晶圆 17 表面会先行利用如蚀刻步骤等方式去除一部分的基底材料而形成一具有既定深度 D 的沟槽 T,在承载晶圆 17 为一空白晶圆的场合中,由于无电路元件在其中,因此沟槽 T 的开口、位置或深度弹性较大,沟槽 T 可形成于涵盖切割道 SC 的位置,同时沟槽 T 的范围可一次对应多个导电垫结构 9,例如是整个边线区域,接着对沟槽底部利用如蚀刻步骤等方式再去除一部分的基底材料而形成多个具有既定深度 D1 的导通孔 H,其中由于沟槽 T 可以大幅降低导通孔 H 的深宽比,因此于导通孔 H 的底部形成上述开口 30 的制程难度可以降低。

[0080] 以下说明开口 30 的制程与多层导电垫结构 9 的堆叠结构(多层次导电垫)。

[0081] 请参照图 15A,其显示图 12 或图 14A 的实施例于开口 30 及导电垫 9 的区域处的局部放大剖面图。在晶片基底 5 上形成有多层导电垫 9A、9B、层间介电层 11 及接合面如中间层 19。在一实施例中,上层导电垫 9A 的图案经特别设计以露出下层的部分导电垫 9B。在一实施例中,上层导电垫 9A 具有至少一绝缘窗 36,绝缘窗 36 对应正下方的导电垫 9B。即,上层导电垫 9A 在制程中同步被定义出一开口、缺口或沟槽,并由层间介电层 11 所填充,在此实施例中,绝缘窗 36 与部分的下层导电垫 9B 重叠,且绝缘窗 36 于形成导通孔之前或接合承载晶圆 17 之前形成。

[0082] 接着,参照图 14A 所述,于承载晶圆的基底 17 中形成导通孔 H 及绝缘层 27 后,于导通孔 H 底部去除部分绝缘层 27 而形成开口 30,其中此步骤可同时或先后地执行以下制程,如图 15B 所示,包括去除中间层 19 以形成绝缘窗 36 及部分层间介电层 11 以暴露出上层导电垫 9A 的侧壁及下层导电垫 9B 的表面,例如可利用光刻制程及绝缘层对金属的蚀刻选择比,选择适当的蚀刻方式完成上述制程。

[0083] 之后如图 15C 所示,形成导电层 32 以电性连接导电垫结构的一层或多层,例如导电层 32 可同时接触上层导电垫的侧边及 / 或下层导电垫的上表面。

[0084] 请参阅图 16A 至图 16C,其显示三层的导电垫堆叠结构的制程剖面图,其包括具有绝缘窗 36A 的上层导电垫 9A,具有绝缘窗 36B 的中层导电垫 9B 及下层导电垫 9C。其中绝缘窗 36A 大于绝缘窗 36B,两者并对应着下层导电垫 9C 的上表面。在本实施例中,如图 16C 所示,形成的导电层 32 可以电性连接导电垫结构的一层或多层,例如导电层 32 可同时接触

上层导电垫 9A 的侧边、中层导电垫结构 9B 的上表面及侧边、及 / 或下层导电垫 9C 的上表面。

[0085] 接着，参照图 17A 至图 17C 所述，其显示三层的导电垫堆叠结构的制程剖面图，其与前述实施例的差异在于下层导电垫 9C 亦包括一绝缘窗 36C，其与上层导电垫 9A 的绝缘窗 36A 及中层导电垫 9B 的绝缘窗 36B 具有对应关系，另下层导电垫 9C 的绝缘窗 36C 小于绝缘窗 36A 及 36B。

[0086] 形成开口 30 的步骤包括去除中间层 19、绝缘窗 36A、36B、36C 及部分层间介电层 11 以暴露出多层导电垫的侧壁及部分上表面，例如可利用光刻制程及绝缘层对金属的蚀刻选择比，选择适当的蚀刻方式完成上述制程，如此可增加后续导电层 32 与导电垫堆叠结构的接触面积，并有利于导电层 32 的顺应性形成。

[0087] 其中依据制程的特性，亦可选择以间隔层 21 为阻挡层，进一步去除部分硅基底 5 而形成开口 30A，此开口 30A 可以是位于硅基底 5 中或暴露出间隔层 21。之后如图 17C 所示，形成导电层 32 以电性连接导电垫结构的一层或多层，或是可同时接触导电垫的侧边及 / 或上表面。同时导电层 32 可自开口 30A 延伸进入硅基底 5，而在一实施例中，于形成导电层 32 之前，可另形成一绝缘层 38 于开口 30A 内，或是例如实施一氧化步骤而于开口 30A 内的硅基底 5 上形成氧化层。

[0088] 图 18A 至图 18G 显示根据本发明一实施例的晶片封装体的制程剖面图。如图 18A 所示，提供基底 300，其具有表面 300a 及 300b。基底 300 例如可为半导体晶圆，如硅晶圆。在一实施例中，基底 300 上可定义有多个预定切割道 SC，其将基底 300 划分成多个区域。每一区域中，形成有至少一元件区 302。在一实施例中，元件区 302 可包括光电元件，例如是影像感测元件或发光元件。在基底 300 的表面 300a 上形成有多个导电垫结构 306，其位于表面 300 上的绝缘层 304（或称介电层）之中。每一导电垫结构 306 可包括多个堆叠的导电垫。这些堆叠的导电垫可彼此电性连接（例如，通过形成于堆叠导电垫之间的垂直导电结构）。或者，这些堆叠的导电垫可彼此不电性连接。在一实施例中，这些导电垫中的至少其中之一电性连接元件区 302。应注意的是，绝缘层 304 及导电垫结构 306 的厚度实际上较薄，为了清楚观察细部结构，图式中的绝缘层 304 及导电垫结构 306 的厚度经放大而未照实际比例。

[0089] 接着，于基底 300 上设置承载基底 310。承载基底 310 与基底 300 之间可设置有多个间隔层 308。间隔层 308 及承载基底 310 可于基底 300 上围出多个空腔，每一空腔下可包括有至少一元件区 302。间隔层 308 可覆盖于导电垫结构 306 之上。在元件区 302 中包括光电元件（例如，影像感测元件或发光元件）的实施例中，可选用透明基板（例如，玻璃基板、石英基板或透明高分子基板）作为承载基底 310 以利光线进入元件区 302 或自元件区 302 发出。

[0090] 如图 18B 所示，可接着选择性薄化基底 300 以利后续制程的进行。例如，可以承载基底 310 为支撑，自基底 300 的表面 300b 薄化基底 300。适合的薄化制程例如是机械研磨或化学机械研磨。

[0091] 接着，如图 18C 所示，移除部分的基底 300 以形成自基底 300 的表面 300b 朝导电垫结构 306 延伸的孔洞 312。例如，可采用光刻及蚀刻制程形成孔洞 312。在一实施例中，孔洞 312 的侧壁大抵垂直于基底 300 的表面 300b。

[0092] 如图 18D 所示,接着移除部分的基底 300 以形成自基底 300 的表面 300b 朝表面 300a 延伸的凹陷 314。在一实施例中,凹陷 314 的形成方式例如是光刻及蚀刻制程。凹陷 314 可与多个孔洞 312 重叠。例如,凹陷 314 可与一切割道 SC 两侧的不同区域中的孔洞 312 重叠。凹陷 314 亦可与切割道 SC 所划分的同一区域中的相邻的孔洞 312 重叠。例如,凹陷 314 与孔洞 312 的关系可类似于图 14B 所示的情形。

[0093] 在一实施例中,由于凹陷 314 形成于孔洞 312 之后,因此在形成凹陷 314 的过程中,蚀刻气体或蚀刻液体会进入孔洞 312 之中而部分移除基底 300。因此,在一实施例中,在形成凹陷 314 之后,孔洞 312 将变大,并改以标号 312a 标示。孔洞 312a 的侧壁倾斜于基底 300 的表面 300b。或者,孔洞 312a 的侧壁倾斜于凹陷 314 的底部。在一实施例中,孔洞 312a 的开口尺寸朝表面 300b 的方向递增。

[0094] 接着,可于基底 300 的表面 300b 上形成绝缘层 316。绝缘层 316 的材质例如包括氧化物、氮化物、氮氧化物、高分子材料或前述的组合。绝缘层 316 可以气相沉积法、热氧化法或涂布法形成。在一实施例中,绝缘层 316 大抵顺应性位于基底 300 的表面 300b、凹陷 314 的侧壁、孔洞 312a 的侧壁及底部上。

[0095] 接着,如图 18E 所示,移除孔洞 312a 底部上的部分的绝缘层 316,并接着形成孔洞 312b。在一实施例中,可例如以光刻及蚀刻制程移除部分的绝缘层 304、部分的导电垫结构 306 及部分的间隔层 308 以形成孔洞 312b。在另一实施例中,导电垫结构 306 中的各导电垫已预先图案化而具有露出下层导电垫的开口。在此情形下,在形成孔洞 312b 的过程中,仅需蚀刻绝缘层 304 而不需蚀刻导电垫。

[0096] 如图 18F 所示,接着于基底 300 的表面 300b 上形成图案化导电层 318。导电层 318 的材质例如包括铜、铝、镍、金、铂或前述的组合。导电层 318 的形成方式例如包括物理气相沉积、化学气相沉积、涂布法、电镀、无电镀或前述的组合。

[0097] 导电层 318 可自基底 300 的表面 300b 沿着凹陷 314 的侧壁、孔洞 312a 的侧壁及孔洞 312b 的侧壁朝导电垫结构 306 延伸,并与导电垫结构 306 电性接触。

[0098] 应注意的是,虽然图 18F 的实施例中,导电层 318 电性接触三层的导电垫,并穿过绝缘层 304 而延伸进入间隔层 308 之中而直接接触间隔层 308,但本发明实施例不限于此。本发明实施例的孔洞 312b 不限于延伸进入间隔层 308 之中。本发明实施例的导电层 318 与导电垫结构 306 亦可具有类似于图 2C、图 3C 或图 4B 所示的结构。此外,导电垫结构 306 亦可有许多其他变化。例如,导电垫结构 306 可具有类似于图 6A 至图 6E 所示的结构。

[0099] 请继续参照图 18F,可接着于基底 300 的表面 300b 上形成防焊层 320。在一实施例中,防焊层 320 可具有露出导电层 318 的开口(未显示),并可于露出的导电层 318 上形成导电结构(未显示),例如焊球。在一实施例中,由于凹陷 314 与孔洞(312a 及 312b)具有倾斜的侧壁,因此用以形成防焊层 320 的材料可较轻易地填入孔洞之中。在一实施例中,防焊层 320 大抵完全填满凹陷 314 及孔洞(312a 及 312b)而不具有空隙或气泡形成于防焊层 320 之中。

[0100] 接着,沿着预定切割道 SC 切割图 18F 所示的结构而形成多个彼此分离的晶片封装体,如图 18G 所示。

[0101] 图 19A 至图 19F 显示根据本发明一实施例的晶片封装体的制程剖面图。如图 19A 所示,提供基底 400,其具有表面 400a 及 400b。基底 400 例如可为半导体晶圆,如硅晶圆。

在一实施例中，基底 400 上可定义有多个预定切割道 SC，其将基底 400 划分成多个区域。每一区域中，形成有至少一元件区 402。在一实施例中，元件区 402 可包括光电元件，例如影像感测元件或发光元件。在基底 400 的表面 400a 上形成有多个导电垫结构 406，其位于表面 400 上的绝缘层 404（或称介电层）之中。每一导电垫结构 406 可包括多个堆叠的导电垫。这些堆叠的导电垫可彼此电性连接（例如，通过形成于堆叠导电垫之间的垂直导电结构）。或者，这些堆叠的导电垫可彼此不电性连接。在一实施例中，这些导电垫中的至少其中之一电性连接元件区 402。应注意的是，绝缘层 404 及导电垫结构 406 的厚度实际上较薄，为了清楚观察细部结构，图式中的绝缘层 404 及导电垫结构 406 的厚度经放大而未照实际比例。

[0102] 接着，于基底 400 的表面 400a 上设置承载基底 407。承载基底 407 例如通过粘着层（未显示）或其他型式的键结而固定于基底 400 上的绝缘层 404 之上。在一实施例中，承载基底 407 的尺寸与形状大抵相同于其下的基底 400。在一实施例中，承载基底 407 为一半导体晶圆，如硅晶圆。

[0103] 如图 19B 所示，以承载基底 407 为支撑，自基底 400 的表面 400b 薄化基底 400。适合的薄化制程例如是机械研磨或化学机械研磨。

[0104] 接着，于基底 400 上设置另一承载基底 410。承载基底 410 与基底 400 之间可设置有多个间隔层 408。间隔层 408 及承载基底 410 可于基底 400 上围出多个空腔，每一空腔下可包括有至少一元件区 402。间隔层 408 可覆盖于导电垫结构 406 之上。在元件区 402 中包括光电元件（例如，影像感测元件或发光元件）的实施例中，可选用透明基板（例如，玻璃基板、石英基板或透明高分子基板）作为承载基底 410 以利光线进入元件区 402 或自元件区 402 发出。此外，由于基底 400 已经薄化，因此光线进入或输出时仅需经过透明基板（承载基底 410）及薄化后的基底 400 而不需经过绝缘层 404 及导电垫结构 406，光线的进入或输出可更为顺利。

[0105] 接着，如图 19C 所示，在一实施例中，改以承载基底 410 为支撑，自承载基底 407 的上表面移除部分的承载基底 407（例如，可采用光刻及蚀刻制程）以形成自承载基底 407 的上表面朝导电垫结构 407 延伸的孔洞。在一实施例中，所形成的孔洞（未显示）的侧壁大抵垂直于承载基底 407 的上表面。

[0106] 接着，移除部分的承载基底 407 以形成自承载基底 407 的上表面朝基底 400 延伸的凹陷 414。在一实施例中，凹陷 414 的形成方式例如是光刻及蚀刻制程。凹陷 414 可与多个孔洞重叠。例如，凹陷 414 可与一切割道 SC 两侧的不同区域中的孔洞重叠。凹陷 414 亦可与切割道 SC 所划分的同一区域中的相邻的孔洞重叠。例如，凹陷 414 与孔洞的关系可类似于图 14B 所示的情形。

[0107] 在一实施例中，由于凹陷 414 形成于上述孔洞之后，因此在形成凹陷 414 的过程之中，蚀刻气体或蚀刻液体会进入孔洞之中而部分移除承载基底 407。因此，在一实施例中，在形成凹陷 414 之后，孔洞将变大，并以标号 412a 标示。孔洞 412a 的侧壁倾斜于承载基底 407 的上表面。或者，孔洞 412a 的侧壁倾斜于凹陷 414 的底部。在一实施例中，孔洞 412a 的开口尺寸朝承载基底 407 的上表面的方向递增。

[0108] 接着，可于承载基底 407 的表面上形成绝缘层 416。绝缘层 416 的材质例如包括氧化物、氮化物、氮氧化物、高分子材料或前述的组合。绝缘层 416 可以气相沉积法、热氧化法或涂布法形成。在一实施例中，绝缘层 416 大抵顺应性位于承载基底 407 的上表面、凹陷

414 的侧壁、孔洞 412a 的侧壁及底部上。

[0109] 接着,如图 19D 所示,移除孔洞 312a 底部上的部分的绝缘层 416,并接着形成孔洞 412b。在一实施例中,可例如以光刻及蚀刻制程移除部分的绝缘层 404、部分的导电垫结构 406 及部分的间隔层 408 以形成孔洞 412b。在另一实施例中,导电垫结构 406 中的各导电垫已预先图案化而具有露出下层导电垫的开口。在此情形下,在形成孔洞 412b 的过程中,仅需蚀刻绝缘层 404 而不需蚀刻导电垫。

[0110] 如图 19D 所示,在一实施例中,可选择性于孔洞 412b 的底部及部分侧壁上形成图案化绝缘层 417。绝缘层 417 覆盖原于孔洞 412b 中所露出的基底 400。绝缘层 417 不覆盖导电垫结构 406。

[0111] 接着,如图 19E 所示,于承载基底 407 的表面上形成图案化导电层 418。导电层 418 的材质例如包括铜、铝、镍、金、铂或前述的组合。导电层 418 的形成方式例如包括物理气相沉积、化学气相沉积、涂布法、电镀、无电镀或前述的组合。

[0112] 导电层 418 可自承载基底 407 的上表面沿着凹陷 414 的侧壁、孔洞 412a 的侧壁及孔洞 412b 的侧壁朝导电垫结构 416 延伸,并与导电垫结构 416 电性接触。

[0113] 应注意的是,虽然图 19E 的实施例中,导电层 418 电性接触三层的导电垫,并穿过绝缘层 404 而延伸进入间隔层 408 之中而直接接触间隔层 408,但本发明实施例不限于此。本发明实施例的孔洞 412b 不限于延伸进入间隔层 408 之中。本发明实施例的导电层 418 与导电垫结构 406 亦可具有类似于图 2C、图 3C 或图 4B 所示的结构。此外,导电垫结构 406 亦可有许多其他变化。例如,导电垫结构 406 可具有类似于图 6A 至图 6E 所示的结构。

[0114] 请继续参照图 19E,可接着于承载基底 407 的表面上形成防焊层 420。在一实施例中,防焊层 420 可具有露出导电层 418 的开口(未显示),并可于露出的导电层 418 上形成导电结构(未显示),例如焊球。在一实施例中,由于凹陷 414 与孔洞(412a 及 412b)具有倾斜的侧壁,因此用以形成防焊层 420 的材料可较轻易地填入孔洞之中。在一实施例中,防焊层 420 大抵完全填满凹陷 414 及孔洞(412a 及 412b)而不具有空隙或气泡形成于防焊层 420 之中。

[0115] 接着,沿着预定切割道 SC 切割图 19E 所示的结构而形成多个彼此分离的晶片封装体,如图 19F 所示。

[0116] 以上所述仅为本发明较佳实施例,然其并非用以限定本发明的范围,任何熟悉本项技术的人员,在不脱离本发明的精神和范围内,可在此基础上做进一步的改进和变化,因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

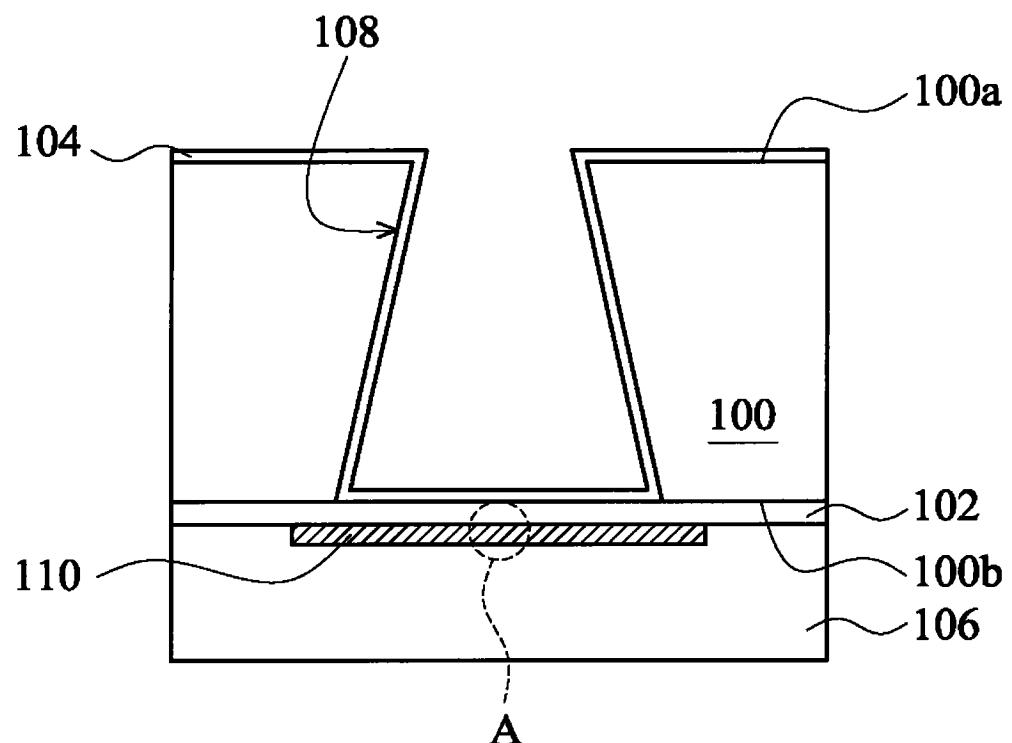


图 1A

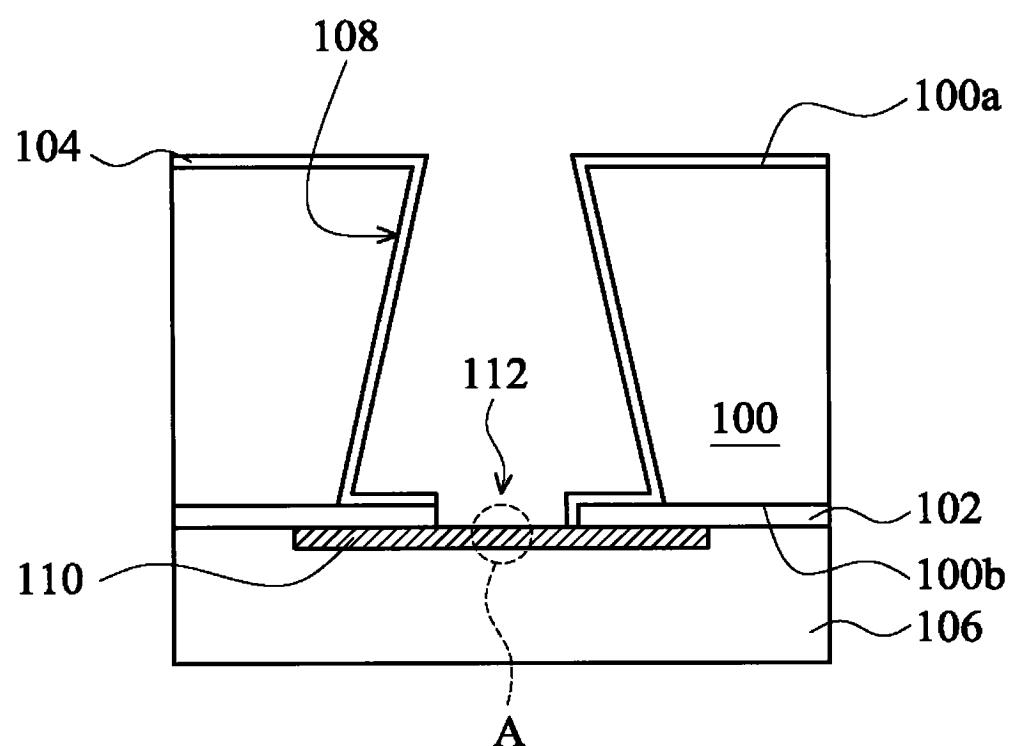


图 1B

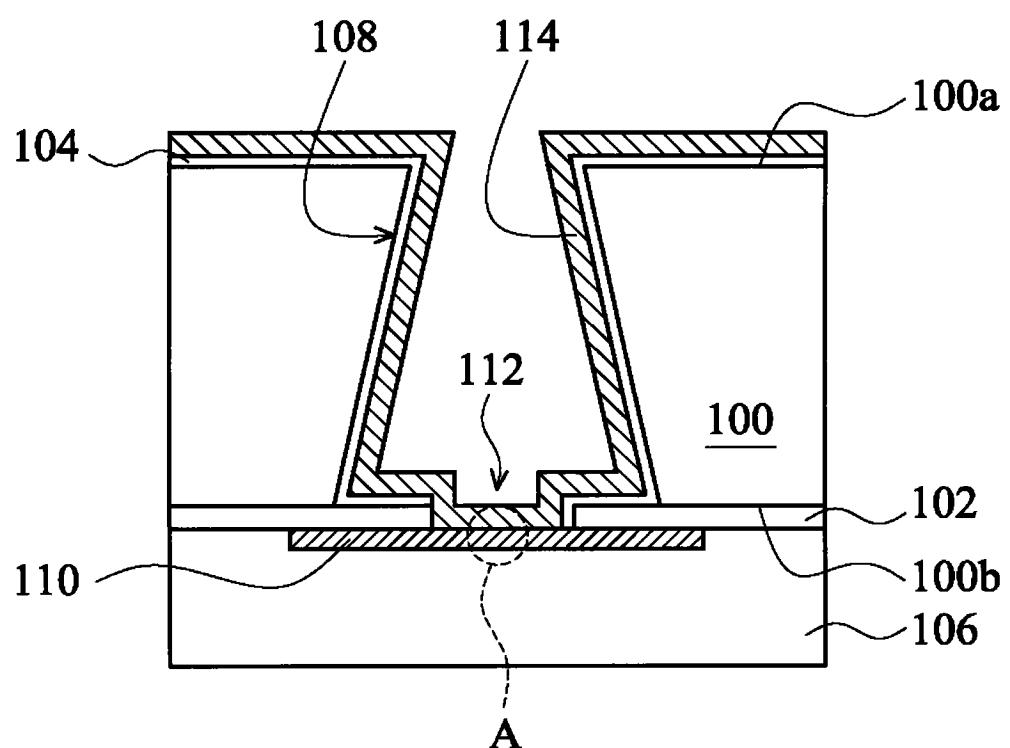


图 1C

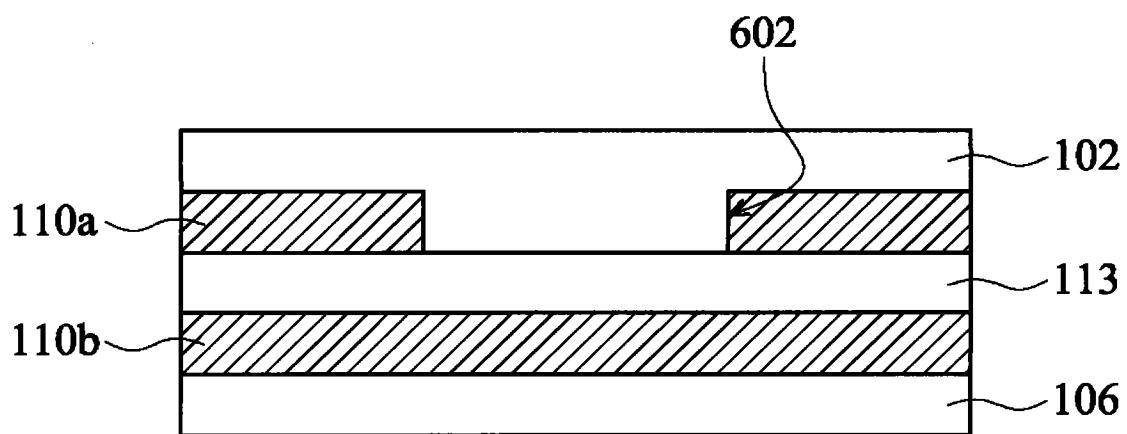


图 2A

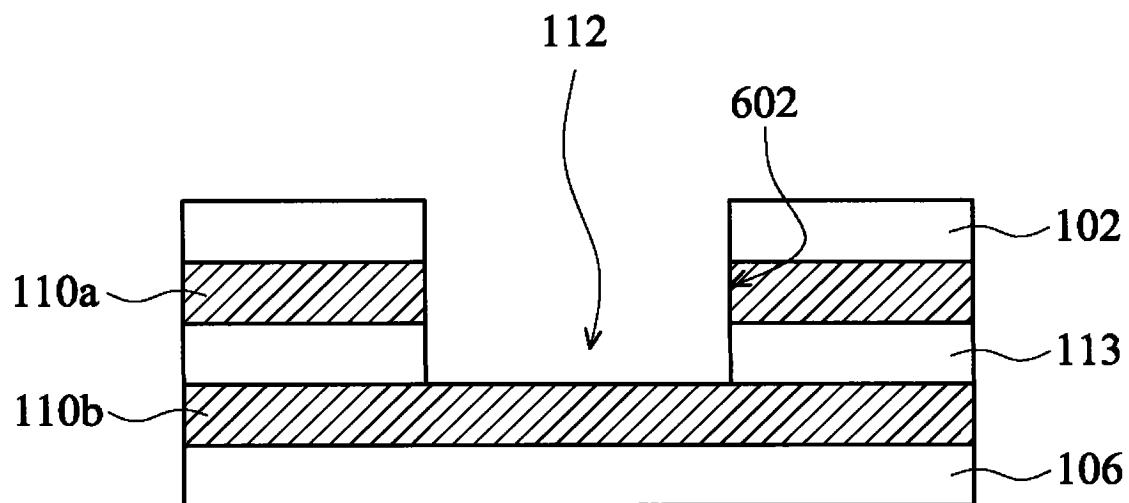


图 2B

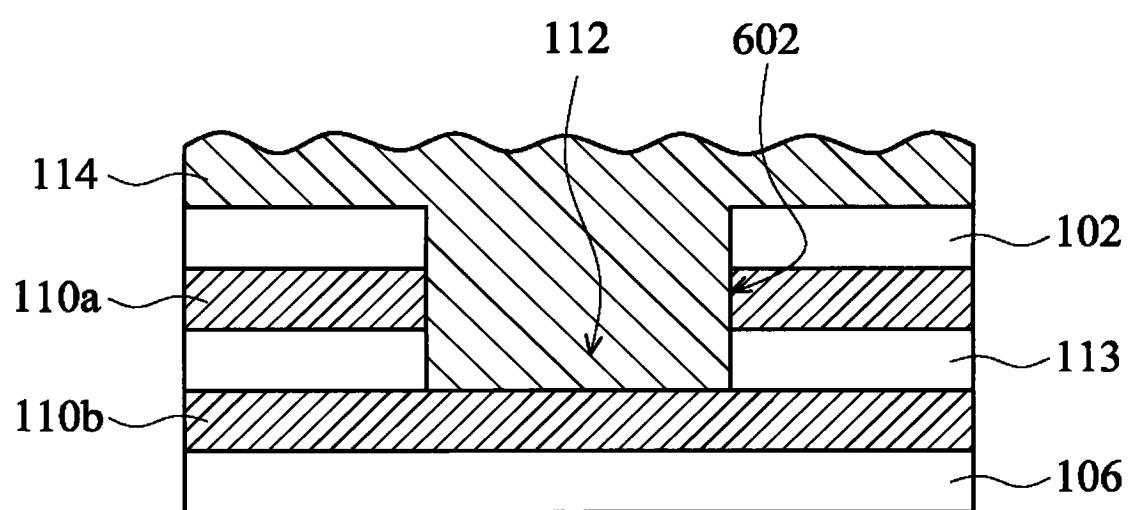


图 2C

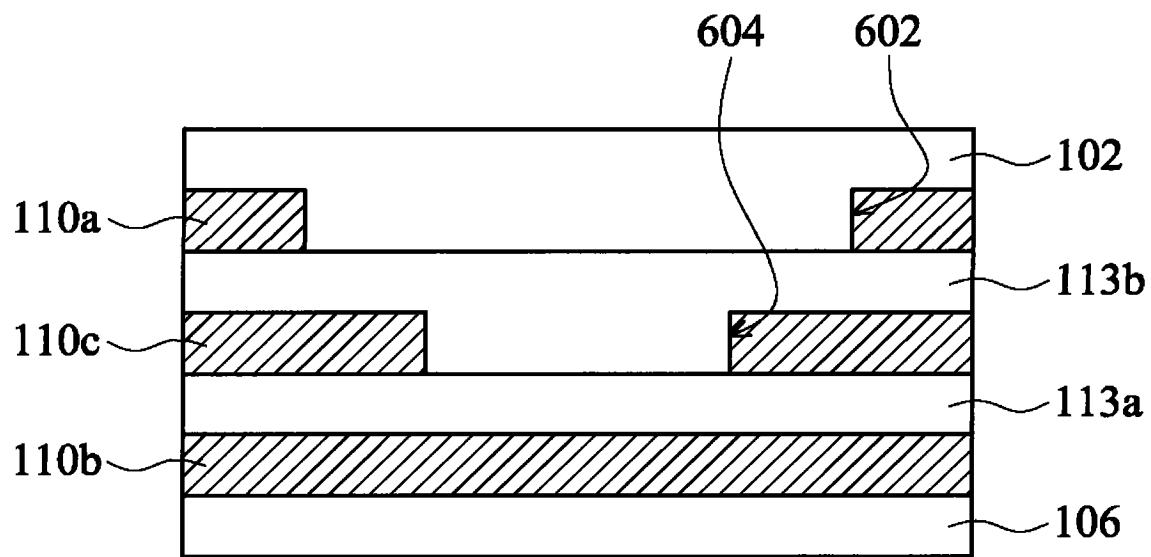


图 3A

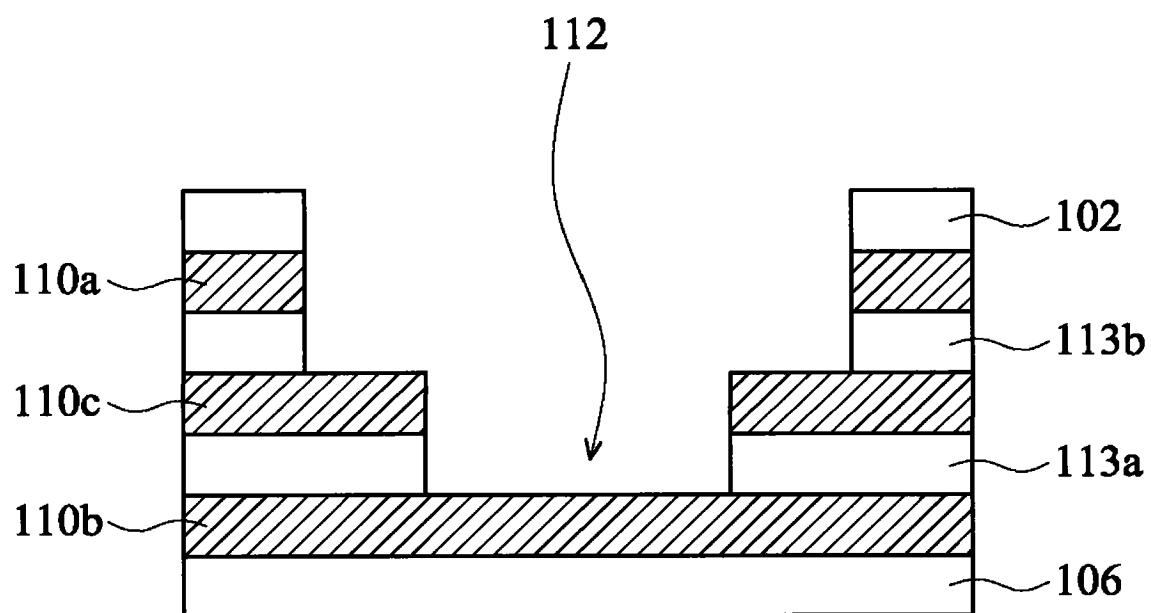


图 3B

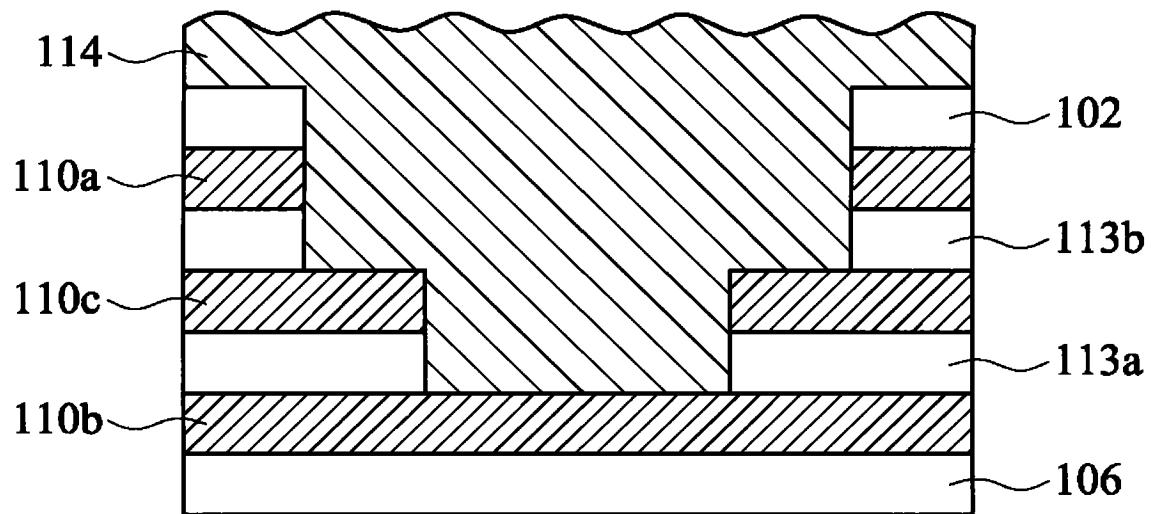


图 3C

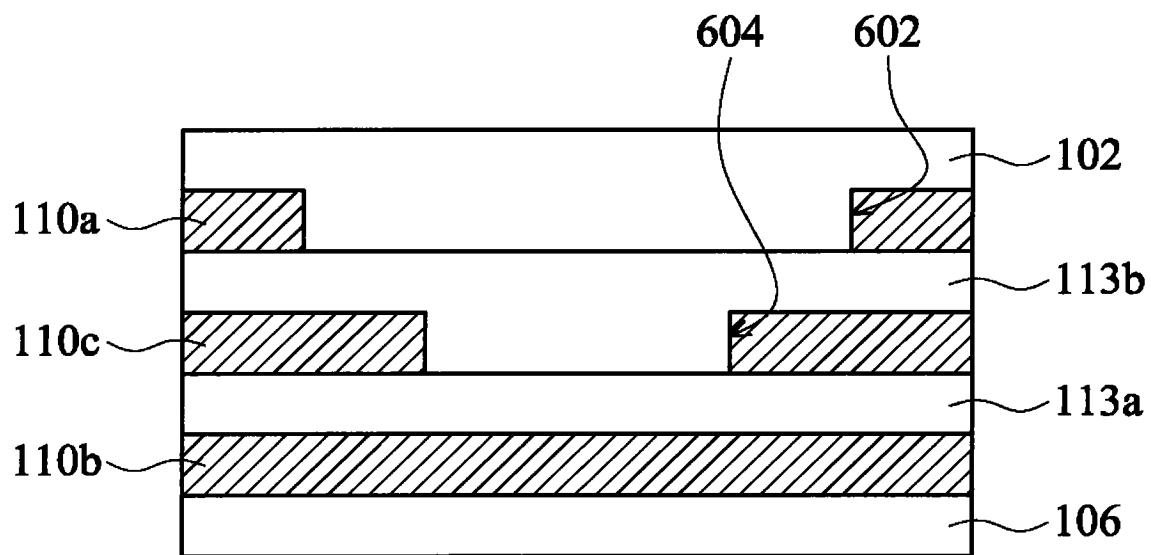


图 4A

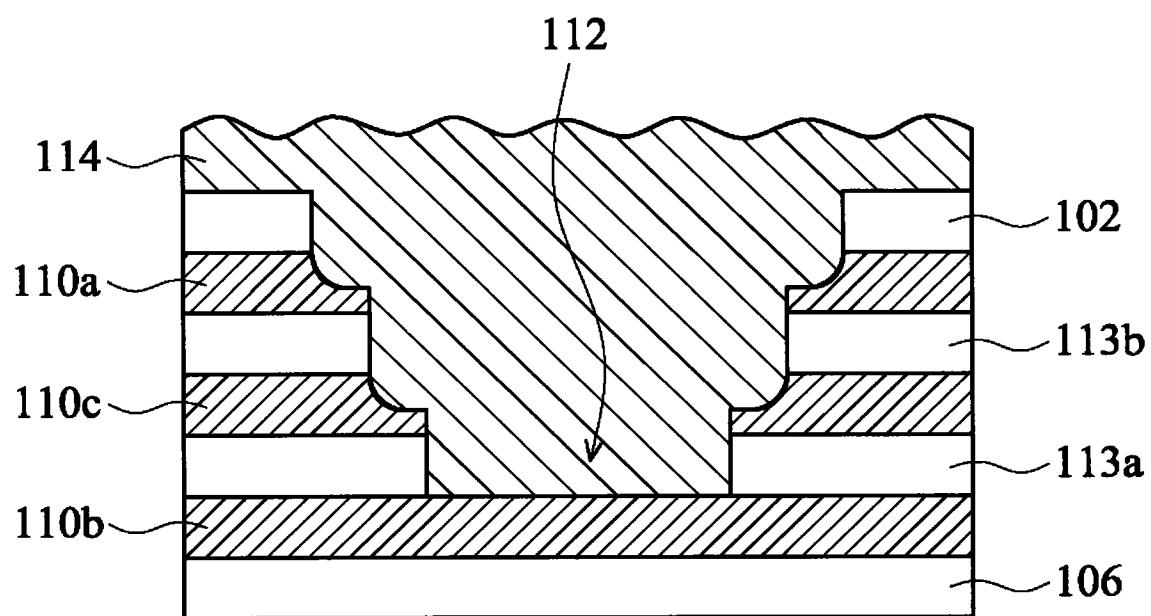


图 4B

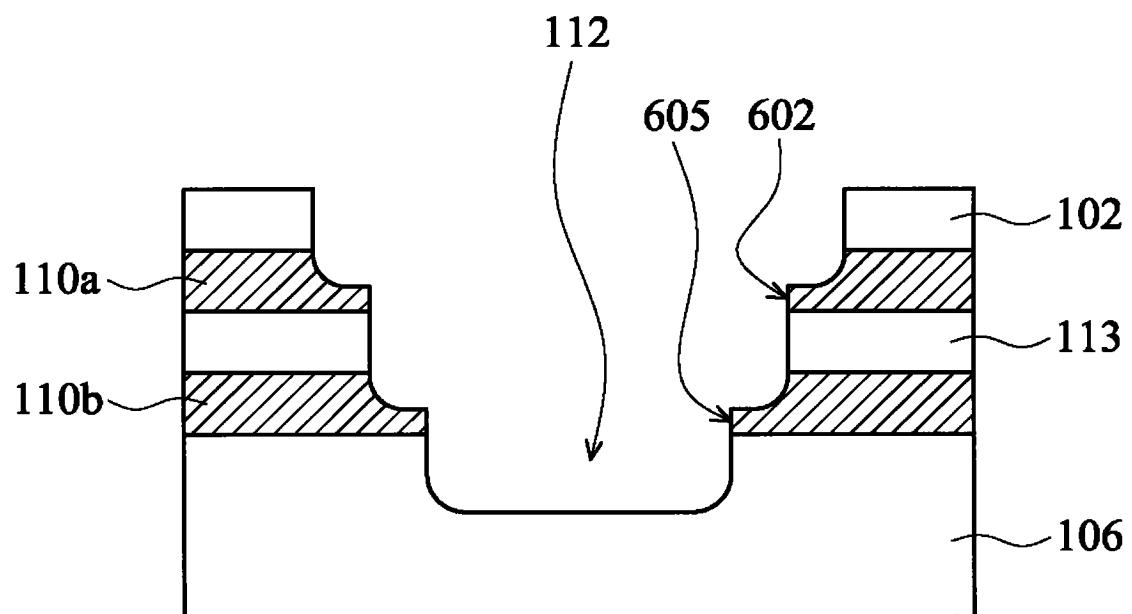


图 5

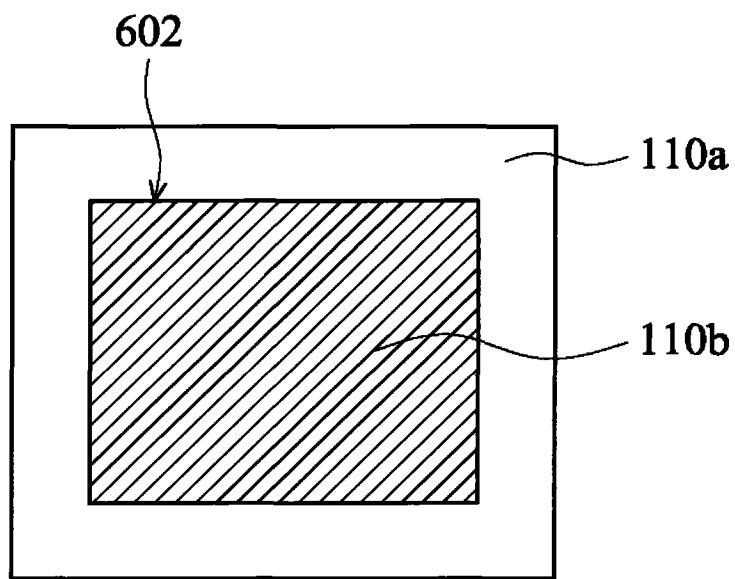


图 6A

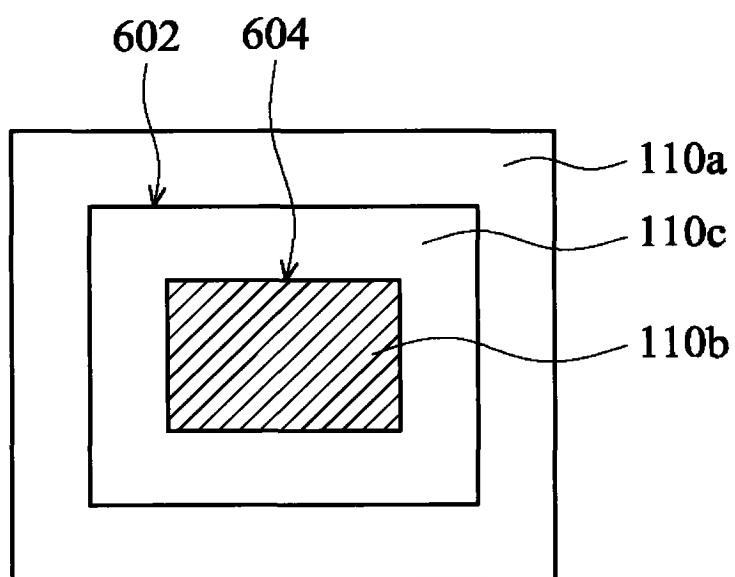


图 6B

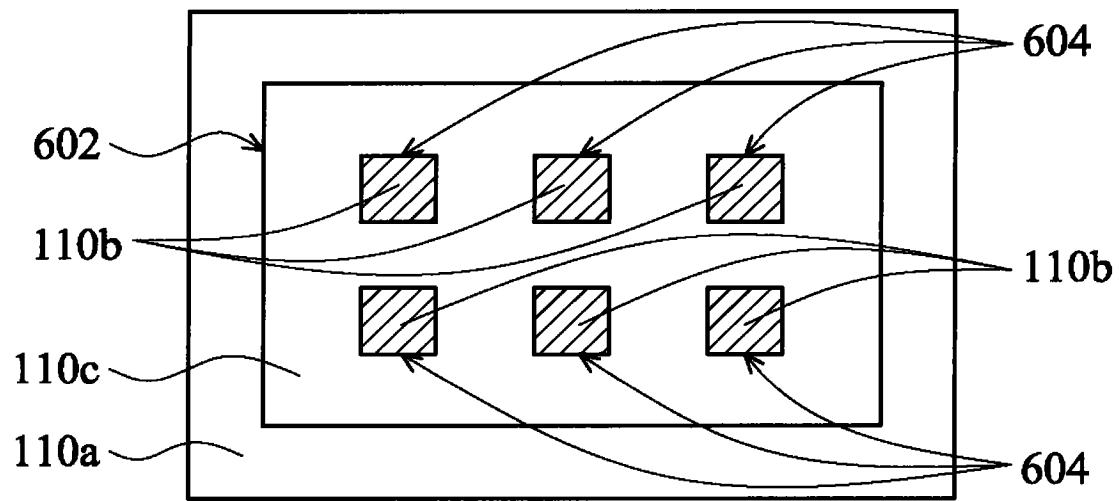


图 6C

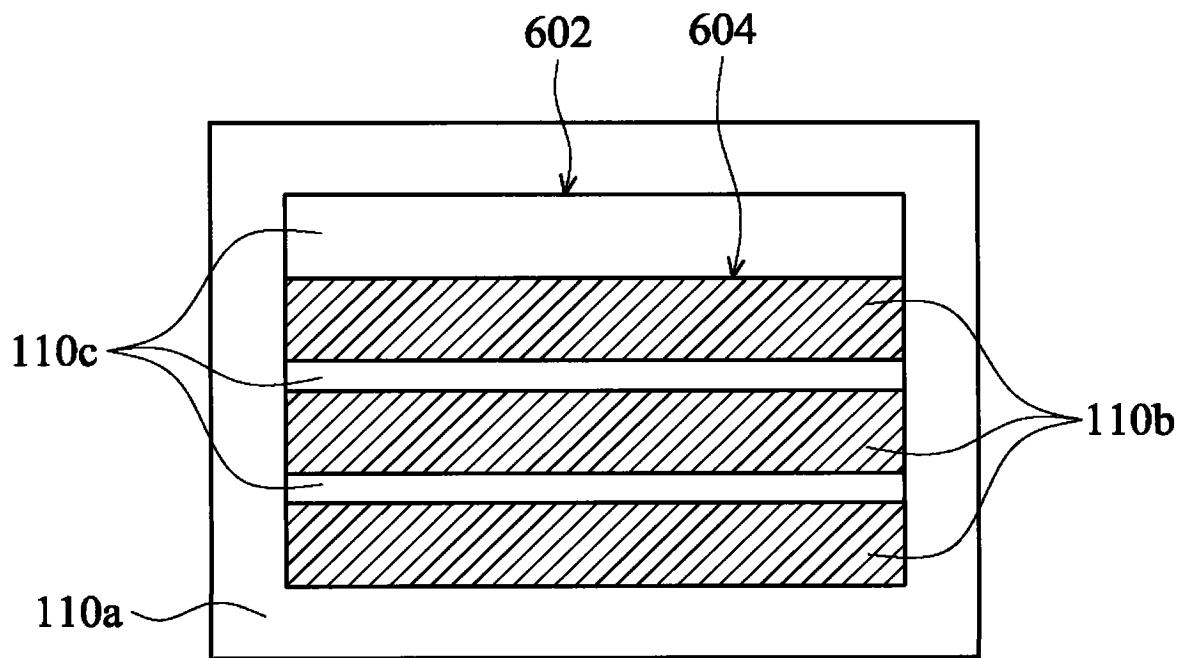


图 6D

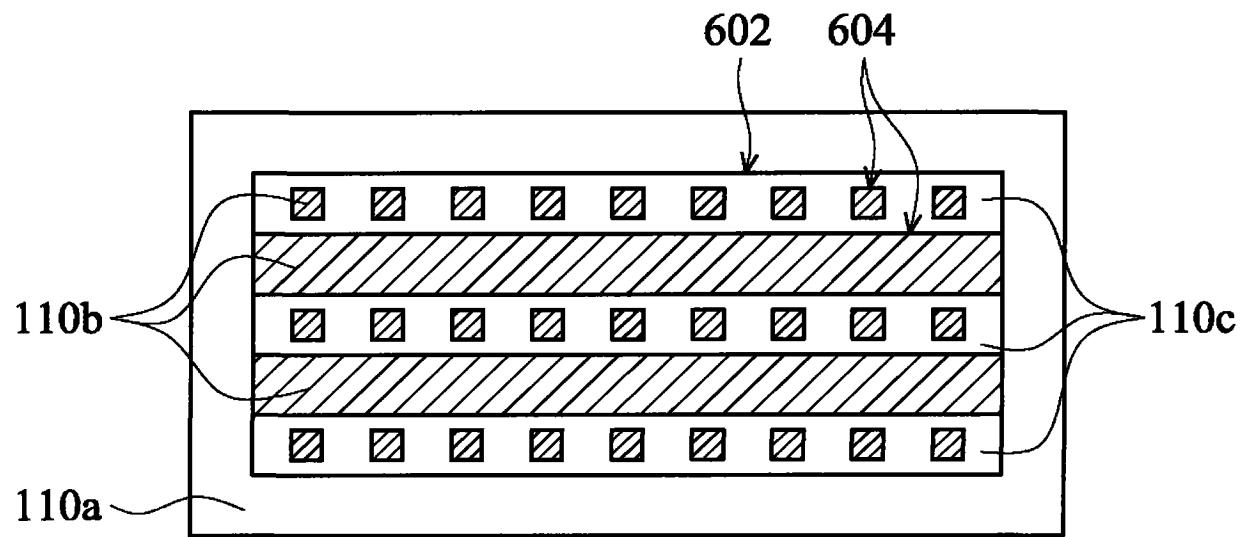


图 6E

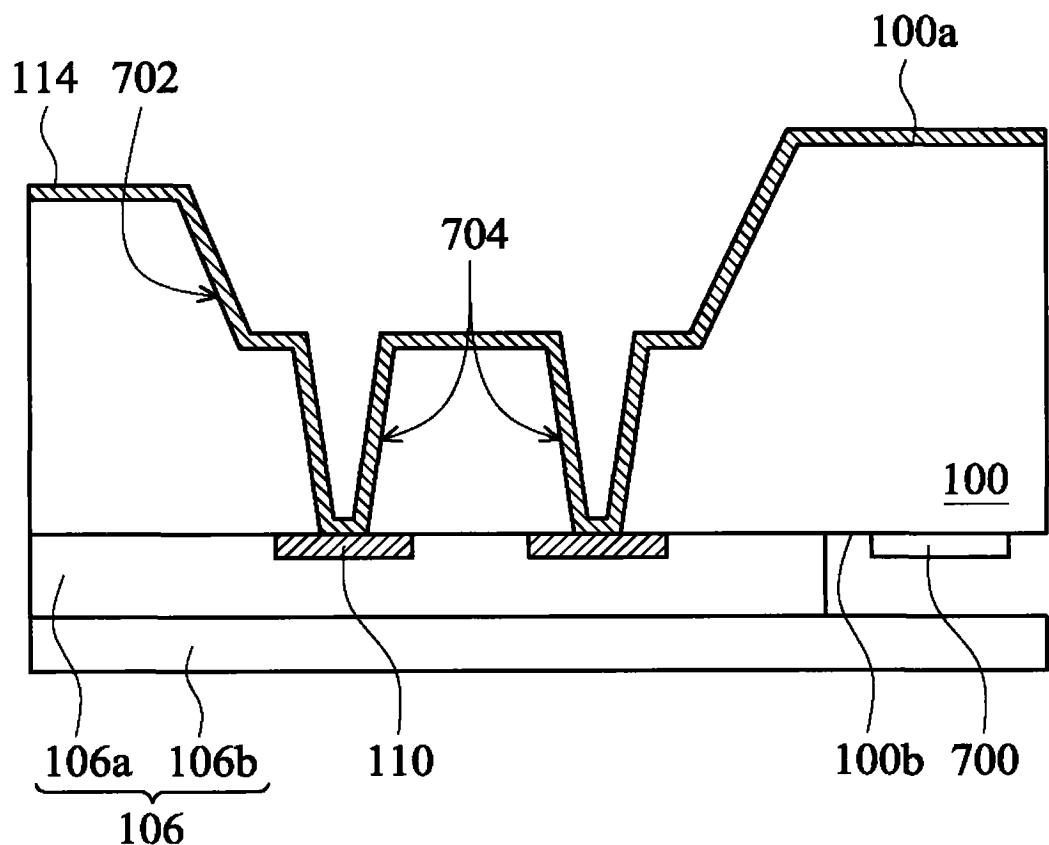


图 7

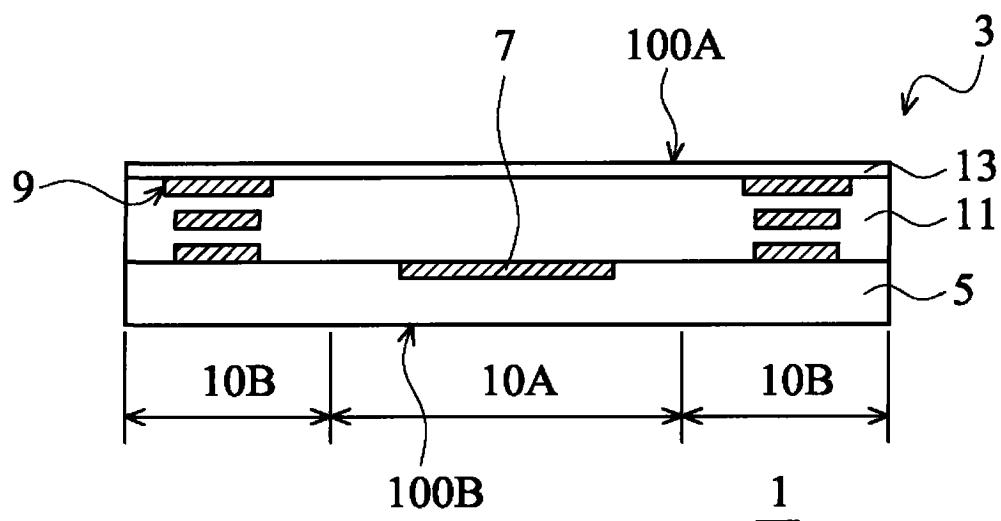


图 8

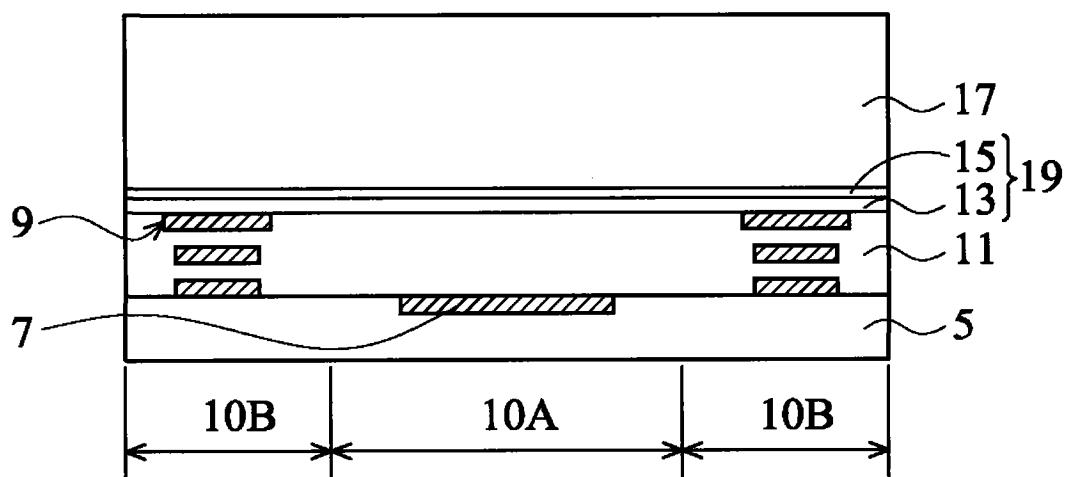


图 9

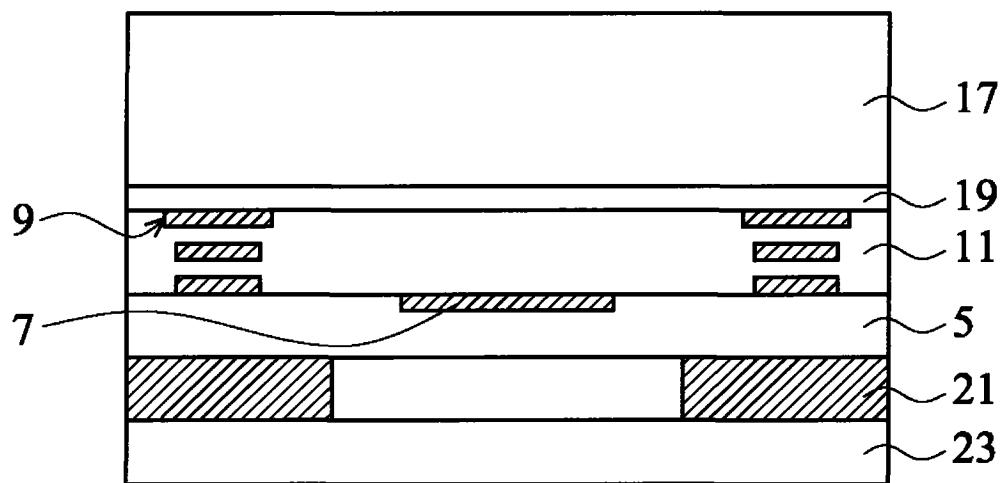


图 10

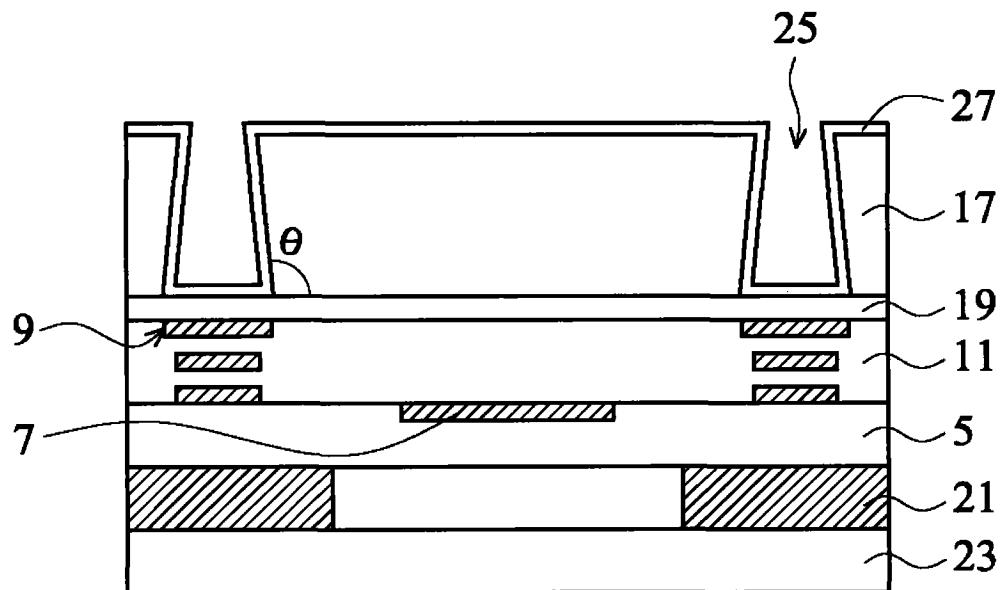


图 11

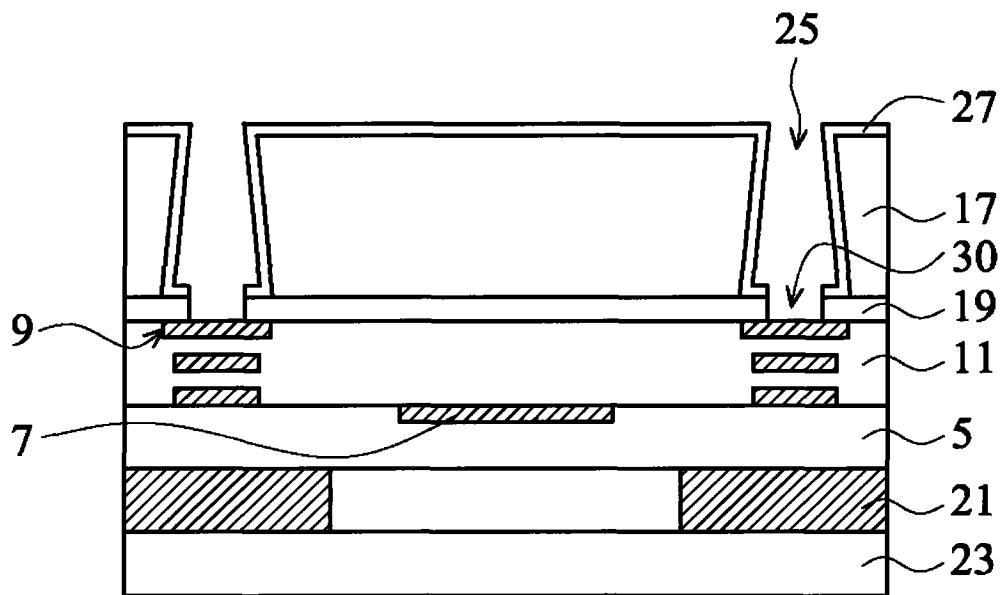


图 12

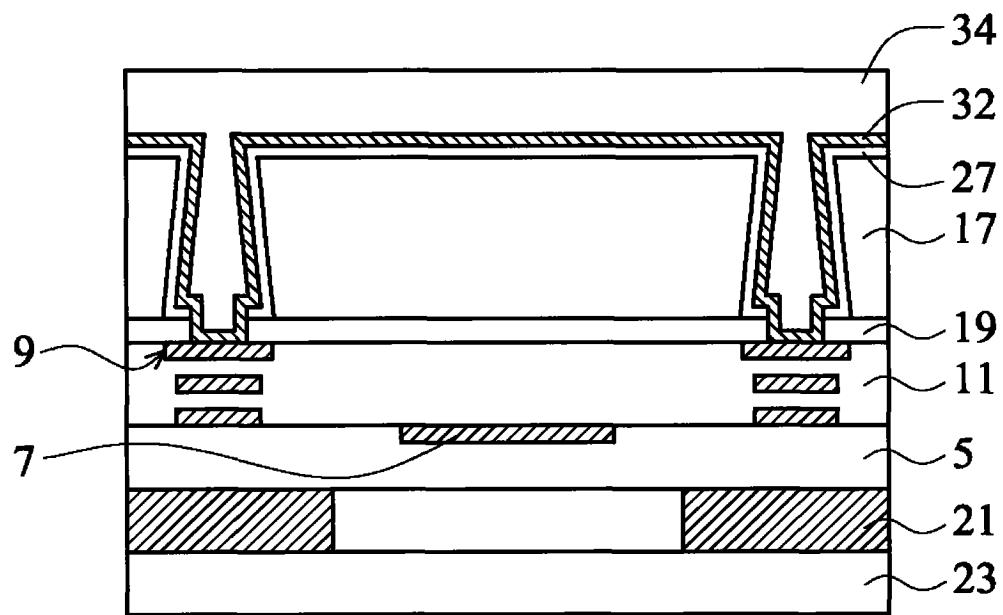


图 13

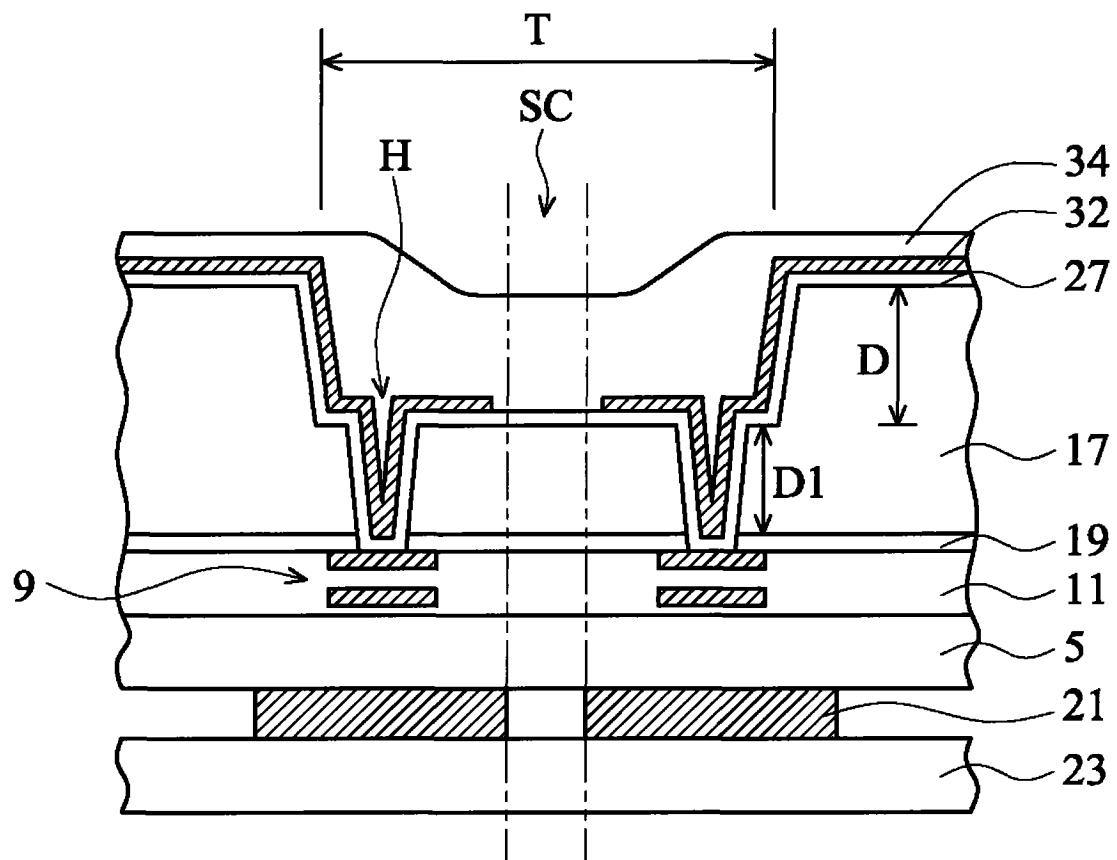


图 14A

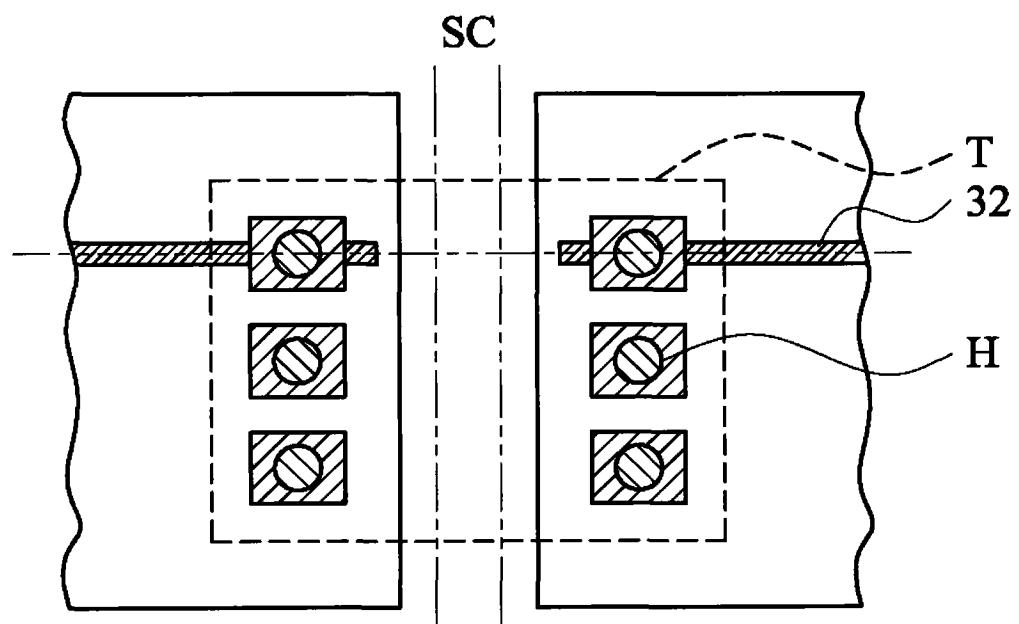


图 14B

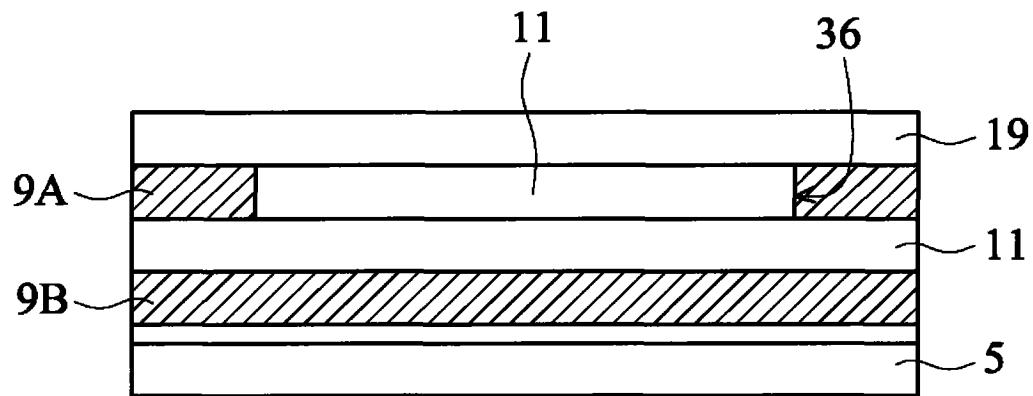


图 15A

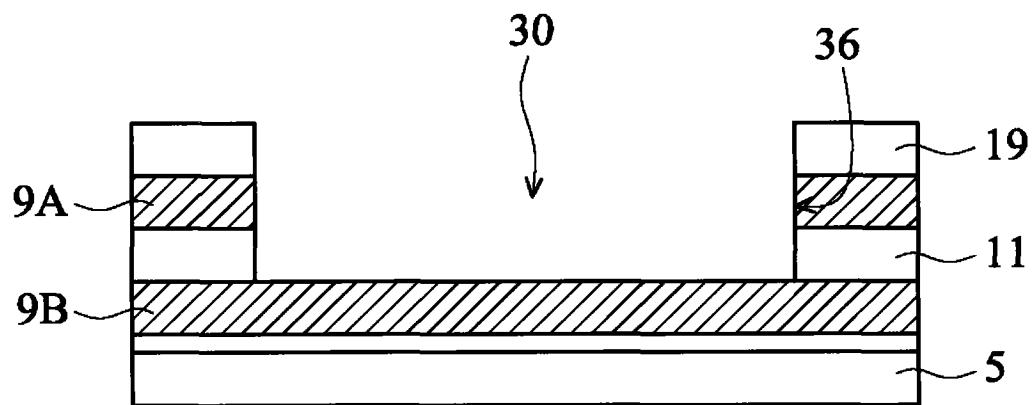


图 15B

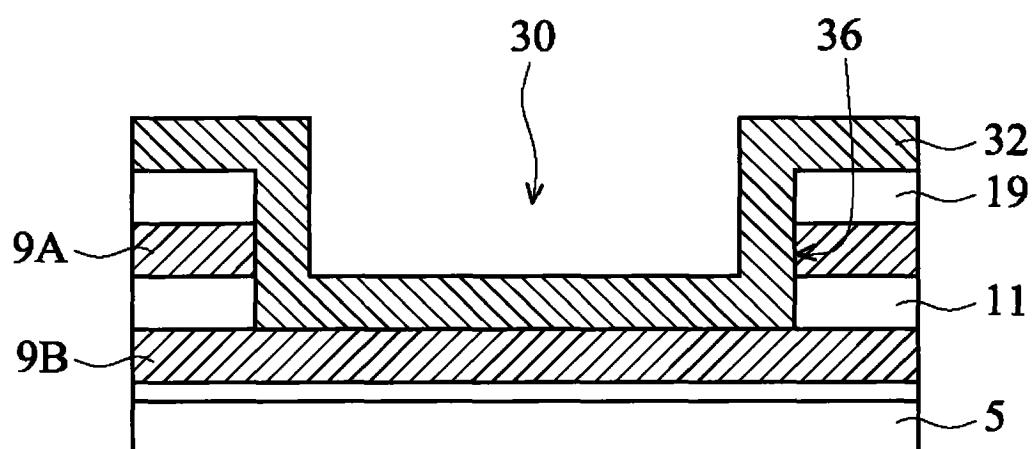


图 15C

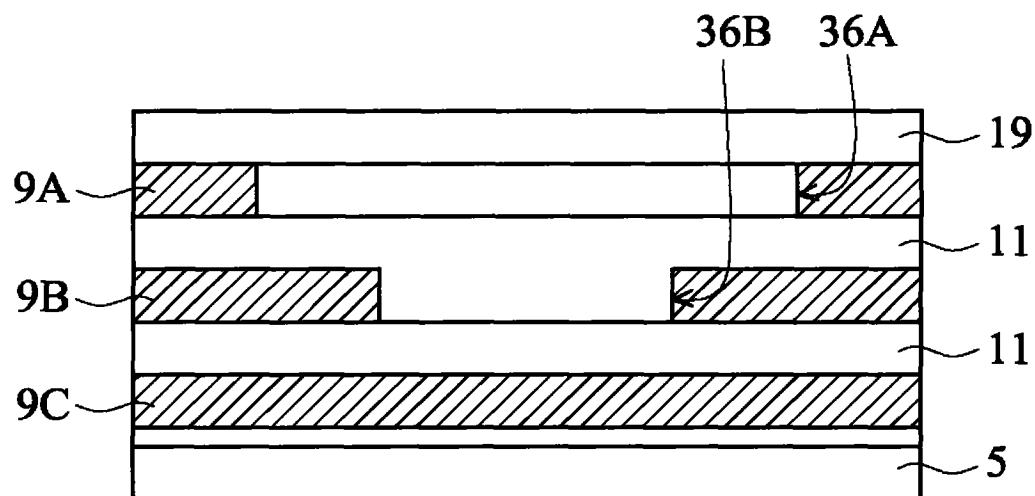


图 16A

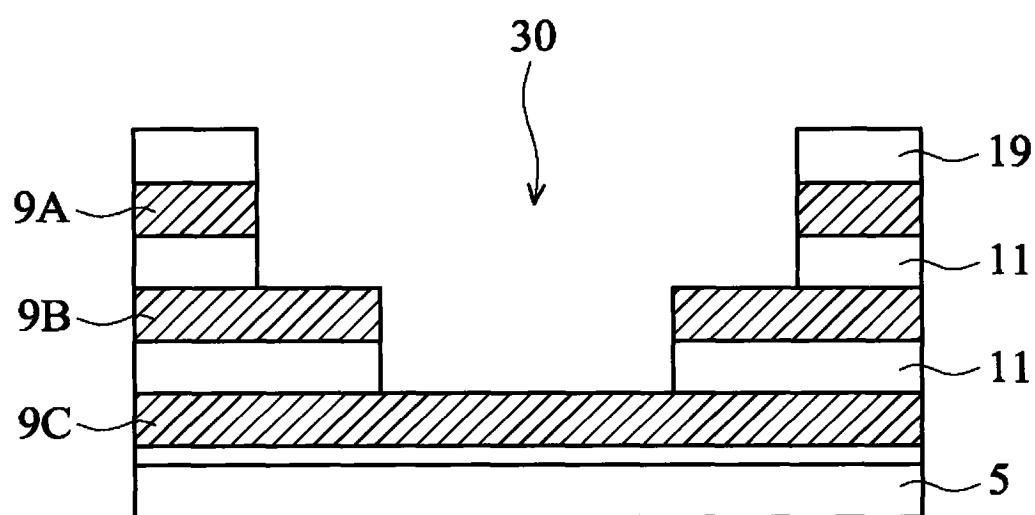


图 16B

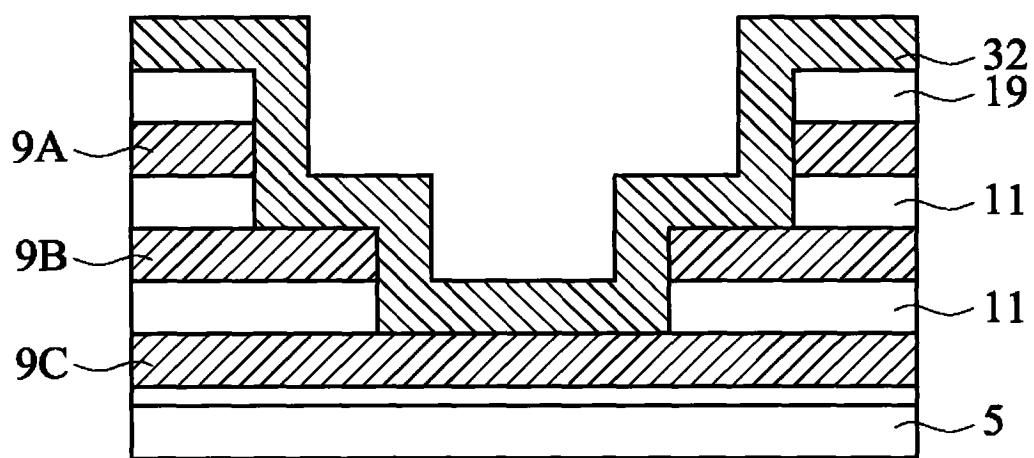


图 16C

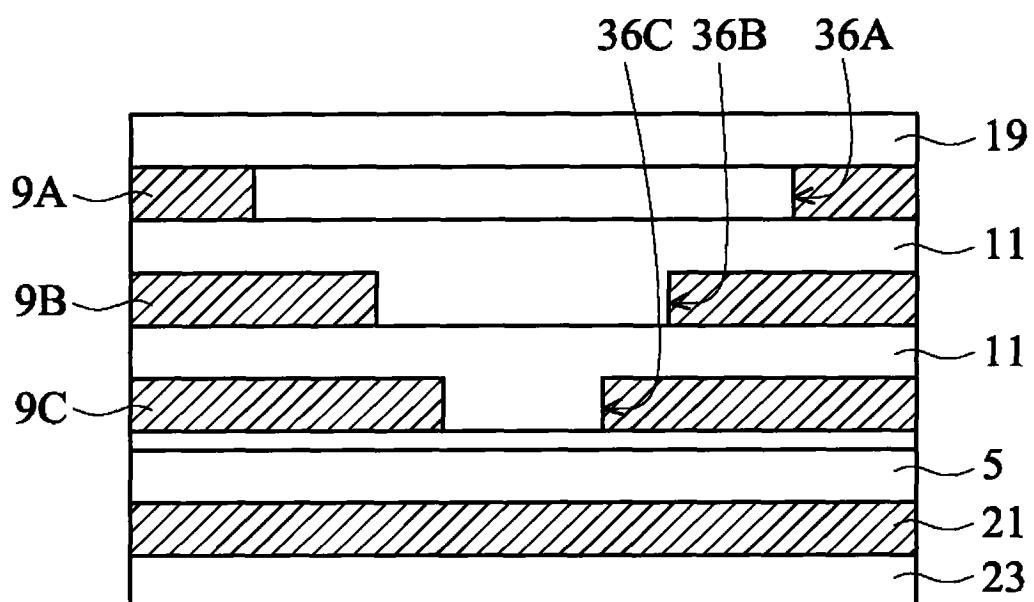


图 17A

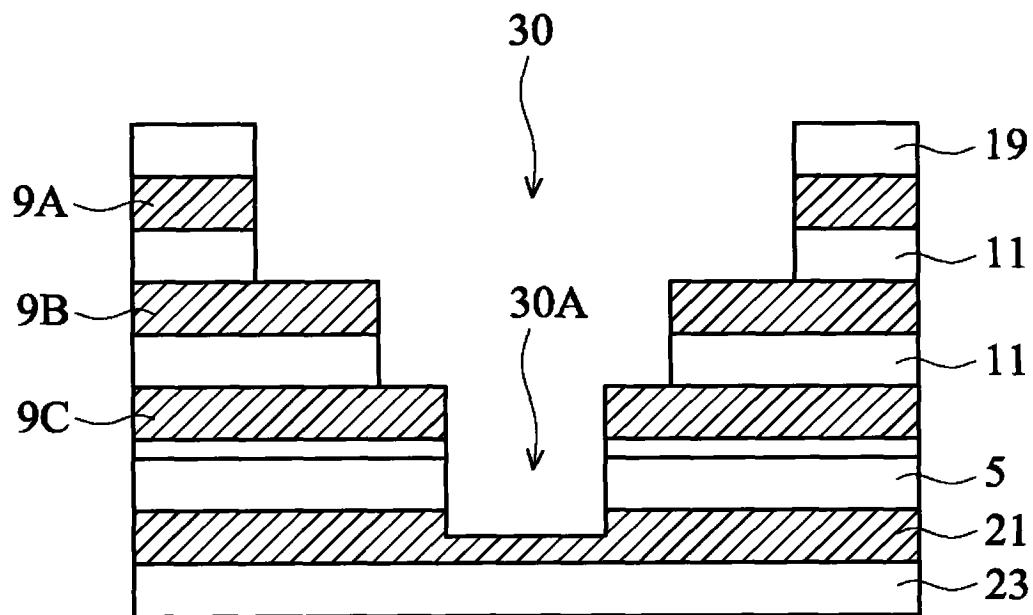


图 17B

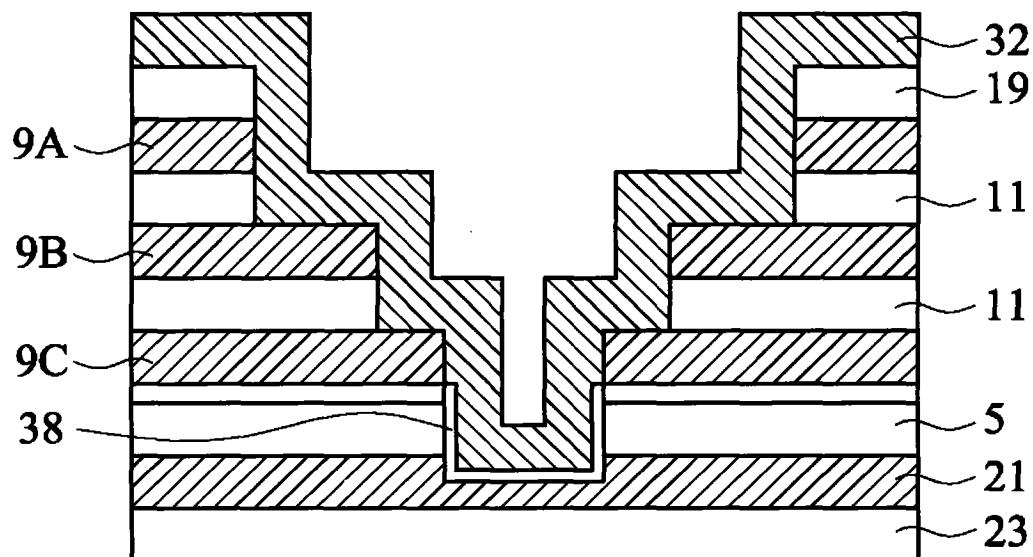


图 17C

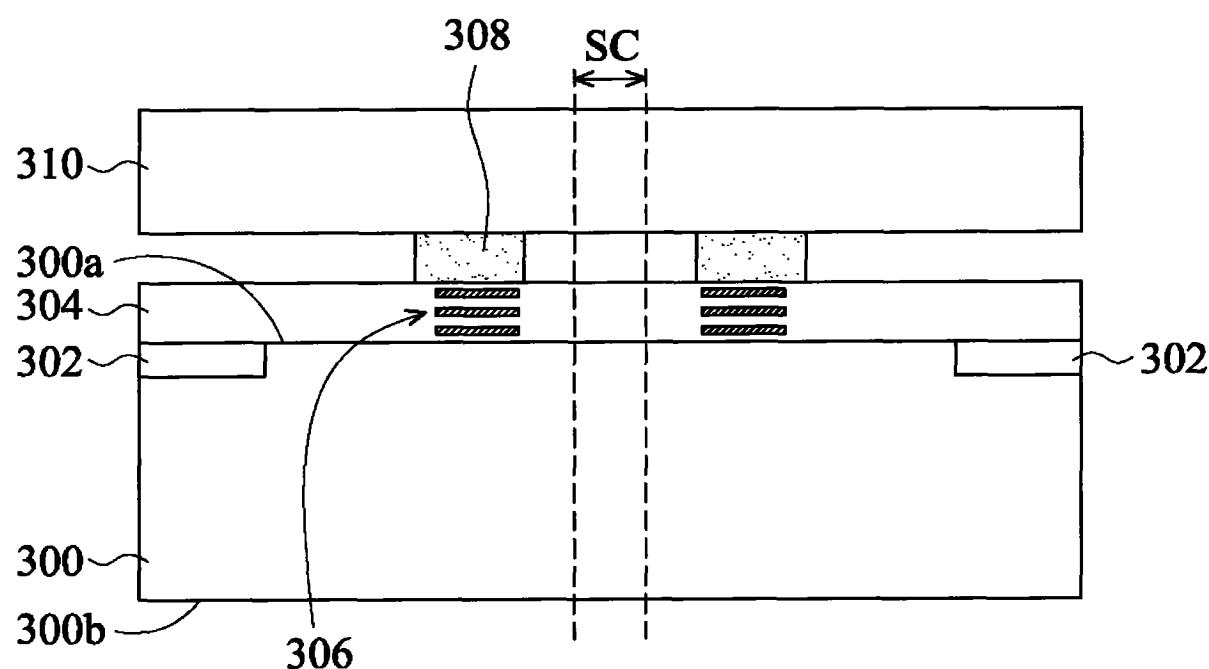


图 18A

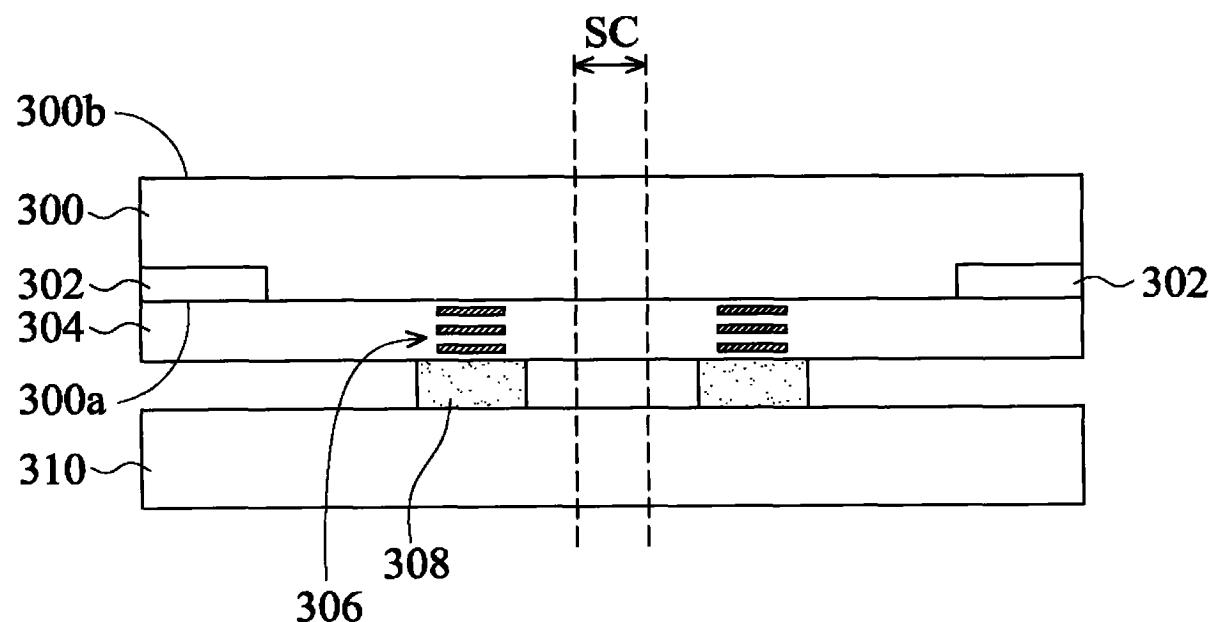


图 18B

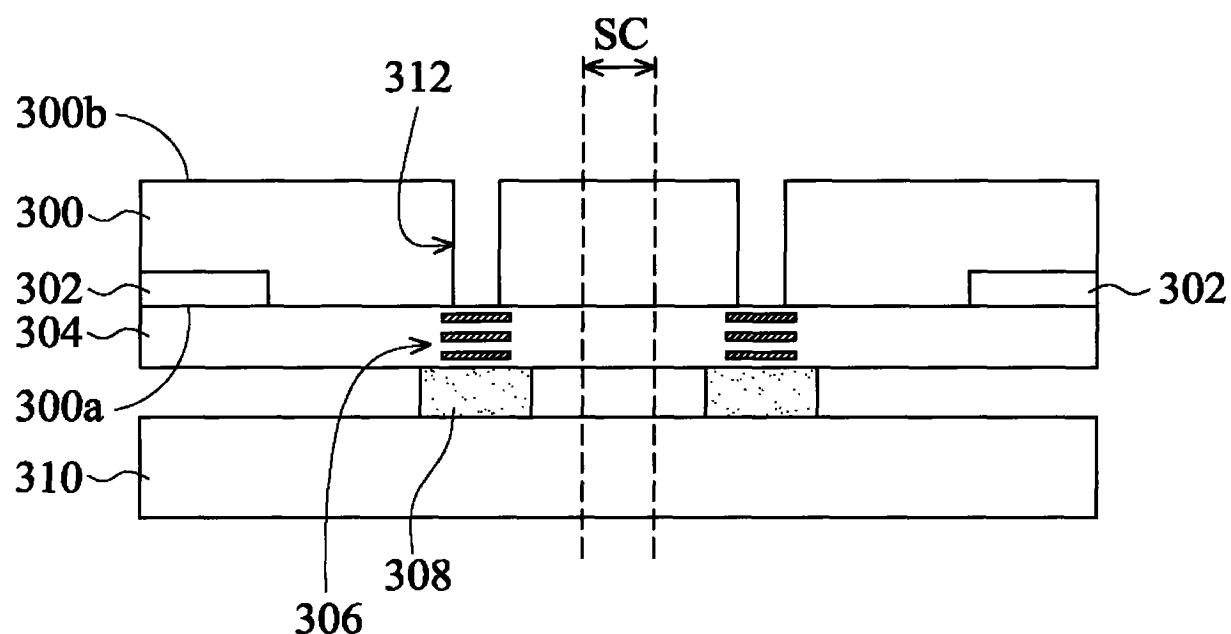


图 18C

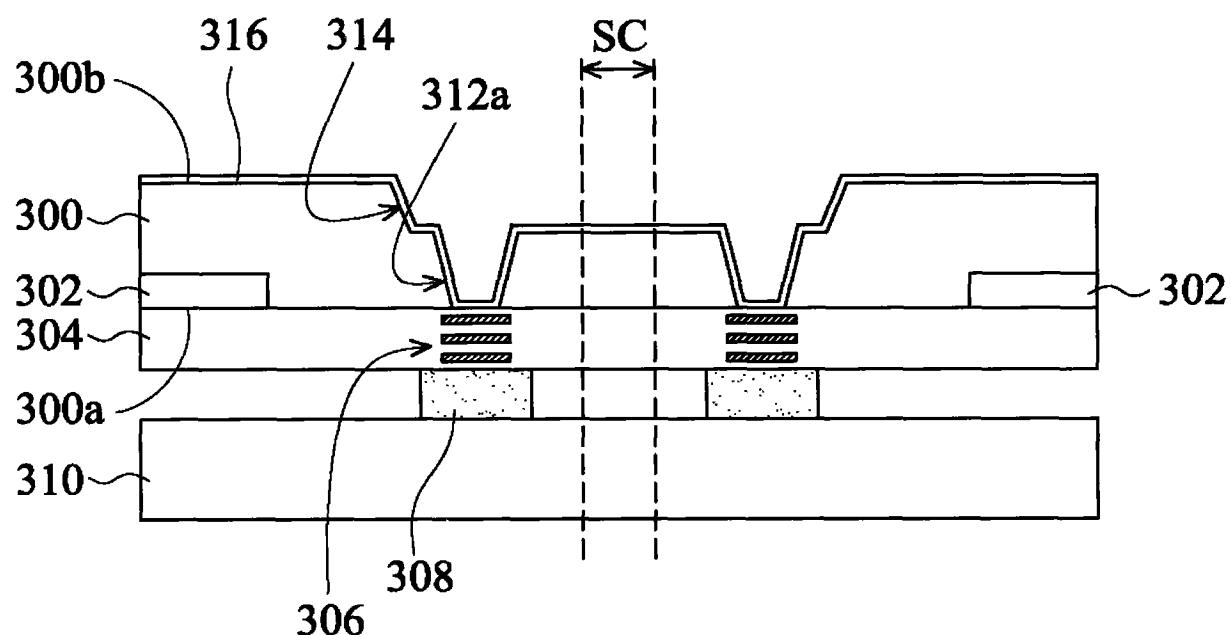


图 18D

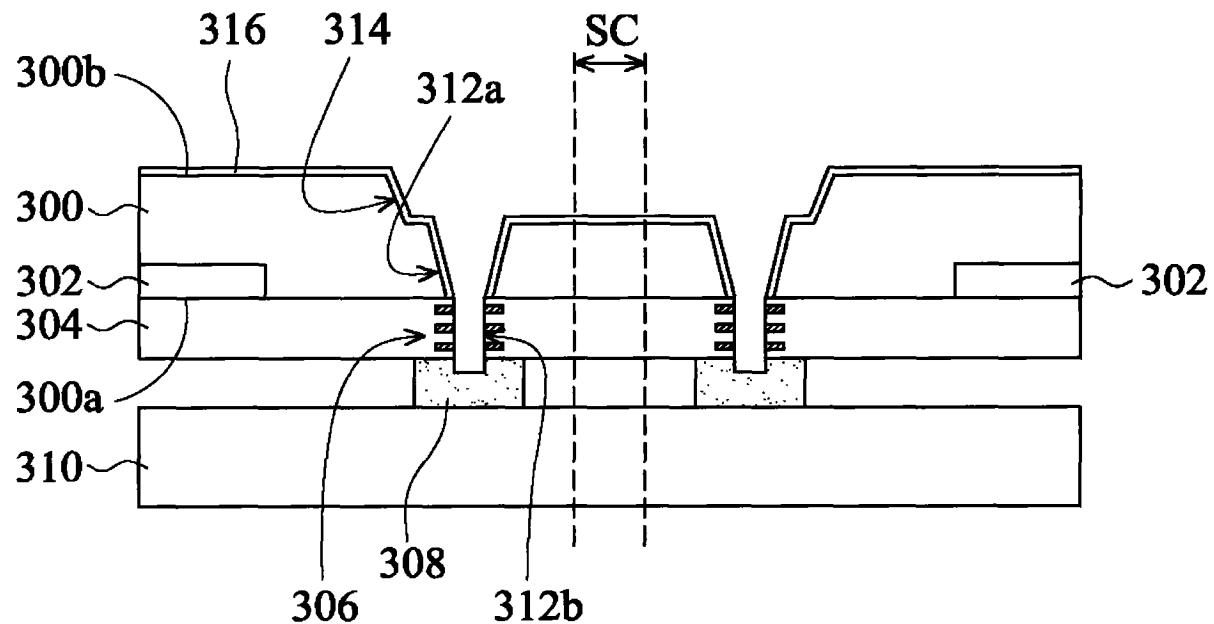


图 18E

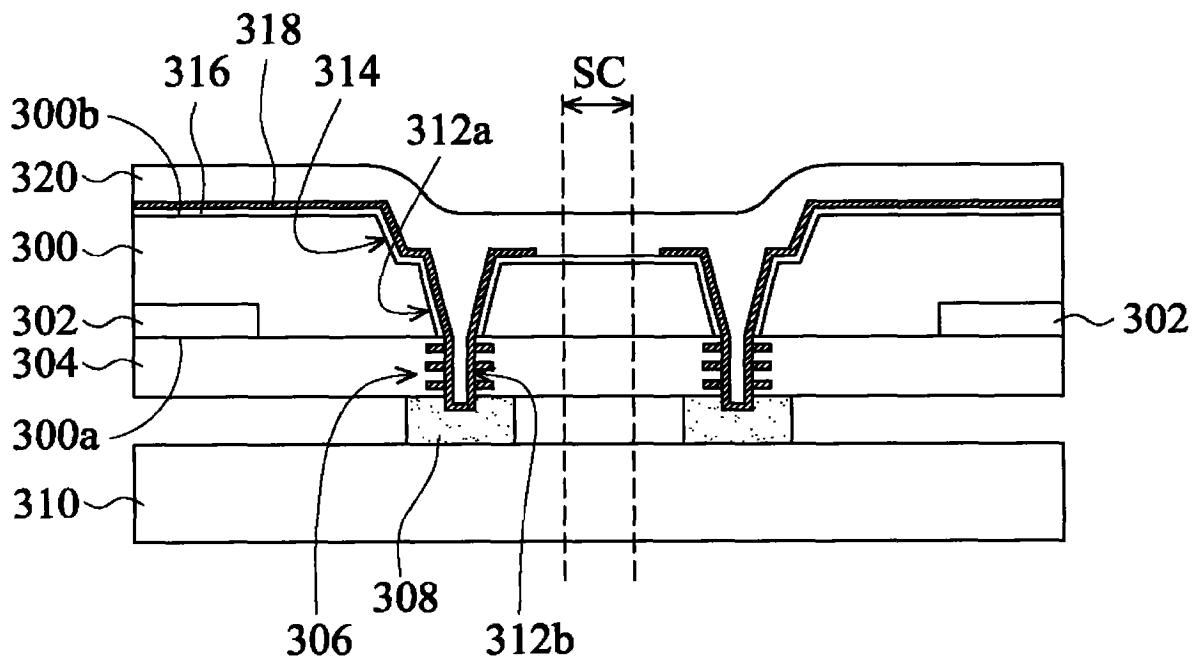


图 18F

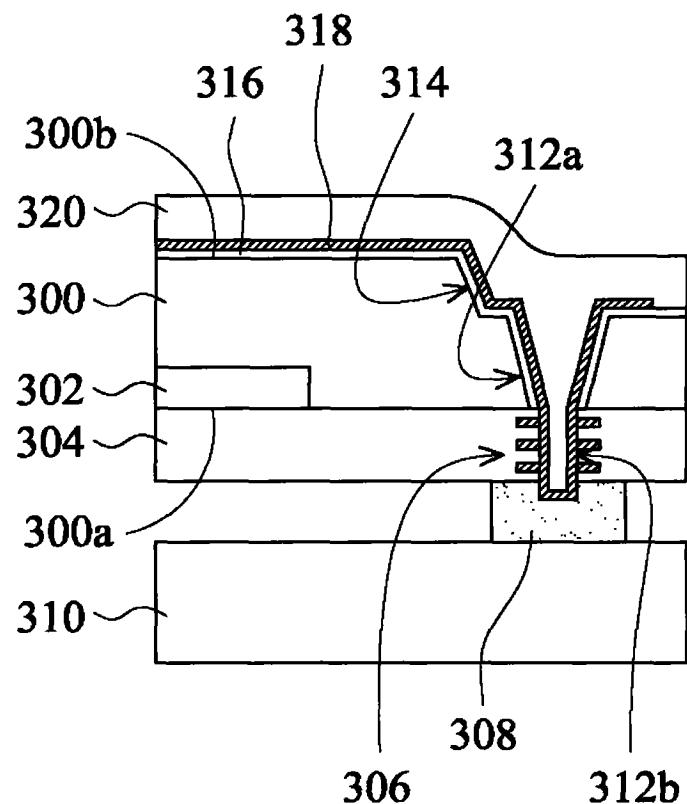


图 18G

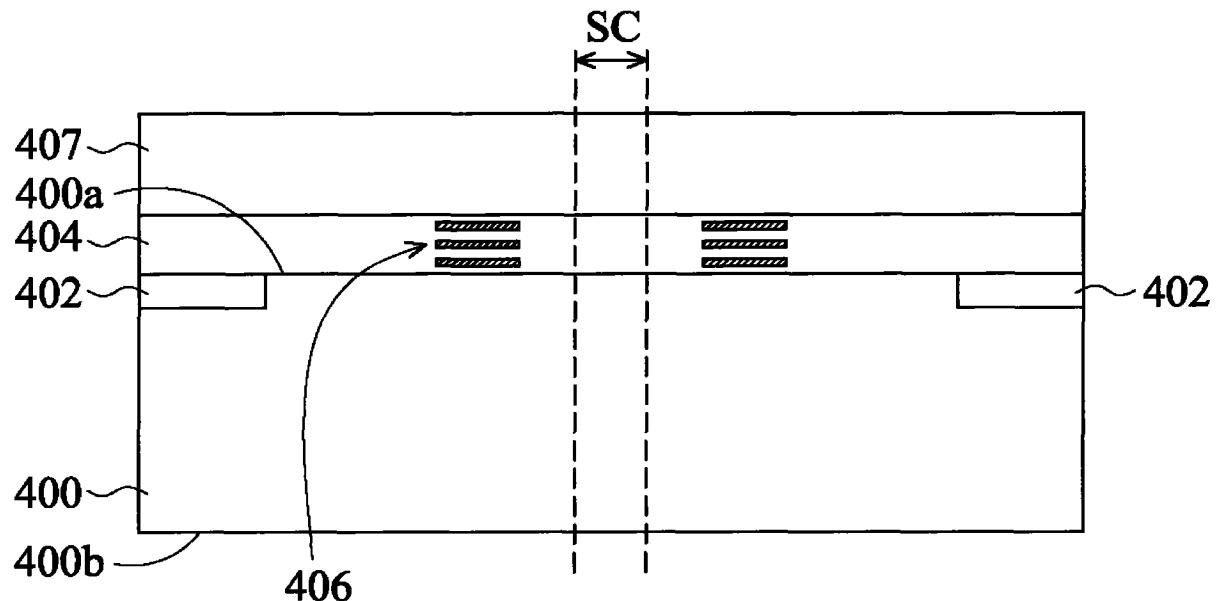


图 19A

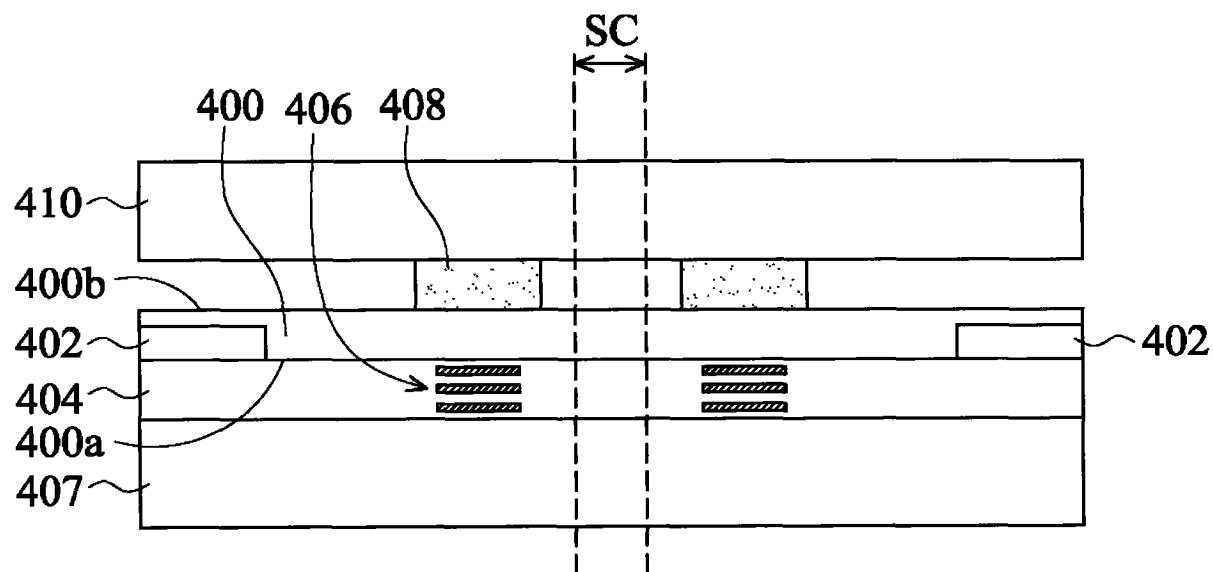


图 19B

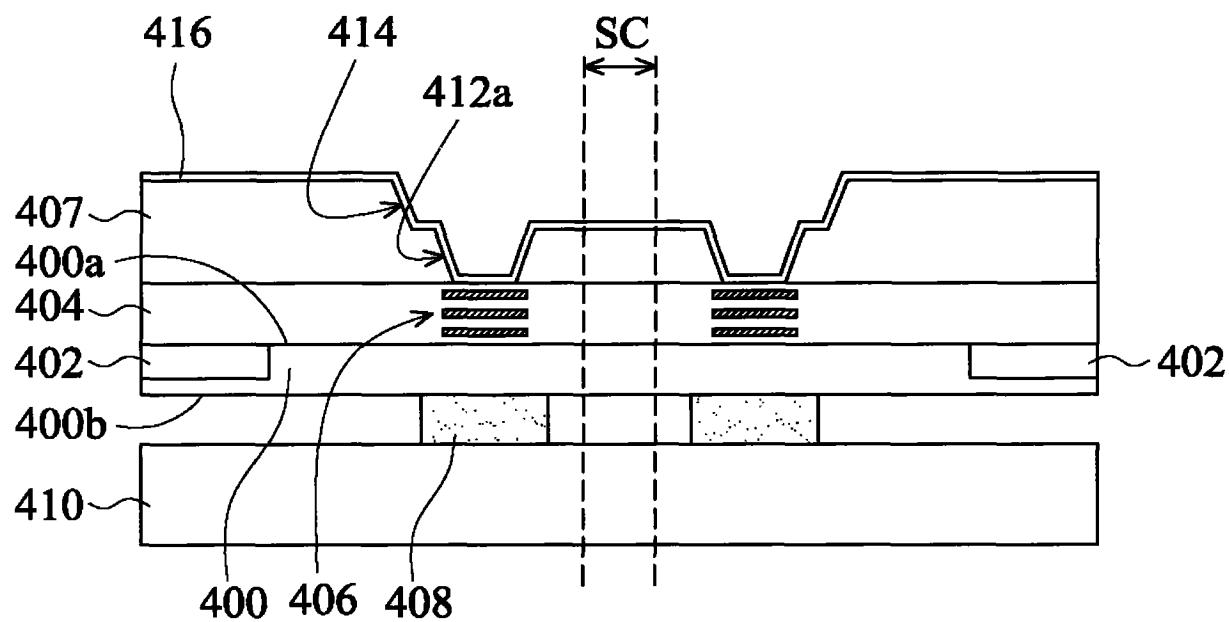


图 19C

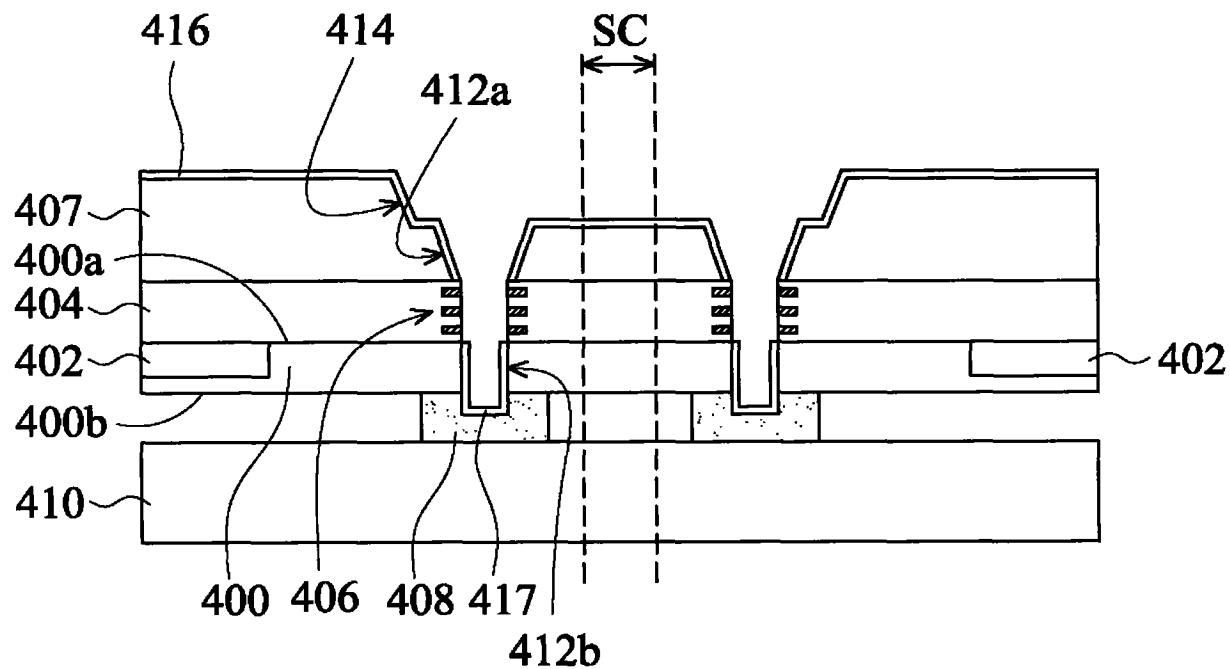


图 19D

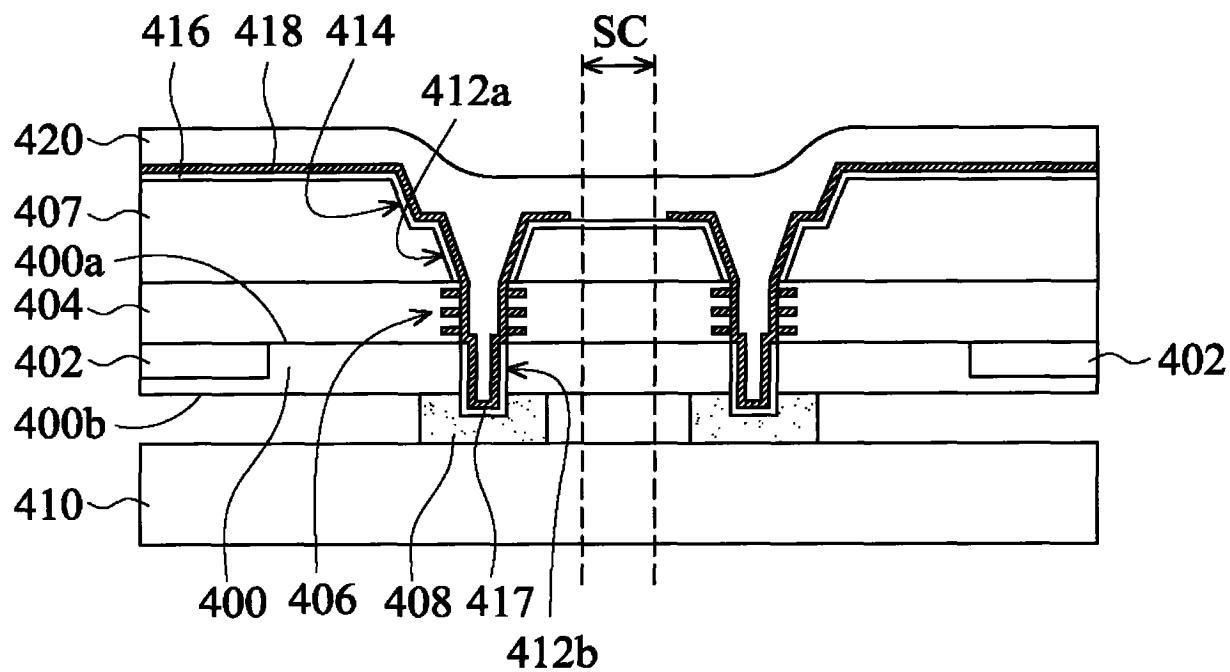


图 19E

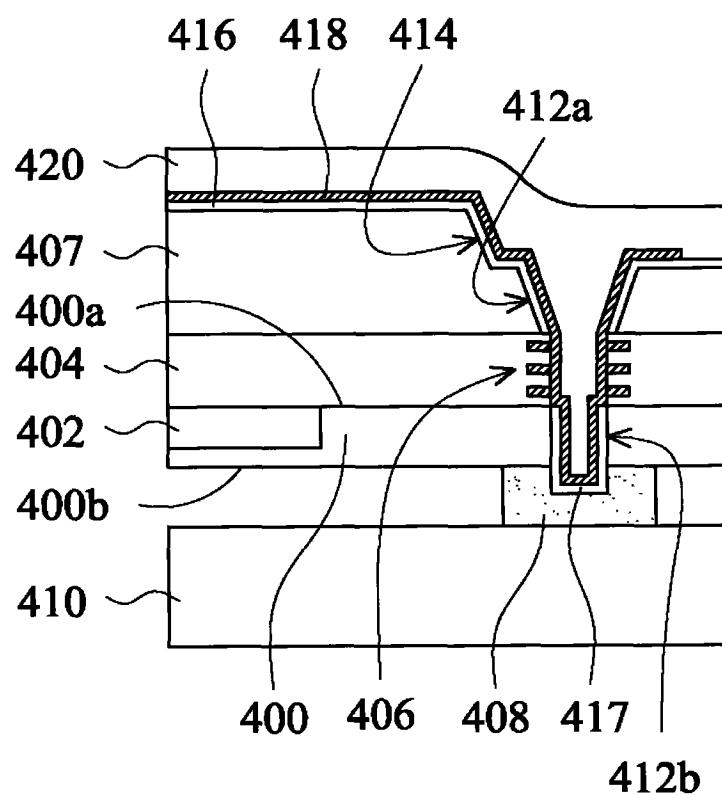


图 19F