



(12) 发明专利

(10) 授权公告号 CN 101283455 B

(45) 授权公告日 2010.04.21

(21) 申请号 200680036980.4

(22) 申请日 2006.09.29

(30) 优先权数据

290191/2005 2005.10.03 JP

(85) PCT申请进入国家阶段日

2008.04.03

(86) PCT申请的申请数据

PCT/JP2006/319510 2006.09.29

(87) PCT申请的公布数据

W02007/040183 JA 2007.04.12

(73) 专利权人 夏普株式会社

地址 日本大阪府

(72) 发明人 岸本克史

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 葛青

(51) Int. Cl.

H01L 31/04 (2006.01)

G23C 16/24 (2006.01)

H01L 21/205 (2006.01)

(56) 对比文件

JP 特开 2004-289091 A, 2004.10.14, 全文.

US 2005/0085003 A1, 2005.04.21, 参见对比文件 1 的说明书第 0033-0039 段、附图 1, 5.

US 6200825 B1, 2001.03.13, 说明书第 4 栏第 66 行至第 8 栏第 40 行、附图 1-3.

审查员 谢朝方

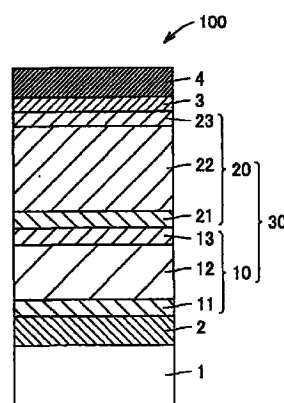
权利要求书 4 页 说明书 29 页 附图 7 页

(54) 发明名称

硅基薄膜光电转换装置、及其制造方法和制造设备

(57) 摘要

公开了一种硅基薄膜光电转换装置的制造方法,其特征在在于:通过在同一等离子体 CVD 膜沉积室中,在形成于基板 (1) 上的透明导电膜 (2) 上顺序地形成第一 p 型半导体层 (11)、i 型非晶硅基光电转换层 (12)、第一 n 型半导体层 (13)、第二 p 型半导体层 (21)、i 型微晶硅基光电转换层 (22)、和第二 n 型半导体层 (23) 而形成双 pin 结构堆叠体 (30),所述第一 p 型半导体层 (11)、所述 i 型非晶硅基光电转换层 (12)、和所述第一 n 型半导体层 (13) 在 200-3000Pa 的等离子体 CVD 膜沉积室中的膜形成压力和 0.01-0.3W/cm² 的单位电极面积的功率密度下形成。通过该方法,可以使用简化的生产设备以低成本和高效率制造具有好质量和高光电转换效率的硅基薄膜光电转换装置。



1. 一种堆叠型硅基薄膜光电转换装置的制造方法, 包括的步骤是:

在基板 (1) 上形成透明导电膜 (2); 并且

通过顺序地在所述透明导电膜 (2) 上形成第一 p 型半导体层 (11)、i 型非晶硅基光电转换层 (12)、第一 n 型半导体层 (13)、第二 p 型半导体层 (21)、i 型微晶硅基光电转换层 (22)、和第二 n 型半导体层 (23) 而形成双 pin 结构堆叠体 (30);

形成所述双 pin 结构堆叠体 (30) 的所述步骤在同一等离子体 CVD 膜沉积室 (220) 中进行, 并且

所述第一 p 型半导体层 (11)、所述 i 型非晶硅基光电转换层 (12) 和所述第一 n 型半导体层 (13) 在使得所述等离子体 CVD 膜沉积室 (220) 中的膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 的条件下形成。

2. 根据权利要求 1 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

所述第一 p 型半导体层 (11) 具有不小于 2nm 并且不大于 50nm 的厚度, 所述 i 型非晶硅基光电转换层 (12) 具有不小于 $0.1\mu\text{m}$ 并且不大于 $0.5\mu\text{m}$ 的厚度, 并且所述第一 n 型半导体层 (13) 具有不小于 2nm 并且不大于 50nm 的厚度。

3. 根据权利要求 1 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

所述第二 p 型半导体层 (21) 具有不小于 2nm 并且不大于 50nm 的厚度, 所述 i 型微晶硅基光电转换层 (22) 具有不小于 $0.5\mu\text{m}$ 并且不大于 $20\mu\text{m}$ 的厚度, 并且所述第二 n 型半导体层 (23) 具有不小于 2nm 并且不大于 50nm 的厚度。

4. 根据权利要求 1 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

所述第二 p 型半导体层 (21) 在使得所述基板 (1) 的下面的基底的温度不高于 250°C , 被引入至所述等离子体 CVD 膜沉积室 (220) 中的原材料气体包括硅烷基气体和包含氢气的稀释气体, 并且所述稀释气体的流量是所述硅烷基气体的流量至少 100 倍大的条件下形成。

5. 根据权利要求 1 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

确定所述第一 p 型半导体层 (11) 和所述第二 p 型半导体层 (21) 的导电类型的杂质原子是硼原子或铝原子。

6. 根据权利要求 1 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

所述 i 型微晶硅基光电转换层 (22) 在使得所述基板 (1) 的下面的基底的温度不高于 250°C , 被引入至所述等离子体 CVD 膜沉积室 (220) 中的原材料气体包括硅烷基气体和稀释气体, 并且所述稀释气体的流量是所述硅烷基气体的流量的至少 30 倍大并且最多 100 倍大, 并且用 Raman 能谱法测量的 520nm^{-1} 峰对于 480nm^{-1} 峰的峰强度比 I_{520}/I_{480} 不小于 5 并且不大于 10 的条件下形成。

7. 根据权利要求 1 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

确定所述第一 n 型半导体层 (13) 和所述第二 n 型半导体层 (23) 的导电类型的杂质原子是磷原子。

8. 根据权利要求 1 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

所述第二 n 型半导体层 (23) 在使得所述基板 (1) 的下面的基底的温度不高于 250°C , 并且在引入所述等离子体 CVD 膜沉积室 (220) 中的原材料气体中磷原子相对于硅原子的含

量不小于 0.1 原子百分比并且不大于 5 原子百分比的条件下形成。

9. 根据权利要求 1 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

所述双 pin 结构堆叠体 (30) 形成之后, 包括所述双 pin 结构堆叠体 (30) 的所述堆叠型硅基薄膜光电转换装置 (100) 被取出所述等离子体 CVD 膜沉积室 (220) 并且去除在所述等离子体 CVD 膜沉积室 (220) 中的阴极 (222) 和 / 或内表面 (221) 上残留的膜。

10. 根据权利要求 9 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

所述残留的膜通过使用将选自自由氢气、惰性气体、和氟基清洁气体组成的组的至少一种气体转变为等离子体所获得的气体等离子体而被去除。

11. 根据权利要求 9 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

通过从其表面层蚀刻掉所述残留的膜, 直到位于最接近于所述阴极 (222) 和 / 或所述内表面 (221) 的所述第一 n 型层, 并且蚀刻掉位于最接近于所述阴极 (222) 和 / 或所述内表面 (221) 的所述残留的膜的 i 型层, 至从在厚度方向上的至少 10nm 到所述 i 型层的总厚度的 90% 或更小的范围内的深度, 从而去除所述残留的膜。

12. 根据权利要求 9 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

当所述等离子体 CVD 膜沉积室 (220) 中的所述阴极 (222) 上的所述残留的膜具有不小于 $10\mu\text{m}$ 并且不大于 $1000\mu\text{m}$ 的累积厚度时, 通过使用将选自自由氢气、惰性气体、和氟基清洁气体组成的组的至少一种气体转变为等离子体所获得的气体等离子体, 从而去除所述阴极上的所述残留的膜。

13. 一种堆叠型硅基薄膜光电转换装置的制造方法, 包括的步骤是:

在采用根据权利要求 1 或 2 的制造方法形成的双 pin 结构堆叠体 (30) 的第二 n 型半导体层 (23) 上, 进一步堆叠由 p 型半导体层 (41)、i 型晶态硅基光电转换层 (42) 和 n 型半导体层 (43) 构成的至少一晶态 pin 结构堆叠体 (40)。

14. 一种采用根据权利要求 1 的制造方法制造的堆叠型硅基薄膜光电转换装置。

15. 一种制造设备, 用于制造堆叠型硅基薄膜光电转换装置的方法, 所述方法在同一等离子体 CVD 膜沉积室 (220) 中, 在形成于基板 (1) 上的透明导电膜 (2) 上顺序形成第一 p 型半导体层 (11)、i 型非晶硅基光电转换层 (12)、第一 n 型半导体层 (13)、第二 p 型半导体层 (21)、i 型微晶硅基光电转换层 (22)、和第二 n 型半导体层 (23) 而形成双 pin 结构堆叠体 (30), 所述制造设备包括:

其中布置了阴极 (222) 和阳极 (223) 的等离子体 CVD 膜沉积室 (220);

调节所述等离子体 CVD 膜沉积室 (220) 内的气压的气压调节部 (211); 和

对所述阴极供电的供电部 (201);

所述阴极 (222) 和所述阳极 (223) 之间的距离不小于 3mm 并且不大于 20mm, 并且

在形成所述第一 p 型半导体层 (11)、所述 i 型非晶硅基光电转换层 (12) 和所述第一 n 型半导体层 (13) 中, 所述气压调节部 (211) 能够控制所述 CVD 膜沉积室 (220) 内的气压在从至少 200Pa 至最多 3000Pa 的范围中, 并且所述供电部 (201) 能够控制所述阴极 (222) 的单位面积的功率密度在从至少 $0.01\text{W}/\text{cm}^2$ 至最多 $0.3\text{W}/\text{cm}^2$ 的范围内。

16. 一种硅基薄膜光电转换装置的制造方法, 包括的步骤是:

通过同一等离子体 CVD 膜沉积室 (220) 中, 在基板 (1) 上形成的透明导电膜 (2) 上顺序地形成 p 型半导体层 (11)、i 型非晶硅基光电转换层 (12)、n 型半导体层 (13) 而形成非

晶 pin 结构堆叠体 (10) ;

所述 p 型半导体层 (11)、所述 i 型非晶硅基光电转换层 (12) 和所述 n 型半导体层 (13) 在使得在所述等离子体 CVD 膜沉积室 (220) 中的膜沉积压力不低于 200Pa 并且不高于 3000Pa, 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 的条件下形成。

17. 根据权利要求 16 的硅基薄膜光电转换装置的制造方法, 其中

形成所述非晶 pin 结构堆叠体 (10) 之后, 包括所述非晶 pin 结构堆叠体 (10) 的所述硅基薄膜光电转换装置 (500) 被取出所述等离子体 CVD 膜沉积室 (220) 并且去除在所述等离子体 CVD 膜沉积室 (220) 中的阴极 (222) 和 / 或内表面 (221) 上残留的膜。

18. 一种采用根据权利要求 16 的制造方法制造的硅基薄膜光电转换装置。

19. 一种制造设备, 用于制造硅基薄膜光电转换装置的方法, 所述方法在同一等离子体 CVD 膜沉积室 (220) 中, 通过在形成于基板 (1) 上的透明导电膜 (2) 上顺序形成 p 型半导体层 (11)、i 型非晶硅基光电转换层 (12)、和 n 型半导体层 (13) 而形成非晶 pin 结构堆叠体 (10), 所述制造设备包括:

其中布置了阴极 (222) 和阳极 (223) 的等离子体 CVD 膜沉积室 (220);

调节所述等离子体 CVD 膜沉积室 (220) 内的气压的气压调节部 (211); 和

对所述阴极 (222) 供电的供电部 (201);

所述阴极 (222) 和所述阳极 (223) 之间的距离不小于 3mm 并且不大于 20mm, 并且

在形成所述 p 型半导体层 (11)、所述 i 型非晶硅基光电转换层 (12) 和所述 n 型半导体层 (13) 中, 所述气压调节部 (211) 能够控制所述 CVD 膜沉积室 (220) 内的气压在从至少 200Pa 至最多 3000Pa 的范围, 并且所述供电部 (201) 能够控制所述阴极 (222) 的单位面积的功率密度在从至少 $0.01\text{W}/\text{cm}^2$ 至最多 $0.3\text{W}/\text{cm}^2$ 的范围。

20. 根据权利要求 19 的制造设备, 用于制造堆叠型硅基薄膜光电转换装置的方法, 所述方法在同一等离子体 CVD 膜沉积室 (220) 中, 通过在形成于基板 (1) 上的透明导电膜 (2) 上顺序形成第一 p 型半导体层 (11)、第一 i 型非晶硅基光电转换层 (12)、第一 n 型半导体层 (13)、第二 p 型半导体层 (21)、第二 i 型非晶硅基光电转换层 (52)、和第二 n 型半导体层 (23) 而形成双 pin 结构堆叠体 (60), 所述制造设备包括:

其中布置了阴极 (222) 和阳极 (223) 的等离子体 CVD 膜沉积室 (220);

调节所述等离子体 CVD 膜沉积室 (220) 内的气压的气压调节部 (211); 和

对所述阴极 (222) 供电的供电部 (201);

所述阴极 (222) 和所述阳极 (223) 之间的距离不小于 3mm 并且不大于 20mm, 并且

在形成所述第一 p 型半导体层 (11)、所述第一 i 型非晶硅基光电转换层 (12)、所述第一 n 型半导体层 (13)、所述第二 p 型半导体层 (21)、所述第二 i 型非晶硅基光电转换层 (52)、和所述第二 n 型半导体层 (23) 中, 所述气压调节部 (211) 能够控制所述 CVD 膜沉积室 (220) 内的气压在从至少 200Pa 至最多 3000Pa 的范围, 并且所述供电部 (201) 能够控制所述阴极 (222) 的单位面积的功率密度在从至少 $0.01\text{W}/\text{cm}^2$ 至最多 $0.3\text{W}/\text{cm}^2$ 的范围。

21. 一种堆叠型硅基薄膜光电转换装置的制造方法, 包括的步骤是:

通过在同一等离子体 CVD 膜沉积室 (220) 中, 在形成于基板 (1) 上的透明导电膜 (2) 上顺序形成第一 p 型半导体层 (11)、第一 i 型非晶硅基光电转换层 (12)、第一 n 型半导体

层 (13)、第二 p 型半导体层 (21)、第二 i 型非晶硅基光电转换层 (52)、和第二 n 型半导体层 (23) 而形成双 pin 结构堆叠体 (60) ;

所述第一 p 型半导体层 (11)、所述第一 i 型非晶硅基光电转换层 (12)、所述第一 n 型半导体层 (13)、所述第二 p 型半导体层 (21)、所述第二 i 型非晶硅基光电转换层 (52)、和所述第二 n 型半导体层 (23) 在使得在所述等离子体 CVD 膜沉积室 (220) 中的膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 的条件下形成。

22. 根据权利要求 21 的堆叠型硅基薄膜光电转换装置的制造方法, 其中

形成所述双 pin 结构堆叠体 (60) 之后, 包括所述双 pin 结构堆叠体 (60) 的所述堆叠型硅基薄膜光电转换装置 (600) 被取出所述等离子体 CVD 膜沉积室 (220) 并且去除在所述等离子体 CVD 膜沉积室 (220) 中在阴极 (222) 和 / 或内表面 (221) 上残留的膜。

23. 一种根据权利要求 21 的制造方法制造的堆叠型硅基薄膜光电转换装置。

硅基薄膜光电转换装置、及其制造方法和制造设备

技术领域

[0001] 本发明涉及具有良好性能的硅基薄膜光电转换装置,及其制造方法和制造设备,并且更具体地,涉及获得显著改善的生产成本和生产效率的硅基薄膜光电转换装置,及其制造方法和制造设备。在本申请中,术语“多晶”、“微晶”和“晶态”包括部分非晶态。

背景技术

[0002] 近年来,例如包括晶态硅薄膜的太阳能电池的研发和增加的生产吸引了世界范围的关注,所述晶态硅例如包含多晶硅或者微晶硅。太阳能电池的显著特征在于,使用例如等离子体 CVD 设备或溅射设备的膜沉积设备,将半导体膜或金属电极膜沉积在廉价的大面积基板上,并且此后通过使用例如激光构图的方法将在同一基板上制作的太阳能电池单元隔离和连接,从而可以同时实现太阳能电池的低成本和高性能。在这样的制造工艺中,由于制造设备的较高的成本引起的太阳能电池的制造成本的增加成为广泛应用的瓶颈之一,而制造设备的代表是作为制作装置的主设备的 CVD 设备。

[0003] 传统上,在生产太阳能电池的设备中,已经采用了其中多个膜沉积室(以下也称为室)线性连接的直线系统、或其中在中心提供中间室并且在其周围布置多个膜沉积室的多室系统。然而,在直线系统中,传送基板的流水线是线性的并且当仅需要部分维护时也应停止整个设备。例如,当包括了最需要维护的用于形成 i 性硅基光电转换层的多个膜沉积室设备时,即使当用于形成 i 型硅光电转换层的单个膜沉积室需要维护时,也要不利地停止整个生产线。

[0004] 另一方面,在多室系统中,其上应当形成膜的基板经由中间室被移动至各膜沉积室,并且在各膜沉积室和中间室之间提供能够维持密封性的可移动隔离物。因而,即使当在某个膜沉积室中出现不利的事件时,也可以使用其他膜沉积室并且整个生产不被停止。然而,在采用多室系统的生产设备中,存在经由中间室的多个流水线并且中间室的机械结构不可避免地复杂。例如,移动基板同时保持中间室和各膜沉积室之间的密封性的机构复杂并且昂贵。另外,布置在中间室周围的膜沉积室的数量受到空间的限制。

[0005] 考虑到这些问题,已经提出了一种硅基薄膜光电转换装置的制造方法,其特征在于 p 型半导体层、i 型微晶硅基光电转换层和 n 型半导体层顺序地形成于同一等离子体 CVD 膜沉积室中并且 p 型半导体层在膜沉积室中的压力不低于 667Pa(5torr) 的条件下形成,(例如,见日本特开平 2000-252495 号公报(专利文献 1))。根据该方法,可以使用简化的设备以低成本和高效率制造具有良好性能和质量的光电转换装置。

[0006] 但是该制造方法的缺点在于,由于在同一膜沉积室中用该方法重复地形成 p 型半导体层、i 型微晶硅基光电转换层和 n 型半导体层(以下也称为“pin 层”,另外,其中按此顺序布置的 p 型半导体层、i 型微晶硅基光电转换层和 n 型半导体层的结构称为“pin 结构”),以便改善作为其目标的生产率,所以在等离子体 CVD 膜沉积室中的阴极和/或内表面上形成的残留的膜中的 n 型层中的 n 型掺杂剂在形成下一 p 型半导体层和 i 型硅基光电转换层的初始阶段不可避免地被引入下一 p 型半导体层和 i 型硅基光电转换层。

[0007] 具体地,在等离子体 CVD 膜沉积室中,最初,在 p 型半导体层的形成中 p 型层形成于膜沉积室中阴极和 / 或内表面上,然后在 i 型硅基光电转换层的形成中 i 型层形成于 p 型层上,并且随后在 n 型半导体层的形成中 n 型层形成于 i 型层上。这样 p 型层、i 型层和 n 型层的堆叠的膜形成为在等离子体 CVD 膜沉积室中的阴极和 / 或内表面上的残留的膜。在这样的残留的膜中的 n 型层中的 n 型掺杂剂(以下也称为 n 型杂质原子)在形成下一 p 型半导体层和 i 型硅基光电转换层的初始阶段被不利地引入下一 p 型半导体层和 i 型硅基光电转换层。

[0008] 这里,n 型掺杂剂对于 p 型半导体层的影响使得 n 型掺杂剂削弱了 p 型掺杂剂(以下也称为 p 型杂质原子)的作用并且因而不能够保证制造太阳能电池所必须的 p 型半导体层的空间电荷。这样,即使当采用了制造 p 型半导体层的传统上充分的条件,太阳能电池的参数也受到不利的影响;例如,降低了开路电压和极性因子。另外,也已知 n 型掺杂剂对于 i 型硅基光电转换层的影响。具体地,在残留的膜中的 n 型掺杂剂扩散进入 i 型硅基光电转换层增加了 i 型硅基光电转换层的复合水平并且减弱了中间电场,导致显著地降低太阳能电池的短波长灵敏度(例如,见日本特开平 2000-243993 号公报)(专利文献 2))。

[0009] 另外,作为通过堆叠多个 pin 层而制造硅基光电转换装置的方法,还提出了在直线系统 CVD 设备中制作非晶光电转换层并且随后在另一 CVD 设备中制造微晶硅基光电转换层的方法(见例如日本特开平 2000-252496 号公报(专利文献 3))。这是因为如果在同一膜沉积室中形成非晶光电转换层则特性被降低,并且该方法的目标是通过在不同的 CVD 设备中制造在设备的生产节拍方面相互排斥的非晶光电转换层和微晶光电转换层而使生产线更加有效率。此外,所述方法还有效地减小了在适于直线系统的 CVD 设备中的停机时间问题。

[0010] 然而,上述所有的方法需要复杂的制造设备和维护,并且因而,要求开发允许使用简化的制造设备以低成本和高效率制造具有良好的性能的光电转换装置的方法。

[0011] 专利文献 1:日本特开平 2000-252495 号公报

[0012] 专利文献 2:日本特开平 2000-243993 号公报

[0013] 专利文献 3:日本特开平 2000-252496 号公报

发明内容

[0014] 本发明要解决的问题

[0015] 本发明的目的是提供一种通过使用简化的设备以低成本和高效率制造具有良好的质量和高光电转换效率的硅基薄膜光电转换装置的方法和装置,以及用所述制造方法和制造设备制造的具有良好性能的硅基薄膜光电转换装置。另外,本发明的目的还是提供一种允许通过重复地使用同一等离子体 CVD 膜沉积室以高产率制造硅基薄膜光电转换装置的制造方法和制造设备,以及用所述制造方法和制造设备制造的具有良好性能的硅基薄膜光电转换装置。

[0016] 解决问题的方法

[0017] 本发明涉及一种制造硅基薄膜光电转换装置的方法,其特征在于通过在同一等离子体 CVD 膜沉积室中顺序地在形成于基板上的透明导电膜上形成第一 p 型半导体层、i 型非晶硅基光电转换层、第一 n 型半导体层、第二 p 型半导体层、i 型微晶硅基光电转换层、和

第二 n 型半导体层而形成双 pin 结构堆叠体,并且第一 p 型半导体层、i 型非晶硅基光电转换层和第一 n 型半导体层在这样的条件下形成,使得在等离子体 CVD 膜沉积室中的膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。

[0018] 在根据本发明的制造硅基薄膜光电转换装置的方法中,形成双 pin 结构堆叠体之后,包括双 pin 结构堆叠体的硅基薄膜光电转换装置可以被取出等离子体 CVD 膜沉积室并且在等离子体 CVD 膜沉积室中的阴极和 / 或内表面上残留的膜可以被去除。

[0019] 另外,在根据本发明的制造硅基薄膜光电转换装置的方法中,至少一由 p 型半导体层、i 型晶态硅基光电转换层和 n 型半导体层构成的晶态 pin 结构堆叠体可以堆叠在用上述制造方法形成的双 pin 结构堆叠体的第二 n 型半导体层上。

[0020] 另外,本发明涉及一种硅基薄膜光电转换装置,其包括形成于基板上的透明导电膜,和双 pin 结构堆叠体,其特征在于所述双 pin 结构堆叠体由顺序形成于透明导电膜上的第一 p 型半导体层、i 型非晶硅基光电转换层、第一 n 型半导体层、第二 p 型半导体层、i 型微晶硅基光电转换层、和第二 n 型半导体层形成,并且各第一 n 型半导体层和第二 p 型半导体层具有不高于 $1 \times 10^{19}\text{cm}^{-3}$ 的杂质氮原子浓度和不高于 $1 \times 10^{20}\text{cm}^{-3}$ 的杂质氧原子浓度。

[0021] 另外,本发明涉及一种硅基薄膜光电转换装置,其包括形成于基板上的透明导电膜,和双 pin 结构堆叠体,其特征在于所述双 pin 结构堆叠体由顺序形成于透明导电膜上的第一 p 型半导体层、i 型非晶硅基光电转换层、第一 n 型半导体层、第二 p 型半导体层、i 型微晶硅基光电转换层、和第二 n 型半导体层形成,并且确定第一 n 型半导体层的导电类型的杂质原子浓度不高于 $3 \times 10^{19}\text{cm}^{-3}$ 并且确定第二 p 型半导体层的导电类型的杂质原子浓度不高于 $5 \times 10^{19}\text{cm}^{-3}$ 。

[0022] 另外,本发明涉及一种制造硅基薄膜光电转换装置的方法,其包括的步骤是,在同一等离子体 CVD 膜沉积室中,在形成于基板上的透明导电膜上顺序形成 p 型半导体层、i 型非晶硅基光电转换层、n 型半导体层,并且 p 型半导体层、i 型非晶硅基光电转换层和 n 型半导体层在这样的条件下形成,使得在等离子体 CVD 膜沉积室中的膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。

[0023] 在根据本发明的制造硅基薄膜光电转换装置的方法中,形成非晶 pin 结构堆叠体之后,包括非晶 pin 结构堆叠体的硅基薄膜光电转换装置可以被取出等离子体 CVD 膜沉积室并且在等离子体 CVD 膜沉积室中的阴极和 / 或内表面上残留的膜可以被去除。

[0024] 另外,本发明涉及一种制造硅基薄膜光电转换装置的方法,其特征在于双 pin 结构堆叠体通过在同一等离子体 CVD 膜沉积室中在形成于基板上的透明导电膜上顺序地形成第一 p 型半导体层、第一 i 型非晶硅基光电转换层、第一 n 型半导体层、第二 p 型半导体层、第二 i 型非晶硅基光电转换层、和第二 n 型半导体层而形成,并且第一 p 型半导体层、第一 i 型非晶硅基光电转换层、第一 n 型半导体层、第二 p 型半导体层、第二 i 型非晶硅基光电转换层、和第二 n 型半导体层在这样的条件下形成,使得在等离子体 CVD 膜沉积室中的膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。

[0025] 在根据本发明的制造硅基薄膜光电转换装置的方法中,形成双 pin 结构堆叠体之后,包括双 pin 结构堆叠体的硅基薄膜光电转换装置可以被取出等离子体 CVD 膜沉积室并

且在等离子体 CVD 膜沉积室中的阴极和 / 或内表面上残留的膜可以被去除。

[0026] 另外,本发明还涉及用上述制造方法制造的硅基薄膜光电转换装置。

[0027] 另外,本发明还涉及在上述制造方法中所使用的制造硅基薄膜光电转换装置的设备,该设备包括其中布置了阴极和阳极的等离子体 CVD 膜沉积室,调节等离子体 CVD 膜沉积室内的气压的气压调节部,和对于阴极供电的供电部,阴极和阳极之间的距离不小于 3mm 并且不大于 20mm,并且气压调节部能够控制 CVD 膜沉积室内的气压在从至少 200Pa 至最多 3000Pa 的范围,并且供电部能够控制阴极的每单位面积的功率密度在从至少 0.01W/cm² 至最多 0.3W/cm² 的范围。

[0028] 发明的效果

[0029] 根据本发明,通过使用同一等离子体 CVD 膜沉积室可以形成具有一或多个 pin 结构堆叠体的薄膜,并且可以提供通过使用简化的制造设备以低成本和高效率制造具有良好质量和高光电转换效率的硅基薄膜光电转换装置的方法和设备,以及用所述制造方法和制造设备制造的具有良好特性的硅基薄膜光电转换装置。

附图说明

[0030] 图 1 是示出根据本发明的硅基薄膜光电转换装置的一实施例的示意截面图。

[0031] 图 2 是在本发明中所使用的等离子体 CVD 设备的示意图。

[0032] 图 3 是示出根据本发明的硅基薄膜光电转换装置的另一实施例的示意截面图。

[0033] 图 4 是示意性示出根据本发明的硅基薄膜光电转换装置的制造方法的一实施例的流程图。

[0034] 图 5 是示出根据本发明的硅基薄膜光电转换装置的另一实施例的示意截面图。

[0035] 图 6 是示出根据本发明的硅基薄膜光电转换装置的又一实施例的示意截面图。

[0036] 图 7 是示出根据本发明的用于制造硅基薄膜光电转换装置的设备的一实施例的示意截面图。

[0037] 图 8 示出了在实例 1 中重复制造的堆叠型硅基薄膜光电转换装置的形成次数和光电转换效率之间的关系。

[0038] 图 9 示出了在实例 2 中重复制造的堆叠型硅基薄膜光电转换装置的形成次数和光电转换效率之间的关系。

[0039] 图 10 示出了在实例 3 中重复制造的堆叠型硅基薄膜光电转换装置的形成次数和光电转换效率之间的关系。

[0040] 图 11 示出了在实例 4 中重复制造的堆叠型硅基薄膜光电转换装置的形成次数和光电转换效率之间的关系。

[0041] 参考标记的描述

[0042] 1 基底 ;2 透明导电膜 ;3 导电膜 ;4 金属电极 ;10 50 非晶 pin 结构堆叠体 ;11、21、41 p 型半导体层 ;12、52 i 型非晶硅基光电转换层 ;13、23、43 n 型半导体层 ;20 微晶 pin 结构堆叠体 ;22 i 型微晶硅基光电转换层 ;30、60 双 pin 结构堆叠体 ;40 晶态 pin 结构堆叠体 ;42 i 型晶态硅基光电转换层 ;100、300、500、600 硅基薄膜光电转换装置 ;200 等离子体 CVD 设备 ;201 供电部 ;250 阻抗匹配电路 ;206a、206b 供电线 ;208 电源输出部 ;210 加热室 ;211 气压调节部 ;213 气体引入管 ;213v、217v 压力调节阀 ;216 排气设备 ;217 排气管 ;220

膜沉积室 ;221 内表面 ;222 阴极 ;223 阳极 ;和 230 出口室

具体实施方式

[0043] (实施例 1)

[0044] 参考图 1 和 2,根据本发明的硅基薄膜光电转换装置的制造方法的一实施例,其特征在于所述方法包括的步骤是:在基板 1 上形成透明导电膜 2,通过顺序地在所述透明导电膜 2 上形成第一 p 型半导体层 11、i 型非晶硅基光电转换层 12、第一 n 型半导体层 13、第二 p 型半导体层 21、i 型微晶硅基光电转换层 22、和第二 n 型半导体层 23 而形成双 pin 结构堆叠体 30,形成双 pin 结构堆叠体 30 的步骤在同一等离子体 CVD 膜沉积室 220 中进行,并且第一 p 型半导体层 11、i 型非晶硅基光电转换层 12 和第一 n 型半导体层 13 在这样的条件下形成,使得在所述等离子体 CVD 膜沉积室中的膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。

[0045] 即参考图 1 和 2,在本实施例的硅基薄膜光电转换装置的制造方法中,双 pin 结构堆叠体 30 通过在同一等离子体 CVD 膜沉积室 220 中,在形成于基板 1 上的透明导电膜 2 上顺序地形成第一 p 型半导体层 11、i 型非晶硅基光电转换层 12、第一 n 型半导体层 13、第二 p 型半导体层 21、i 型微晶硅基光电转换层 22、和第二 n 型半导体层 23 而形成。这里,第一 p 型半导体层 11、i 型非晶硅基光电转换层 12 和第一 n 型半导体层 13 在这样的条件下形成,使得在等离子体 CVD 膜沉积室 220 中的膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。在本实施例中在同一等离子体 CVD 膜沉积室 220 中阴极 222 和阳极 223 之间的距离优选为从至少 3mm 至最多 20mm 的范围并且所述距离优选被固定。

[0046] 传统上,在形成具有双 pin 结构堆叠体 30 的光电转换装置中,各 pin 结构堆叠体通常在分离的等离子体 CVD 膜沉积室中形成,所述双 pin 结构堆叠体 30 由具有 i 型非晶硅基光电转换层 12 的非晶 pin 结构层叠体 10 和具有 i 型微晶硅基光电转换层 22 的微晶 pin 结构堆叠体 20 构成(以下这样的具有双 pin 结构堆叠体的硅基薄膜光电转换装置也被称为堆叠型硅基薄膜光电转换装置)。在用于形成 i 型微晶硅基光电转换层 22 的等离子体 CVD 膜沉积室中,为了形成高质量的膜,设置阴极和阳极之间的小的距离。具体地,膜应当在这样的条件下形成,即阴极和阳极之间的距离被设置为,例如 3mm 至 20mm,优选 5mm 至 15mm,更优选 7mm 至 12mm,并且在等离子体 CVD 膜沉积室中设置高压。另一方面,在用于形成 i 型非晶硅基光电转换层 12 的等离子体 CVD 膜沉积室中,阴极和阳极之间通常设置更大的距离。这是因为,当设置阴极和阳极之间小的距离时,在这样的距离条件下的阴极面内的非均匀性进一步影响阴极和阳极上的基板之间的阴极面内电场强度分布,并且因为,在形成 i 型非晶硅基光电转换层 12 中,与形成 i 型微晶硅基光电转换层 22 相比,被引入等离子体 CVD 膜沉积室的原材料气体具有便于放电的气体成分并且阴极和阳极之间的距离的自由度较大。

[0047] 为了如本实施例中的在同一等离子体 CVD 膜沉积室 220 中形成具有 i 型非晶硅基光电转换层 12 的 pin 结构堆叠体和具有 i 型微晶硅基光电转换层 22 的 pin 结构堆叠体,应当提供其中在阴极 222 和阳极 223 之间设置小的距离的电极结构,以便形成高质量的 i 型微晶硅基光电转换层 22,并且 i 型非晶硅基光电转换层 12 通过使用上述相同的电极结构

形成。

[0048] 可以根据 Paschen 法则容易地推导出当使得阴极 222 和阳极 223 之间的距离小时,通过在等离子体 CVD 膜沉积室中对于形成膜设置高压而促进了放电。然而,在本发明中,利用了传统上未考虑到的效应,即通过设置形成具有 i 型非晶硅基光电转换层 12 的非晶 pin 结构堆叠体 10 的条件,使得膜沉积压力比通常条件高,并且阴极 222 的每单位面积的功率密度比通常条件低而抑制杂质的引入或扩散的效应,即使当在同一等离子体 CVD 膜沉积室中重复地形成双 pin 结构堆叠体 30 时,也可以制造获得高光电转换效率的堆叠型硅基薄膜光电转换装置 100。

[0049] 在本实施例中,第一 p 型半导体层 11、i 型非晶硅基光电转换层 12 和第一 n 型半导体层 13 在这样的条件下顺序形成,使得膜沉积压力不低于 200Pa 并且不高于 3000Pa,并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$,使得非晶 pin 结构堆叠体 10(以下指其中 p 型层、i 型层和 n 型层按此顺序形成并且 i 型层是非晶的堆叠体)可以在同一等离子体 CVD 膜沉积室中形成。这里,在任何的本实施例和别的实施例中,当在形成 pin 结构堆叠体中电源施加至阴极时,单位电极面积的功率密度称为阴极的单位电极面积的功率密度。

[0050] 当第一 n 型半导体层 13 在这样的条件下形成时,第一 n 型半导体层 13 内的 n 型杂质原子到其它层和膜沉积室中残留的膜的扩散可能性较小并且 n 型杂质原子不影响第二 p 型半导体层 21 和 i 型微晶硅基光电转换层 22。

[0051] 第一 n 型半导体层 13 可以由从任何非晶半导体和晶态半导体形成,但是晶态半导体是期望的。由于包括在晶态半导体中的晶态部高效率地掺杂 n 型杂质原子,所以第一 n 型半导体层 13 中包括的晶态部可以带来期望的导电性而不增加 n 型杂质原子的浓度。因此,可以降低第一 n 型半导体层 13 中的 n 型杂质原子的浓度并且可以抑制其扩散至其它的层。

[0052] 另外,即使当重复形成双 pin 结构层叠体时,在形成如上所述的非晶 pin 结构堆叠体 10 的条件下获得的第一 p 型半导体层 11 和 i 型非晶硅基光电转换层 12 受到在形成第二 n 型半导体层 23 的先前的工艺中在等离子体 CVD 膜沉积室中形成的残留的膜的 n 型杂质原子的影响的可能性也小。

[0053] 膜沉积压力不低于 200Pa 是比形成非晶硅基半导体层的传统条件(例如大致从 100Pa 至 120Pa)高的压力条件。通过在高膜沉积压力下形成第一 p 型半导体层 11 和 i 型非晶硅基光电转换层 12,在这些层形成之前从附着至阴极 222 和 / 或内表面 221 的第二 n 型半导体层 23 释放的 n 型杂质原子的平均自由程(在等离子体 CVD 膜沉积室内的运动距离)被减小,并且带入将要形成的第一 p 型半导体层 11 和 i 型非晶硅基光电转换层 12 的 n 型杂质原子的数量可以被减小。另外,通过在膜沉积压力不高于 3000Pa 的膜沉积压力的形成条件下形成第一 p 型半导体层 11 和 i 型非晶硅基光电转换层 12,可以形成对于薄膜光电转换装置获得良好的膜质量的硅基半导体薄膜。

[0054] 此外,通过在不高于 $0.3\text{W}/\text{cm}^2$ 单位电极面积的低功率密度下形成第一 p 型半导体层 11 和 i 型非晶硅基光电转换层 12,可以降低与阴极 222 碰撞的等离子体中的电子和离子的能量。当 n 型杂质原子通过等离子体中的电子和离子被排出附着于阴极 222 的第二 n 型半导体层 23 之外时,通过降低其能量,可以降低带入将要形成的第一 p 型半导体层 11 和 i

型非晶硅基光电转换层 12 内的 n 型杂质离子的数量。此外,通过在功率密度不低于 $0.01\text{W}/\text{cm}^2$ 的形成条件下形成第一 p 型半导体层 11 和 i 型非晶硅基光电转换层 12,可以形成对于薄膜光电转换装置获得良好的膜质量的硅基半导体薄膜。

[0055] 结果,双 pin 结构堆叠体 30 可以在下一个基板 1 上的透明导电膜 2 上连续地形成,无需进行去除形成于等离子体 CVD 膜沉积室中的阴极和 / 或内表面上的残留的膜并且可以制造下一个堆叠型硅基薄膜光电转换装置 100。

[0056] 另外,通过在上述形成条件下形成 i 型非晶硅基光电转换层 12,减小了在第一 p 型半导体层 11 的形成中附着于阴极 222 和 / 或内表面 221 的 p 型半导体层中的 p 型杂质原子引入 i 型非晶硅基光电转换层 12 的数量。

[0057] 通过按此顺序形成 p 型层、i 型层和 n 型层,在上述各 pin 结构堆叠体中,与以 n 型层、i 型层和 p 型层的顺序的形成相比,杂质原子较少影响起光电转换层作用的 i 型层。这可能是因为,将 n 型杂质原子(例如磷原子)引入 i 型层的影响比将 p 型杂质原子(例如硼原子)引入的影响大,并且因此,i 型层形成之后的 n 型层的形成比在 i 型层的形成之后 p 型层的形成影响 i 型层较少。

[0058] 在本实施例中,参考图 1,考虑到对于 i 型非晶硅基光电转换层 12 提供足够的内部电场,第一 p 型半导体层 11 具有优选不小于 2nm 并且更优选不小于 5nm 的厚度。另外,考虑到抑制无源层的入射侧上的光吸收量的需要,第一 p 型半导体层 11 具有不大于 50nm 并且更优选不大于 30nm 的厚度。考虑到作为非晶薄膜光电转换层的足够的功能,i 型非晶硅基光电转换层 12 具有优选不小于 $0.1\mu\text{m}$ 的厚度。另外,考虑到足够的内部电场的需要,i 型非晶硅基光电转换层 12 优选具有不大于 $0.5\mu\text{m}$ 的厚度并且更优选不大于 $0.4\mu\text{m}$ 的厚度。考虑到对于 i 型非晶硅基光电转换层 12 提供足够的内部电场,第一 n 型半导体层 13 具有优选不小于 2nm 并且更优选不小于 5nm 的厚度。另外,考虑到促进减小在后面将要描述的蚀刻残留的膜期间可以扩散入 i 型非晶硅基光电转换层的残留的膜内的 n 型杂质原子的量的操作和去除包含 n 型杂质原子的残留的膜的操作,第一 n 型半导体层 13 具有优选不大于 50nm 并且更优选不大于 30nm 的厚度。

[0059] 另外,参考图 1,考虑到对于 i 型微晶硅基光电转换层 22 提供足够的内部电场,第二 p 型半导体层 21 具有优选不小于 2nm 并且更优选不小于 5nm 的厚度。另外,考虑到抑制无源层的入射光侧的光吸收量的需要,第二 p 型半导体层 21 具有优选不大于 50nm 并且更优选不大于 30nm 的厚度。考虑到足够作为包含微晶的硅基薄膜光电转换层的功能,i 型微晶硅基光电转换层 22 具有优选不小于 $0.5\mu\text{m}$ 的厚度并且更优选不小于 $1\mu\text{m}$ 的厚度。另外,考虑到确保装置的生产率的需要,i 型微晶硅基光电转换层 22 具有优选不大于 $20\mu\text{m}$ 并且更优选不大于 $15\mu\text{m}$ 的厚度。考虑到对于 i 型微晶硅基光电转换层 22 提供足够的内部电场,第二 n 型半导体层 23 具有优选不小于 2nm 并且更优选不小于 5nm 的厚度。另外,考虑到抑制无源层中光吸收量的需要,第二 n 型半导体层 23 具有优选不大于 50nm 并且更优选不大于 30nm 的厚度。

[0060] 第一 p 型半导体层 11 由非晶硅基半导体或晶态硅基半导体形成,并且第一 p 型半导体层 11 在这样的条件下形成,使得膜沉积压力不低于 200Pa 并且不高于 3000Pa ,优选不低于 300Pa 并且不高于 2000Pa ,并且进一步优选不第一 400Pa 并且不高于 1500Pa 。另外,第一 p 型半导体层 11 在这样的条件下形成,使得单位电极面积的功率密度不低于 $0.01\text{W}/$

cm^2 并且不高于 $0.3\text{W}/\text{cm}^2$, 优选不低于 $0.015\text{W}/\text{cm}^2$ 并且不高于 $0.2\text{W}/\text{cm}^2$, 并且更优选不低于 $0.02\text{W}/\text{cm}^2$ 并且不高于 $0.15\text{W}/\text{cm}^2$ 。另外, 基板的下面的基底的温度优选不高于 250°C 。这里, 基板的下面的基底的温度指其上放置基板的下面的基底的温度并且基本等于基板的温度。在本实施例中, 基板 1 通常放置在阳极 223 上并且这里下面的基底的温度指阳极的温度。另外, 引入等离子体 CVD 膜沉积室的原材料气体优选包括硅烷基气体和包含氢气的稀释气体。原材料气体可以包含甲烷、三甲基乙硼烷等以便降低在第一 p 型半导体层 11 中的光吸收量。因而, 可以形成不允许 p 型杂质原子影响接着将要形成的 i 型非晶硅基光电转换层的 p 型半导体层。尽管确定第一 p 型半导体层 11 的导电类型的杂质原子 (以下称为导电类型确定杂质原子) 不被具体地限制, 但是考虑到高掺杂效果和通用性, 优选硼原子和铝原子。

[0061] i 型非晶硅基光电转换层 12 在这样的条件下形成, 使得膜沉积压力不低于 200Pa 并且不高于 3000Pa, 优选不低于 300Pa 并且不高于 2000Pa, 并且进一步优选不低于 400Pa 并且不高于 1500Pa。另外, i 型非晶硅基光电转换层 12 在这样的条件下形成, 使得单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$, 优选不低于 $0.015\text{W}/\text{cm}^2$ 并且不高于 $0.2\text{W}/\text{cm}^2$, 并且更优选不低于 $0.02\text{W}/\text{cm}^2$ 并且不高于 $0.15\text{W}/\text{cm}^2$ 。另外, 基板的下面的基底的温度优选不高于 250°C 。此外, 对于引入等离子体 CVD 膜沉积室的原材料气体, 稀释气体的流量为硅烷基气体的流量优选至少 5 倍大并且优选最多 20 倍大, 并且更优选最多 15 倍大。这样可以形成高膜质量的非晶 i 型光电转换层。

[0062] 第一 n 型半导体层 13 由非晶硅基半导体或晶态硅基半导体形成, 并且第一 n 型半导体层 13 在这样的条件下形成, 使得膜沉积压力不低于 200Pa 并且不高于 3000Pa, 优选不低于 300Pa 并且不高于 2000Pa, 并且进一步优选不低于 400Pa 并且不高于 1500Pa。另外, 第一 n 型半导体层 13 在这样的条件下形成, 使得单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$, 优选不低于 $0.015\text{W}/\text{cm}^2$ 并且不高于 $0.2\text{W}/\text{cm}^2$, 并且更优选不低于 $0.02\text{W}/\text{cm}^2$ 并且不高于 $0.15\text{W}/\text{cm}^2$ 。另外, 基板的下面的基底的温度优选不高于 250°C 。因而, 可以形成第一 n 型半导体层 13, 其不允许 n 型杂质原子影响 i 型非晶硅基光电转换层 12 和后续形成的由第二 p 型半导体层 21、i 型微晶硅基光电转换层 22 和第二 n 型半导体层 23 形成的微晶 pin 结构堆叠体 20 (以下称为其中 p 型层、i 型层和 n 型层以此顺序形成并且 i 型层是微晶的堆叠体)。

[0063] 另外, 由于可以重复地使用同一等离子体 CVD 膜沉积室形成具有 pin 结构的薄膜, 所以在第一 n 型半导体层 13 中的杂质氮原子的浓度可以不高于 $1 \times 10^{19}\text{cm}^{-3}$ 并且其中氧原子的杂质浓度可以不高于 $1 \times 10^{20}\text{cm}^{-3}$ 。因而可以获得第一 n 型半导体层 13 和第二 p 型半导体层 21 之间的良好的欧姆接触而不需要插入额外的复合层。

[0064] 尽管第一 n 型半导体层 13 的导电类型确定杂质原子不被具体地限制, 但是考虑到高掺杂效果和通用性优选磷原子。另外, 考虑到足够的掺杂效果, 在原材料气体中磷原子相对于硅原子的成分优选不低于 0.05 原子百分比并且更优选不低于 0.1 原子百分比, 并且考虑到避免膜质量的恶化, 优选不高于 3 原子百分比并且更优选不高于 1 原子百分比。这里, 原子百分比指掺杂原子的数量对硅原子数量的百分比。因而, 第一 n 型半导体层的导电类型确定杂质原子的浓度可以不高于 $3 \times 10^{19}\text{cm}^{-3}$ 。

[0065] 第二 p 型半导体层 21 应当仅在通常形成条件 (例如, 在日本特开平 2000-243993

号公报等中所描述的)下形成,并且可以通过形成的p型微晶硅层而实施,例如,在这样的条件下形成,使得膜沉积压力在大约从600Pa至3000Pa的范围,并且单位电极面积的功率密度在大约从 $0.05\text{W}/\text{cm}^2$ 至 $0.3/\text{cm}^2$ 的范围。

[0066] 第二p型半导体层21可以被实施,例如,通过以至少0.01原子百分比和最多5原子百分比掺杂起导电类型确定杂质原子作用的硼原子的p型非晶或微晶硅薄膜。第二p型半导体层21优选在这样的条件下形成,使得基板1的下面的基底的温度不高于 250°C 并且引入等离子体CVD膜沉积室的原材料气体包括硅烷基气体和包含氢气的稀释气体。另外,为了减小第二p型半导体层21中的吸收量,原材料气体可以包含甲烷、三甲基乙硼烷等。基板1的下面的基底的温度优选不高于 250°C ,使得可以形成第二p型半导体层21而不影响i型硅基光电转换层12。

[0067] 另外,由于可以使用同一等离子体CVD膜沉积室重复地形成具有pin结构的薄膜,所以在第二p型半导体层21中的杂质氮原子的浓度可以不高于 $1\times 10^{19}\text{cm}^{-3}$ 并且其中氧原子的杂质浓度可以不高于 $1\times 10^{20}\text{cm}^{-3}$ 。因而可以获得第一n型半导体层13和第二p型半导体层21之间的良好的欧姆接触而不插入额外的复合层。

[0068] 尽管第二p型半导体层21的导电类型确定杂质原子不被具体地限制,但是考虑到高掺杂效率和通用性优选硼原子、铝原子等。因而,在第二p型半导体层21中的导电类型确定杂质的浓度可以不高于 $5\times 10^{19}\text{cm}^{-3}$ 并且可以获得第一n型半导体层13和第二p型半导体层21之间的良好的欧姆接触而不插入额外的复合层。

[0069] i型微晶硅基光电转换层22应当仅在通常的形成条件下形成(例如,在日本特开平2000-243993号公报等中所描述的),并且可以通过形成的i型微晶硅层而实施,例如,在这样的条件下形成,使得膜沉积压力在大约从600Pa至3000Pa的范围并且单位电极面积的功率密度在大约从 $0.05\text{W}/\text{cm}^2$ 至 $0.3\text{W}/\text{cm}^2$ 的范围。

[0070] i型微晶硅基光电转换层22可以通过设置基板1的下面的基底的温度优选至不高于 250°C 的温度而形成,而不影响i型非晶硅基光电转换层12。另外,对于引入等离子体CVD膜沉积室的原材料气体,稀释气体的流量为硅烷基气体的流量优选至少30倍大并且优选最多100倍大,并且更优选80倍大。因而可以获得具有用Raman能谱法测量的 520nm^{-1} 峰对于 480nm^{-1} 峰的峰强度比 I_{520}/I_{480} 不小于5并且不大于10的i型微晶硅基光电转换层22。这样的i型微晶硅基光电转换层22可以实现晶态的足够比例,并且i型硅基光电转换层可以以良好的再现性形成,即使在后面将要描述的去除(以下也称为清洁)在膜沉积室中的阴极和/或内表面上形成的残留的膜的处理之后。

[0071] 第二n型半导体层23应当仅在通常的形成条件下形成(例如,在日本特开平2000-243993号公报等中所描述的),并且可以通过形成的n型微晶硅层而实施,例如,在这样的条件下形成,使得膜沉积压力在大约从600Pa至3000Pa的范围并且单位电极面积的功率密度在大约从 $0.05\text{W}/\text{cm}^2$ 至 $0.3\text{W}/\text{cm}^2$ 的范围。

[0072] 第二n型半导体层23可以通过设置基板1的下面的基底的温度优选至不高于 250°C 的温度而形成,而不影响i型非晶硅基光电转换层。这里,尽管对于第二n型半导体层23的导电类型确定杂质原子未被具体地限制,但是考虑到高掺杂效率和通用性优选磷原子。另外,考虑到足够的掺杂效果,在原材料气体中磷原子相对于硅原子的成分优选不低于0.1原子百分比并且更优选不低于0.3原子百分比,并且考虑到避免膜质量的恶化,优选

不高于 5 原子百分比并且更优选不高于 3 原子百分比。

[0073] 因而通过在同一等离子体 CVD 膜沉积室中连续地形成非晶 pin 结构堆叠体 10 (即第一 p 型半导体层 11、i 型非晶硅基光电转换层 12 和第一 n 型半导体层 13) 和微晶 pin 结构堆叠体 20 (即第二 p 型半导体层 21、i 型微晶硅基光电转换层 22 和第二 n 型半导体层 23), 可以以低成本和高效率形成具有高光电转换效率的堆叠型硅基薄膜光电转换装置。

[0074] (实施例 2)

[0075] 参考图 1 和 2, 根据本发明的硅基薄膜光电转换装置的制造方法的另一实施例包括的步骤是: 在形成上述实施例 1 中的双 pin 结构堆叠体之后, 将包括双 pin 结构堆叠体的硅基薄膜光电转换装置 100 取出等离子体 CVD 膜沉积室 220 并且去除等离子体 CVD 膜沉积室 220 中阴极 222 和 / 或内表面 221 上的残留的膜。即, 本实施例中的硅基薄膜光电转换装置的制造方法的特征在于, 在形成双 pin 结构堆叠体 30 之后, 包括双 pin 结构堆叠体 30 的硅基薄膜光电转换装置 100 被取出等离子体 CVD 膜沉积室 220 并且等离子体 CVD 膜沉积室 220 中阴极 222 和 / 或内表面 221 上残留的膜被去除。

[0076] 在如实施例 1 中所示在同一等离子体 CVD 膜沉积室中形成双 pin 结构堆叠体之后, 包括双 pin 结构堆叠体的硅基薄膜光电转换装置 100 被取出, 并且此后等离子体 CVD 膜沉积室中阴极和 / 或内表面上形成的残留的膜被去除, 使得可以在同一等离子体 CVD 膜沉积室中重复地制造具有良好的质量和性能的堆叠型硅基薄膜光电转换装置 100。

[0077] 通过如实施例 1 中所示, 在同一等离子体 CVD 膜沉积室 220 中形成双 pin 结构堆叠体而形成一个堆叠型硅基薄膜光电转换装置之后, 下一个堆叠型硅基薄膜光电转换装置也可以通过在同一等离子体 CVD 膜沉积室 220 中形成下一个双 pin 结构堆叠体而形成, 而不进行去除如本实施例中所示出的去除等离子体 CVD 膜沉积室 220 中阴极 222 和 / 或内表面 221 上残留的膜的步骤。

[0078] 然而, 考虑到避免被等离子体 CVD 膜沉积室 220 中残留的膜的污染, 宁可不在一个堆叠型硅基薄膜光电转换装置 100 的形成之后在下一基板 1 的透明导电膜 2 上连续地形成下一堆叠型硅基薄膜光电转换装置 100 的非晶 pin 结构堆叠体 10, 而是优选在非晶 pin 结构堆叠体 10 的形成之前完全去除等离子体 CVD 膜沉积室 220 中阴极 222 和 / 或内表面 221 上残留的膜, 从而完全消除残留的膜中的第二 n 型层中的杂质原子 (n 型掺杂剂) 扩散进入下一堆叠型硅基薄膜光电转换装置 100 的非晶 pin 结构堆叠体 10 的影响。因而, 可以连续地以良好的再现性形成具有良好的质量和性能的堆叠型硅基薄膜光电转换装置。

[0079] 即, 本实施例的硅基薄膜光电转换装置的制造方法的特征在于包括下列步骤: 去除等离子体 CVD 膜沉积室 220 中阴极 222 和 / 或内表面 221 上残留的膜, 作为消除在等离子体 CVD 膜沉积室 220 中残留的膜中的 p 型层和 n 型层中的杂质原子 (p 型杂质原子和 n 型杂质原子) 在下一步骤中进行的 pin 结构堆叠体的形成时对于 pin 结构堆叠体的影响的步骤。采用这样的步骤, 即使在单个室系统中连续地制造多个光电转换装置, 也可以消除残留的膜中的杂质原子的影响, 并且可以显著地抑制 n 型杂质原子引入 pin 结构堆叠体中的第一 p 型半导体层和 i 型非晶硅基薄膜光电转换层。因而, 可以重复地形成具有良好的质量和性能的 pin 结构堆叠体并且可以使用单室系统制造包括双 pin 结构堆叠体的堆叠型硅基薄膜光电转换装置。这样, 与基于直线系统、多室系统或其组合的制造设施相比, 可以简化设施, 并且可以实现较低的成本。

[0080] 在本实施例中,去除残留的膜的步骤可以通过使用气体等离子分解进行,其中将选自氢气、惰性气体和氟基清洁气体组成的组的至少一种气体转化为等离子体。由于这样的去除残留的膜的步骤,pin 结构堆叠体可以被重复地形成并且可以以良好的再现性制造堆叠型硅基薄膜光电转换装置。蚀刻残留的膜的操作可以优选通过使用任何氢气、惰性气体和氟基清洁气体而进行,但是考虑到蚀刻残留的膜的相对高的速率,优选使用通过将三氟化氮气体转换为等离子体而获得的三氟化氮气体等离子体。这里,通常氩气优选作为惰性气体,尽管取决于具体的蚀刻条件。

[0081] 在本实施例中在去除残留的膜的步骤中,可以去除等离子体 CVD 膜沉积室中的阴极和 / 或内表面上全部的残留的膜。这里,为了避免在残留的膜中作为位于最低层 (其后指最接近于阴极的层)p 型层中的杂质原子的影响,轻微的过蚀刻和欠蚀刻是必须的。

[0082] 在过蚀刻的情形,当上面的双 pin 结构堆叠体一旦形成时形成的残留的膜被过蚀刻至与其厚度加上该厚度的大约 5% 至 10% 相当的深度。通过这样做,可以消除残留的膜中的杂质原子的影响。然而,重复地过蚀刻形成于等离子体 CVD 膜沉积室中的阴极上的残留的膜导致逐渐蚀刻形成于阴极上用于稳定放电的预沉积膜 (以下称为预沉积膜) 并且展露出阴极的金属表面,这可以在形成下一双 pin 结构堆叠体的初始阶段显著地影响具有大约数十 nm 的厚度的部分。

[0083] 为了解决上述问题,可以选择欠蚀刻以留下当所述结构堆叠体一旦形成时形成的残留的膜的接近于阴极的部分。用这样的方式进行欠蚀刻,使得残留的膜从其表面被蚀刻掉,直到位于最接近于阴极和 / 或内表面的第一 n 型层,且优选 i 型层被蚀刻至其厚度方向 10nm 或者更深的深度。如果在厚度方向上蚀刻掉的 i 型层的深度小于 10nm,则变得难于完全消除已经在 i 型层中扩散的第一 n 型层中的杂质原子 (n 型掺杂剂) 的影响。这里,优选蚀刻掉 i 型层至相当于其厚度的 90% 或更小,并且更优选蚀刻掉 i 型层至相当于其厚度的 80% 或更小。蚀刻掉 i 型层至相当于其厚度的 90% 产生 i 型层下面的 p 型层中的杂质原子 (p 型掺杂剂) 的影响,且下一步骤将要形成的掺杂 p 层的数量可以从优选值偏离。因此,优选与 n 型层一起,i 型层被蚀刻至相当于其厚度的大约 80%,以便完全消除残留的膜中的杂质原子的影响。在去除残留的膜的工艺结束之后,下一基板被载入等离子体 CVD 膜沉积室,并且重复地形成双 pin 结构堆叠体。这样制造包括双 pin 结构堆叠体的下一堆叠型硅基表面光电转换装置。

[0084] 通过多次重复形成双 pin 结构堆叠体的步骤和上述欠蚀刻步骤,未被蚀刻掉的残留的膜堆叠在阴极上,膜的数量对应于双 pin 结构堆叠体的形成次数。当这样继续堆叠型硅基薄膜光电转换装置的制造时,由于内部应力堆叠的残留的膜从阴极表面剥离并且可以作为具有几个 μm 直径的粉末进入 pin 结构堆叠体。粉末引起使得上和下电极相互短路的点缺陷,并且显著地降低了光电转换装置的产率至 30% 或更小。

[0085] 这里,如果在光电转换装置的制造之后从阴极剥离残留的膜,则优选去除阴极上的全部残留的膜。即使当残留的膜未从阴极剥离时,也更优选在残留的膜剥离之前避免出现上述点缺陷并且保持制造光电转换装置中的高产率。尽管残留的膜的剥离程度根据膜沉积条件和附着膜时电极的表面状态而显著地变化,但是在等离子体 CVD 膜沉积室中制造硅基薄膜中,通常当形成于阴极上的残留的膜的累积的厚度不小于 $10\mu\text{m}$ 并且不大约 $1000\mu\text{m}$ 时,易于残留的膜的剥离。因此,当阴极上残留的膜的累积厚度优选不小于 $10\mu\text{m}$

并且不大于 $800\text{ }\mu\text{m}$, 并且更优选不小于 $300\text{ }\mu\text{m}$ 并且不大于 $500\text{ }\mu\text{m}$ 时, 所有堆叠在阴极上的残留的膜被令人满意地去除。

[0086] 可以通过使用通过将氢气、惰性气体、氟基清洁气体, 或以任意比率包含这些气体的气体混合物转化为等离子体所获得的气体等离子体, 进行去除堆叠在阴极上的残留的膜的步骤, 然而, 考虑到蚀刻残留膜相对高的速率, 优选使用氟基清洁气体, 例如三氟化氮。例如, 通过引入包括 10 至 30 体积百分比的三氟化氮气体和 90 至 70 体积百分比的氩气的气体混合物作为蚀刻气体并且在不高于 300Pa 的压力下提供等离子体放电, 可以获得不低于 10nm/s 的蚀刻速率。在这样的阴极清洁之后, 为了稳定阴极表面, 在阴极表面上进行硅膜的预沉积 (预沉) 并且可以再次继续形成 pin 结构堆叠体的步骤。

[0087] 尤其在过蚀刻形成于阴极上的残留的膜的步骤中, 应当注意不完全去除形成于金属表面上用于稳定阴极表面的下面的膜。如果下面的膜被完全去除, 则用于形成双 pin 结构堆叠体中的第一 p 型半导体层的条件可能变得不稳定, 并且因此, 优选再次进行下面的膜的预沉积。

[0088] (实施例 3)

[0089] 参考图 3, 根据本发明的硅基薄膜光电转换装置的制造方法的又一实施例的特征在于, 由 p 型半导体层 41、i 型晶态硅基光电转换层 42 和 n 型半导体层 43 形成的至少一晶态 pin 结构堆叠体 40 堆叠在用上述根据实施例 1 或实施例 2 的制造方法形成的双 pin 结构堆叠体 30 的第二 n 型半导体层 23 上。

[0090] 具体地, 参考图 3, 本实施例中的硅基薄膜光电转换装置通过具有堆叠型硅基薄膜光电转换装置 300 而实施, 堆叠型硅基薄膜光电转换装置 300 具有这样的结构, 使得当从基板 1 侧观察时, 3 或更多的由非晶 pin 结构堆叠体 10、微晶 pin 结构堆叠体 20 和一或更多的晶态 pin 结构堆叠体 40 (以下指由 p 型层、i 型晶态层、和 n 型层形成的 pin 结构堆叠体) 形成的 pin 结构堆叠体被堆叠, 并且由于光源的光吸收的较高效率, 实现更高的光电转换效率。考虑到光吸收方面的较高的效率, i 型晶态硅基光电转换层 42 中的各晶体优选具有比 i 型微晶硅基光电转换层 22 中各晶体更大的直径。同时, p 型半导体层 41 和 n 型半导体层 43 分别与实施例 1 中的第一 p 型半导体层 11 和第一 n 型半导体层 13 相同。

[0091] (实施例 4)

[0092] 现将更具体地描述用实施例 2 中的方法制造的硅基薄膜光电转换装置。在本实施例中的硅基薄膜光电转换装置通过堆叠型硅基薄膜光电转换装置而实施, 并且参考图 1, 其是串连型硅基薄膜光电转换装置, 该装置通过在透明基板 1 上顺序透明导电膜 2、形成非晶 pin 结构堆叠体 10 的第一 p 型半导体层 11、i 型非晶硅基光电转换层 12 和第一 n 型半导体层 13、形成微晶 pin 结构堆叠体 20 的第二 p 型半导体层 21、i 型微晶硅基光电转换层 22 和第二 n 型半导体层 23、导电膜 3、和金属电极 4 而获得。

[0093] 参考图 1、2 和 4, 本实施例中的硅基薄膜光电转换装置用下列的方式制造。这里, 参考图 2, 在制造本光电转换装置中所使用的等离子体 CVD 设备 200 包括加热室 210、膜沉积室 220 和出口室 230, 并且基板 1 在箭头所示出的方向在室之间传送。

[0094] 最初, 透明导电膜 2 形成于由玻璃等制成的透明基板 1 上。透明导电膜 2 未被具体地限制, 只要它透射光线并且具有导电类型, 并且优选形成由例如 SnO_2 、ITO (以下称为氧化铟锡)、和 ZnO 组成的透明导电氧化膜等。

[0095] 以下,在步骤(以下,步骤简写为 S)1 中,其上形成了透明导电膜 2 的基板 1 被载入等离子体 CVD 设备 200 的加热室 210。然后,在 S2 中,基板被加热并且在加热室 210 中保持预定的时间直至基板的温度达到膜沉积温度。然后,在 S3 中,其上形成的透明导电膜 2 并且其温度达到膜沉积温度的基板 1 被载入沉积室 220。

[0096] 接着,在 S4 中,形成非晶 pin 结构堆叠体 10 的第一 p 型半导体层 11、i 型非晶硅基光电转换层 12 和第一 n 型半导体层 13,形成微晶 pin 结构堆叠体 20 的第二 p 型半导体层 21、i 型微晶硅基光电转换层 22 和第二 n 型半导体层 23 在同一膜沉积室 220 中连续地形成于基板 1 上的透明导电膜 2 上,从而形成包括双 pin 结构堆叠体的光电转换装置。

[0097] 在膜沉积室 220 中,最初,第一 p 型半导体层 11 用等离子体 CVD 法形成于透明导电膜 2 上。第一 p 型半导体层 11 在这样的条件下形成,使得膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。另外,优选基板 1 的下面的基底的温度不高于 250°C 。引入膜沉积室 220 的原材料气体优选包括硅烷基气体和包含氢气的稀释气体。原材料气体可以包含甲烷、三甲基乙硼烷等,以便降低光吸收量。通过优选设置基板的下面的基底的温度不高于 250°C ,形成第一 p 型半导体层 11 而不影响下面将要形成的 i 型非晶硅基光电转换层 12。另外,在后面将要描述的蚀刻残留的膜的步骤之后,第一 p 型半导体层 11 还可以以良好的再现性形成。硼原子、铝原子等优选选作第一 p 型半导体层 11 的导电类型确定杂质原子。

[0098] i 型非晶硅基光电转换层 12 在这样的条件下形成,使得膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。另外,优选基板 1 的下面的基底的温度不高于 250°C 。此外,对于引入膜沉积室 220 的原材料气体,优选稀释气体的流量为硅烷基气体的流量至少 5 倍大,并且优选稀释气体的流量为硅烷基气体的流量最多 20 倍大,并且更优选最多 15 倍大。通过选择这样的条件,形成高膜质量的 i 型非晶硅基光电转换层 12。

[0099] 第一 n 型半导体层 13 在这样的条件下形成,使得膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。优选基板 1 的下面的基底的温度不高于 250°C 。通过选择这样的条件,形成高膜质量的第一 n 型半导体层 13 而不影响非晶 pin 结构堆叠体 10 和微晶 pin 结构堆叠体 20。磷可以被选作第一 n 型半导体层 13 的导电类型确定杂质原子。这里,考虑到足够的掺杂效果,原材料气体中磷原子相对于硅原子的成分优选不低于 0.05 原子百分比并且更优选不低于 0.1 原子百分比,并且考虑到避免膜质量的恶化,优选不高于 3 原子百分比并且更优选不高于 1 原子百分比。因而,第一 n 型半导体层的导电类型确定杂质原子的浓度可以不高于 $3 \times 10^{19}\text{cm}^{-3}$ 。

[0100] 第二 p 型半导体层 21 应当仅在通常的形成条件下形成,并且可以通过形成的 p 型微晶硅层而实施,例如在这样的条件下形成,使得膜沉积压力在大约从 600Pa 至 3000Pa 的范围并且单位电极面积的功率密度在大约从 $0.05\text{W}/\text{cm}^2$ 至 $0.3\text{W}/\text{cm}^2$ 的范围。

[0101] 第二 p 型半导体层 21 优选在基板 1 的下面的基底的温度不高于 250°C 的条件下形成至至少 2nm 至最多 50nm 的厚度。引入膜沉积室 220 的原材料气体主要包含硅烷基气体,例如硅烷气体和包含例如氢气等的稀释气体,稀释气体的流量为硅烷基气体的流量至少 100 倍大,并且优选乙硼烷作为掺杂气体。

[0102] 另外,第二 p 型半导体层 21 可以被实施,例如通过以至少 0.01 原子百分比和最多

5 原子百分比掺杂起导电类型确定杂质原子作用的硼的 p 型非晶或微晶硅薄膜。然而, 这些第二 p 型半导体层 21 的条件不是限制性的, 并且例如, 铝原子等也可以用作杂质原子。作为替代, 第二 p 型半导体层 21 可以由例如非晶和微晶碳化硅、非晶硅锗等的合金材料制成的层形成。另外, 第二 p 型半导体层 21 优选具有至少 2nm 至最多 50nm 范围的厚度。作为替代, 第二 p 型半导体层 21 也可以通过多晶硅基薄膜或合金基薄膜, 或者通过堆叠多个不同的薄膜而实施。

[0103] i 型微晶硅基光电转换层 22 应当仅在通常的形成条件下形成, 并且可以通过形成的 i 型微晶硅层而实施, 例如在这样的条件下形成, 使得膜沉积压力在大约从 600Pa 至 3000Pa 的范围并且单位电极面积的功率密度在大约从 $0.05\text{W}/\text{cm}^2$ 至 $0.3\text{W}/\text{cm}^2$ 的范围。

[0104] i 型微晶硅基光电转换层 22 优选形成至不小于 $0.5\mu\text{m}$ 并且不大于 $20\mu\text{m}$ 的厚度。i 型微晶硅基光电转换层 22 优选在这样的条件下形成, 使得基板 1 的下面的基底的温度不高于 250°C 并且稀释气体的流量为硅烷基气体的流量优选至少 30 倍大并且最多 100 倍大。这样获得的 i 型微晶硅基光电转换层 22 优选具有用 Raman 能谱法测量的 520nm^{-1} 峰对于 480nm^{-1} 峰的峰强度比 I_{520}/I_{480} 不小于 5 并且不大于 10。另外, 通过 i 型微晶硅薄膜或包含少量弱 p 型或弱 n 型杂质并且具有足够的光电转换功能的微晶硅薄膜, 从而可以实施 i 型微晶硅基光电转换层。此外, i 型微晶硅基光电转换层 22 不局限于上述微晶硅薄膜, 并且可以采用碳化硅、硅锗等代表性的合金材料的薄膜。

[0105] 第二 n 型半导体层 23 应当仅在通常的形成条件下形成, 并且可以通过形成的 n 型微晶硅层而实施, 例如在这样的条件下形成, 使得膜沉积压力在大约从 600Pa 至 3000Pa 的范围并且单位电极面积的功率密度在大约从 $0.05\text{W}/\text{cm}^2$ 至 $0.3\text{W}/\text{cm}^2$ 的范围。

[0106] 第二 n 型半导体层 23 优选在基板 1 的下面的基底的温度不高于 250°C 的条件下形成成为至少 2nm 至最多 50nm 的厚度。另外, 第二 n 型半导体层 23 可以被实施, 例如通过以至少 0.1 原子百分比和最多 5 原子百分比掺杂以起导电类型确定杂质原子作用的磷原子的 n 型非晶或微晶硅薄膜。然而, 这些对于 n 型半导体层的条件不是限制性的, 并且第二 n 型半导体层 23 可以由例如微晶碳化硅、硅锗等的合金材料形成。

[0107] 下面参考图 1、2 和 4, 在 S5 中, 将上述包括双 pin 结构堆叠体的光电转换装置取出膜沉积室 220 到出口室 230 之后, 在 S6 中, 确定是否出现例如在膜沉积室 220 中的阴极上的残留的膜剥离的异常。如果出现例如剥离的异常 (在 S6 中 YES), 期望地, 在步骤 7 中所有阴极 222 上的残留的膜采用过蚀刻被去除并且进行在 S8 中 (例如预沉积膜的形成) 示出的阴极表面的稳定化。另一方面, 如果不出现阴极 222 上的残留的膜的异常 (S6 中 No), 则在 S9 中膜沉积室 220 中的阴极 222 和 / 或内表面 221 上的残留的膜被蚀刻 (欠蚀刻或过蚀刻), 从而消除在最后的 n 型半导体层形成时在膜沉积室 220 中的阴极 222 和 / 或内表面 221 上形成的残留的膜中的杂质原子 (n 型掺杂剂) 的影响。这里, 残留的膜的去除可以使用通过将氢气、惰性气体、氟基清洁气体或这些气体的任何气体混合物转换为等离子体而获得的气体等离子体进行。

[0108] 在去除残留的膜的步骤中, 通常去除形成于阴极 222 上的全部残留的膜。这里, 为了避免蚀刻残留的膜的步骤中最终留下的 p 型层中的杂质原子 (p 型掺杂剂) 的影响, 轻微过蚀刻和欠蚀刻是必须的。在过蚀刻的情形, 当上述双 pin 结构堆叠体一旦形成时形成的残留的膜被蚀刻至相当于其厚度加上其厚度的大约 5% 至 10% 的深度。通过这样做, 可

以消除残留的膜中的杂质原子的影响。然而,重复这样的过蚀刻,导致逐渐蚀刻掉用于稳定放电的形成于阴极上的预沉积膜并且展露阴极的金属表面,这在形成下一双 pin 结构堆叠体的初始阶段可能显著地影响具有大约数十 nm 的厚度的部分。

[0109] 为了解决上述问题,可以选择欠蚀刻以留下当所述结构堆叠体一旦形成时形成的残留的膜的接近于阴极的部分。用这样的方式进行欠蚀刻,使得残留的膜从其表面层被蚀刻掉,直到优选位于最接近于阴极和 / 或内表面的 i 型层被蚀刻至在其厚度方向上 10nm 或者更深的深度。如果在其厚度方向蚀刻掉的 i 型层的深度小于 10nm,则变得难于完全消除已经在 i 型层中被扩散的第一 n 型层中的杂质原子的影响 (n 型掺杂剂)。这里,优选蚀刻掉 i 型层至相当于其厚度的 90% 或更小的深度,并且更优选蚀刻掉 i 型层至相当于其厚度的 80% 或更小的深度。蚀刻至大于 i 型层厚度的 90% 的深度产生在 i 型层下面的 p 型层中的杂质原子 (p 型掺杂剂) 的影响,且下一步骤将要形成的掺杂 p 层的数量可能从优选值偏离。因此,优选与 n 型层一起, i 型层被蚀刻至相当于其厚度的大约 80% 的深度,以便完全消除残留的膜中的杂质原子的影响。在去除残留的膜的工艺结束之后,下一基板被载入等离子体 CVD 膜沉积室,并且重复地形成双 pin 结构堆叠体。因而,制造出包括双 pin 结构堆叠体的下一堆叠型硅基薄膜光电转换装置。

[0110] 通过多次重复形成双 pin 结构堆叠体的步骤和上述欠蚀刻步骤,未被蚀刻掉的残留的膜堆叠在阴极 222 上,其数量对应于双 pin 结构堆叠体的形成次数。当工艺这样继续进行,由于内部应力堆叠的残留的膜从阴极表面剥离并且可以作为具有几个 μm 直径的粉末进入 pin 结构堆叠体。粉末引起这样的点缺陷使得上和下电极相互短路,并且显著地降低了光电转换装置的产率至 30% 或更小。这里,如果在光电转换装置制造之后残留的膜从阴极 222 被剥离,则优选去除阴极 222 上的全部残留的膜。即使当残留的膜未从阴极 222 剥离时,也更优选在残留的膜剥离之前避免出现上述点缺陷并且保持制造光电转换装置中的高产率。尽管残留的膜的剥离程度根据膜沉积条件和附着膜时电极的表面状态而显著地变化,但是在等离子体 CVD 膜沉积室中制造硅基薄膜中,通常当形成于阴极 222 上的残留的膜的累积厚度不小于 $10\mu\text{m}$ 并且不大于 $1000\mu\text{m}$ 时,易于剥离残留的膜。因此,当阴极 222 上残留的膜的累积厚度优选不小于 $10\mu\text{m}$ 并且不大于 $800\mu\text{m}$, 并且更优选不小于 $300\mu\text{m}$ 并且不大于 $500\mu\text{m}$ 时,所有堆叠在阴极上的残留的膜被期望地去除。

[0111] 使用通过将氢气、惰性气体、氟基清洁气体,或以任意比率包含这些气体的气体混合物转化为等离子体所获得的气体等离子体,可以进行去除堆叠在阴极 222 上的残留的膜的步骤,然而,考虑到蚀刻残留膜的相对高的速率,优选使用氟基清洁气体,例如三氟化氮。例如,通过引入包括 10 至 30 体积百分比的三氟化氮气体和 90 至 70 体积百分比的氩气的气体混合物作为蚀刻气体并且在不高于 300Pa 的压力下提供等离子体放电,可以获得不低于 10nm/s 的蚀刻速率。在这样的阴极 222 的清洁之后,为了稳定阴极表面,在阴极表面上进行硅膜的预沉积并且可以再次继续形成 pin 结构堆叠体的步骤。

[0112] 接着参考图 1,在如上所述形成双 pin 结构堆叠体 30 之后,由例如 ZnO 组成的导电膜 3 形成于双 pin 结构堆叠体 30 的第二 n 型半导体层 23 上并且此后由例如 Al、Ag 等构成的金属电极 4 形成于导电膜 3 上。背电极部通过导电膜 3 和金属电极 4 而实施,由此完成光电转换装置。

[0113] 如上所述,由于本实施例的光电转换装置可以用单室系统制造,所以与直线系统

或多室系统相比可以简化制造设施。另外,由于等离子体 CVD 设备可以长时间工作而不打开膜沉积室,所以可以显著地缩短制造中的节拍时间并且可以减小制造成本。

[0114] (实施例 5)

[0115] 参考图 1,根据本发明的硅基薄膜光电转换装置的一实施例涉及包括形成于基板 1 上的透明导电膜 2 和双 pin 结构堆叠体 30 的堆叠型硅基薄膜光电转换装置 100,并且其特征在于双 pin 结构堆叠体 30 由顺序形成于透明导电膜 2 上的第一 p 型半导体层 11、i 型非晶硅基光电转换层 12、第一 n 型半导体层 13、第二 p 型半导体层 21、i 型微晶硅基光电转换层 22、和第二 n 型半导体层 23 形成,并且各第一 n 型半导体层 13 和第二 p 型半导体层 21 具有不高于 $1 \times 10^{19} \text{cm}^{-3}$ 的杂质氮原子浓度和不高于 $1 \times 10^{20} \text{cm}^{-3}$ 的杂质氧原子浓度。采用在实施例 1 至实施例 4 中所示出的制造方法,获得了高光电转换效率的堆叠型硅基薄膜光电转换装置,其中各第一 n 型半导体层 13 和第二 p 型半导体层 21 具有不高于 $1 \times 10^{19} \text{cm}^{-3}$ 的杂质氮原子浓度和不高于 $1 \times 10^{20} \text{cm}^{-3}$ 的杂质氧原子浓度。

[0116] (实施例 6)

[0117] 参考图 1,根据本发明的硅基薄膜光电转换装置的另一实施例涉及包括形成于基板 1 上的透明导电膜 2 和双 pin 结构堆叠体 30 的堆叠型硅基薄膜光电转换装置 100,并且其特征在于双 pin 结构堆叠体 30 由顺序形成于透明导电膜 2 上的第一 p 型半导体层 11、i 型非晶硅基光电转换层 12、第一 n 型半导体层 13、第二 p 型半导体层 21、i 型微晶硅基光电转换层 22、和第二 n 型半导体层 23 形成,确定第一 n 型半导体层 13 的导电类型的杂质原子的浓度不高于 $3 \times 10^{19} \text{cm}^{-3}$,并且确定第二 p 型半导体层 21 的导电类型的杂质原子的浓度不高于 $5 \times 10^{19} \text{cm}^{-3}$ 。通过设置确定第一 n 型半导体层 13 和第二 p 型半导体层 21 的导电类型的杂质原子的浓度至上述浓度或者更低的浓度,采用在实施例 1 至实施例 4 中所示出的制造方法,有效地抑制了第一 n 型半导体层 13 的导电类型确定杂质原子引入其它层(第一 n 型半导体层 13 之外的层)和第二 p 型半导体层 21 的导电类型确定杂质原子引入其它层(第二 p 型半导体层 21 之外的层),并且获得了高光电转换效率的堆叠型硅基薄膜光电转换装置。

[0118] (实施例 7)

[0119] 参考图 2 和 5,根据本发明的硅基薄膜光电转换装置的制造方法的又一实施例的特征在于,包括通过在同一等离子体 CVD 膜沉积室 220 中在形成于基板 1 上的透明导电膜 2 上顺序地形成 p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13 而形成非晶 pin 结构堆叠体 10 的步骤,并且 p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13 在这样的条件下形成,使得等离子体 CVD 膜沉积室 220 中的膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01 \text{W}/\text{cm}^2$ 并且不高于 $0.3 \text{W}/\text{cm}^2$ 。

[0120] 即参考图 2 和 5,根据本实施例中的硅基薄膜光电转换装置的制造方法,非晶 pin 结构堆叠体 10 通过在同一等离子体 CVD 膜沉积室 220 中在形成于基板 1 上的透明导电膜 2 上顺序地形成 p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13 而形成。这里 p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13 在这样的条件下形成,使得等离子体 CVD 膜沉积室 220 中的膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01 \text{W}/\text{cm}^2$ 并且不高于 $0.3 \text{W}/\text{cm}^2$ 。在本实施例中,如图 2 中

所示出的,非晶 pin 结构堆叠体 10 在其中阴极 222 和阳极 223 之间的距离被固定的同一等离子体 CVD 膜沉积室中连续地形成。

[0121] 在图 5 中所示出的本实施例的制造方法中,通过在同一等离子体 CVD 膜沉积室 220 中,在形成于基板 1 上的透明导电膜 2 上顺序形成 p 型半导体层 11、i 型非晶光电转换层 12 和 n 型半导体层 13 而形成 pin 结构堆叠体 10 的步骤与图 1 中实施例 1 中直到通过在形成于基板 1 上的透明导电膜 2 上顺序形成第一 p 型半导体层 11、i 型非晶硅基光电转换层 12 和第一 n 型半导体层 13 而形成非晶 pin 结构堆叠体 10 的步骤相同。即在图 5 中示出的本实施例中的硅基薄膜光电转换装置中的非晶 pin 结构堆叠体 10 (p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13) 与在图 1 中示出的实施例 1 中的硅基薄膜光电转换装置中的非晶 pin 结构堆叠体 10 (第一 p 型半导体层 11、i 型非晶硅基光电转换层 12 和第一 n 型半导体层 12) 相同。因此,在本实施例的制造方法中非晶 pin 结构堆叠体的形成具有下面的特征,如在实施例 1 的制造方法中非晶 pin 结构堆叠体 10 的形成。

[0122] 具体地,在本实施例中,利用了传统上未被考虑的效应,即通过对于形成 p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13 设置与传统的对于在同一等离子体 CVD 膜沉积室 220 中形成具有 i 型非晶硅基光电转换层 12 的非晶 pin 结构堆叠体 10 的形成条件(例如大约 100Pa 至 120Pa) 相比较高的压力和较低的阴极 222 的功率密度而抑制 n 型杂质引入 p 型半导体层 11 和 i 型非晶硅基光电转换层 12,即使当在同一等离子体 CVD 膜沉积室 220 中连续地形成非晶 pin 结构堆叠体 10 时,也可以制造获得高光电转换效率的硅基薄膜光电转换装置。

[0123] 另外,在本实施例中,非晶 pin 结构堆叠体 10 可以在同一等离子体 CVD 膜沉积室 220 中通过在与实施例 1 相同的条件下顺序地形成 p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13 而形成,即这样的条件是等离子体 CVD 膜沉积室 220 内阴极 222 和阳极 223 之间的距离被设置为 3mm 至 20mm,优选 5mm 至 15mm,更优选 7mm 至 12mm,膜沉积压力不低于 200Pa 并且不高于 3000Pa,并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。

[0124] 即使在非晶 pin 结构堆叠体 10 被形成并且基板 1 被取出之后,当非晶 pin 结构堆叠体 10 重复地形成于下一基板上时,在上述条件下获得的 p 型半导体层 11 和 i 型非晶硅基光电转换层 12 也较小可能受到在形成 n 型半导体层 13 的先前的工艺中在等离子体 CVD 膜沉积室 220 中形成的残留的膜中的 n 型杂质原子的影响。

[0125] 不低于 200Pa 的膜沉积压力是高于形成非晶硅基半导体层的传统的条件(大约从 100Pa 至 120Pa) 的压力条件。通过在高膜沉积压力下形成 p 型半导体层 11 和 i 型非晶硅基光电转换层 12,从在形成这些层之前附着至等离子体 CVD 膜沉积室 220 中阴极 222 和/或内表面 221 的 n 型半导体层释放的 n 型杂质的平均自由程(在等离子体 DVD 膜沉积室内的运动距离)被减小,并且可以减小被带入将要形成的 p 型半导体层 11 和 i 型非晶硅基光电转换层 12 的 n 型杂质原子的数量。另外,通过在膜沉积压力不高于 3000Pa 的形成条件下形成 p 型半导体层 11 和 i 型非晶硅基光电转换层 12,可以形成对于薄膜光电转换装置的良好膜质量的硅基半导体薄膜。

[0126] 此外,通过在不高于 $0.3\text{W}/\text{cm}^2$ 单位电极面积的低功率密度下形成 p 型半导体层 11 和 i 型非晶硅基光电转换层 12,可以降低与阴极 222 碰撞的等离子体中电子和离子的能量。

当通过等离子体中的电子和离子, n 型杂质原子从附着至阴极 222 的 n 型半导体层中被排出时, 通过降低其能量, 可以减小带入将要形成的 p 型半导体层 11 和 i 型非晶硅基光电转换层 12 的 n 型杂质原子的数量。此外, 通过在不低于 $0.01\text{W}/\text{cm}^2$ 的功率密度的形成条件下形成 p 型半导体层 11 和 i 型非晶硅基光电转换层 12, 可以形成对于薄膜光电转换装置的良好膜质量的硅基半导体薄膜。

[0127] 因此, 非晶 pin 结构堆叠体 10 可以连续地被形成于下一基板 1 上的透明导电膜 2 上, 而不进行去除等离子体 CVD 膜沉积室 220 中的阴极 222 和 / 或内表面 221 上形成的残留的膜的步骤, 并且可以制造下一硅基薄膜光电转换装置。

[0128] 另外, 通过在上述形成条件下形成 i 型非晶硅基光电转换层 12, 在 p 型半导体层 11 的形成中附着至阴极 222 和 / 或内表面 221 的 p 型半导体层 11 中的 p 型杂质原子引入 i 型非晶硅基光电转换层 12 的数量被减小。

[0129] 通过在上述非晶 pin 结构堆叠体 10 中以此顺序形成 p 型层、i 型层和 n 型层, 与以 n 型层、i 型层、p 型层的顺序形成的相比, 杂质原子影响起光电转换层作用的 i 型层较小。这是因为 n 型杂质原子 (例如磷原子) 引入 i 型层的影响比 p 型杂质原子 (例如硼原子) 引入 i 型层的情形大, 因此, 形成 i 型层之后形成 n 型层比形成 i 型层之后形成 p 型层对于 i 型层的影响小。

[0130] 在本实施例中 p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13 的厚度、形成条件和导电类型确定杂质的浓度分别与实施例 1 中的第一 p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13 相同。

[0131] 具体地, p 型半导体层 11 由非晶硅基半导体或晶态硅基半导体形成, 并且在这样的条件下形成, 使得膜沉积压力不低于 200Pa 并且不高于 3000Pa, 优选不低于 300Pa 并且不高于 2000Pa, 并且更优选不低于 400Pa 并且不高于 1500Pa。另外, p 型半导体层 11 在这样的条件下形成, 使得单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$, 优选不低于 $0.015\text{W}/\text{cm}^2$ 并且不高于 $0.2\text{W}/\text{cm}^2$, 更优选不低于 $0.02\text{W}/\text{cm}^2$ 并且不高于 $0.15\text{W}/\text{cm}^2$ 。

[0132] 另外, i 型非晶硅基光电转换层 12 在这样的条件下形成, 使得膜沉积压力不低于 200Pa 并且不高于 3000Pa, 优选不低于 300Pa 并且不高于 2000Pa, 并且更优选不低于 400Pa 并且不高于 1500Pa。另外, i 型非晶硅基光电转换层 12 在这样的条件下形成, 使得单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$, 优选不低于 $0.015\text{W}/\text{cm}^2$ 并且不高于 $0.2\text{W}/\text{cm}^2$, 更优选不低于 $0.02\text{W}/\text{cm}^2$ 并且不高于 $0.15\text{W}/\text{cm}^2$ 。

[0133] 此外, 通过优选设置基板 1 的下面的基底的温度至不高于 250°C , 可以形成 n 型半导体层 13 而不影响 i 型非晶硅基光电转换层 12。这里, 尽管对于 n 型半导体层 13 的导电类型确定杂质原子未被具体地限制, 但是考虑到高掺杂效率和通用性, 优选磷原子。另外, 考虑到足够的掺杂效果, 在原材料气体中磷原子相对于硅原子的含量优选不低于 0.1 原子百分比并且更优选不低于 0.3 原子百分比, 并且考虑到避免膜质量的恶化, 优选不高于 5 原子百分比并且更优选不高于 3 原子百分比。

[0134] 由于可以在同一等离子体 CVD 膜沉积室 220 中重复地形成非晶 pin 结构堆叠体 10 (即 p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13), 所以, 可以以低成本高效率地制造具有高光电转换效率的硅基薄膜光电转换装置 500。

[0135] 另外, n 型半导体层 13 期望地由非晶硅基半导体或晶态硅基半导体形成, 并且在

这样的条件下形成,使得膜沉积压力不低于200Pa并且不高于3000Pa,优选不低于300Pa并且不高于2000Pa,并且更优选不低于400Pa并且不高于1500Pa。另外,n型半导体层13在这样的条件下形成,使得单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$,优选不低于 $0.015\text{W}/\text{cm}^2$ 并且不高于 $0.2\text{W}/\text{cm}^2$,更优选不低于 $0.02\text{W}/\text{cm}^2$ 并且不高于 $0.15\text{W}/\text{cm}^2$ 。

[0136] n型半导体层13可以由任何非晶半导体和晶态半导体形成,然而,晶态半导体是期望的。由于在晶态半导体中包括的晶态部被高效率地掺杂n型杂质原子,所以n型半导体层13中晶态部的包括可以带来期望的导电性而不增加n型杂质原子的浓度。因此,可以降低n型半导体层13中n型杂质原子的浓度并且可以降低其对于其它层的扩散。即,在顺序地在另一基板1上形成非晶pin结构堆叠体10中,由于在形成下一p型半导体层11和i型非晶硅基光电转换层12之前附着至等离子体CVD膜沉积室220中的阴极222和/或内表面221的n型半导体层中的n型杂质原子的浓度低,所以,带入将要形成的p型半导体层11和i型非晶硅基光电转换层12中的n型杂质原子的数量可以被减小。因而可以重复地制造具有高光电转换效率的硅基薄膜光电转换装置500。

[0137] (实施例8)

[0138] 根据本发明的硅基薄膜光电转换装置的制造方法的另一实施例包括的步骤是:在上述实施例7中的形成非晶pin结构堆叠体10的步骤之后,将包括非晶结构堆叠体10的硅基薄膜光电转换装置500取出等离子体CVD沉积室220并且去除等离子体CVD膜沉积室220中的阴极222和/或内表面221上的残留的膜。即本实施例的硅基薄膜光电转换装置的制造方法的特征在于,形成非晶pin结构堆叠体10之后,包括非晶pin结构堆叠体10的硅基薄膜光电转换装置500被取出等离子体CVD膜沉积室220并且等离子体CVD膜沉积室220中的阴极222和/或内表面221上残留的膜被去除。

[0139] 如在实施例7中所示出的在同一等离子体CVD膜沉积室220中形成非晶pin结构堆叠体10之后,包括非晶pin结构堆叠体10的硅基薄膜光电转换装置500被取出,并且随后等离子体CVD膜沉积室220中的阴极222和/或内表面221上残留的膜被去除,使得可以在同一等离子体CVD膜沉积室220中重复地制造具有良好质量和性能的硅基薄膜光电转换装置500。

[0140] 下一硅基薄膜光电转换装置500也可以使用在实施例7中所示出的方法,通过在同一等离子体CVD膜沉积室220中形成非晶pin结构堆叠体10而不进行去除等离子体CVD膜沉积室220中的阴极222和/或内表面221上残留的膜而形成。

[0141] 然而,考虑到避免被等离子体CVD膜沉积室220中残留的膜的污染,宁可不在一硅基薄膜光电转换装置500的形成之后在下一基板1的透明导电膜2上顺序地形成下一硅基薄膜光电转换装置500的非晶pin结构堆叠体10,而是优选在非晶pin结构堆叠体10的形成之前完全去除等离子体CVD膜沉积室220中阴极222和/或内表面221上残留的膜,从而完全消除残留的膜中的n型层中的杂质原子(n型掺杂剂)扩散进入下一硅基薄膜光电转换装置500的非晶pin结构堆叠体10的影响。因而,可以以良好的再现性连续地形成具有良好质量和性能的硅基薄膜光电转换装置。

[0142] 即,本实施例的硅基薄膜光电转换装置的制造方法的特征在于包括下列步骤:去除等离子体CVD膜沉积室220中阴极222和/或内表面221上残留的膜,作为消除在等离

子体 CVD 膜沉积室 220 中残留的膜中的 p 型层和 n 型层中的杂质原子 (p 型杂质原子和 n 型杂质原子) 在下一步骤中进行的 pin 结构堆叠体的形成时对于 pin 结构堆叠体的影响的步骤。采用这样的步骤,即使在单个室系统中连续地制造多个光电转换装置,也可以消除残留的膜中的杂质原子的影响并且可以显著地抑制 n 型杂质原子引入 pin 结构堆叠体中的第一 p 型半导体层和 i 型非晶硅基薄膜光电转换层。因而,可以重复地形成具有良好的质量和性能的 pin 结构堆叠体并且可以使用单室系统制造硅基薄膜光电转换装置。与根据直线系统、多室系统或其组合的制造设施相比,则可以简化设施,并且可以实现成本的降低。本实施例中在去除残留的膜的步骤中所使用的清洁气体与实施例 2 中相同。

[0143] (实施例 9)

[0144] 参考图 2 和 6,根据本发明的硅基薄膜光电转换装置的制造方法的又一实施例的特征在于:包括形成双 pin 结构堆叠体 60 的步骤,通过在同一等离子体 CVD 膜沉积室 220 中在形成于基板 1 上的透明导电膜 2 上顺序地形成第一 p 型半导体层 11、第一 i 型非晶硅基光电转换层 12、第一 n 型半导体层 13、第二 p 型半导体层 21、第二 i 型非晶硅基光电转换层 52、和第二 n 型半导体层 23,并且第一 p 型半导体层 11、第一 i 型非晶硅基光电转换层 12、第一 n 型半导体层 13、第二 p 型半导体层 21、第二 i 型非晶硅基光电转换层 52、和第二 n 型半导体层 23 在这样的条件下形成,使得等离子体 CVD 膜沉积室 220 中的膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。

[0145] 即参考图 2 和 6,根据本实施例中的硅基薄膜光电转换装置的制造方法,通过在同一等离子体 CVD 膜沉积室 220 中,在形成于基板 1 上的透明导电膜 2 上顺序地形成第一 p 型半导体层 11、第一 i 型非晶硅基光电转换层 12、第一 n 型半导体层 13、第二 p 型半导体层 21、第二 i 型非晶硅基光电转换层 52、和第二 n 型半导体层 23 而形成双 pin 结构堆叠体 60。这里,第一 p 型半导体层 11、第一 i 型非晶硅基光电转换层 12、第一 n 型半导体层 13、第二 p 型半导体层 21、第二 i 型非晶硅基光电转换层 52、和第二 n 型半导体层 23 在这样的条件下形成,使得等离子体 CVD 膜沉积室 220 中的膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。在本实施例中,双 pin 结构堆叠体 60 重复地在同一等离子体 CVD 膜沉积室 220 中形成,其中阴极 222 和阳极 223 之间的距离如在图 2 中所示出的被固定。

[0146] 在图 6 中所示出的本实施例的制造方法中通过在同一等离子体 CVD 膜沉积室 222 中在形成于基板 1 上的透明导电膜 2 上顺序形成 p 型半导体层 11、i 型非晶光电转换层 12 和 n 型半导体层 13 而形成 pin 结构堆叠体 10 的步骤与图 1 中实施例 1 的制造方法中直到通过在形成于基板 1 上的透明导电膜 2 上顺序形成第一 p 型半导体层 11、i 型非晶硅基光电转换层 12 和第一 n 型半导体层 13 而形成非晶 pin 结构堆叠体 10 的步骤和通过图 5 中的实施例 7 中的制造方法中直到在形成于基板 1 上的透明导电膜 2 上顺序形成 p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13 而形成非晶 pin 结构堆叠体 10 的步骤相同。

[0147] 即在图 6 中示出的本实施例中的硅基薄膜光电转换装置 600 中的非晶 pin 结构堆叠体 10 (第一 p 型半导体层 11、i 型非晶硅基光电转换层 12 和第二 n 型半导体层 13) 与在图 1 中示出的实施例 1 中的硅基薄膜光电转换装置 100 中的非晶 pin 结构堆叠体 10 (第一

p 型半导体层 11、i 型非晶硅基光电转换层 12 和第一 n 型半导体层 12) 和在图 5 中示出的实施例 7 中的硅基薄膜光电转换装置 500 中的非晶 pin 结构堆叠体 10 (p 型半导体层 11、i 型非晶硅基光电转换层 12 和 n 型半导体层 13) 相同。

[0148] 另外,在本实施例中,双 pin 结构堆叠体 60 可以在与实施例 1 和 7 相同的条件下,在同一等离子体 CVD 膜沉积室 220 中,通过顺序地形成第一 p 型半导体层 11、第一 i 型非晶硅基光电转换层 12、第一 n 型半导体层 13、第二 p 型半导体层 21、第二 i 型非晶硅基光电转换层 52、和第二 n 型半导体层 23 而形成,即在这样的条件下形成,使得等离子体 CVD 膜沉积室 220 内的阴极 222 和阳极 223 之间的距离被设置为 3mm 至 20mm,优选 5mm 至 15mm,并且更优选 7mm 至 12mm,膜沉积压力不低于 200Pa 并且不高于 3000Pa,并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。

[0149] 即双 pin 结构堆叠体 60 通过在相似的条件重复两次在实施例 7 中所述的形成非晶 pin 结构堆叠体 10 而实施,并且双 pin 结构堆叠体 60 由第一非晶 pin 结构堆叠体 10 和第二非晶 pin 结构堆叠体 50 构成。因此,形成非晶 pin 结构堆叠体 50 的第二 p 型半导体层 21、第二 i 型非晶硅基光电转换层 52,和第二 n 型半导体层 23 分别与形成非晶 pin 结构堆叠体 10 的第一 p 型半导体层 11、第一 i 型非晶硅基光电转换层 12、和第一 n 型半导体层 13 相同。这里,为了实现串连的两个非晶 pin 结构堆叠体 10、50 的电流输出的匹配,第二 i 型非晶硅基光电转换层 52 具有比第一 i 型非晶硅基光电转换层 12 更大的厚度。通常,第一 i 型非晶硅基光电转换层 12 具有大约数十 nm 的厚度,而第二 i 型非晶光电转换层 52 具有大约从 200 至 400nm 的厚度。

[0150] 在本实施例中,当第二非晶 pin 结构堆叠体 50 通过顺序地在这样的条件下形成第二 p 型半导体层 21 和第二 i 型非晶硅基光电转换层 52,使得膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 时,随后基板 1 被改变,并且第一非晶 pin 结构堆叠体 10 重复地形成于基板上,在上述形成条件下获得的第一 p 型半导体层 11 和第一 i 型非晶硅基光电转换层 12 较小可能受到在形成第二 n 型半导体层 23 的先前的工艺中在等离子体 CVD 膜沉积室 220 中形成的残留的膜中的 n 型杂质原子的影响。

[0151] 不低于 200Pa 的膜沉积压力是比形成非晶硅基半导体层的通常条件更高的压力条件。通过在高膜沉积压力下形成第一 p 型半导体层 11 和第一 i 型非晶硅基光电转换层 12,在这些层形成之前从附着至等离子体 CVD 膜沉积室 220 中的阴极 222 和 / 或内表面 221 的第二 n 型半导体层 23 释放的 n 型杂质原子的平均自由程 (在等离子体 CVD 膜沉积室内的运动距离) 被减小,并且可以减小带入将要形成的第一 p 型半导体层 11 和第一 i 型非晶硅基光电转换层 12 的 n 型杂质原子的数量。另外,通过在膜沉积压力不高于 3000Pa 的膜沉积压力的形成条件下形成第一 p 型半导体层 11 和第一 i 型非晶硅基光电转换层 12,可以形成对于薄膜光电转换装置的获得良好的膜质量的硅基半导体薄膜。

[0152] 此外,通过在不高于 $0.3\text{W}/\text{cm}^2$ 单位电极面积的低功率密度下形成第一 p 型半导体层 11 和第一 i 型非晶硅基光电转换层 12,可以降低与阴极 222 碰撞的等离子体中的电子和离子的能量。当 n 型杂质原子通过等离子体中的电子和离子被排出附着于阴极 222 的第二 n 型半导体层 23 之外时,通过降低其能量,可以降低带入将要形成的第一 p 型半导体层 11 和第一 i 型非晶硅基光电转换层 12 内的 n 型杂质离子的数量。此外,通过在功率密度不低

于 $0.01\text{W}/\text{cm}^2$ 的形成条件下形成第一 p 型半导体层 11 和第一 i 型非晶硅基光电转换层 12, 可以形成对于薄膜光电转换装置的获得良好的膜质量的硅基半导体薄膜。

[0153] 因此, 双 pin 结构堆叠体 60 可以在下一个基板 1 上的透明导电膜 2 上连续地形成, 无需进行去除形成于等离子体 CVD 膜沉积室 220 中的阴极 222 和 / 或内表面 221 上的第二 n 型半导体层 23 的残留的膜的步骤并且可以制造下一个堆叠型硅基薄膜光电转换装置 600。

[0154] 另外, 通过在上述形成条件下形成第一 i 型非晶硅基光电转换层 12, 可以减小在第一 p 型半导体层 11 的形成中附着于阴极 222 和 / 或内表面 221 的 p 型半导体层中的 p 型杂质原子的引入第一 i 型非晶硅基光电转换层 12 的数量。即可以降低第一 p 型半导体层 11 中的 p 型杂质原子对于第一 i 型非晶硅基光电转换层 12 的影响。

[0155] 第一 n 型半导体层 13 可以由任何非晶半导体和晶态半导体形成, 然而, 晶态半导体是期望的。由于在晶态半导体中包括的晶态部被高效率地掺杂 n 型杂质原子, 所以 n 型半导体层 13 中晶态部的包括可以带来期望的导电性而不增加 n 型杂质原子的浓度。因此, 可以降低第一 n 型半导体层 13 中 n 型杂质原子的浓度并且可以减轻其对于其它层的扩散。即, 在第一 n 型半导体层 13 的形成之后顺序地形成第二非晶 pin 结构堆叠体 50, 由于在形成第二 p 型半导体层 21 和第二 i 型非晶硅基光电转换层 52 之前附着至等离子体 CVD 膜沉积室 220 中的阴极 222 和 / 或内表面 221 的第一 n 型半导体层 13 中的 n 型杂质原子的浓度低, 所以, 带入将要形成的第二 p 型半导体层 21 和第二 i 型非晶硅基光电转换层 52 中的 n 型杂质原子的数量可以被减小。

[0156] 另外, 在本实施例中, 第二 p 型半导体层 21 和第二 i 型非晶硅基光电转换层 52 在这样的条件下顺序形成, 使得膜沉积压力不低于 200Pa 并且不高于 3000Pa 并且单位电极面积的功率密度不低于 $0.01\text{W}/\text{cm}^2$ 并且不高于 $0.3\text{W}/\text{cm}^2$ 。当第二 p 型半导体层 21 和第二 i 型非晶硅基光电转换层 52 在这样的形成条件下形成时, 在等离子体 CVD 膜沉积室 220 中形成的残留的膜中的 n 型杂质原子在第一 n 型半导体层 13 的形成中的影响较小。

[0157] 不低于 200Pa 的膜沉积压力是比形成非晶硅基半导体层的通常的条件更高的压力条件。通过在高膜沉积压力下形成第二 p 型半导体层 21 和第二 i 型非晶硅基光电转换层 52, 在形成这些层之前从附着至等离子体 CVD 膜沉积室 220 中阴极 222 和 / 或内表面 221 的 n 型半导体层释放的 n 型杂质的平均自由程 (在等离子体 DVD 膜沉积室内的运动距离) 被减小, 并且可以减小被带入将要形成的第二 p 型半导体层 21 和第二 i 型非晶硅基光电转换层 52 的 n 型杂质原子的数量。另外, 通过在膜沉积压力不高于 3000Pa 的形成条件下形成第二 p 型半导体层 21 和第二 i 型非晶硅基光电转换层 52, 可以形成对于薄膜光电转换装置的良好膜质量的硅基半导体薄膜。

[0158] 此外, 通过在不高于 $0.3\text{W}/\text{cm}^2$ 单位电极面积的低功率密度下形成第二 p 型半导体层 21 和第二 i 型非晶硅基光电转换层 52, 可以降低与阴极 222 碰撞的等离子体中的电子和离子的能量。当 n 型杂质原子通过等离子体中的电子和离子被排出附着于阴极 222 的第一 n 型半导体层 13 之外时, 通过降低其能量, 可以降低带入将要形成的第二 p 型半导体层 21 和第二 i 型非晶硅基光电转换层 52 内的 n 型杂质离子的数量。此外, 通过在功率密度不低于 $0.01\text{W}/\text{cm}^2$ 的形成条件下形成第二 p 型半导体层 21 和第二 i 型非晶硅基光电转换层 52, 可以形成对于薄膜光电转换装置的获得良好的膜质量的硅基半导体薄膜。

[0159] 另外,通过在上述形成条件下形成第二 i 型非晶硅基光电转换层 52,减小了在第二 p 型半导体层 21 的形成中附着于阴极 222 和 / 或内表面 221 的第二 p 型半导体层 21 中的 p 型杂质原子的引入第二 i 型非晶硅基光电转换层 52 的数量。

[0160] 第二 n 型半导体层 23 可以由任何非晶半导体和晶态半导体形成,然而,晶态半导体是期望的。由于在晶态半导体中包括的晶态部被高效率地掺杂 n 型杂质原子,所以 n 型半导体层 13 中晶态部的包括可以带来期望的导电性而不增加 n 型杂质原子的浓度。因此,可以降低第二 n 型半导体层 23 中 n 型杂质原子的浓度并且可以减轻其对于其它层的扩散。即,在另一基板 1 上顺序地形成双 pin 结构堆叠体 60,由于在形成下一第一 p 型半导体层 11 和第一 i 型非晶硅基光电转换层 12 之前附着至等离子体 CVD 膜沉积室 220 中的阴极 222 和 / 或内表面 221 的第二 n 型半导体层 23 中的 n 型杂质原子的浓度低,所以,带入将要形成的第一 p 型半导体层 11 和第一 i 型非晶硅基光电转换层 12 中的 n 型杂质原子的数量可以被减小。因而可以重复地制造具有高光电转换效率的堆叠型硅基薄膜光电转换装置 600。

[0161] (实施例 10)

[0162] 根据本发明的硅基薄膜光电转换装置的制造方法的又一实施例包括的步骤是:在上述实施例 9 中的形成双 pin 结构堆叠体 60 的步骤之后,将包括双 pin 结构堆叠体 60 的硅基薄膜光电转换装置 600 取出等离子体 CVD 沉积室 220 并且去除等离子体 CVD 膜沉积室 220 中的阴极 222 和 / 或内表面 221 上的残留的膜。即本实施例的硅基薄膜光电转换装置的制造方法的特征在于,形成双 pin 结构堆叠体 60 之后,包括双 pin 结构堆叠体 60 的硅基薄膜光电转换装置 600 被取出等离子体 CVD 膜沉积室 220 并且等离子体 CVD 膜沉积室 220 中的阴极 222 和 / 或内表面 221 上残留的膜被去除。

[0163] 如在实施例 9 中所示出的,在同一等离子体 CVD 膜沉积室 220 中形成双 pin 结构堆叠体 60 之后,包括双 pin 结构堆叠体 60 的硅基薄膜光电转换装置 600 被取出,并且随后等离子体 CVD 膜沉积室 220 中的阴极 222 和 / 或内表面 221 上残留的膜被去除,使得可以在同一等离子体 CVD 膜沉积室 220 中重复地制造具有良好质量和性能的硅基薄膜光电转换装置 600。

[0164] 下一硅基薄膜光电转换装置 600 也可以使用在实施例 9 中所示出的方法,通过在同一等离子体 CVD 膜沉积室 220 中形成双 pin 结构堆叠体 60 而形成,而不进行去除等离子体 CVD 膜沉积室 220 中的阴极 222 和 / 或内表面 221 上残留的膜。

[0165] 然而,考虑到避免被等离子体 CVD 膜沉积室 220 中残留的膜的污染,宁可不在一堆叠型硅基薄膜光电转换装置 600 的形成之后在下一基板 1 的透明导电膜 2 上顺序地形成下一堆叠型硅基薄膜光电转换装置 600 双 pin 结构堆叠体 60,而是优选在双 pin 结构堆叠体 60 的形成之前完全去除等离子体 CVD 膜沉积室 220 中阴极 222 和 / 或内表面 221 上残留的膜,从而完全消除残留的膜中的 n 型层中的杂质原子(n 型掺杂剂)扩散进入下一堆叠型硅基薄膜光电转换装置 600 的双 pin 结构堆叠体 60 的影响。因而,可以以良好的再现性连续地形成具有良好的质量和性能的堆叠型硅基薄膜光电转换装置 600。

[0166] 即,本实施例的硅基薄膜光电转换装置的制造方法的特征在于,还包括下列步骤:去除等离子体 CVD 膜沉积室 220 中阴极 222 和 / 或内表面 221 上残留的膜,作为消除在等离子体 CVD 膜沉积室 220 中残留的膜中的 p 型层和 n 型层中的杂质原子(p 型杂质原子和 n 型杂质原子)在下一步骤中进行的双 pin 结构堆叠体 60 的形成时对于双 pin 结构堆叠体

60 的影响的步骤。采用这样的步骤,即使在单个室系统中连续地制造多个光电转换装置,也可以消除残留的膜中的杂质原子的影响并且可以显著地降低 n 型杂质原子引入双 pin 结构堆叠体 60 中的第一和第二 p 型半导体层 11 和 21 以及第一和第二 i 型非晶硅基薄膜光电转换层 12 和 52。因而,可以重复地形成具有良好的质量和性能的双 pin 结构堆叠体并且可以使用单室系统制造堆叠型硅基薄膜光电转换装置。与根据直线系统、多室系统或其组合的设施相比,则可以简化设施,并且可以实现成本的降低。本实施例中在去除残留的膜的步骤中所使用的清洁气体与实施例 2 和实施例 8 中相同。

[0167] (实施例 11)

[0168] 参考图 7,根据本发明的硅基薄膜光电转换装置的制造设备的一实施例是实施例 1(见图 1)、实施例 7(见图 5)、实施例 9(见图 6) 等中的制造方法所使用的制造硅基薄膜光电转换装置的设备,并且制造硅基薄膜光电转换装置的设备包括其中布置了阴极 222 和阳极 223 的等离子体 CVD 膜沉积室 220,调节等离子体 CVD 膜沉积室 220 中的气压的气压调节部 211;和对阴极 222 供电的供电部 201,阴极 222 和阳极 223 之间的距离不小于 3mm 并且不大于 20mm,气压调节部 211 能够在从至少 200Pa 至最多 3000Pa 的范围控制 CVD 膜沉积室 220 内的气压,并且供电部 201 能够在从 $0.01\text{W}/\text{cm}^2$ 至 $0.3\text{W}/\text{cm}^2$ 的范围控制阴极的单位面积的功率密度。在图 7 中,箭头 G1 指示引入等离子体 CVD 膜沉积室 220 的气体流,而箭头 G2 指示从等离子体 CVD 膜沉积室 220 排出的气体流。

[0169] 参考图 7,例如,本实施例中制造硅基薄膜光电转换装置的设备是用等离子体 CVD 法制造半导体层的设备,具有这样的平行板电极结构,使得阴极 222 和阳极 223 在可以在气密地密封的等离子体 CVD 膜沉积室 220 中平行地布置得相互面对。这里,阴极 222 和阳极 223 之间的距离被设置,例如 3mm 至 20mm,优选 5mm 至 15mm,更优选 7mm 至 12mm。阴极 222 和阳极 223 的两个电极都被固定,使得其间的距离是固定或者是可变的。考虑到电极之间的距离的较高的精确度和较小的设备尺寸,电极之间的距离优选固定至恒定的值。

[0170] 在等离子体 CVD 膜沉积室 220 中,布置了提供了构成气压调节部 222 的压力调节阀 213v 的气体引入管 213,提供了压力调节阀 217v 的气体排出管 217 和气体排出设备 216(例如排气泵)。

[0171] 稀释气体、原材料气体、掺杂气体等通过气体引入管 213 引入等离子体 CVD 膜沉积室 220。包含氢气的气体被用作稀释气体,硅烷基气体、甲烷气体、锆烷气体等被用作原材料气体,用于掺杂 p 型杂质原子的乙硼烷气体等用作 p 型杂质原子掺杂气体,并且使用掺杂 n 型杂质原子的磷化氢等。

[0172] 另外,等离子体 CVD 膜沉积室 220 内的气体利用排气设备 216 通过排气管 217 而被排出。这里,通过调节压力调节阀 213v,217v 和排气设备 216,可以调节等离子体 CVD 膜沉积室 220 中的气压。这里,排气设备 216 能够高真空排气,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 $1.0 \times 10^{-4}\text{Pa}$ 的背景压力,然而,考虑到设备的简化,降低的成本和改善的生产量,能够排气至大约 0.1Pa 的背景压力的设备是期望的。

[0173] 由于本实施例中的制造设备包括能够控制等离子体 CVD 膜沉积室 220 中的气压至从至少 200Pa 至最多 3000Pa 的范围,优选从至少 300Pa 至最多 2000Pa,并且更优选从至少 400Pa 至最多 1500Pa 的气压调节部 211,所以可以形成其中较小可能引入杂质原子的 pin 结构堆叠体,并且可以以低成本高效率地制造具有高转换效率的硅基薄膜光电转换装置。

[0174] 另外,在等离子体 CVD 膜沉积室 220 外面布置构成供电部 201 的电源输出部 208, 阻抗匹配电路 205,和将在电源输出部 208 中所产生的电源提供给阴极 222 的供电线 206a、206b。这里,供电线 206a 连接至电源输出部 208 和阻抗电路 205 的一端,而供电线 206b 连接至阻抗电路 205 的另一端和阴极 222。

[0175] 电源输出部 208 可以提供任何 CW(连续波)交流输出和脉冲调制(开-关控制) AC 输出。来自电源输出部 208 的 AC 电源通常具有 13.56MHz 的频率,然而,频率并不局限于此,可以采用从几 kHz 至 VHF 的频带和微波频带的频率。

[0176] 同时,阳极 223 电连接至地,并且其上形成了透明导电膜的基板 1 被放置在阳极上。尽管基板 1 可以被放置在阴极上,但是通常提供在阳极上,以便减轻由于等离子体中的离子所产生的损伤导致膜质量的下降。阴极 222 通过供电线 206a、阻抗匹配电路 205 和供电线 206b 提供来自电源输出部 208 的电力。

[0177] 由于本实施例中的制造设备包括能够在从至少 $0.01\text{W}/\text{cm}^2$ 至 $0.3\text{W}/\text{cm}^2$,优选从至少 $0.015\text{W}/\text{cm}^2$ 至最多 $0.2\text{W}/\text{cm}^2$ 的范围控制阴极 222 的单位面积的功率密度的供电部 201,所以可以形成其中较小可能引入杂质原子的 pin 结构堆叠体并且可以以低成本高效率地制造具有高转换效率的硅基薄膜光电转换装置。

[0178] 实例

[0179] (实例 1)

[0180] 在本实例中,通过在图 2 中所示出的同一等离子体 CVD 膜沉积室 220 中通过重复地形成图 1 中所示出的双 pin 结构堆叠体 30 而重复地制造堆叠型硅基薄膜光电转换装置。

[0181] 起第一 p 型半导体层 11 的作用并且具有 10nm 厚度(硼原子浓度 $3 \times 10^{19}\text{cm}^{-3}$)的非晶硅层,起 i 型非晶硅基光电转换层 12 作用并且具有 $0.5\mu\text{m}$ 厚度的非晶硅层,起第一 n 型半导体层 13 的作用并且具有 30nm 厚度(磷原子浓度 $2 \times 10^{19}\text{cm}^{-3}$ 、氮原子浓度 $1 \times 10^{18}\text{cm}^{-3}$ 、氧原子浓度 $5 \times 10^{19}\text{cm}^{-3}$)的非晶硅层、起第二 p 型半导体层 21 作用并且具有 30nm 的厚度(硼原子浓度 $3 \times 10^{19}\text{cm}^{-3}$ 、氮原子浓度 $1 \times 10^{18}\text{cm}^{-3}$ 、氧原子浓度 $5 \times 10^{19}\text{cm}^{-3}$)的微晶硅层、起 i 型微晶硅基光电转换层 22 作用并且具有 $3\mu\text{m}$ 厚度的微晶硅层、和起第二 n 型半导体层 23 作用并且具有 30nm 厚度(磷原子浓度 $3 \times 10^{19}\text{cm}^{-3}$)的微晶硅层形成于透明导电膜 2 上,透明导电膜 2 通过具有 $1\mu\text{m}$ 厚度并且形成于由厚度 4mm 的玻璃形成的基板 1 上的 SnO_2 膜而实施。此后形成起导电膜 3 的作用并且具有 $0.05\mu\text{m}$ 厚度的 ZnO 层和起金属电极作用并且具有 $0.1\mu\text{m}$ 厚度的 Ag 电极。

[0182] 初始,起第一 p 型半导体层 11 的作用并且具有 10nm 厚度的非晶硅层在这样的条件下形成于其上形成了具有凹凸的 SnO_2 膜(透明导电膜 2)的玻璃基板 1 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.05\text{W}/\text{cm}^2$ 。

[0183] 此后,起 i 型非晶硅基光电转换层 12 作用并且具有 $0.5\mu\text{m}$ 厚度的非晶硅层在这样的条件下形成于第一 p 型半导体层 11 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.07\text{W}/\text{cm}^2$ 。

[0184] 此后,起第一 n 型半导体层 13 作用并且具有 30nm 厚度的非晶硅层在这样的条件下形成于 i 型非晶硅基光电转换层 12 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.05\text{W}/\text{cm}^2$ 。

[0185] 此后,起第二 p 型半导体层 21 作用并且具有 30nm 厚度的微晶硅层在这样的条件下形成于第一 n 型半导体层 13 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 800Pa 并且阴极的单位面积的功率密度被设置为 $0.08\text{W}/\text{cm}^2$ 。

[0186] 此后,起 i 型微晶硅基光电转换层 22 作用并且具有 $3\mu\text{m}$ 厚度的微晶硅层在这样的条件下形成于第二 p 型半导体层 21 上使得等离子体 CVD 膜沉积室 220 中的压力被设置为 800Pa 并且阴极的单位面积的功率密度被设置为 $0.10\text{W}/\text{cm}^2$ 。

[0187] 此后,起第二 n 型半导体层 23 作用并且具有 30nm 厚度的微晶硅层在这样的条件下形成于 i 型微晶硅基光电转换层 22 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 800Pa 并且阴极的单位面积的功率密度被设置为 $0.08\text{W}/\text{cm}^2$ 。

[0188] 此后,起导电膜 3 的作用并且具有 $0.05\mu\text{m}$ 厚度的 ZnO 层和起金属电极的作用并且具有 $0.1\mu\text{m}$ 的厚度的 Ag 电极用溅射形成,从而制造作为堆叠型硅基薄膜光电转换装置的串连型硅基薄膜光电转换装置。

[0189] 获得的串连型硅基薄膜光电转换装置的光电转换效率被测量并且其结果是 13.6%。

[0190] 此后,第二双 pin 结构堆叠体 30 在同一等离子体 CVD 膜沉积室 220 中在与上述相同的条件下形成,从而用相似的方法制造堆叠型硅表面光电转换装置。测量了获得的第二堆叠型硅薄膜光电转换装置的光电转换效率并且该结果是 13.5%。这样,接连地制造十个串连型硅薄膜光电转换装置。第三、第四、第五、第六、第七、第八、第九、第十串连型硅薄膜光电转换装置的光电转换效率分别是 13.4%、13.5%、13.4%、13.6%、13.6%、13.4%、13.5%和 13.6%。结果在图 8 中示出。

[0191] 从图 8 中还可以清楚地看出,观察到第一至第十串连型光电转换装置的光电转换效率没有显著的变化,并且可以以稳定的方式制造具有良好特性的堆叠型硅薄膜光电转换装置。

[0192] (实例 2)

[0193] 作为堆叠型硅薄膜光电转换装置的串连型硅基光电转换装置通过连续(重复地)地根据图 4 中所示出的 S1 至 S5 在图 2 中示出的等离子体 CVD 设备 200 中的同一膜沉积室 220 中形成双 pin 结构堆叠体 30(非晶 pin 结构堆叠体 10 和微晶 pin 结构堆叠体 20)而获得。

[0194] 这里,在本实例的串连型光电转换装置中,具有 4mm 厚度的玻璃基板被用作基板 1。起透明导电膜 2 作用并且具有 $1\mu\text{m}$ 厚度的 SnO_2 膜、起第一 p 型半导体层 11 的作用并且具有 10nm 厚度(硼原子浓度 $3\times 10^{19}\text{cm}^{-3}$)的非晶硅层,起 i 型非晶硅基光电转换层 12 作用并且具有 $0.5\mu\text{m}$ 厚度的非晶硅层,起第一 n 型半导体层 13 的作用并且具有 30nm 厚度(磷原子浓度 $2\times 10^{19}\text{cm}^{-3}$ 、氮原子浓度 $1\times 10^{18}\text{cm}^{-3}$ 、氧原子浓度 $5\times 10^{19}\text{cm}^{-3}$)的非晶硅层、起第二 p 型半导体层 21 作用并且具有 30nm 的厚度(硼原子浓度 $3\times 10^{19}\text{cm}^{-3}$ 、氮原子浓度 $1\times 10^{18}\text{cm}^{-3}$ 、氧原子浓度 $5\times 10^{19}\text{cm}^{-3}$)的微晶硅层、起 i 型微晶硅基光电转换层 22 作用并且具有 $3\mu\text{m}$ 厚度的微晶硅层、和起第二 n 型半导体层 23 作用并且具有 30nm 厚度(磷原子浓度 $3\times 10^{19}\text{cm}^{-3}$)、起导电膜 3 的作用并且具有 $0.05\mu\text{m}$ 厚度的 ZnO 层和起金属电极作用并且具有 $0.1\mu\text{m}$ 厚度的 Ag 电极顺序形成于基板 1 上。

[0195] 测量获得的串连型硅基薄膜光电转换装置的光电转换效率并且该结果是 13.5%。

此后,通过从其表面欠蚀刻残留的膜至相当于膜沉积室中最接近于阴极和内表面的 i 型层的厚度的 90% 的深度而取出在膜沉积室 220 中形成的残留的膜,并且此后,在与上述相同的条件下形成包括双 pin 结构堆叠体 30 的第二串连型光电转换装置。测量获得的第二串连型硅基薄膜光电转换装置的光电转换效率并且该结果是 13.4%。这样,接连地制造十个串连型硅薄膜光电转换装置。第三、第四、第五、第六、第七、第八、第九、第十串连型硅薄膜光电转换装置的光电转换效率分别是 13.5%、13.5%、13.4%、13.5%、13.5%、13.5%、13.4% 和 13.5%。结果在图 9 中示出。

[0196] 从图 9 中还可以清楚地看出,第一至第十串连型光电转换装置的光电转换效率基本固定。换言之,即使形成十次之后,也没有观察到值得注意的特性的变化。在任意次数的形成之后产率是 100%,并且非常出色。

[0197] 从本实例的结果发现,在同一等离子体 CVD 膜沉积室 220 中重复地形成双 pin 结构堆叠体 30 中,即使当在双 pin 结构堆叠体 30 形成并且在膜沉积室 220 中形成的残留的膜被蚀刻之后形成双 pin 结构堆叠体 30 时,包括双 pin 结构堆叠体 30 的串连型(堆叠型)光电转换装置的特性也没有降低并且实现了良好的产率。由于即使在蚀刻之后也没有降低产率,所以可以降低维护设备的频率。

[0198] (实例 3)

[0199] 在本实例中,重复地制造其中在图 2 中示出的在同一等离子体 CVD 膜沉积室 220 中形成在图 5 中示出的非晶 pin 结构堆叠体 10 的硅基薄膜光电转换装置。

[0200] 起 p 型半导体层 11 的作用并且具有 10nm 厚度(硼原子浓度 $3 \times 10^{19} \text{cm}^{-3}$) 的非晶硅层,起 i 型非晶硅基光电转换层 12 作用并且具有 $0.3 \mu\text{m}$ 厚度的非晶硅层,起 n 型半导体层 13 的作用并且具有 30nm 厚度(磷原子浓度 $2 \times 10^{19} \text{cm}^{-3}$ 、氮原子浓度 $1 \times 10^{18} \text{cm}^{-3}$ 、氧原子浓度 $5 \times 10^{19} \text{cm}^{-3}$) 的非晶硅层形成于透明导电膜 2 上,透明导电膜 2 通过具有 $1 \mu\text{m}$ 厚度并且形成于由厚度 4mm 的玻璃形成的基板 1 上的 SnO_2 膜而实施。此后形成起导电膜 3 的作用并且具有 $0.05 \mu\text{m}$ 厚度的 ZnO 层和起金属电极作用并且具有 $0.1 \mu\text{m}$ 厚度的 Ag 电极。

[0201] 初始,起 p 型半导体层 11 的作用并且具有 10nm 厚度的非晶硅层在这样的条件下形成于其上形成了具有凹凸的 SnO_2 膜(透明导电膜 2) 的玻璃基板 1 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.05 \text{W}/\text{cm}^2$ 。

[0202] 此后,起 i 型非晶硅基光电转换层 12 作用并且具有 $0.3 \mu\text{m}$ 厚度的非晶硅层在这样的条件下形成于 p 型半导体层 11 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.07 \text{W}/\text{cm}^2$ 。

[0203] 此后,起 n 型半导体层 13 作用并且具有 30nm 厚度的非晶硅层在这样的条件下形成于 i 型非晶硅基光电转换层 12 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.05 \text{W}/\text{cm}^2$ 。

[0204] 此后,起导电膜 3 的作用并且具有 $0.05 \mu\text{m}$ 厚度的 ZnO 层和起金属电极的作用并且具有 $0.1 \mu\text{m}$ 的厚度的 Ag 电极用溅射形成,从而制造堆叠型硅基薄膜光电转换装置。

[0205] 测量获得的堆叠型硅基薄膜光电转换装置的光电转换效率并且该结果是 9.9%。

[0206] 此后,第二非晶 pin 结构堆叠体 10 在同一等离子体 CVD 膜沉积室 220 中在与上述相同的条件下形成,从而用相似的方法制造硅薄膜光电转换装置。测量了获得的第二堆

叠型硅薄膜光电转换装置的光电转换效率并且该结果是 10.0%。这样,接连地制造十个硅薄膜光电转换装置。第三、第四、第五、第六、第七、第八、第九、第十串连型硅薄膜光电转换装置的光电转换效率分别是 10.1%、10.0%、10.0%、10.1%、10.0%、9.9%、9.9%和 10.1%,。结果在图 10 中示出。

[0207] 从图 10 中还可以清楚地看出,没有观察到第一至第十串连型光电转换装置的光电转换效率的显著变化,并且可以以稳定的方式制造具有良好特性的硅薄膜光电转换装置。

[0208] (实例 4)

[0209] 在本实例中,通过在图 2 中所示出的在同一等离子体 CVD 膜沉积室 220 中重复地制造如图 6 中所示出的其中形成双 pin 结构堆叠体 60(第一非晶 pin 结构堆叠体 10 和第二非晶 pin 结构堆叠体 50)的堆叠型硅基薄膜光电转换装置。

[0210] 起第一 p 型半导体层 11 的作用并且具有 10nm 厚度(硼原子浓度 $3 \times 10^{19} \text{cm}^{-3}$)的非晶硅层,起第一 i 型非晶硅基光电转换层 12 作用并且具有 $0.07 \mu\text{m}$ 厚度的非晶硅层,起第一 n 型半导体层 13 的作用并且具有 30nm 厚度(磷原子浓度 $2 \times 10^{19} \text{cm}^{-3}$ 、氮原子浓度 $1 \times 10^{18} \text{cm}^{-3}$ 、氧原子浓度 $5 \times 10^{19} \text{cm}^{-3}$)的非晶硅层形成于透明导电膜 2 上,透明导电膜 2 通过具有 $1 \mu\text{m}$ 厚度并且形成于由厚度 4mm 的玻璃形成的基板 1 上的 SnO_2 膜而实施,以便实施第一非晶 pin 结构堆叠体 10,并且此后,起第二 p 型半导体层 21 作用并且具有 10nm 的厚度(硼原子浓度 $3 \times 10^{19} \text{cm}^{-3}$)的非晶硅层、起第二 i 型微晶硅基光电转换层 52 作用并且具有 $0.3 \mu\text{m}$ 厚度的非晶硅层、和起第二 n 型半导体层 23 作用并且具有 30nm 厚度(磷原子浓度 $2 \times 10^{19} \text{cm}^{-3}$ 、氮原子浓度 $1 \times 10^{18} \text{cm}^{-3}$ 、氧原子浓度 $5 \times 10^{19} \text{cm}^{-3}$)的非晶硅层形成,从而实施第二非晶 pin 结构堆叠体 50。此后,形成起导电膜 3 的作用并且具有 $0.05 \mu\text{m}$ 厚度的 ZnO 层和起金属电极作用并且具有 $0.1 \mu\text{m}$ 厚度的 Ag 电极。

[0211] 初始,起第一 p 型半导体层 11 的作用并且具有 10nm 厚度的非晶硅层在这样的条件下形成于其上形成了具有凹凸的 SnO_2 膜(透明导电膜 2)的玻璃基板 1 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.05 \text{W}/\text{cm}^2$ 。

[0212] 此后,起第一 i 型非晶硅基光电转换层 12 作用并且具有 $0.07 \mu\text{m}$ 厚度的非晶硅层在这样的条件下形成于第一 p 型半导体层 11 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.07 \text{W}/\text{cm}^2$ 。

[0213] 此后,起第一 n 型半导体层 13 作用并且具有 30nm 厚度的非晶硅层在这样的条件下形成于第一 i 型非晶硅基光电转换层 12 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.05 \text{W}/\text{cm}^2$ 。

[0214] 此后,起第二 p 型半导体层 21 作用并且具有 10nm 厚度的微晶硅层在这样的条件下形成于第一 n 型半导体层 13 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.05 \text{W}/\text{cm}^2$ 。

[0215] 此后,起第二 i 型微晶硅基光电转换层 52 作用并且具有 $0.3 \mu\text{m}$ 厚度的非晶硅层在这样的条件下形成于第二 p 型半导体层 21 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.07 \text{W}/\text{cm}^2$ 。

[0216] 此后,起第二 n 型半导体层 23 作用并且具有 30nm 厚度的非晶硅层在这样的条件

下形成于 i 型微晶硅基光电转换层 52 上,使得等离子体 CVD 膜沉积室 220 中的压力被设置为 500Pa 并且阴极的单位面积的功率密度被设置为 $0.05\text{W}/\text{cm}^2$ 。由此形成双 pin 结构堆叠体 60。

[0217] 此后,起导电膜 3 的作用并且具有 $0.05\mu\text{m}$ 厚度的 ZnO 层和起金属电极的作用并且具有 $0.1\mu\text{m}$ 的厚度的 Ag 电极用溅射形成,从而制造作为堆叠型硅基薄膜光电转换装置的串连型硅基薄膜光电转换装置。

[0218] 获得的串连型硅基薄膜光电转换装置的光电转换效率被测量并且该结果是 10.9%。

[0219] 此后,第二双 pin 结构堆叠体 60 在同一等离子体 CVD 膜沉积室 220 中在与上述相同的条件下形成,从而用相似的方法制造堆叠型硅薄膜光电转换装置。测量了获得的第二串连型硅薄膜光电转换装置的光电转换效率并且该结果是 11.0%。这样,接连地制造十个串连型硅薄膜光电转换装置。第三、第四、第五、第六、第七、第八、第九、第十串连型硅薄膜光电转换装置的光电转换效率分别是 10.9%、10.9%、11.1%、11.0%、10.9%、11.0%、11.0%和 11.0%。结果在图 11 中示出。

[0220] 从图 11 中还可以清楚地看出,没有观察到第一至第十串连型光电转换装置的光电转换效率的显著变化,并且可以以稳定的方式制造具有良好特性的堆叠型硅薄膜光电转换装置。

[0221] 应当理解在此公开的实施例和实例在各方面都是示意性的和非限制性的。本发明的范围由所述权利要求的条款而非上述描述所界定,并且旨在包括在等同于所附权利要求的条款的范围和涵义内的任何改进。

[0222] 工业应用

[0223] 根据本发明,可以容易地以低成本和高效率制造具有良好性能的硅基薄膜光电转换装置。

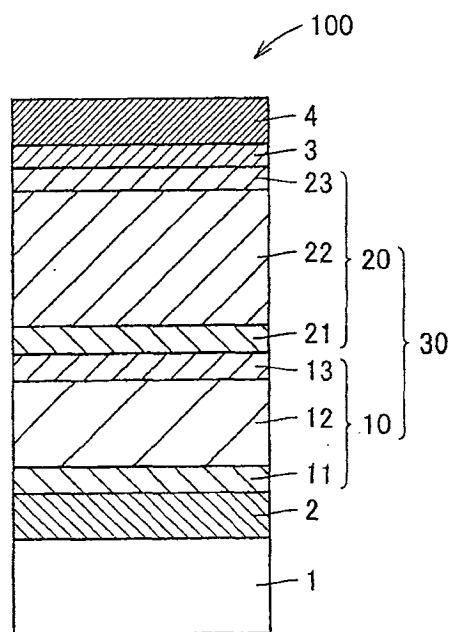


图 1

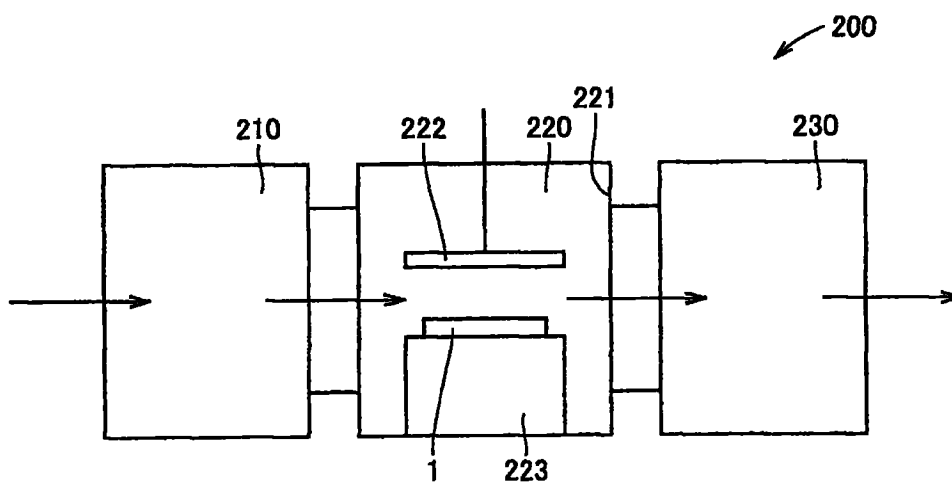


图 2

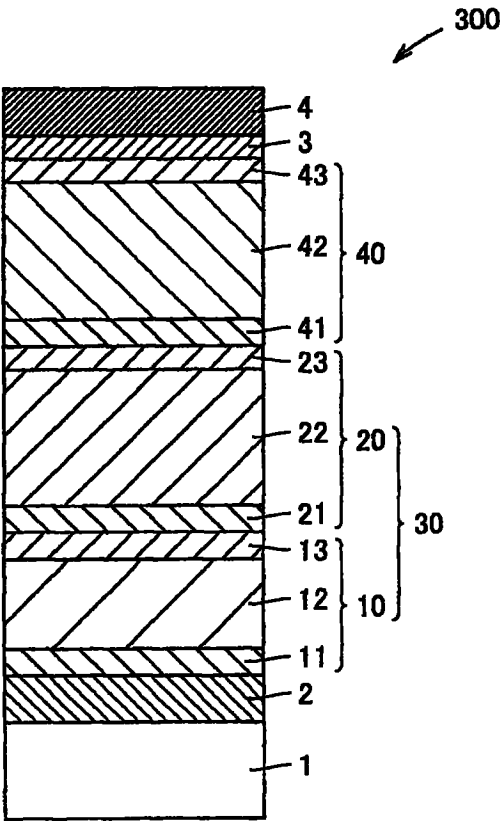


图 3

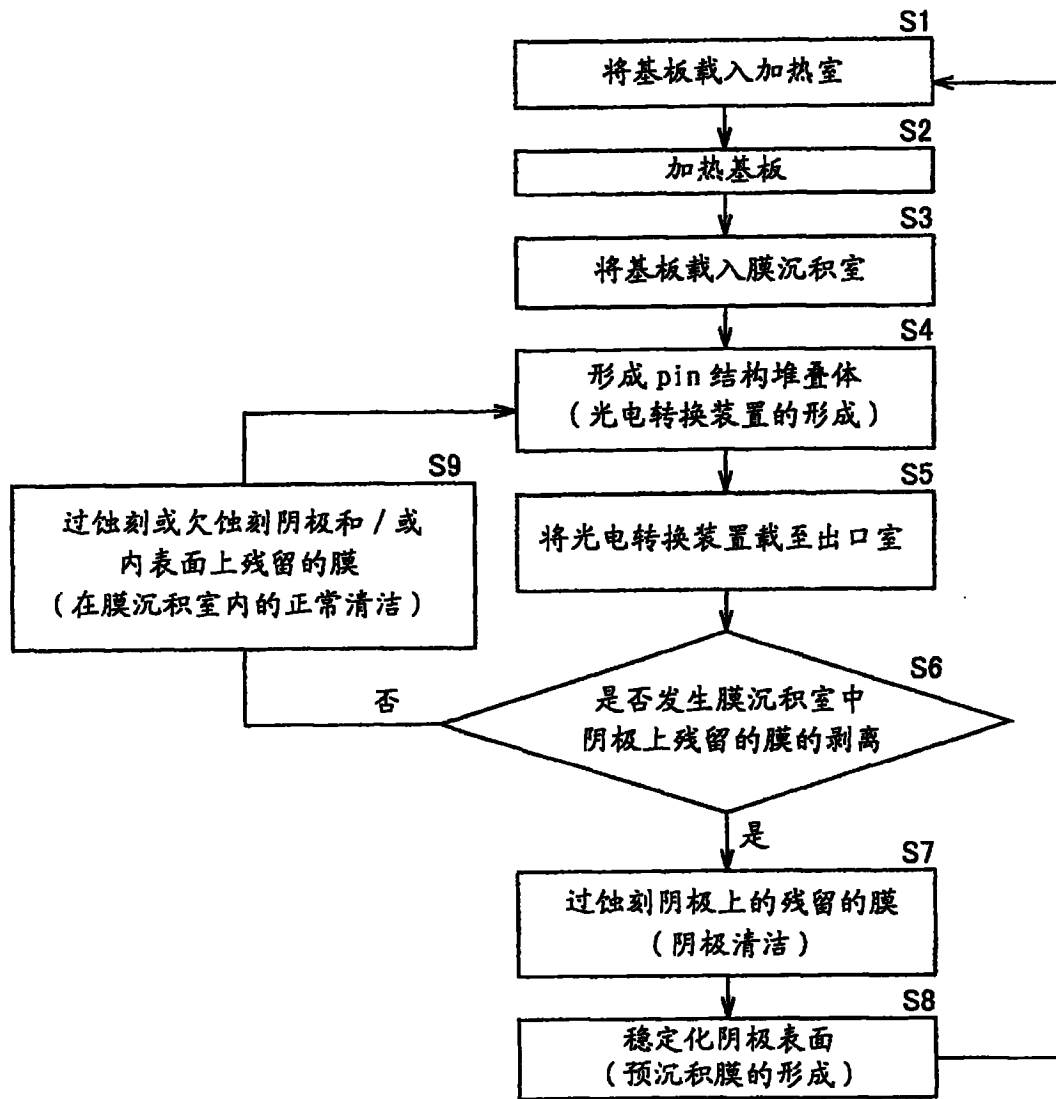


图 4

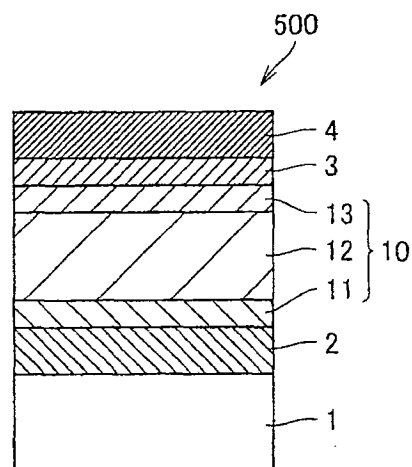


图 5

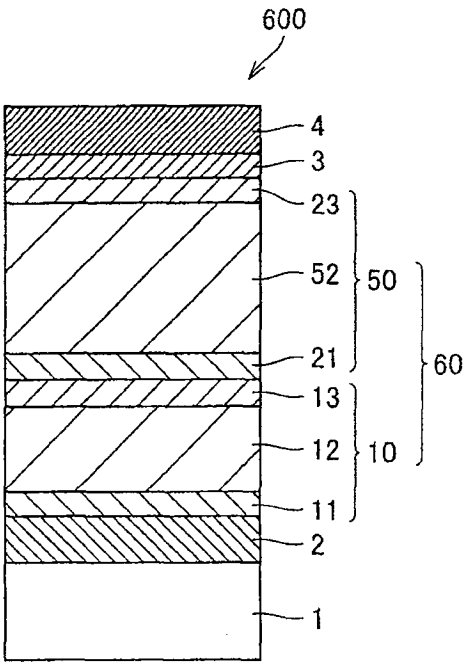


图 6

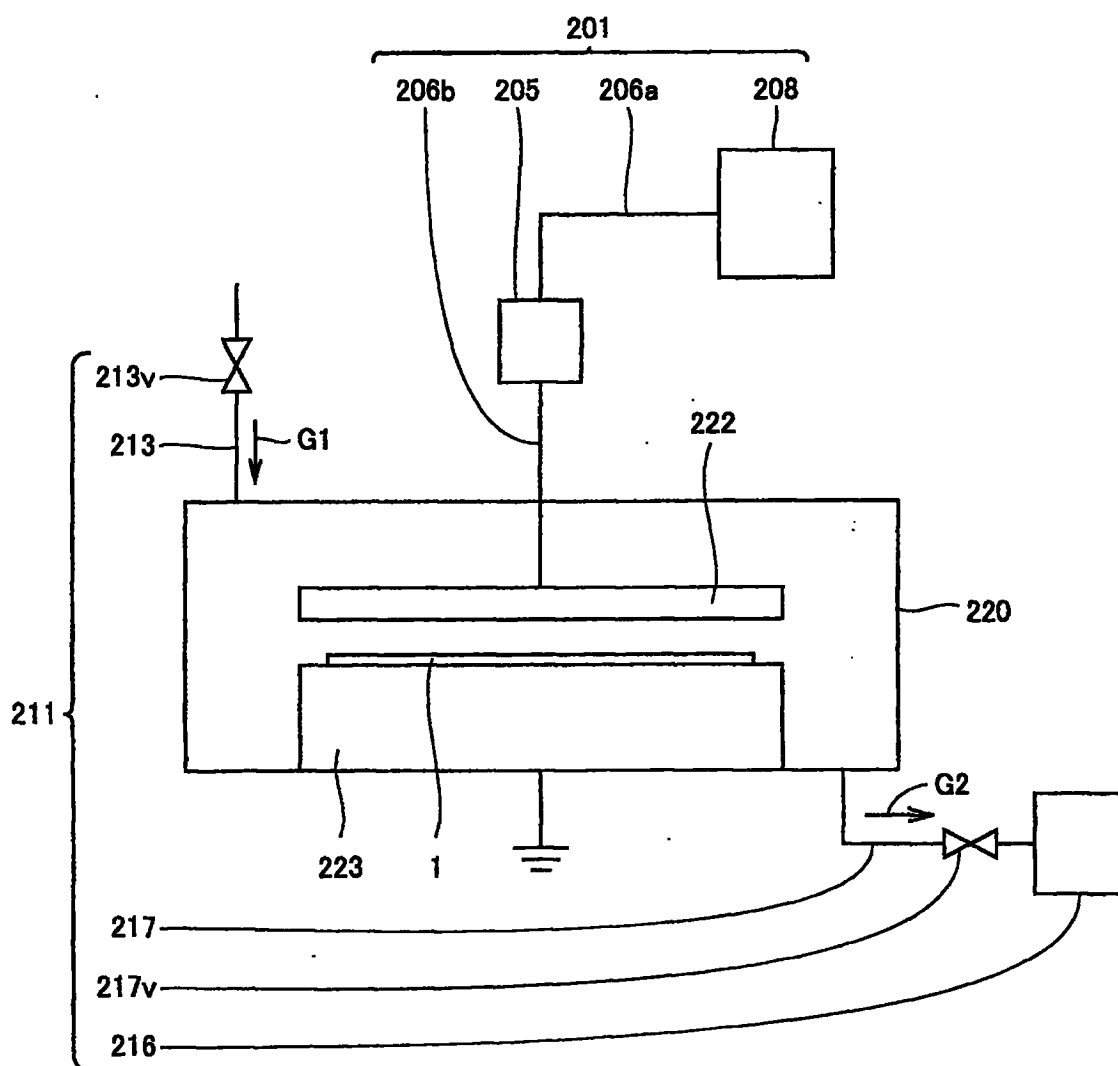


图 7

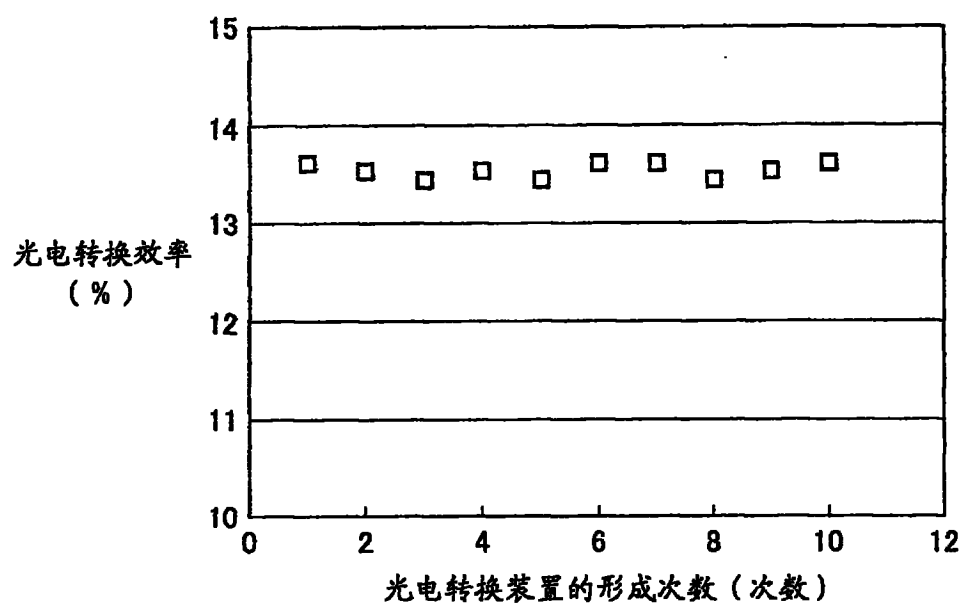


图 8

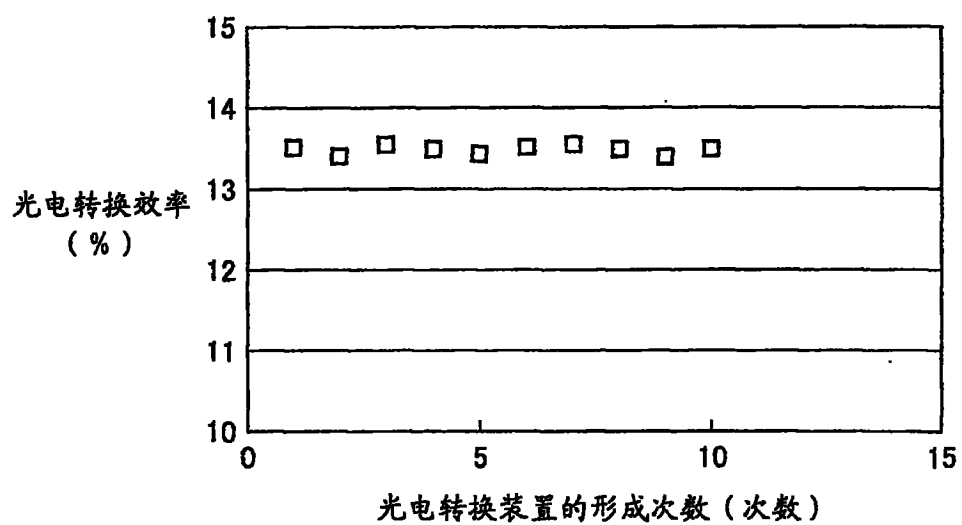


图 9

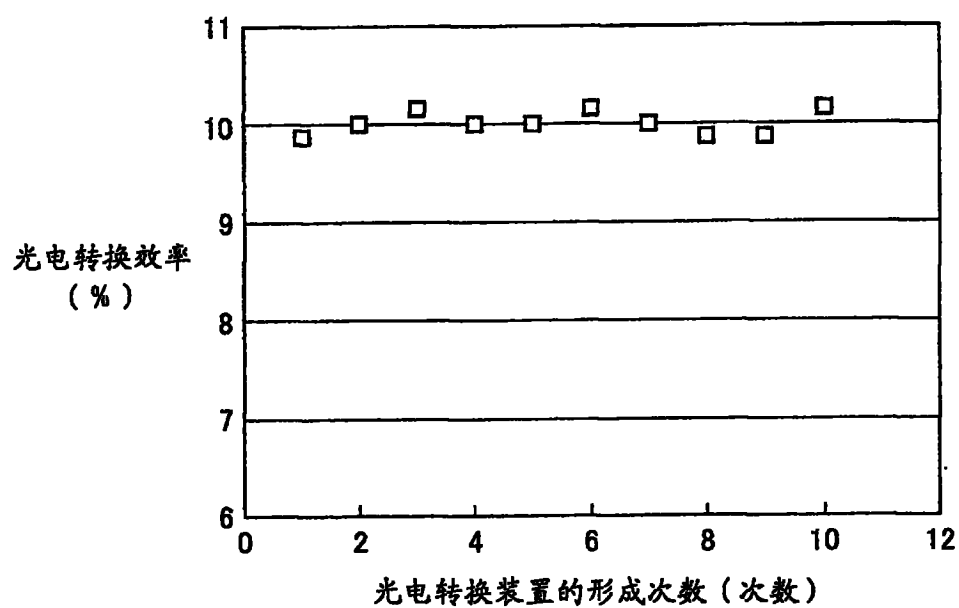


图 10

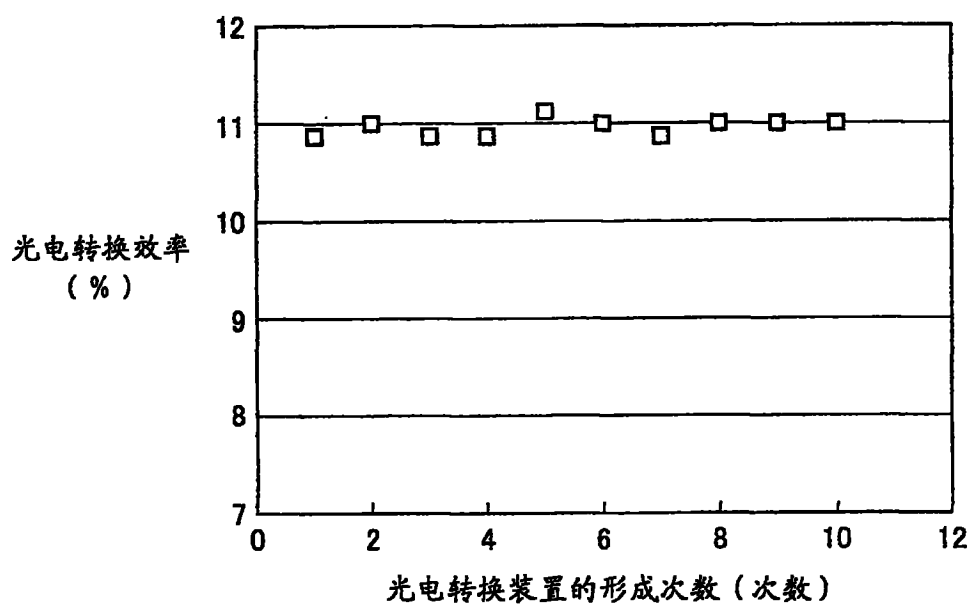


图 11