

【特許請求の範囲】

【請求項 1】

(a) ハフニウム、酸素および第 1 元素を含む第 1 アモルファス膜を形成する工程、
 (b) 前記第 1 アモルファス膜上に、ハフニウム、酸素または前記第 1 元素の何れとも異なる第 2 元素を含む複数の粒を形成する工程、
 (c) 前記複数の粒上および前記第 1 アモルファス膜上に、ハフニウム、酸素および前記第 1 元素を含む第 2 アモルファス膜を形成する工程、
 (d) 前記第 2 アモルファス膜上に、第 1 金属膜を形成する工程、
 (e) 前記 (d) 工程後、熱処理を施すことで、前記第 1 アモルファス膜を結晶化して直方晶の第 1 強誘電体膜を形成し、前記第 2 アモルファス膜を結晶化して直方晶の第 2 強誘電体膜を形成する工程、
 を有する、半導体装置の製造方法。

10

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、
 前記 (b) 工程において、前記複数の粒は、互いに分離して形成され、
 前記 (e) 工程において、前記複数の粒は、前記第 1 強誘電体膜および前記第 2 強誘電体膜の結晶核として機能する、半導体装置の製造方法。

【請求項 3】

請求項 2 に記載の半導体装置の製造方法において、
 前記 (b) 工程において、前記複数の粒は、複数のアルミニウム粒として形成され、
 前記 (e) 工程において、前記熱処理によって、前記複数のアルミニウム粒が複数の酸化アルミニウム粒となり、前記複数の酸化アルミニウム粒が前記結晶核として機能する、半導体装置の製造方法。

20

【請求項 4】

請求項 2 に記載の半導体装置の製造方法において、
 前記 (e) 工程において、前記第 1 金属膜からの応力によって、前記第 1 強誘電体膜および前記第 2 強誘電体膜の各々の配向性が制御される、半導体装置の製造方法。

【請求項 5】

請求項 1 に記載の半導体装置の製造方法において、
 前記 (b) 工程は、スパッタリング法によって行われる、半導体装置の製造方法。

30

【請求項 6】

請求項 5 に記載の半導体装置の製造方法において、
 前記 (b) 工程は、1 以上、且つ、27 以下の温度で行われる、半導体装置の製造方法。

【請求項 7】

請求項 1 に記載の半導体装置の製造方法において、
 前記 (b) 工程は、イオン注入法によって行われる、半導体装置の製造方法。

【請求項 8】

請求項 1 に記載の半導体装置の製造方法において、
 前記 (b) 工程において、前記第 1 アモルファス膜の上面に対する前記複数の粒の面密度は、 $5 \times 10^{12} / \text{cm}^2 \sim 5 \times 10^{14} / \text{cm}^2$ の範囲内である、半導体装置の製造方法。

40

【請求項 9】

請求項 1 に記載の半導体装置の製造方法において、
 前記 (e) 工程において、前記熱処理は、マイクロ波を用いて行われ、前記マイクロ波の電場が、前記第 1 金属膜の上面に対して垂直な方向に振動するように行われる、半導体装置の製造方法。

【請求項 10】

第 1 強誘電体膜、および、前記第 1 強誘電体膜上に形成された第 2 強誘電体膜を含む強誘電体層を有し、

50

前記第 1 強誘電体膜および前記第 2 強誘電体膜は、それぞれハフニウム、酸素および第 1 元素を含み、

前記強誘電体層は、前記第 1 強誘電体膜と前記第 2 強誘電体膜との間に、ハフニウム、酸素または前記第 1 元素の何れとも異なる第 2 元素を含む複数の粒を更に含む、半導体装置。

【請求項 1 1】

請求項 1 0 に記載の半導体装置において、

前記複数の粒は、前記第 1 強誘電体膜と前記第 2 強誘電体膜との間に、互いに分離して形成されている、半導体装置。

【請求項 1 2】

請求項 1 1 に記載の半導体装置において、

前記第 1 強誘電体膜および前記第 2 強誘電体膜は、それぞれ直方晶の結晶である、半導体装置。

【請求項 1 3】

請求項 1 0 に記載の半導体装置において、

前記複数の粒の濃度のピークは、前記第 1 強誘電体膜の下面に近い位置、および、前記第 2 強誘電体膜の上面に近い位置よりも、前記第 1 強誘電体膜と前記第 2 強誘電体膜との第 1 界面に近い位置において大きい、半導体装置。

【請求項 1 4】

請求項 1 0 に記載の半導体装置において、

前記強誘電体層内において、ハフニウムの比率と、前記第 1 元素の比率と、前記第 2 元素の比率との合計を 100%とした時、ハフニウムの比率は 30% ~ 50% の範囲内であり、前記第 1 元素の比率は 30% ~ 50% の範囲内であり、前記第 2 元素の比率は 0.5% ~ 5.0% の範囲内である、半導体装置。

【請求項 1 5】

請求項 1 0 に記載の半導体装置において、

前記強誘電体層は、更に、前記第 2 強誘電体膜上に形成された第 3 強誘電体膜を含み、前記第 3 強誘電体膜は、ハフニウム、酸素および前記第 1 元素を含み、

前記第 2 強誘電体膜と前記第 3 強誘電体膜との間にも、前記複数の粒が形成されており、

前記複数の粒の濃度のピークは、前記第 1 強誘電体膜の下面に近い位置、前記第 2 強誘電体膜の中央部に近い位置、および、前記第 3 強誘電体膜の上面に近い位置よりも、前記第 1 強誘電体膜と前記第 2 強誘電体膜との第 1 界面に近い位置、および、前記第 2 強誘電体膜と前記第 3 強誘電体膜との第 2 界面に近い位置において大きい、半導体装置。

【請求項 1 6】

請求項 1 0 に記載の半導体装置において、

前記第 1 元素は、ジルコニウム、シリコン、ゲルマニウム、イットリウム、ランタンまたはイッテルビウムの何れかであり、

前記複数の粒は、それぞれ、アルミニウム、炭素、窒素、フッ素若しくはチタン、または、これらとハフニウム、酸素若しくは前記第 1 元素とが結合した化合物である、半導体装置。

【請求項 1 7】

請求項 1 0 に記載の半導体装置において、

前記強誘電体層は、電气的に書き換え可能な強誘電体メモリセルの一部を構成している、半導体装置。

【請求項 1 8】

請求項 1 7 に記載の半導体装置において、

前記強誘電体メモリセルは、

半導体基板上に形成された前記強誘電体層と、

前記強誘電体上に形成された第 1 ゲート電極と、

10

20

30

40

50

前記半導体基板に形成された第1ソース領域および第1ドレイン領域と、
を有する、半導体装置。

【請求項19】

請求項17に記載の半導体装置において、
前記強誘電体メモリセルは、前記強誘電体層と、選択トランジスタとを有し、
前記選択トランジスタは、
半導体基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された第2ゲート電極と、
前記半導体基板に形成された第2ソース領域および第2ドレイン領域と、
を有し、

10

前記選択トランジスタは、層間絶縁膜に覆われ、
前記強誘電体層は、前記層間絶縁膜上に形成され、
前記層間絶縁膜には、前記第2ドレイン領域と前記強誘電体層とを電気的に接続させる
プラグが形成されている、半導体装置。

【請求項20】

請求項17に記載の半導体装置において、
前記強誘電体メモリセルは、半導体基板上に形成され、
前記半導体基板は、前記半導体基板の一部であり、且つ、前記半導体基板の上面から選
択的に突出した突出部を有し、
前記強誘電体層は、前記突出部の上面および側面上に、第1絶縁膜を介して形成され
ている、半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、強誘電体膜を用いた記憶素子
として用いられる半導体装置およびその製造方法に適用して有効な技術に関するものであ
る。

【背景技術】

【0002】

近年、低電圧で動作する半導体記憶素子として、強誘電体層を用いた強誘電体メモリセ
ルが開発されている。強誘電体メモリセルは、強誘電体層の分極の方向を制御すること
で、情報の書込み状態および消去状態を変化させる不揮発性メモリセルである。

30

【0003】

特許文献1には、選択トランジスタの上方に形成された強誘電体層を、選択トランジ
スタの一方の拡散領域に電気的に接続させた不揮発性メモリセルが開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許出願公開第2014/0340372号明細書

【発明の概要】

40

【発明が解決しようとする課題】

【0005】

強誘電体層を構成する HfO_2 膜を用いた強誘電体メモリセルにおいて、 HfO_2 膜の
結晶相は直方晶である必要がある。しかし、直方晶は準安定相であり、半導体装置の製造
工程中において、半導体基板上にアモルファス（非晶質）の HfO_2 膜を形成した後、結
晶化のために例えば700～1000程度の高温で熱処理を行うと、 HfO_2 膜の結晶
相は単斜晶となるため、 HfO_2 膜は強誘電体ではなく常誘電体となる。強誘電体メモリ
セルにおいては、ゲート電極に正負の電圧を印加し、強誘電体層中の分極ドメインの反転
を制御することによって、閾値電圧が制御される。このため、強誘電体層の結晶粒径およ
び結晶配向性がばらつくことで、ゲート電圧に対する閾値電圧のばらつきが大きくなると

50

いう問題がある。すなわち、強誘電体層の結晶粒径および結晶配向を揃え、半導体装置の性能を向上させることが課題となる。

【0006】

その他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0008】

一実施の形態である半導体装置の製造方法は、(a)ハフニウム、酸素および第1元素を含む第1アモルファス膜を形成する工程、(b)第1アモルファス膜上に、ハフニウム、酸素または前記第1元素の何れとも異なる第2元素を含む複数の粒を形成する工程、(c)複数の粒上および第1アモルファス膜上に、ハフニウム、酸素および第1元素を含む第2アモルファス膜を形成する工程、を有する。更に、半導体装置の製造方法は、(d)第2アモルファス膜上に、第1金属膜を形成する工程、(e)(d)工程後、熱処理を施すことで、第1アモルファス膜を結晶化して直方晶の第1強誘電体膜を形成し、第2アモルファス膜を結晶化して直方晶の第2強誘電体膜を形成する工程、を有する。

10

【発明の効果】

【0009】

一実施の形態によれば、半導体装置の性能を向上させることができる。

20

【図面の簡単な説明】

【0010】

【図1】実施の形態1の半導体装置である半導体チップの平面レイアウト図である。

【図2】実施の形態1の半導体装置の断面図である。

【図3】本願発明者の実験により得られたグラフである。

【図4】「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。

【図5】実施の形態1の半導体装置の製造工程を示す断面図である。

【図6】図5に続く半導体装置の製造工程を示す断面図である。

30

【図7】図6に続く半導体装置の製造工程を示す断面図である。

【図8】図7に続く半導体装置の製造工程を示す断面図である。

【図9】図8に続く半導体装置の製造工程を示す断面図である。

【図10】図9に続く半導体装置の製造工程を示す断面図である。

【図11】図10に続く半導体装置の製造工程を示す断面図である。

【図12】図11に続く半導体装置の製造工程を示す断面図である。

【図13】図12に続く半導体装置の製造工程を示す断面図である。

【図14】図13に続く半導体装置の製造工程を示す断面図である。

【図15】図14に続く半導体装置の製造工程を示す断面図である。

【図16】図15に続く半導体装置の製造工程を示す断面図である。

40

【図17】図16に続く半導体装置の製造工程を示す断面図である。

【図18】本願発明者の実験により得られたグラフである。

【図19】実施の形態2の半導体装置の製造工程を示す断面図である。

【図20】実施の形態3の半導体装置の製造工程を示す断面図である。

【図21】実施の形態4の半導体装置の断面図である。

【図22】実施の形態5の半導体装置の斜視図である。

【図23】実施の形態5の半導体装置の製造工程を示す断面図である。

【図24】検討例の半導体装置の製造工程を示す断面図である。

【発明を実施するための形態】

【0011】

50

以下の実施の形態においては、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

10

【0012】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0013】

また、実施の形態で用いる図面においては、図面を見易くするためにハッチングを省略する場合もある。

20

【0014】

（実施の形態1）

本実施の形態における不揮発性メモリセルである強誘電体メモリセルを有する半導体装置について図面を参照しながら説明する。まず、強誘電体メモリセルを含むシステムが形成された半導体装置である半導体チップCHPの平面レイアウト構成について、図1を用いて説明する。図1において、半導体チップCHPは、強誘電体メモリ回路C1、CPU（Central Processing Unit）回路C2、RAM（Random Access Memory）回路C3、アナログ回路C4およびI/O（Input/Output）回路C5を有する。

【0015】

強誘電体メモリ回路C1は、記憶情報を電氣的に書き換え可能な回路を有し、半導体素子として、不揮発性メモリセルである複数の強誘電体メモリセルが形成される領域である。

30

【0016】

CPU回路C2は、1.5V程度の電圧で駆動するロジック回路を有し、半導体素子として、耐圧が低く、且つ、動作が速い低耐圧MISFET（Metal Insulator Semiconductor Field Effect Transistor）が形成されている領域である。

【0017】

RAM回路C3は、SRAM（Static RAM）を有し、半導体素子として、CPU回路C2とほぼ同様の構造の低耐圧MISFETが形成されている領域である。

【0018】

アナログ回路C4は、アナログ回路を有し、半導体素子として、容量素子、抵抗素子、バイポーラトランジスタ、および、低耐圧MISFETよりも耐圧が高く、且つ、6V程度の電圧で駆動する高耐圧MISFETなどが形成されている領域である。

40

【0019】

I/O回路C5は、入出力回路を有し、半導体素子として、アナログ回路C4とほぼ同様の高耐圧MISFETが形成されている領域である。

【0020】

<半導体装置の構造>

以下に、図2および図3を用いて、本実施の形態の半導体装置の構造について説明する。本実施の形態では、半導体装置の構造の一例として、強誘電体メモリ回路C1において

50

形成される強誘電体メモリセルMC、および、CPU回路C2において形成される低耐圧MISFET1Qについて説明する。

【0021】

図2に示されるように、本実施の形態の半導体装置は、強誘電体メモリセルMCが形成される領域MRと、低耐圧MISFET1Qが形成される領域LRとを備える。

【0022】

半導体基板(半導体ウェハ)SBは、例えば1~10 cm程度の比抵抗を有するp型の単結晶シリコン(Si)などからなる。領域MRの半導体基板SBには、p型のウェル領域PW1が形成されており、領域LRの半導体基板SBには、p型のウェル領域PW2が形成されている。ウェル領域PW1およびウェル領域PW2には、複数の素子分離部STIが形成されている。素子分離部STIは、半導体基板SBに形成された溝内に、酸化シリコン膜などの絶縁膜が埋め込まれることで構成されている。

10

【0023】

まず、領域MRの強誘電体メモリセルMCの構造について説明する。本実施の形態では、強誘電体メモリセルMCとして、強誘電体層FELをトランジスタ構造に適用したMFI S(Metal Ferroelectric Insulator Semiconductor)構造と呼ばれるメモリセルを例示する。

【0024】

領域MRにおいて、ウェル領域PW1を含む半導体基板SB上には、絶縁膜IF1が形成されている。絶縁膜IF1は、例えば酸化シリコン膜であり、例えば1nm~3nmの厚さを有する。絶縁膜IF1は、半導体基板SBと後述の強誘電体層FELとの界面を安定させる目的、または、強誘電体メモリセルMCの動作時に、後述のゲート電極G1に電圧を加えた際に、半導体基板SBから電子が強誘電体層FELに入ることを防止する目的で設けられて膜である。従って、これらの目的が達成できるならば、絶縁膜IF1が設けられていなくてもよい場合もある。

20

【0025】

絶縁膜IF1上には、強誘電体層FELが形成されている。強誘電体層FELは、強誘電体膜FE1、強誘電体膜FE2、および、強誘電体膜FE1と強誘電体膜FE2との間に形成された複数の粒GRを有する。

【0026】

強誘電体膜FE1および強誘電体膜FE2の各々は、酸化金属膜からなり、例えば窒化シリコン膜よりも高い誘電率を有する高誘電率膜である。また、強誘電体膜FE1および強誘電体膜FE2の各々の厚さは、例えば5nmである。この場合、強誘電体層FELの厚さは、例えば10nmとなる。

30

【0027】

また、強誘電体膜FE1および強誘電体膜FE2の各々は、電界(電場)を印加すると誘電分極が生じ、電界を取り去っても分極が0にならない物質、つまり強誘電体により構成されている絶縁膜である。すなわち、電界が印加されていない状態でも、強誘電体膜FE1および強誘電体膜FE2に分極が残る。強誘電体は、外部に電場がなくても電気双極子が整列しており、且つ、双極子の方向が電場によって変化できる物質である。

40

【0028】

そして、強誘電体膜FE1および強誘電体膜FE2の各々は、直方晶の結晶である必要がある。言い換えれば、主に直方晶以外の結晶により構成される膜は、常誘電体膜である。したがって、強誘電体メモリセルMCでは、強誘電体層FELの残留分極の増大、強誘電体としての性能の向上、および、強誘電体メモリセルMCの駆動電力の低減を実現するために、強誘電体膜FE1および強誘電体膜FE2を構成する結晶を出来るだけ直方晶で形成する必要がある。

【0029】

本実施の形態において、強誘電体膜FE1および強誘電体膜FE2の各々は、例えば、ハフニウム(Hf)、酸素(O)、および、第1元素としてジルコニウム(Zr)を含む

50

材料からなる絶縁膜である。第 1 元素は、ジルコニウムに代えて、シリコン (S i)、ゲルマニウム (G e)、イットリウム (Y)、ランタン (L a) またはイッテルビウム (Y b) の何れかであってもよい。

【 0 0 3 0 】

強誘電体膜 F E 1 と強誘電体膜 F E 2 との間には、強誘電体層 F E L の一部として、複数の粒 G R が形成されている。後述のように、複数の粒 G R は、強誘電体層 F E L の製造工程中において、強誘電体膜 F E 1 および強誘電体膜 F E 2 を直方晶の結晶とするための結晶核として機能する。従って、複数の粒 G R は、互いに分離されている複数の粒からなる。言い換えれば、複数の粒 G R は、強誘電体膜 F E 1 および強誘電体膜 F E 2 のように連続的に形成された膜ではなく、不連続的に形成されている。仮に、複数の粒 G R の各々が結びついて膜として形成されていると、複数の粒 G R の結晶核として機能が低下することになる。

10

【 0 0 3 1 】

複数の粒 G R は、ハフニウム、酸素または第 1 元素の何れとも異なる第 2 元素を含む。第 2 元素は、例えばアルミニウム (A l) である。また、第 2 元素は、アルミニウムに代えて、炭素 (C)、窒素 (N)、フッ素 (F) またはチタン (T i) の何れかであってもよい。本実施の形態において、複数の粒 G R の各々は、1 つの原子、または、2 ~ 4 個の原子の集合体から構成される。

【 0 0 3 2 】

また、複数の粒 G R は、強誘電体層 F E L の製造工程中に、強誘電体膜 F E 1 と強誘電体膜 F E 2 との界面付近において、強誘電体膜 F E 1 および強誘電体膜 F E 2 に含まれる物質と結合している場合もある。すなわち、複数の粒 G R は、最終的には、アルミニウム、炭素、窒素、フッ素若しくはチタン、または、これらとハフニウム、酸素若しくは上記第 1 元素とが結合した化合物の何れかである。

20

【 0 0 3 3 】

図 3 は、本願発明者の実験により得られたグラフであり、縦軸は複数の粒 G R の濃度の高さを示し、横軸は強誘電体層 F E L 中における膜厚方向の厚さを示している。また、ここでは、複数の粒 G R としてアルミニウム (A l) を用いた場合の測定結果が示されている。図 3 において、実線はアルミニウム (A l) の濃度を示し、一点鎖線はハフニウム (H f) の濃度を示している。なお、図 3 には、実施の形態 1 のグラフだけでなく、後述の実施の形態 2 のグラフも示されている。

30

【 0 0 3 4 】

図 3 中の実施の形態 1 のグラフを参照すると、強誘電体層 F E L 中のうち、強誘電体膜 F E 1 と強誘電体膜 F E 2 との界面付近において、アルミニウム (A l) の濃度のピークが大きい。そして、強誘電体膜 F E 1 の下面付近、および、強誘電体膜 F E 2 の上面付近において、アルミニウム (A l) の濃度のピークが小さい、または、アルミニウム (A l) の濃度のピークが存在していない。従って、アルミニウムの一部は、強誘電体膜 F E 1 中および強誘電体膜 F E 2 中に存在しているが、アルミニウムの大部分は、強誘電体膜 F E 1 と強誘電体膜 F E 2 との界面付近に存在していることが判る。上述のように、強誘電体膜 F E 1 と強誘電体膜 F E 2 との界面付近には、アルミニウム、および、アルミニウムと強誘電体膜 F E 1 および強誘電体膜 F E 2 に含まれる物質とが結合した化合物が存在している。すなわち、アルミニウムまたはアルミニウム化合物は、強誘電体膜 F E 1 および強誘電体膜 F E 2 の全体に拡散しておらず、強誘電体膜 F E 1 と強誘電体膜 F E 2 との界面付近に留まっていることが判る。

40

【 0 0 3 5 】

このように、複数の粒 G R の濃度のピークは、強誘電体膜 F E 1 の下面に近い位置、および、強誘電体膜 F E 2 の上面に近い位置よりも、強誘電体膜 F E 1 と強誘電体膜 F E 2 との界面に近い位置において大きい。従って、複数の粒 G R が、強誘電体膜 F E 1 と強誘電体膜 F E 2 との界面付近に存在しているので、強誘電体膜 F E 1 および強誘電体膜 F E 2 の各々が、均一性の高い結晶粒径を有し、直方晶の結晶として形成されることが容易と

50

なっている。従って、強誘電体層 F E L を強誘電体メモリセル M C に適用した際に、強誘電体層 F E L の分極反転に伴って、閾値電圧のばらつきが大きくなるという問題を抑制できるので、強誘電体メモリセル M C の書き換え耐性が低下する、または、リテンションが低下するような問題を抑制することができる。すなわち、本実施の形態の技術によって、半導体装置の性能を向上させることができる。

【0036】

また、強誘電体層 F E L 内において、ハフニウムの比率と、第 1 元素 (Z r など) の比率と、第 2 元素 (粒 G R) の比率とを比較すると、第 2 元素の比率は、ハフニウムの比率および第 1 元素の比率よりも小さい。具体的には、ハフニウムの比率と、第 1 元素の比率と、第 2 元素の比率との合計を 100% とした時、強誘電体層 F E L 内において、ハフニウムの比率は 30% ~ 50% の範囲内であり、第 1 元素の比率は 30% ~ 50% の範囲内であり、第 2 元素の比率は 0.5% ~ 5.0% の範囲内である。

10

【0037】

強誘電体層 F E L 上には、金属膜 M F 1 が形成されている。金属膜 M F 1 は、例えば窒化チタン膜、窒化タンタル膜またはタングステン膜からなる導電性膜である。金属膜 M F 1 の厚さは、例えば 10 nm ~ 20 nm である。金属膜 M F 1 は、強誘電体層 F E L の製造工程中に、強誘電体膜 F E 1 および強誘電体膜 F E 2 に応力を与え、強誘電体膜 F E 1 および強誘電体膜 F E 2 の各々の結晶の配向性を制御するために設けられたキャップ膜である。従って、強誘電体層 F E L の形成後に、強誘電体膜 F E 1 および強誘電体膜 F E 2 の各々が直方晶の結晶として存在できる場合には、金属膜 M F 1 を除去しても構わない。しかし、金属膜 M F 1 を除去したことで、強誘電体膜 F E 1 および強誘電体膜 F E 2 の各々の結晶の配向性がばらつく場合もあるので、金属膜 M F 1 を残しておいた方が、より好ましい。なお、金属膜 M F 1 を残した場合には、金属膜 M F 1 は、後述のゲート電極 G 1 の一部としても機能する。

20

【0038】

金属膜 M F 1 上には、ゲート電極 G 1 が形成されている。ゲート電極 G 1 は、例えば n 型の不純物が導入された多結晶シリコン膜からなる導電性膜である。ゲート電極 G 1 を構成する材料としては、多結晶シリコン膜に代えて、窒化チタン膜、アルミニウム膜若しくはタングステン膜などの金属膜、または、これらを適宜積層させた積層膜であってもよい。

30

【0039】

ゲート電極 G 1 の側面上には、サイドウォールスペーサ S W が形成されている。サイドウォールスペーサ S W は、例えば酸化シリコン膜と窒化シリコン膜との積層膜からなる。

【0040】

サイドウォールスペーサ S W 下のウェル領域 P W 1 には、低濃度の n 型不純物領域であるエクステンション領域 E X 1 が形成されている。また、サイドウォールスペーサ S W と整合する位置のウェル領域 P W 1 には、エクステンション領域 E X 1 よりも高濃度の n 型不純物領域である拡散領域 D 1 が形成されている。エクステンション領域 E X 1 および拡散領域 D 1 は、互いに接続されており、それぞれ強誘電体メモリセル M C のソース領域の一部またはドレイン領域の一部を構成している。

40

【0041】

ゲート電極 G 1 上および拡散領域 D 1 上には、例えばコバルトシリサイド (C o S i ₂)、ニッケルシリサイド (N i S i) またはニッケルプラチナシリサイド (N i P t S i) からなるシリサイド層 S I が形成されている。シリサイド層 S I は、主に、後述のプラグ P G との接触抵抗を低減するために形成されている。

【0042】

次に、領域 L R の低耐圧 M I S F E T 1 Q の構造について説明する。

【0043】

領域 L R において、ウェル領域 P W 2 を含む半導体基板 S B 上には、ゲート絶縁膜 G F が形成されている。ゲート絶縁膜 G F は、例えば酸化シリコン膜であり、例えば 1 nm ~

50

4 nmの厚さを有する。

【0044】

ゲート絶縁膜GF上には、ゲート電極G2が形成されている。ゲート電極G2は、例えばn型の不純物が導入された多結晶シリコン膜からなる導電性膜である。ゲート電極G2を構成する材料としては、多結晶シリコン膜に代えて、窒化チタン膜、アルミニウム膜若しくはタングステン膜などの金属膜、または、これらを適宜積層させた積層膜であってもよい。

【0045】

ゲート電極G2の側面上には、サイドウォールスペーサSWが形成されている。サイドウォールスペーサSWは、例えば酸化シリコン膜と窒化シリコン膜との積層膜からなる。

10

【0046】

サイドウォールスペーサSW下のウェル領域PW2には、低濃度のn型不純物領域であるエクステンション領域EX2が形成されている。また、サイドウォールスペーサSWと整合する位置のウェル領域PW2には、エクステンション領域EX2よりも高濃度のn型不純物領域である拡散領域D2が形成されている。エクステンション領域EX2および拡散領域D2は、それぞれMISFET1Qのソース領域の一部またはドレイン領域の一部を構成している。

【0047】

なお、領域MRのエクステンション領域EX1の不純物濃度と、領域LRのエクステンション領域EX2の不純物濃度とは、ほぼ同じである。また、領域MRの拡散領域D1の不純物濃度と、領域LRの拡散領域D2の不純物濃度とは、ほぼ同じである。

20

【0048】

ゲート電極G2上および拡散領域D2上には、例えばコバルトシリサイド(CoSi₂)、ニッケルシリサイド(NiSi)またはニッケルプラチナシリサイド(NiPtSi)からなるシリサイド層SIが形成されている。シリサイド層SIは、主に、後述のプラグPGとの接触抵抗を低減するために形成されている。

【0049】

領域MRに形成されている強誘電体メモリセルMC上、および、領域LRに形成されているMISFET1Q上には、層間絶縁膜IL1が形成されている。層間絶縁膜IL1は、例えば酸化シリコン膜である。層間絶縁膜IL1中には、複数のコンタクトホールが形成されており、複数のコンタクトホール内には、複数のプラグPGが形成されている。プラグPGは、例えば、チタン膜、窒化チタン膜、または、これらの積層膜からなるバリアメタル膜と、タングステンを主体とする導電性膜とからなる。プラグPGは、シリサイド層SIを介して、拡散領域D1または拡散領域D2に電気的に接続されている。なお、図示はしていないが、層間絶縁膜IL1中には、ゲート電極G1およびゲート電極G1に電気的に接続するプラグPGも存在している。

30

【0050】

また、図示は省略するが、プラグPG上には、複数の配線が形成される。例えば、層間絶縁膜IL1上に、層間絶縁膜が形成され、この層間絶縁膜には、配線用の溝が形成されている。そして、この配線用の溝内に、例えば銅を主成分とする導電性膜が埋め込まれることで、プラグPGと接続する1層目の配線が形成されている。

40

【0051】

<強誘電体メモリセルMCの動作>

次に、強誘電体メモリセルMCの動作例について、図4を参照して説明する。

【0052】

図4は、強誘電体メモリセルMCのうち選択メモリセルについて、「書込」、「消去」および「読出」時における選択メモリセルの各部位への印加電圧の一例を示す表である。図4の表には、「書込」、「消去」および「読出」のそれぞれの動作時において、図2に示す強誘電体メモリセルMCのドレイン領域(一方の拡散領域D1)に印加する電圧Vd、ゲート電極CG1に印加する電圧Vg、ソース領域(他方の拡散領域D1)に印加する

50

電圧 V_s 、および、ウェル領域 PW_1 に印加する電圧 V_b が記載されている。なお、図 4 の表に示したものは、電圧の印加条件の好適な一例であり、これに限定されるものではなく、必要に応じて種々変更可能である。

【0053】

また、本実施の形態では、強誘電体層 FEL の分極が上向きとなり、強誘電体メモリセル MC の閾値電圧が比較的高い状態になることを「書込」と定義する。そして、強誘電体層 FEL の分極が下向きとなり、強誘電体メモリセル MC の閾値電圧が比較的低い状態になることを「消去」と定義する。

【0054】

書込動作では、ゲート電極 G_1 に負の電圧を印加することで行う。すなわち、例えば図 4 の「書込」の欄に示すような電圧を、書込みを行う選択メモリセルの各部位に印加する。これにより、強誘電体層 FEL の分極が上向きとなり、強誘電体メモリセル MC の閾値電圧が上昇し、強誘電体層 FEL は書込み状態となる。

10

【0055】

消去動作では、ゲート電極 G_1 に正の電圧を印加することで行う。すなわち、例えば図 4 の「消去」の欄に示すような電圧を、消去を行う選択メモリセルの各部位に印加する。これにより、強誘電体層 FEL の分極が下向きとなり、強誘電体メモリセル MC の閾値電圧が低下し、強誘電体層 FEL は消去状態となる。

【0056】

読出動作では、例えば図 4 の「読出」の欄に示されるような電圧を、読出しを行う選択メモリセルの各部位に印加する。ゲート電極 G_1 に印加する電圧 V_g を、書込み状態における強誘電体層 FEL の閾値電圧と、消去状態における強誘電体層 FEL の閾値電圧との間の値にすることで、書込み状態と消去状態とを判別することができる。

20

【0057】

<半導体装置の製造工程>

以下に、図 5 ~ 図 17 を用いて、本実施の形態の半導体装置の製造方法について説明する。図 5 ~ 図 17 の各々は、強誘電体メモリセル MC が形成される領域 MR と、低耐圧 $MISFET_1Q$ が形成される領域 LR とを示す断面図である。

【0058】

図 5 は、素子分離部 STI 、ウェル領域 PW_1 およびウェル領域 PW_2 の形成工程を示している。

30

【0059】

まず、例えば p 型の不純物が導入された単結晶シリコンからなる半導体基板 SB を準備する。次に、半導体基板 SB に、フォトリソグラフィ法およびエッチング処理を用いて、溝を形成する。次に、溝内を埋め込むように酸化シリコン膜などの絶縁膜を形成し、その後、CMP (Chemical Mechanical Polishing) 法によって、溝外部の絶縁膜を除去することで、溝内に残された絶縁膜からなる素子分離部 STI を形成する。

【0060】

次に、フォトリソグラフィ法およびイオン注入法を用いて、半導体基板 SB に不純物を導入することにより、領域 MR において、 p 型のウェル領域 PW_1 を形成し、領域 LR において、 p 型のウェル領域 PW_2 を形成する。

40

【0061】

図 6 は、ゲート絶縁膜 GF の形成工程を示している。

【0062】

まず、領域 MR のウェル領域 PW_1 、および、領域 LR のウェル領域 PW_2 を含む半導体基板 SB 上に対して、例えば酸素を含む雰囲気中で熱処理を施すことで、領域 MR および領域 LR の半導体基板 SB 上に、例えば酸化シリコンからなるゲート絶縁膜 GF を形成する。ゲート絶縁膜 GF の厚さは、例えば $1\text{ nm} \sim 3\text{ nm}$ である。次に、領域 MR を開口し、且つ、領域 LR を覆うパターンを有するレジストパターン RP_1 を形成する。次に、レジストパターン RP_1 をマスクとしてエッチング処理を行うことで、領域 LR のゲート

50

絶縁膜 G F が残されるように、領域 M R のゲート絶縁膜 G F を除去する。その後、レジストパターン R P 1 を例えばアッシング処理によって除去する。

【 0 0 6 3 】

図 7 は、絶縁膜 I F 1 の形成工程を示している。

【 0 0 6 4 】

半導体基板 S B 上に対して、例えば酸素を含む雰囲気中で熱処理を施すことで、領域 M R の半導体基板 S B 上に、例えば酸化シリコンからなる絶縁膜 I F 1 を形成する。絶縁膜 G F の厚さは、例えば 1 n m ~ 3 n m である。なお、この時、領域 L R にはゲート絶縁膜 G F が形成されているが、この熱酸化処理によって、ゲート絶縁膜 G F の厚さが若干増加する。

10

【 0 0 6 5 】

図 8 は、アモルファス膜 A M 1 の形成工程を示している。

【 0 0 6 6 】

領域 M R の絶縁膜 I F 1 上、および、領域 L R のゲート絶縁膜 G F 上に、例えば A L D (Atomic Layer Deposition) 法によって、アモルファス膜 (非晶質膜) A M 1 を形成する。アモルファス膜 A M 1 の厚さは、例えば 5 n m である。アモルファス膜 A M 1 は、例えば、ハフニウム (H f)、酸素 (O)、および、第 1 元素としてジルコニウム (Z r) を含む材料からなる膜である。また、第 1 元素は、ジルコニウムに代えて、シリコン (S i)、ゲルマニウム (G e)、イットリウム (Y)、ランタン (L a) またはイッテルビウム (Y b) の何れかであってもよい。

20

【 0 0 6 7 】

図 9 は、複数の粒 G R の形成工程を示している。

【 0 0 6 8 】

図 8 のアモルファス膜 A M 1 形成工程で使用した A L D 装置から、半導体ウェハを別の装置へ移し、図 9 の工程を実施する。本実施の形態では、領域 M R および領域 L R において、アモルファス膜 A M 1 上に、スパッタリング法によって、複数の粒 G R を形成する。複数の粒 G R は、互いに分離されている。言い換えれば、複数の粒 G R は、アモルファス膜 A M 1 のように連続的に形成された膜ではなく、不連続的に形成されている。すなわち、複数の粒 G R は、アモルファス膜 A M 1 の全体を覆っておらず、アモルファス膜 A M 1 上に点在している。従って、アモルファス膜 A M 1 の一部は複数の粒 G R によって覆われ、アモルファス膜 A M 1 のその他の部分は複数の粒 G R から露出している。また、複数の粒 G R の一部は、アモルファス膜 A M 1 の上面上に堆積するが、アモルファス膜 A M 1 内の上面近傍に導入されている複数の粒 G R も存在する。このため、後述のアモルファス膜 A M 1 などを結晶化させる工程において、複数の粒 G R が結晶核として機能することができる。

30

【 0 0 6 9 】

また、複数の粒 G R は、ハフニウム、酸素および第 1 元素の何れとも異なる第 2 元素を含む。第 2 元素は、例えばアルミニウム (A l) である。また、第 2 元素は、アルミニウムに代えて、炭素 (C)、窒素 (N)、フッ素 (F) またはチタン (T i) の何れかであってもよい。なお、本実施の形態では、第 2 元素がアルミニウムである場合を、代表的に例示して説明する。

40

【 0 0 7 0 】

また、複数の粒 G R は、スパッタリング法に代えて、C V D (Chemical Vapor Deposition) 法によって形成してもよいが、上述のように、複数の粒 G R は互いに分離するように形成することが好ましいため、複数の粒 G R の形成方法は、スパッタリング法で行うことが好ましい。また、アモルファス膜 A M 1 の上面に対する複数の粒 G R の面密度は、 $5 \times 10^{12} / \text{cm}^2 \sim 5 \times 10^{14} / \text{cm}^2$ の範囲内である。これにより、複数の粒 G R の結晶粒径の半径を、例えば 0 . 1 n m ~ 1 n m の範囲内で精密に制御することができる。

【 0 0 7 1 】

50

また、複数の粒GRがアモルファス膜AM1中に拡散しすぎる事を防止するために、上記スパッタリング法は、1以上、且つ、150以下の範囲の温度で行われることが好ましい。

【0072】

また、上述のように、複数の粒GRを構成する第2元素は、アルミニウムに代えて他の元素であっても良いが、そのような場合、複数の粒GRの形成方法は、スパッタリング法に代えて、イオン注入法を用いて行うこともできる。イオン注入法を用いる場合には、前記複数の粒GRのドーズ量を、 $5 \times 10^{12} / \text{cm}^2 \sim 5 \times 10^{14} / \text{cm}^2$ の範囲内とする。

【0073】

図10は、アモルファス膜AM2の形成工程を示している。

【0074】

領域MRおよび領域LRにおいて、複数の粒GR上およびアモルファス膜AM1上に、例えばALD法によって、アモルファス膜（非晶質膜）AM2を形成する。この工程により、複数の粒GRは、アモルファス膜AM2によって覆われる。アモルファス膜AM2の厚さは、例えば5nmである。アモルファス膜AM2は、アモルファス膜AM1と同じ材料からなり、例えば、ハフニウム(Hf)、酸素(O)、および、第1元素としてジルコニウム(Zr)を含む材料からなる膜である。また、第1元素は、ジルコニウムに代えて、シリコン(Si)、ゲルマニウム(Ge)、イットリウム(Y)、ランタン(La)またはイッテルビウム(Yb)の何れかであってもよい。

【0075】

図11は、金属膜MF1の形成工程を示している。

【0076】

領域MRおよび領域LRにおいて、アモルファス膜AM2上に、例えばCVD法またはスパッタリング法を用いて、例えば窒化チタン、窒化タンタルまたはタンゲステンからなる金属膜MF1を形成する。金属膜MF1の厚さは、例えば10nm~20nmである。金属膜MF1は、主に、アモルファス膜AM1およびアモルファス膜AM2に応力を加えるために設けられている。

【0077】

図12は、強誘電体膜FE1、強誘電体膜FE2および強誘電体層FELの形成工程を示している。

【0078】

領域MRおよび領域LRにおいて、アモルファス膜AM2上に金属膜MF1が形成されている状態で、熱処理を施すことで、アモルファス膜AM1を結晶化して直方晶の結晶である強誘電体膜FE1を形成し、アモルファス膜AM2を結晶化して直方晶の結晶である強誘電体膜FE2を形成する。

【0079】

この熱処理は、RTA(Rapid Thermal Annealing)法によって、600以下の温度で行うこともできるが、電磁波として、例えば周波数1GHz~10GHzのマイクロ波を用いて行うことが好ましく、周波数2.45GHzのマイクロ波を用いて行うことが、より好ましい。マイクロ波を用いた熱処理は、より低温での結晶化が可能であり、例えば400以下の温度で行うことができる。

【0080】

このマイクロ波を用いた熱処理では、電場（電界）の振動方向が、金属膜MF1の上面、または、半導体基板SBの上面に対して90度（垂直）となるように、マイクロ波を照射する。このようなマイクロ波などの電磁波は、分極結晶にエネルギーが吸収されるため、分極結晶である強誘電体膜FE1および強誘電体膜FE2が形成され易いという特性を持つ。従って、上述のように、結晶化のための熱処理を、400以下の低温で行うことが容易となる。

【0081】

10

20

30

40

50

例えば、この結晶化用の熱処理を700～1000 程度の高温で行うと、強誘電体膜 F E 1 および強誘電体膜 F E 2 の結晶相は単斜晶となりやすく、強誘電体膜 F E 1 および強誘電体膜 F E 2 は強誘電体膜ではなく常誘電体膜となってしまう。本実施の形態のように、400 以下の低温で行うことで、強誘電体膜 F E 1 および強誘電体膜 F E 2 を直方晶の結晶として形成させることが容易となる。

【0082】

また、この結晶化工程では、強誘電体膜 F E 1 および強誘電体膜 F E 2 の各々の配向性は、金属膜 M F 1 からの応力によって制御される。すなわち、アモルファス膜 A M 1 およびアモルファス膜 A M 2 を、強誘電体膜 F E 1 および強誘電体膜 F E 2 へ結晶化させる際に、金属膜 M F 1 は、強誘電体膜 F E 1 および強誘電体膜 F E 2 の各々の結晶相を、直方晶に配向させる機能を有する。

10

【0083】

また、本実施の形態では、アモルファス膜 A M 1 とアモルファス膜 A M 2 との間に、複数の粒 G R を複数の粒として形成している。これら複数の粒が、結晶化工程において結晶核として機能する。上記の熱処理により、複数の粒 G R である複数の粒の中には、アモルファス膜 A M 1 およびアモルファス膜 A M 2 に含まれる物質と結合して、化合物となるものもある。すなわち、上記の熱処理後の複数の粒 G R は、アルミニウム、炭素、窒素、フッ素若しくはチタン、または、これらとハフニウム、酸素若しくは上記第1元素とが結合した化合物の何れかである。

【0084】

以下に、結晶化工程の一例として、複数の粒 G R を構成する第2元素がアルミニウムである場合を説明する。複数の粒 G R である複数のアルミニウム粒の大部分は、アモルファス膜 A M 1 およびアモルファス膜 A M 2 に含まれる酸素と結合し、複数の酸化アルミニウム粒となる。アモルファス膜 A M 1 およびアモルファス膜 A M 2 は、複数の酸化アルミニウム粒を結晶核として結晶化し、強誘電体膜 F E 1 および強誘電体膜 F E 2 となる。ここで、複数のアルミニウム粒の結晶粒径の半径は、例えば0.1nm～1nmの範囲内で精密に制御されている。すなわち、強誘電体膜 F E 1 および強誘電体膜 F E 2 の各々の結晶粒径が、複数の酸化アルミニウム粒の結晶粒径に準じて揃えられるので、強誘電体層 F E L 内における結晶粒径の均一性が向上する。

20

【0085】

このように、強誘電体層 F E L 内において、結晶粒径の均一性を向上させ、結晶の配向性を直方晶に揃えることができる。従って、強誘電体層 F E L を強誘電体メモリセル M C に適用した際に、強誘電体層 F E L の分極反転に伴って、強誘電体層 F E L の膜質が劣化し、強誘電体層 F E L の結晶粒径および結晶配向性がばらつくことで、閾値電圧のばらつきが大きくなるという問題を抑制できる。従って、強誘電体メモリセル M C の書き換え耐性が低下する、または、リテンションが低下するような問題を抑制することができる。すなわち、本実施の形態の技術によって、半導体装置の性能を向上させることができる。

30

【0086】

図13は、図12に続く半導体装置の製造工程であり、金属膜 M F 1 および強誘電体層 F E L の除去工程を示している。

40

【0087】

まず、領域 L R を開口し、且つ、領域 M R を覆うパターンを有するレジストパターン R P 2 を形成する。次に、レジストパターン R P 2 をマスクとしてエッチング処理を行うことで、領域 M R に形成されていた金属膜 M F 1 および強誘電体層 F E L が残されるように、領域 L R に形成されていた金属膜 M F 1 および強誘電体層 F E L を除去する。その後、レジストパターン R P 2 を例えばアッシング処理によって除去する。

【0088】

図14は、導電性膜 F G の形成工程を示している。

【0089】

領域 M R の金属膜 M F 1 上、および、領域 L R のゲート絶縁膜 G F 上に、例えば C V D

50

法によって、例えば n 型の不純物が導入された多結晶シリコンからなる導電性膜 F G を形成する。

【 0 0 9 0 】

なお、上述のように、強誘電体層 F E L 内を直方晶の結晶として十分に維持できるならば、導電性膜 F G の形成前に、金属膜 M F 1 を除去してもよい。

【 0 0 9 1 】

図 1 5 は、ゲート電極 G 1 およびゲート電極 G 2 の形成工程を示している。

【 0 0 9 2 】

フォトリソグラフィ法およびエッチング処理によって、領域 M R および領域 L R の導電性膜 F G をパターンニングする。これにより、領域 M R において、ゲート電極 G 1 が形成され、領域 L R において、ゲート電極 G 2 が形成される。続いて、エッチング処理を行うことで、領域 M R において、ゲート電極 G 1 に覆われていない金属膜 M F 1、強誘電体層 F E L および絶縁膜 I F 1 が除去され、領域 L R において、ゲート電極 G 2 に覆われていないゲート絶縁膜 G F が除去される。

10

【 0 0 9 3 】

また、本実施の形態では、ゲート電極 G 1 下（導電性膜 F G 下）の金属膜 M F 1 を残した場合を例示しているため、金属膜 M F 1 は、ゲート電極 G 1 の一部として機能する。

【 0 0 9 4 】

図 1 6 は、エクステンション領域 E X 1 およびエクステンション領域 E X 2 の形成工程を示している。

20

【 0 0 9 5 】

フォトリソグラフィ法およびイオン注入法によって、領域 M R において、ゲート電極 G 1 に整合する位置のウェル領域 P W 1 内に、n 型の不純物領域であるエクステンション領域 E X 1 を形成し、領域 L R において、ゲート電極 G 2 に整合する位置のウェル領域 P W 2 内に、n 型の不純物領域であるエクステンション領域 E X 2 を形成する。エクステンション領域 E X 1 は、強誘電体メモリセル M C のソース領域の一部またはドレイン領域の一部を構成し、エクステンション領域 E X 2 は、M I S F E T 1 Q のソース領域の一部またはドレイン領域の一部を構成する。

【 0 0 9 6 】

図 1 7 は、サイドウォールスペーサ S W、拡散領域 D 1、拡散領域 D 2 およびシリサイド層 S I の形成工程を示している。

30

【 0 0 9 7 】

まず、ゲート電極 G 1 およびゲート電極 G 2 を覆うように、例えば C V D 法によって、例えば酸化シリコン膜と窒化シリコン膜とを順次形成する。次に、異方性エッチング処理によって、窒化シリコン膜を加工する。その後、ゲート電極 G 1 の上面上およびゲート電極 G 2 の上面上などに形成されている酸化シリコン膜を除去する。これにより、ゲート電極 G 1 の側面上およびゲート電極 G 2 の側面上に、酸化シリコン膜と窒化シリコン膜との積層膜からなるサイドウォールスペーサ S W が形成される。

【 0 0 9 8 】

次に、フォトリソグラフィ法およびイオン注入法によって、領域 M R において、サイドウォールスペーサ S W に整合する位置のウェル領域 P W 1 内に、n 型の不純物領域である拡散領域 D 1 を形成し、領域 L R において、サイドウォールスペーサ S W に整合する位置のウェル領域 P W 2 内に、n 型の不純物領域である拡散領域 D 1 を形成する。

40

【 0 0 9 9 】

領域 M R において、拡散領域 D 1 は、エクステンション領域 E X 1 よりも高い不純物濃度を有し、エクステンション領域 E X 1 と接続し、強誘電体メモリセル M C のソース領域の一部またはドレイン領域の一部を構成する。

【 0 1 0 0 】

領域 L R において、拡散領域 D 2 は、エクステンション領域 E X 2 よりも高い不純物濃度を有し、エクステンション領域 E X 2 と接続し、M I S F E T 1 Q のソース領域の一部

50

またはドレイン領域の一部を構成する。

【0101】

次に、サリサイド (Salicide : Self Aligned Silicide) 技術により、拡散領域 D 1、拡散領域 D 2、ゲート電極 G 1 およびゲート電極 G 2 のそれぞれの上面上に、低抵抗のシリサイド層 S I を形成する。

【0102】

シリサイド層 S I は、具体的には次のようにして形成することができる。まず、領域 M R および領域 L R を覆うように、シリサイド層 S I 形成用の金属膜を形成する。この金属膜は、例えばコバルト、ニッケルまたはニッケルプラチナ合金からなる。次に、半導体基板 S B に 300 ~ 400 程度の第 1 熱処理を施し、その後、600 ~ 700 程度の第 2 熱処理を施すことによって、拡散領域 D 1、拡散領域 D 2、ゲート電極 G 1 およびゲート電極 G 2 に含まれる材料と、金属膜とを反応させる。これにより、拡散領域 D 1、拡散領域 D 2、ゲート電極 G 1 およびゲート電極 G 2 のそれぞれの上面上に、コバルトシリサイド (CoSi₂)、ニッケルシリサイド (NiSi) またはニッケルプラチナシリサイド (NiPtSi) からなるシリサイド層 S I が形成される。その後、未反応の金属膜を除去する。

【0103】

また、ゲート電極 G 1 を構成する材料に、窒化チタン膜、アルミニウム膜若しくはタングステン膜などの金属膜、または、これらを適宜積層させた積層膜を採用する場合には、図 17 の工程後、ゲート電極 G 1 の材料である多結晶シリコン膜を、所謂ゲートラストプロセスを用いて、上記金属膜または上記積層膜に置換することができる。

【0104】

以上により、領域 M R に M F I S 構造の強誘電体メモリセル M C が形成され、領域 L R に M I S F E T 1 Q が形成される。

【0105】

その後、以下の工程を経て、図 2 に示される構造が得られる。

【0106】

まず、領域 M R に形成されている強誘電体メモリセル M C、および、領域 L R に形成されている M I S F E T 1 Q を覆うように、例えば C V D 法によって、例えば酸化シリコンからなる層間絶縁膜 I L 1 を形成する。次に、フォトリソグラフィ法およびエッチング処理を用いて、層間絶縁膜 I L 1 中に、複数のコンタクトホールを形成する。次に、これらの複数のコンタクトホール内に、例えば、チタン膜、窒化チタン膜、または、これらの積層膜からなるバリアメタル膜を形成し、このバリアメタル膜上に、タングステンを主体とする導電性膜を形成する。次に、例えば C M P 法によって、コンタクトホール外のバリアメタル膜および導電性膜を除去することで、コンタクトホール内にプラグ P G が形成される。プラグ P G は、シリサイド層 S I を介して、拡散領域 D 1 または拡散領域 D 2 に電氣的に接続されている。なお、図示はしていないが、ゲート電極 G 1 およびゲート電極 G 1 に電氣的に接続するプラグ P G も存在している。

【0107】

< 検討例と本実施の形態との比較 >

図 24 は、本願発明者が検討した検討例の半導体装置を示しており、本実施の形態の図 12 に対応する製造工程中の断面図を示している。すなわち、図 24 は、強誘電体層 F E L となるアモルファス膜に対して、結晶化用の熱処理を施し、強誘電体膜 F E 4 が形成された状態を示している。

【0108】

検討例でも、本実施の形態と同様に、強誘電体層 F E L を有する強誘電体メモリセル M C が設けられているが、検討例の強誘電体層 F E L は、強誘電体膜 F E 4 の単層膜からなり、本実施の形態のように強誘電体膜 F E 1 および強誘電体膜 F E 2 の積層膜ではなく、複数の粒 G R も有していない。また、強誘電体膜 F E 4 は、ハフニウム (Hf)、酸素 (O)、および、ジルコニウム (Zr) からなる第 1 元素を有している。

10

20

30

40

50

【0109】

例えば酸化ハフニウム膜（ HfO_2 膜）の場合、ALD法などによってアモルファス膜を堆積し、その後、700～1000程度の高温で熱処理を行うと、 HfO_2 膜の結晶相は単斜晶となるため、 HfO_2 膜は強誘電体ではなく常誘電体となる。そこで、 HfO_2 膜にジルコニウム（Zr）からなる第1元素を添加することで、強誘電体膜FE4が直方晶の結晶として形成され易くなる。また、アモルファス膜上に窒化チタンなどの金属膜MF1を形成しておくことで、強誘電体膜FE4の配向性を制御し易くなる。

【0110】

強誘電体メモリセルMCにおいては、ゲート電極に正負の電圧を印加することで、強誘電体層FEL中の分極ドメインの反転を制御して閾値電圧を制御している。このため、強誘電体メモリセルMCにおける閾値電圧ばらつきは、強誘電体膜FE4の結晶粒径のばらつき、および、結晶配向のばらつきに大きく依存する。そして、強誘電体メモリセルMCの書き換え回数が多くなると、強誘電体層FEL中の膜質が劣化するため、上記の結晶粒径のばらつき、および、結晶配向のばらつきの大きさが、閾値電圧のばらつきに大きく影響を与えてしまう。

10

【0111】

本願発明者の検討によれば、検討例では、強誘電体膜FE4の結晶粒径のばらつき、および、結晶配向のばらつきを十分に抑制できておらず、強誘電体メモリセルMCの書き換え回数が多くなるにつれて、閾値電圧のばらつきが大きくなることが判った。

【0112】

これに対して、本実施の形態では、強誘電体層FELの形成に際して、アモルファス膜AM1とアモルファス膜AM2との積層構造を採用し、更に、アモルファス膜AM1とアモルファス膜AM2と間に複数の粒GRを設けている。複数の粒GRの各々の結晶粒径の半径は、例えば0.1nm～1nmの範囲内で精密に制御されている。そして、アモルファス膜AM2上に金属膜MF1が形成されている状態で、アモルファス膜AM1、アモルファス膜AM2および複数の粒GRに対して結晶化用の熱処理を施すことで、強誘電体膜FE1および強誘電体膜FE2の各々の結晶粒径が、複数の粒GRの結晶粒径に準じて揃えられる。従って、強誘電体層FEL内における結晶粒径の均一性が向上する。このように、強誘電体層FEL内において、結晶粒径の均一性を向上させ、結晶の配向性を直方晶に揃えることができる。

20

30

【0113】

このように形成された強誘電体膜FE1、強誘電体膜FE2および複数の粒GRを含む強誘電体層FELを強誘電体メモリセルMCに適用した際に、上記のような閾値電圧のばらつきが大きくなるという問題を抑制できる。従って、強誘電体メモリセルMCの書き換え耐性が低下する、または、リテンションが低下するような問題を抑制することができる。すなわち、本実施の形態の技術によって、半導体装置の性能を向上させることができる。

【0114】

また、本実施の形態では、結晶化用の熱処理にマイクロ波のような電磁波を用いている。マイクロ波を用いた熱処理は、より低温での結晶化が可能であり、例えば400以下の温度で行うことができる。これにより、強誘電体膜FE1および強誘電体膜FE2の結晶相は直方晶の結晶として形成させることが容易となり、強誘電体膜FE1および強誘電体膜FE2を常誘電体ではなく、強誘電体として形成させることが容易となる。

40

【0115】

（変形例）

以下に、実施の形態1の変形例の半導体装置を、図18を用いて説明する。また、以下の説明では、実施の形態1との相違点を主に説明する。

【0116】

図18は、本願発明者の実験により得られたグラフであり、実施の形態1の図9の工程において、複数の粒GRをスパッタリング法によって形成した際の温度比較を示している

50

。ここでは、複数の粒GRを構成する第2元素にアルミニウムを適用した例を示している。図18において、縦軸は、アルミニウムがアモルファス膜AM1中に拡散する拡散長Dを示しており、横軸は、スパッタリング工程時のケルビン温度T[K]の逆数(1/T)を示している。

【0117】

実施の形態1では、複数の粒GRをスパッタリング法によって形成した際の温度を、300以下の温度で行うことで、複数の粒GRであるアルミニウムがアモルファス膜AM1内部へ拡散することを抑制していた。アルミニウムは、アモルファス膜AM1およびアモルファス膜AM2が、強誘電体膜FE1および強誘電体膜FE2に結晶化される際に、結晶核となる。従って、アモルファス膜AM1の上面付近、すなわち、アモルファス膜AM1とアモルファス膜AM2との界面付近に、より多くの結晶核が存在していることが好ましい。すなわち、複数の粒GRをスパッタリング法によって形成した際に、複数の粒GRであるアルミニウムがアモルファス膜AM1内部へあまり拡散しない事が好ましい。

10

【0118】

図18のグラフから判るように、複数の粒GRの形成温度が低くなるに従って、複数の粒GRの拡散長Dが小さくなっている。このグラフから、複数の粒GRの形成温度は、1以上で行われ、150以下であることが好ましく、100以下であることがより好ましく、27(室温)以下であることが最も好ましい。

【0119】

このように、複数の粒GRをより低い温度で形成することで、強誘電体層FEL内において、結晶粒径の均一性を更に向上させ、結晶の配向性を直方晶に揃え易くなる。

20

【0120】

(実施の形態2)

以下に、実施の形態2の半導体装置を、図19を用いて説明する。また、以下の説明では、実施の形態1との相違点を主に説明する。図19は、実施の形態1の図12に対応する製造工程中の断面図を示している。

【0121】

実施の形態1では、強誘電体層FELとして、強誘電体膜FE1および強誘電体膜FE2の2層構造を適用していた。実施の形態2では、強誘電体層FELとして、強誘電体膜FE1、強誘電体膜FE2および強誘電体膜FE3の3層構造を適用している。

30

【0122】

図19は、実施の形態1の図12と同様に、マイクロ波などによる結晶化用の熱処理を施した後の状態を示している。

【0123】

まず、実施の形態1の図8~図10で説明した製造工程と同様に、領域MRおよび領域LRにおいて、絶縁膜IF1上に、アモルファス膜AM1、複数の粒GRおよびアモルファス膜AM2を順次形成する。

【0124】

次に、図19に示されるように、アモルファス膜AM2上に、スパッタリング法によって、再び複数の粒GRを形成する。次に、複数の粒GR上およびアモルファス膜AM2上に、例えばALD法によって、アモルファス膜(非晶質膜)AM3を形成する。アモルファス膜AM3を構成する材料は、アモルファス膜AM1およびアモルファス膜AM2と同様である。

40

【0125】

また、実施の形態2では、アモルファス膜AM1の厚さは2.5nm程度であり、アモルファス膜AM2の厚さは5nm程度であり、アモルファス膜AM3の厚さは2.5nm程度である。すなわち、実施の形態2のアモルファス膜AM1およびアモルファス膜AM3の各々の厚さは、実施の形態1のアモルファス膜AM1の厚さである5nmよりも薄い。

【0126】

50

次に、実施の形態 1 の図 1 1 で説明した製造工程と同様に、アモルファス膜 A M 3 上に、金属膜 M F 1 を形成する。

【 0 1 2 7 】

次に、アモルファス膜 A M 3 上に金属膜 M F 1 が形成されている状態で、熱処理を施すことで、アモルファス膜 A M 1 ~ A M 3 をそれぞれ結晶化し、直方晶の結晶である強誘電体膜 F E 1 ~ F E 3 を形成する。これにより強誘電体膜 F E 1 ~ F E 3 および複数の粒 G R を含む強誘電体層 F E L が形成される。また、この熱処理は、実施の形態 1 と同様に、600 以下の温度で R T A 法によって行うこともできるが、400 以下の温度でマイクロ波によって行うことが好ましい。

【 0 1 2 8 】

このように、実施の形態 2 では、アモルファス膜 A M 1 とアモルファス膜 A M 2 との間、および、アモルファス膜 A M 2 とアモルファス膜 A M 3 との間に、複数の粒 G R を形成している。このため、実施の形態 2 では、実施の形態 1 よりも、結晶核となる複数の粒 G R の数が多い。更に、アモルファス膜 A M 1 およびアモルファス膜 A M 3 の各々の厚さが薄いため、アモルファス膜 A M 1 およびアモルファス膜 A M 3 の結晶粒径が、複数の粒 G R 各々の結晶粒径に準じて成長され易くなる。従って、実施の形態 2 では、実施の形態 1 と比較して、強誘電体膜 F E 1 ~ F E 3 の結晶粒径の均一性を更に向上させることができる。

【 0 1 2 9 】

また、図 3 中の実施の形態 2 のグラフを参照すると、強誘電体層 F E L 中のうち、強誘電体膜 F E 1 と強誘電体膜 F E 2 との界面付近、および、強誘電体膜 F E 2 と強誘電体膜 F E 3 との界面付近において、複数の粒 G R であるアルミニウム (A l) の濃度のピークが大きい。そして、強誘電体膜 F E 1 の下面付近、強誘電体膜 F E 2 の中央部付近、および、強誘電体膜 F E 3 の上面付近において、アルミニウム (A l) の濃度のピークが小さい、または、アルミニウム (A l) の濃度のピークが存在していない。

【 0 1 3 0 】

このように、複数の粒 G R の濃度のピークは、強誘電体膜 F E 1 の下面に近い位置、強誘電体膜 F E 2 の中央部、および、強誘電体膜 F E 3 の上面に近い位置よりも、強誘電体膜 F E 1 と強誘電体膜 F E 2 との第 1 界面に近い位置、および、強誘電体膜 F E 2 と強誘電体膜 F E 3 との第 2 界面に近い位置において大きい。従って、複数の粒 G R が、強誘電体膜 F E 1 と強誘電体膜 F E 2 との第 1 界面付近、および、強誘電体膜 F E 2 と強誘電体膜 F E 3 との第 2 界面に存在しているので、強誘電体膜 F E 1 ~ F E 3 の各々が、均一性の高い結晶粒径を有し、直方晶の結晶として形成されることが容易となっている。

【 0 1 3 1 】

従って、強誘電体層 F E L を強誘電体メモリセル M C に適用した際に、強誘電体層 F E L の分極反転に伴って、閾値電圧のばらつきが大きくなるという問題を更に抑制できるので、強誘電体メモリセル M C の書き換え耐性が低下する、または、リテンションが低下するような問題を更に抑制することができる。すなわち、実施の形態 2 の技術によって、半導体装置の性能を更に向上させることができる。

【 0 1 3 2 】

また、実施の形態 2 でも実施の形態 1 と同様に、強誘電体層 F E L 内において、ハフニウムの比率と、第 1 元素 (Z r など) の比率と、複数の粒 G R を構成する第 2 元素の比率とを比較すると、第 2 元素の比率は、ハフニウムの比率および第 1 元素の比率よりも小さい。具体的には、ハフニウムの比率と、第 1 元素の比率と、第 2 元素の比率との合計を 100 % とした時、強誘電体層 F E L 内において、ハフニウムの比率は 30 % ~ 50 % の範囲内であり、第 1 元素の比率は 30 % ~ 50 % の範囲内であり、第 2 元素の比率は 0 . 5 % ~ 5 . 0 % の範囲内である。

【 0 1 3 3 】

また、実施の形態 2 では、強誘電体層 F E L を強誘電体膜 F E 1 ~ F E 3 からなる 3 層構造としたが、3 層以上の複数の強誘電体膜を形成し、各強誘電体膜の間に複数の粒 G R

10

20

30

40

50

を形成してもよい。その場合、強誘電体層 F E L 内における結晶粒径の均一性を更に向上させることができる。

【 0 1 3 4 】

(実施の形態 3)

以下に、実施の形態 3 の半導体装置を、図 2 0 を用いて説明する。また、以下の説明では、実施の形態 1 との相違点を主に説明する。

【 0 1 3 5 】

実施の形態 1 では、M F I S 構造の強誘電体メモリセル M C を例示したが、実施の形態 3 では、強誘電体メモリセル M C として、強誘電体層 F E L をトランジスタ構造に適用した M F M I S (Metal Ferroelectric Metal Insulator Semiconductor) 構造と呼ばれるメモリセルを例示する。

10

【 0 1 3 6 】

図 2 0 は、実施の形態 1 の図 1 2 の工程が終了した時点に対応する断面図である。

【 0 1 3 7 】

図 2 0 に示されるように、実施の形態 3 の強誘電体メモリセル M C では、強誘電体層 F E L と絶縁膜 I F 1 との間に、金属膜 M F 2 が形成されている。また、金属膜 M F 2 は、実施の形態 1 の図 7 の工程と図 8 の工程との間で形成することができる。すなわち、図 7 において領域 M R に絶縁膜 I F 1 を形成した後、領域 M R の絶縁膜 I F 1 上、および、領域 L R のゲート絶縁膜 G F 上に、金属膜 M F 2 を形成する。その後、図 8 で説明した製造方法と同様の手法によって、領域 M R および領域 L R において、金属膜 M F 2 上に、アモルファス膜 A M 1 を形成する。金属膜 M F 2 は、金属膜 M F 1 と同様の材料からなり、金属膜 M F 1 と同様の製造方法によって形成することができる。

20

【 0 1 3 8 】

また、金属膜 M F 2 は、金属膜 M F 1 と同様に、アモルファス膜 A M 1 およびアモルファス膜 A M 2 を、強誘電体膜 F E 1 および強誘電体膜 F E 2 へ結晶化させる際に、強誘電体膜 F E 1 および強誘電体膜 F E 2 の各々の結晶相を、直方晶に配向させる機能を有する。このため、強誘電体膜 F E 1 および強誘電体膜 F E 2 の各々の配向性は、金属膜 M F 1 からの応力だけでなく、金属膜 M F 2 からの応力によっても制御される。従って、実施の形態 3 では、実施の形態 1 と比較して、強誘電体膜 F E 1 および強誘電体膜 F E 2 の各々の結晶相を制御する応力が大きいので、強誘電体膜 F E 1 および強誘電体膜 F E 2 の各々

30

【 0 1 3 9 】

また、実施の形態 3 に開示した技術に、実施の形態 2 に開示した技術を適用することも可能である。

【 0 1 4 0 】

(実施の形態 4)

以下に、実施の形態 4 の半導体装置を、図 2 1 を用いて説明する。また、以下の説明では、実施の形態 3 との相違点を主に説明する。

【 0 1 4 1 】

実施の形態 3 では、強誘電体層 F E L をトランジスタ構造に適用した M F M I S 構造の強誘電体メモリセル M C を例示したが、実施の形態 4 では、強誘電体層 F E L を配線層に形成し、強誘電体層 F E L と、半導体基板 S B 上に形成された M I S F E T 2 Q とを電氣的に接続させることで、強誘電体メモリセル M C を構成する。

40

【 0 1 4 2 】

図 2 1 では、強誘電体メモリセル M C が形成される領域 M R のみを示している。図 2 1 に示されるように、半導体基板 S B 上には、M I S F E T 2 Q が形成されている。M I S F E T 2 Q は、例えば、実施の形態 1 の M I S F E T 1 Q と同じ構造を有し、M I S F E T 1 Q と同じ製造方法で形成される。

【 0 1 4 3 】

M I S F E T 2 Q のドレイン領域となる拡散領域 D 2 は、プラグ P G を介して、金属膜

50

M F 2 と接続している。金属膜 M F 2 上には、強誘電体層 F E L が形成されており、強誘電体層 F E L 上には、金属膜 M F 1 が形成されている。

【 0 1 4 4 】

強誘電体層 F E L の分極反転は、M I S F E T 2 Q のドレイン領域となる拡散領域 D 2 から供給された電圧によって行われる。すなわち、M I S F E T 2 Q が、強誘電体メモリセル M C の選択トランジスタを構成している。

【 0 1 4 5 】

このような強誘電体メモリセル M C の強誘電体層 F E L は、半導体基板 S B 上に形成する必要が無く、配線層に形成されるため、半導体基板 S B のデバイス面積を縮小することができる。従って、実施の形態 4 の強誘電体メモリセル M C は、半導体チップ C H P の微細化に有利である。

【 0 1 4 6 】

(実施の形態 5)

以下に、実施の形態 5 の半導体装置を、図 2 2 および図 2 3 を用いて説明する。また、以下の説明では、実施の形態 1 との相違点を主に説明する。図 2 2 は、実施の形態 5 の強誘電体メモリセル M C の斜視図であり、図 2 3 は、図 2 2 に示される A - A 線に沿った断面図であり、製造工程中の断面図である。

【 0 1 4 7 】

実施の形態 1 では、半導体基板 S B にプレーナ型トランジスタである M F I S 構造の強誘電体メモリセル M C を例示したが、実施の形態 5 では、M F I S 構造の強誘電体メモリセル M C をフィン型トランジスタに適用した場合を例示する。

【 0 1 4 8 】

図 2 2 では、強誘電体メモリセル M C が形成される領域 M R のみを示し、フィン F A に 2 つの強誘電体メモリセル M C が形成されている場合を例示している。

【 0 1 4 9 】

平面視において、半導体基板 S B 上には、X 方向に延在するフィン F A が形成されている。図示はしていないが、このようなフィン F A は複数形成されており、複数のフィン F A は、Y 方向に等間隔に配置されている。X 方向および Y 方向は、半導体基板 S B の主面に沿う方向であり、X 方向は Y 方向に対して直交している。X 方向におけるフィン F A の長さは、Y 方向におけるフィン F A の長さよりも長い。すなわち、X 方向はフィン F A の長辺方向であり、Y 方向はフィン F A の短辺方向である。フィン F A は、半導体基板 S B の一部であり、半導体基板 S B の上面から選択的に突出した直方体の突出部 (凸部) である。

【 0 1 5 0 】

複数のフィン F A 間の半導体基板 S B には、素子分離部 S T I が形成されている。素子分離部 S T I の上面の位置は、フィン F A の上面の位置よりも低い。言い換えれば、フィン F A の一部は、素子分離部 S T I よりも突出し、フィン F A のその他の部分は、Y 方向において素子分離部 S T I に挟まれるように位置している。このように、各フィン F A の上部は、素子分離部 S T I によって絶縁分離されている。

【 0 1 5 1 】

フィン F A のうち素子分離部 S T I よりも突出した部分は、主に、強誘電体メモリセル M C を形成するための活性領域である。すなわち、半導体基板 S B のうち、素子分離部 S T I によって区画された領域が活性領域である。

【 0 1 5 2 】

絶縁膜 I F 1 は、フィン F A の上面上および側面上に形成され、強誘電体層 F E L は、絶縁膜 I F 1 上および素子分離部 S T I 上に形成され、金属膜 M F 1 は、強誘電体層 F E L 上に形成されている。ゲート電極 G 1 は、金属膜 M F 1、強誘電体層 F E L および絶縁膜 I F 1 を介して、フィン F A の上面上および側面上に形成され、Y 方向に延在している。

【 0 1 5 3 】

10

20

30

40

50

p型のウェルPW1は、フィンFAの全体と、半導体基板SBの一部に形成されている。フィンFAには、強誘電体メモリセルMCのドレイン領域およびソース領域として、n型の拡散領域D1が形成されている。2つの拡散領域D1に挟まれ、ゲート電極G1に覆われているフィンFAが、強誘電体メモリセルMCのチャンネル領域を構成している。また、これらの拡散領域D1は、実施の形態1の拡散領域D1とほぼ同様の手法で形成された領域である。ここでは、X方向で互いに隣接する2つの強誘電体メモリセルMCが、拡散領域D1を共有している場合を例示している。

【0154】

このように、実施の形態5では、フィンFAの上面および側面を利用して強誘電体メモリセルMCを形成している。このため、実施の形態1のプレーナ型トランジスタの強誘電体メモリセルMCよりも、強誘電体層FELを分極反転させる面積を、膜厚方向に増やすことができる。このため、実施の形態5のメモリ容量が、実施の形態1と同程度である場合には、半導体基板SB中に占める強誘電体メモリセルMCの占有面積を減らすことができる。すなわち、半導体装置の微細化を図ることができる。

10

【0155】

図23は、実施の形態5における複数の粒GRの製造工程を示しており、実施の形態1では図9に対応する製造工程である。

【0156】

図23の矢印は、複数の粒GRをイオン注入法によって形成している様子を示している。実施の形態5では、フィンFAを適用しているため、スパッタリング法によって、フィンFAの側面上に形成されたアモルファス膜AM1上に複数の粒GRを形成することが難しい。

20

【0157】

そこで、実施の形態5では、図22のY方向に沿う方向（強誘電体メモリセルMCのゲート幅方向）から、斜めイオン注入法によって、アモルファス膜AM1に複数の粒GRを導入している。このイオン注入は、例えば、半導体基板SBの上面に対する垂線から、角度に傾けた角度で行われる。この角度は、例えば15度以上であって45度以下の範囲である。このようにして、フィンFAの上面および側面上に形成されたアモルファス膜AM1上に、複数の粒GRを形成することができる。なお、複数の粒GRを構成する第2元素、複数の粒GRの濃度などは、実施の形態1と同様である。

30

【0158】

その後の製造工程は、実施の形態1とほぼ同様であるので、説明を省略する。

【0159】

また、実施の形態5に開示した技術に、実施の形態2および実施の形態3に開示した技術を適用することも可能である。

【0160】

以上、本願発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【符号の説明】

40

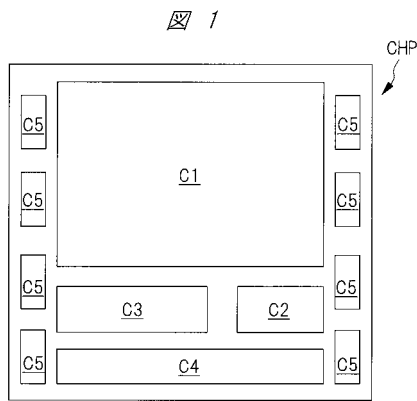
【0161】

1Q MISFET
 AM1～AM3 アモルファス膜
 C1～C5 回路
 D 拡散長
 D1、D2 拡散領域
 EX1、EX2 エクステンション領域
 FA フィン
 FE1～FE4 強誘電体膜
 FEL 強誘電体層

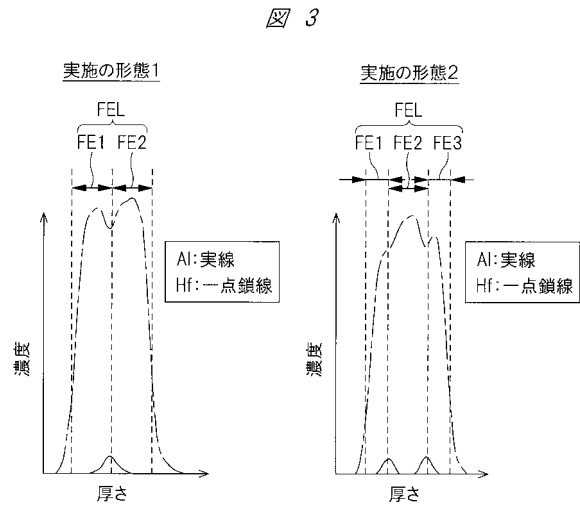
50

- F G 導電性膜
- G 1、G 2 ゲート電極
- G F ゲート絶縁膜
- G R 粒
- I F 1 絶縁膜
- I L 1 層間絶縁膜
- L R 領域
- M C メモリセル
- M F 1、M F 2 金属膜
- M R 領域
- P G プラグ
- P R 1、P R 2 レジストパターン
- P W 1、P W 2 ウェル領域
- S B 半導体基板
- S I シリサイド層
- S T I 素子分離部
- S W サイドウォールスペーサ
- T 温度

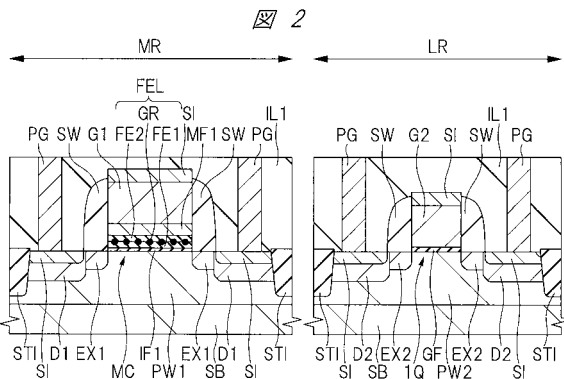
【 図 1 】



【 図 3 】



【 図 2 】

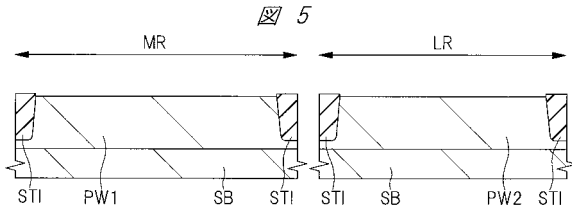


【 図 4 】

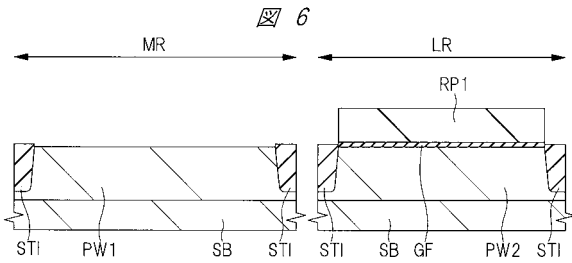
図 4

印加電圧	Vd	Vg	Vs	Vb
動作				
書込	0V	-4V	0V	0V
消去	0V	4V	0V	0V
読出	Vdd	0V	0V	0V

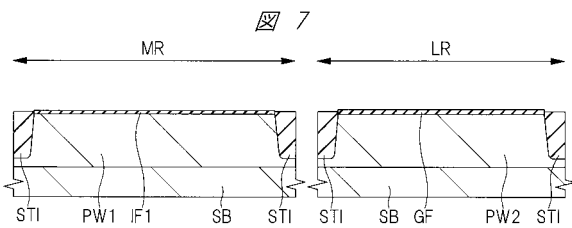
【図 5】



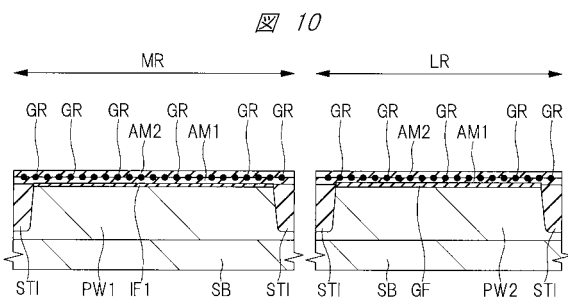
【図 6】



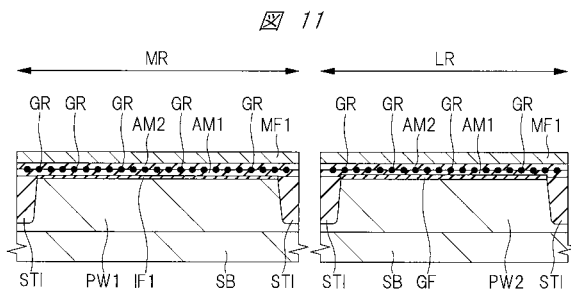
【図 7】



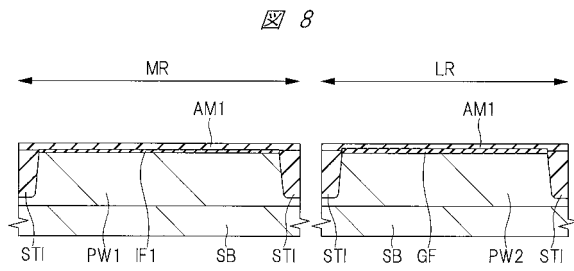
【図 10】



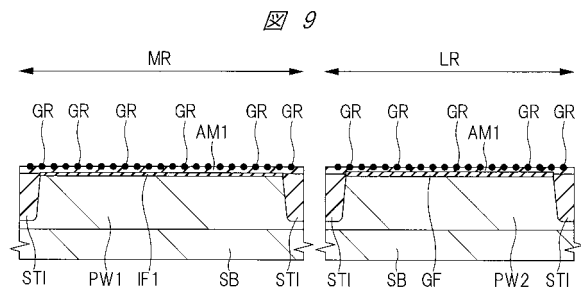
【図 11】



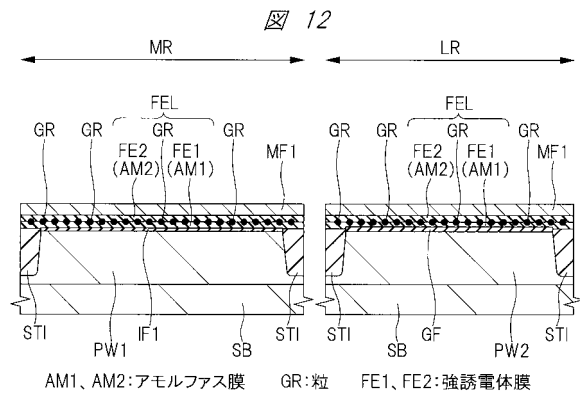
【図 8】



【図 9】

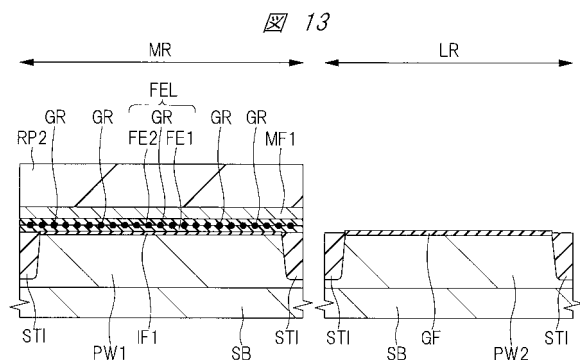


【図 12】

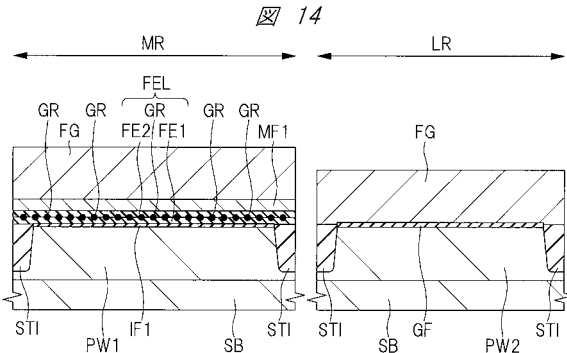


AM1、AM2:アモルファス膜 GR:粒 FE1、FE2:強誘電体膜

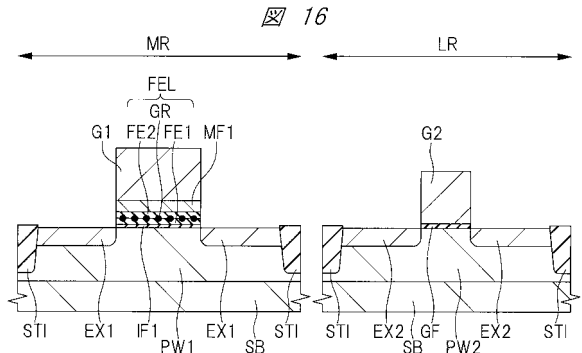
【図 13】



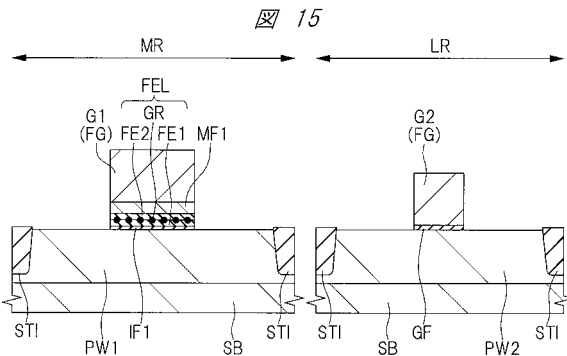
【 図 1 4 】



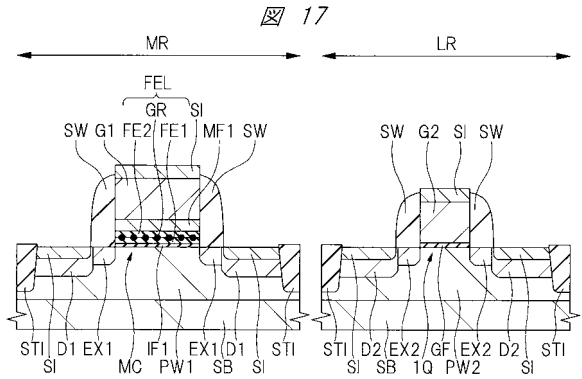
【 図 1 6 】



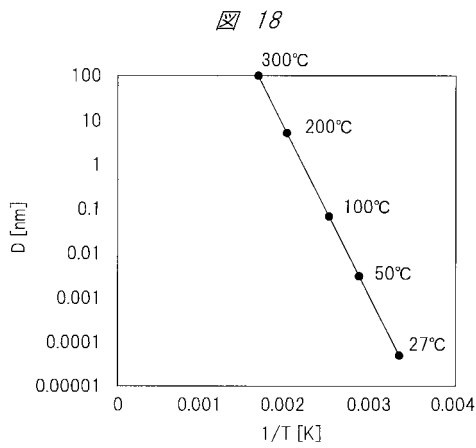
【 図 1 5 】



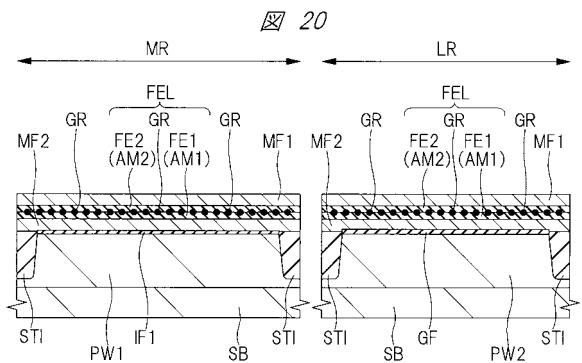
【 図 1 7 】



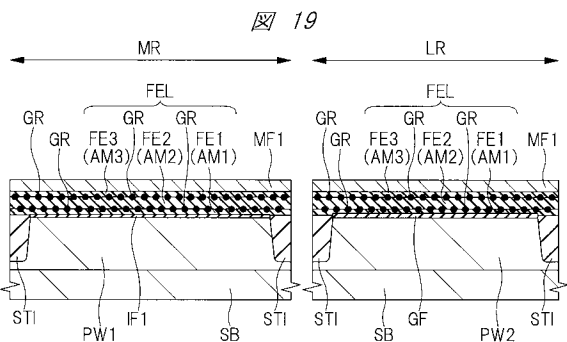
【 図 1 8 】



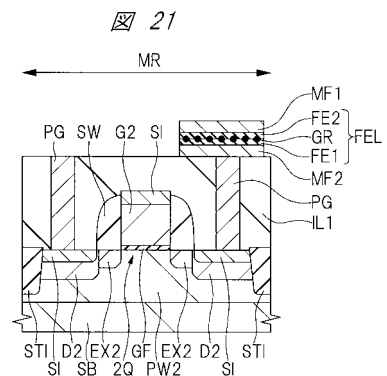
【 図 2 0 】



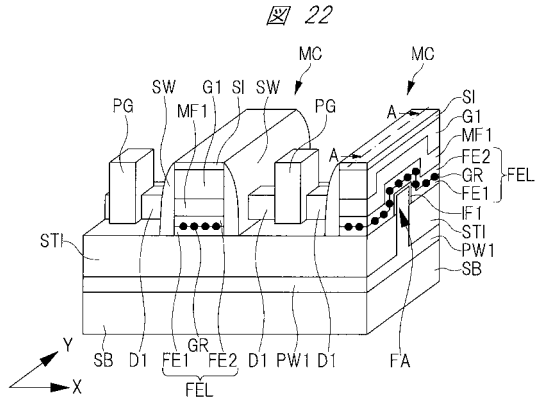
【 図 1 9 】



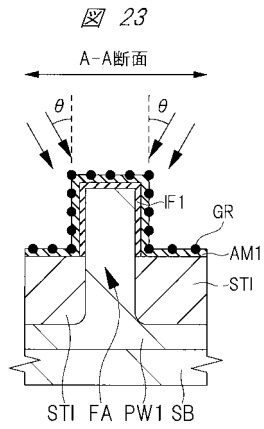
【 図 2 1 】



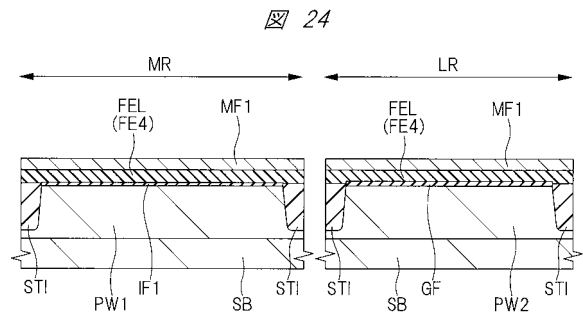
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

(51)Int.Cl.

H 0 1 L 27/11543 (2017.01)

F I

H 0 1 L 27/11543

テーマコード(参考)