(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 27/00

(45) 공고일자 2000년08월16일
(11) 등록번호 10-0264223
(24) 등록일자 2000년05월26일

(21) 출원번호 10-1997-0012936
(22) 출원일자 1997년04월09일
(65) 공개번호 특1997-0071838
(43) 공개일자 1997년11월07일
(30) 우선권주장 8/629,729 1996년04월09일 미국(US)

(73) 특허권자 인퍼메이션 스토리지 디바이스 인코퍼레이티드 팔머 카알 알.
미국 캘리포니아 95134 산 호세 노스 퍼스트 스트리트 2727
(72) 발명자 트란, 휴 반
미국 캘리포니아 95148 산호세 콜트우드 드라이브 2741
브렌난, 제임즈 쥬니어
미국 캘리포니아 95070 사라토가 소베이 메도우즈 코트 14123
브라이쓰, 트레버
미국 유타 84093 샌디 사우쓰 크리크 할로우 코브 8345
윤석윤
미국 캘리포니아 95070 사라토가 웨스트뷰 드라이브 18925
(74) 대리인 장용식

심사관 : 정재헌

(54) 플로팅게이트 낸드구조를 이용한 아날로그 기억방법 및 장치

요약

본 발명은 아날로그 기억 및 재생 장치에서 작은 셀 크기의 NAND 기억 셀 구조를 이용한다. 본 발명은 부분적으로는 특정한 제로 전류 기억 셀을 사용함으로써 달성되며, 이때 판독모드에서 상기 셀 부하 전류는 최적의 동적 범위를 얻도록 그리고 소오스 노드 또는 드레인 노드에서 다른 트랜지스터의 직렬 기생 저항의 저항 영향을 피하기 위해, 그리고 판독 경로에 있는 모든 트랜지스터의 트랜지스터 컨덕턴스 변동을 피하기 위해 성형된다. 상기 부하 전류는 최적의 감지 시간에서 파인 출력 전압 해상도를 달성하기 위해, 있을 수 있는 오우버슈트 및 설정 효과가 줄어들도록 성형된다. 방법 및 다른 실시예의 상세한 내용에 대해서 설명된다.

대표도

도2

명세서

[발명의명칭]

플로팅게이트 낸드구조를 이용한 아날로그 기억방법 및 장치

[도면의간단한설명]

도 1은 판독 모드에서 NAND 기억 셀 구조를 나타낸 회로도,

도 2는 NAND 기억 셀 구조 어레이를 나타낸 도면,

도 3은 본 발명의 NAND 기억 셀의 판독중에 부하 전류 및 해당 신호 파형을 나타낸 도면,

도 4는 단일의 아날로그 전압으로서 다수 비트 디지탈 값의 기억 및 재생을 제공하기 위해 본 발명에 따른 아날로그 메모리에의 데이타 변환기의 접속을 나타낸 도면.

[발명의상세한설명]

[발명의목적]

[발명이속하는기술분야및그분야의종래기술]

본 발명은 집적회로 설계 분야에 관한 것으로, 특히 비휘발성 메모리 집적회로를 이용한 아날로그 신호 기록 및 재생에 관한 것이다.

트레보 블리드 및 리차드 심코 명의의 미국 특허 제 5,220,531호에 설명된 바와같이, 비휘발성 메모리 집적회로를 이용한 아날로그 신호 기록 및 재생의 경우에는, EEPROM(전기적 소거 및 프로그래밍가능 판독 전용 메모리) 메모리 셀이 사용된다. 이들 셀은 소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 플로팅 게이트 디바이스로 구성되어 있으며, 이때 이 플로팅 게이트 디바이스의 상기 게이트와 상기

소오스 사이에서 측정된 상기 플로팅 게이트 디바이스의 문턱치는 상기 플로팅 게이트상의 전하에 의해 결정(제어)된다. 이들 셀은 포울러-노르하임(Fowler-Nordheim) 터널링을 이용하여 상기 게이트에 높은 전압, 예컨대 21 V, 상기 소오스에 제로볼트, 그리고 상기 드레인에 제로볼트를 인가함으로써 소거된다. 상기 게이트의 높은 전압은 상기 플로팅 게이트에 용량성 결합되며, 이에 따라 상기 플로팅 게이트와 상기 드레인 사이에 있는 터널 산화막을 통해 높은 전계가 생성된다. 이 전계는 전자를 상기 플로팅 게이트측으로 터널링시키게 되며, 따라서 Vt(문턱전압)(threshold voltage)가 사실상 대략 6 V까지 상승되게 된다. 다음에, 상기 셀은 동일한 포울러-노르하임 터널링 메카니즘을 사용하여 상기 드레인에 높은 전압, 예컨대 9 볼트 내지 19 볼트를, 상기 게이트에 제로 볼트를, 그리고 상기 소오스에 6 V를 인가함으로써 프로그래밍된다. 상기 드레인의 높은 전압은 상기 플로팅 게이트와 상기 드레인 사이에 있는 터널 산화막을 통해 역방향으로 높은 전계를 생성한다. 이에따라 상기 플로팅 게이트로부터 상기 드레인측으로 전자가 터널링되어, 상기 드레인상의 전압 레벨과 펄스 폭에 따라 상기 문턱전압이 예컨대, -1 V 내지 + 3 V만큼 저하(공핍)되게 된다.

미국 특허 제5,220,531호에서, 프로그램 '펄스'는 상기 비휘발성 메모리 셀에 아날로그 신호를 저장하기 위해 일련의 코오스(coarse) 펄스와 일련의 파인 펄스로 분리된다. 각각의 프로그래밍 펄스 후에, 판독 사이클을 사용하여 상기 셀의 내용이 판독되고, 저장될 아날로그신호와 비교되며, 이때 상기 코오스 펄스는 원하는 프로그래밍 레벨에 도달될 때 종료되고, 상기 파인 펄스는 상기 원하는 프로그래밍된 레벨에 도달될 때 종료된다. 상기 코오스 기록/판독/비교 시리즈와 이 다음에 오는 파인 기록/판독/비교 시리즈는 상기 저장된 신호에서 높은 아날로그 신호 해상도를 제공한다.

상기 특허에서, 상기 셀의 동적 범위는 대략 3 V이며, 이때 아날로그 해상도는 대략 12 밀리볼트이며, 따라서 8 비트 디지탈 기억 장치(각각의 셀이 12/3000의 해상도, 즉 대략 250에 1정도의 해상도를 가지고 있음)와 동일한 실질적인 해상도가 제공된다. 각각의 코오스 펄스 또는 파인 펄스는 높은 전압의 동일한 경사진 시간부분과 편평한 시간부분, 및 샘플 및 비교 인에이블 시간 부분으로 분리된다. 상기 비교 시간 부분은 원하는 값에 도달하였는지를 알아보기 위해 각각의 점진적 코오스 또는 파인 프로그래밍 펄스 후에 상기 메모리 셀에 저장된 전압을 다시 판독하는데 사용된다. 상기 샘플 시간 부분은 입력 신호의 다음 샘플을 샘플링하고 홀딩하는데에 사용된다. 상기 샘플 및 비교 시간 부분은 조용한 시간인 데, 즉 충전 펌프와 같은 고전압 발생원은 노이즈 때문에 디스에이블된다. 연속적인 코오스 레벨들간의 스텝 전압은 대략 220밀리볼트이고, 연속적인 파인 레벨들간의 스텝 전압은 상기 메모리 셀에 저장된 전압에서 12mV 의 해상도와 동일한 대략 22 밀리볼트이다. 상기 코오스 레벨에 대한 큰 스텝 전압은 셀 프로그래밍 문턱 범위와 추가적인 전압 마진의 합의 전체 범위를 커버하는데 필요하며, 이 범위는 상기 메모리셀의 드레인상에서 대략 9 내지 19볼트인데, 이는 상기 메모리 셀 문턱전압의 대략 0 - 3 V에 해당하는 것으로, 대략 상기 메모리 셀의 아날로그 동적 범위이다. 이용가능한 코오스 펄스의 개수는 45개가 되도록 선택되어 45×220mV=10 볼트 전체 범위로 변환된다. 상기 큰 코오스 스텝은 짧은 기록 시간을 달성하는데 사용된다. 상기 파인 램프(ramp) 전체 범위는 대략 2 V가 되도록 선택된다. 90개의 파인 펄스가 이용가능하며, 이에따라 대략 22mV의 기록 해상도가 제공된다. 따라서, 열 샘플 및 홀드/고전압 구동기의 개수는 셀 프로그래밍 시간과 함께 샘플링 속도에 의해 결정된다. 예컨대, 샘플링속도가 8Khz(전형적인 오디오신호)이고, 상기 코오스 펄스와 파인 펄스를 가지고 있는 셀 프로그래밍 시간이 12.5ms인 경우에, 열 샘플 및 홀드/고전압 구동기의 개수는 12.5ms/125㎲=100이다. 이는 또한 상기 셀 기록이 100개 열에서 동시에 일어남을 의미한다.

판독 모드에서, 상기 기억 셀은 상기 드레인으로부터 접지까지 일정한 부하 전류를 가진 소오스 팔로워로서 구성되어 있다. 작은 크기의 선택 게이트로부터 게이트 전압 강하 효과와 저항 효과를 제거하기 위해, 상기 메모리 셀의 게이트와 소오스는 함께 접속되어 있고, 상기 메모리 셀의 드레인은 일정한 바이어스 전류에 접속되어 있으며, 상기 선택 트랜지스터의 게이트는 중간 전압, 예컨대 10 V에 접속되어 있다. 셀 판독 전압에서 게이트/소오스 전압의 변동을 피하기 위해 레귤레이트된 전원공급, 예컨대 4 V가 상기 메모리 셀의 게이트/소오스에 접속되어 있다. 상기 드레인의 전압은 메모리 셀 판독 전압이다. 따라서, 상기 셀은 드레인과 소오스가 상호변경가능한 소오스 팔로워로서 접속되어 있다. 이에따라 상기 셀의 문턱전압과 상기 셀 판독 전압사이에 선형 관계가 얻어진다. 따라서, 상기 기억 셀은 상기 게이트와 소오스가 사실상 상호 접속되어 있기 때문에, 포화 영역에서 동작한다.

이 판독 구조에서, 소오스 노드 또는 드레인 노드에 대한 직렬 기생 저항 효과가 존재하거나, 온도에 따른 이동성 또는 문턱전압 변동, 프로세스 변동 또는 전원공급 변동에 의해 야기된 것과 같은 트랜지스터 컨덕턴스의 큰 변동이 존재하는 구조에서 사용될 때에는 심각한 단점이 생긴다. 예컨대, 상기 직렬 기생 저항 효과는 상기 메모리 셀의 소오스 확산 저항로부터, 또는 NAND 플래시 메모리 셀에서와 같은 스트링 메모리 셀 구조에서와 같이 다른 직렬 트랜지스터로부터 생긴다. 일반적으로, 상기 소오스 라인 확산으로부터의 저항을 감소시키기 위해 금속 또는 선택 트랜지스터에 의해 예컨대 모든 32개 셀에 대해 상기 소오스 라인이 스트랩(strap)된다. 비록 그렇더라도 상기 소오스 라인 확산으로부터의 저항은 저항은 특히 각각의 이산 기억 레벨이 각각의 다른 이산 레벨로부터의 판독시에 인식되어야 하는 멀티레벨 기억 장치의 경우에는 매우 크다. 또한, 이들 효과를 줄이는데에 상기 스트랩이 효과적일수록, 많은 스트랩 면적이 사용되며, 따라서 큰 다이(die) 크기가 얻어진다.

상기 NAND 메모리 셀은 예컨대 직렬로 접속된 8개의 메모리 셀, 메모리 스트링을 선택하는 2개의 선택 트랜지스터로 구성되어 있으며, 이 2개의 트랜지스터중 하나의 트랜지스터 접촉부는 다른 메모리 셀 스트링과 공유되어 있다. 사실상 8개의 메모리 셀에 대해 1/2 비트라인 접촉부와 1/2 공통 소오스 라인이 존재하므로, 상기 NAND 구조의 셀당 면적은 훨씬 좁다. 하지만, 이 구조의 직렬 기생 저항 및 트랜지스터 컨덕턴스 변동은 소오스 노드 또는 드레인 노드을 따라 상기 메모리 셀의 동작 범위보다 낮은 전압강하를 일으킨다. 아날로그 기억장치를 고려하면, 상기 NAND 구조에서 훨씬 심각한 것은 이 전압강하에 의해 스트링의 하나의 특정 셀의 출력 전압이 출력 또는 재생을 위한 실제 판독 모드에서보다는 판독/비교/기록 프로그래밍 시퀀스의 재기록 모드에서 판독 백 모드에서 달라진다는 사실이며, 이는 동일한 스트링의 다른 메모리 셀의 문턱전압이 흔히 신호 입력에 따라 더 수정되어야 하기 때문이다. 따라서, 한 스트링의 제1셀은 적절히 프로그래밍되는 것으로 보이지만, 그 스트링의 하나 이상의 다른 셀은 또 다른 프로그래밍 펄스에 의해 부가적으로 프로그래밍될 필요가 있으며, 이에따라 상기 제1셀의 내용이 이 제1셀이 적

절히 프로그래밍되도록 결정되었을 때 존재하는 저항으로부터의 재생중에 나중에 판독되어 할 때 상기 셀들이 다른 저항을 가질 수 있다.

[발명이이루고자하는기술적과제]

본 발명의 목적은 아날로그 기억 및 재생 장치에서 작은 셀 크기의 NAND 기억 셀 구조를 사용하는데 있다.

[발명의구성및작용]

상기 목적은 부분적으로는 특정한 제로 전류 소오스 팔로워 기억 셀을 사용함으로써 달성되며, 이때 판독 모드에서, 상기 셀 부하 전류는 최적의 동적 범위를 얻기 위해 그리고 소오스 노드 또는 드레인 노드에서 다른 트랜지스터의 직렬 기생 저항의 저항 효과를 피하기 위해, 그리고 판독 경로에 있는 모든 트랜지스터의 트랜지스터 컨덕턴스 변동을 피하기 위해 성형된다. 상기 부하 전류는 있을 수 있는 오우버슈트와 설정 효과를 감소시키기 위해 성형되며, 이에따라 최적의 감지 시간에서 파인 출력전압 해상도가 달성된다.

설명을 위해, 직렬접속된 8개의 메모리 셀, 하나의 비트라인 선택 NMOS 및 하나의 소오스 라인 선택 NMOS로 구성된 일반적인 NAND 메모리 스트링에 대해서 설명된다. 일반적인 디바이스에서, 그러한 많은 스트링은 섹터를 생성하기 위해 병렬로 그리고 가능하다면 직렬로 접속되게 된다. 메모리 어레이는 모든 섹터용의 하나의 P 기판 또는 각각 소거시에 용량성 부하를 최소화하기 위해 몇 개의 섹터에 걸쳐서 공유되어 있는 여러 P 기판을 가지고 있을 수 있다. 특히, 소거시에, 동일한 P 기판 HV가 소거를 금지하기 위해 선택되지 않은 모든 열에 인가된다. 포울러-노르하임 터널링이 소거 및 프로그밍 모두를 위해 사용된다. 상기 소거는 상기 P 기판에 높은 전압(HV), 예컨대 20 V를, 그리고 일반적으로 1ms동안에 8개의 메모리 셀의 게이트에 낮은 전압, 예컨대 0 V를 인가함으로써 행해진다. 상기 기판과 상기 플로팅 게이트 사이에 있는 터널 산화막의 양단의 전계는 상기 플로팅 게이트로부터 상기 기판까지 전자들이 터널링할 수 있도록 하기에 충분히 높다. 그 결과, 셀 문턱전압이 높은 전압, 예컨대 2 V에서 낮은 값, 예컨대 -1.0 V로 감소되게 된다. 통상적으로 상기 소거는 상기 어레이 구조에 따라 하나의 섹터 또는 다수의 섹터에 대해 행해진다. 상기 소거는 다른 섹터의 기판에 높은 전압을 인가하지 않음으로써 또는 동일한 섹터의 금지된 메모리 셀의 게이트에 동시에 높은 동일 전압을 인가함으로써 선택적으로 금지된다.

상기 프로그래밍은 상기 기판과 상기 비트라인을 접지시킴으로써 그리고 상기 선택된 셀의 게이트에 점진적으로 일련의 높은 전압(HV) 펄스, 예컨대 10 V에서부터 18 V까지의 전압 펄스를 인가함으로써, 반복적으로 그리고 점진적으로 행해진다. 상기 높은 전압 펄스는 상기 플로팅 게이트를 높은 전압에 용량성 접속시킨다. 상기 플로팅 게이트와 상기 기판사이에서 결과적으로 얻어진 높은 전계는 상기 기판상의 상기 채널로부터 상기 플로팅 게이트측으로 포울러-노르하임 전자 터널링을 일으킨다. 열은 선택되지 않은 스트링의 채널에 높은 전압이 접속되도록 함으로써 선택되지 않게 되며, 따라서 상기 선택되지 않은 셀의 전계가 감소된다. 높은 레벨이 상기 선택되지 않은 셀의 채널상에 존재할 때 중간 레벨, 예컨대 9 V가 상기 선택되지 않은 셀의 게이트에 인가되어 프로그래밍이 금지되게 된다. 그 결과, 상기 선택되지 않은 셀의 문턱전압이 점진적으로 증가한다. 검증 판독 사이클은 각각의 점진적인 HV 프로그래밍 펄스 후에 행해진다. 원하는 출력 전압에 도달되면, 상기 비트라인은 금지 전압, 예컨대 9 V측으로 절환되며, 따라서 프로그래밍이 정지된다. 일반적으로 원하는 문턱 해상도는 프로그래밍 시간과 절충된다. 예컨대, 프로그래밍 펄스 폭과 동작 문턱 범위가 주어지면, 점진적 프로그래밍 레벨이 보다 작은 경우에 문턱 프로그래밍 범위를 커버하는데 보다 많은 펄스 필요해진다.

재 기록 모드에서, 상기 기억 셀은 성형된 전류 부하를 가지고 있는 소오스 팔로워 모드에 접속되어 있다. 상기 소오스 라인은 VREF1로 바이어스되고, 전류(Iload)는 상기 비트라인에 접속되어 있으며, 상기 선택된 셀의 게이트는 VREF2로 바이어스되며, 다른 선택되지 않은 셀의 게이트가 VREF3로 바이어스되고, 상기 비트 라인 및 소오스 라인 선택 트랜지스터의 게이트는 VREF4로 바이어스된다. (일반적으로, VREF1 및 VREF2는 프로그래밍된 셀의 문턱전압에 따라 서로 동일해질 수는 있더라도, 상이한 전압일 수 있다.) 상기 전압 레벨에 대한 조건은 상기 선택된 셀이 포화 모드에서 동작하고 상기 선택되지 않은 셀과 선택 트랜지스터가 선형 모드에서 동작하도록 하는 조건이다. 상기 부하 전류의 최종값은 실제적으로 제로 암페어이므로, 상기 기생 저항기 양단의 전압강하는 실질적으로 제로 볼트이다. 또한, 상기 부하 전류의 최종 값이 실질적으로 제로이고 상기 선택 트랜지스터와 상기 선택되지 않은 메모리 셀은 선형 영역에서 동작하므로, 이들양단의 전압 강하도 또한 실질적으로 제로 볼트이다. 그리고, 상기 선택된 메모리셀이 포화영역에서 동작하고 부하전류가 실질적으로 제로 암페어이므로, 상기 소오스전압, 즉 상기 선택된 셀의 메모리 셀 출력 전압은 그 게이트 전압에서 문턱전압을 뺀값이 된다. 따라서 선형 관계는 상기 문턱전압과 상기 셀 출력 전압 사이에서 얻어진다. 상기 셀 문턱전압은 점진적인 프로그래밍에 의해 점진적으로 제어되므로, 상기 셀 출력 전압도 또한 원하는 프로그래밍된 전압에 도달할 수 있도록 점진적으로 제어된다. 따라서, 상기 드레인 또는 소오스상에서의 어떠한 전압 변동도 상기 선택되지 않은 메모리 셀의 상이한 문턱전압, 상기 기생 저항의 상이한 값으로 인해, 또는 상기 기억 셀 스트링의 모든 트랜지스터의 트랜지스터 컨턱턴스 변동으로 인해 불가능하다. 또한, 직렬로 접속된 다수의 메모리 셀을 가지고 있는 NAND 구조에서, 상기 선택되지 않은 메모리 셀의 게이트 전압은 방해 효과(선택되지 않은 셀에서의 원하지 않는 문턱 시프트)로 인해 저항 효과가 감소될 수 있도록 임의로 높게 취해질 수 없지만, 판독 동안에 본 발명의 실질적인 제로 부하 전류에 의해 유사한 결과가 달성된다.

본 발명에서 사용된 기억 셀 구조는 ISSCC 기술 논문 다이제스트(1995.2, 페이지 128-129)에 케이. 서 등에 의해, 그리고 ISSCC 기술 논문 다이제스트(1995. 2, 페이지 130-131)에 케이. 이마미야 등에 의해, 디지탈 메모리 기억장치에 대해 설명된 바와 유사한 전형적인 NAND 플래시 메모리 스트링이다. 도 1에 도시된 바와같이, 바람직한 실시예의 메모리 스트링은 직렬접속된 8개의 메모리 셀(ME0 내지ME7)과 두 선택 트랜지스터, 즉 비트 라인을 선택하는 하나의 선택 트랜지스터(MD)와 소오스 라인을 선택하는 하나의 선택 트랜지스터(MS)로 구성되어 있다. 일반적으로, 도 2에 도시된 바와같이, 이러한 다수의 스트링은 섹터를 생성하기 위해 병렬로 접속되어 있고, 그리고 이러한 다수의 섹터는 전체 메모리 어레이를 생성하기 위해 접속되어 있다.

이러한 스트링 구조를 사용하는 주된 목적은 메모리 셀당 접촉부의 개수를 줄이는데 있다. 여기에서는 하나의 메모리 셀만을 가지고 있고 선택 트랜지스터는 가지고 있지 않은 NOR 구조에서와 같이 하나의 메모리 셀에 대한 1/2접촉부 대신에 8개의 메모리 셀에 대해서 1/2 접촉부만이 필요하다. 두 스트링은 동일한 접촉부를 공유하고 있으므로 1/2 접촉부만이 필요하다. 상기 비트 라인을 따른 수직 치수는 이제 접촉 크기 대신에 스택 폴리(stacked poly) 피치, 스택 폴리 게이트에 대한 접촉부, 및 NOR 구조에서와 같은 소오스 폭에 의해 주로 제한된다. 상기 워드 라인을 따른 수평 치수는 NOR 구조에서와 같이 접촉 크기, 금속 대 금속 및 확산 대 확산 공간에 의해 주로 한정된다. 전체적인 효과로는 메모리 셀당 칩면적이 크게 감소된다는 점을 들 수 있다. 상기 트레이트오프는 각종 방해 모드를 피하기 위해, 직렬접속된 메모리 셀로 인한 보다 느린 액세스시간과 프로그래밍 알고리즘의 복잡도이다. 일반적으로 많은 셀 특성이 여러 조건을 최적화하는데 필요하다. 보다 저 속의 액세스 시간은 페이지 판독을 행함으로써, 즉 동시에 다수의 셀을 판독함으로써 방지되며, 이에따라 그 구조는 통상적으로 대용량 기억장치와 같은 직렬 판독 응용에 적합하지만, 랜덤 액세스 판독 응용에는 적합하지 않다.

여기서, 소오스 팔로워 구조의 아날로그 메모리 기억장치용 NAND 기억 셀을 사용하는 방법 및 장치에 대해 설명한다.

플로팅 게이트 디바이스(ME0 내지 ME7)는 메모리 셀이고, 디바이스(MD)는 상기 비트 라인용 선택 트랜지스터이며, 디바이스(MS)는 소오스 라인용 선택 트랜지스터이다. RD는 소오스 라인 확산으로 인한 기생 저항이며, RS는 상호 접속으로 인한 럼프 기생 저항이다. 디바이스(M0 내지 M7)는 열 디코딩을 기초로 일반적인 열 선택이다. 디바이스(MH)는 일반적인 샘플 앤드 홀드 스위치이다. (전하 소거 및 피드쓰루 감소에 대한 기존의 기술이 이용될 수 있다.) 커패시터(CH)는 샘플 앤드 홀드용 홀드 커패시터이고, I1은 일반적인 MOS 아날로그 차동 op 증폭기 버퍼이다. 이 버퍼는 프로그래밍시에 인에이블 전압 및 금지 전압을 상기 열에 제공하는 열 구동 회로의 일부로서, 상기 메모리 셀로부터 전압을 판독하는 역할을 한다. 상기 바이어스 전류와 기준 전압은 표준 CMOS 밴드갭 기준과 같은 기준 회로로부터 공급된다.

도 1에서, 디바이스(ME5)는 판독을 위해 선택되는 것으로 도시되어 있다. 부하 전류 및 관련 전압에 대한 예시적인 파형도 또한 도시되어 있다. 판독 사이클은 최종 전압에 근접한 전압에서 출력 노드 전압(VOUT)을 안정화시키는데 t0에서 Imax 까지(도 3 참조) 급속하게 경사지게 되는 부하전류(Iload)로부터 시작한다. 다음에, 있을 수 있는 오우버슈트와 설정을 최소화하기 위해 t1의 Imax로부터 t2의 Imax까지 경사진다. 어떤 시점(t2) 후에, 상기 출력 노드(VOUT)는 양호하게 안정되며, 상기 홀드 스위치(MH)는 홀드 커패시터(CH)의 출력 전압을 홀딩하기 위해 개방되며, 이에따라 판독 사이클이 완성된다.

또한 QUIET라고 하는 신호가 도시되어 있으며, 이 신호는 임계 판독 기간 동안에 Iload와 이와 관련된 회로를 제외한 집적회로상의 있을 수 있는 모든 회로를 효율적으로 셧다운시킨다. 기타 다른 회로를 셧다운하면 보다 정확한 판독을 제공하기 위해 상기 칩의 다른 액티브 회로로부터의 있을 수 있는 노이즈 커플링이 최소화된다.

특별한 어레이 구조 및 회로 구성을 위해서는 타이밍이 최적화되어야 한다. 예컨대, t0에 비해 t1,t2,t3은 비트 라인 커패시턴스 및 원하는 출력 전압 해상도와 같은 인자에 따라 수 나노초에서 수백 나노초 내지 수 마이크로초일 수 있다. 시간이 보다 길면 전압 해상도가 보다 미세해진다. 시간 기간(t2-t1)은 오우버슈트의 가능성에 의해 최소한으로 제한되며, 오우버슈트가 없으면 Iload=Imax로부터 Iload=Imin으로의 변화가 급속한 스텝이 될 수 있다.

도 3에는 실제 치수는 아니지만 출력전압(VOUT)이 도시되어 있다. Imax의 지속기간(시점(t0)로부터 시점(t1)까지) 동안에, 전류(Imax)가 흐르도록 각종 디바이스가 비교적 확고하게 턴온되므로 상기 출력전압(VOUT)은 바람직하게는 낮은 RC 시정수을 가지고 안정된 레벨측으로 보다 급속히 상승하게 된다. 하지만, 상기 출력 전압(VOUT)은 직렬로 접속된 다른 셀을 통한 불규칙하고 알려지지 않은 전압강하 때문에 다소 낮아지게 되고 상기 선택된 셀의 문턱치의 정확한 치수는 아니다. 시점(t1)과 시점(t2)사이에서, 오우버슈트를 피하기 위한 방법으로 상기 전류는 Imin까지 감소되고, 이 시간동안에 상기 직렬 디바이스에서의 감소된 전압강하 때문에 VOUT가 증가한다. 시점(t2) 후에, 상기 전압(VOUT)은 다소 높은 안정된 새로운 레벨까지 다소 더 증가하게 되며, 이때 RC 시정수는 상당히 더 높아지는데, 이는 판독중인 상기 디바이스가 그 문턱전압으로 바이어스되고, 그리고 매우 확고하게 턴온되지 않기 때문이다.

전압 레벨의 조건은 동적 범위 최적화되고 방해가 최소하될 수 있는 조건이다. VREF1, VREF2는 출력 동적 범위를 직접 결정한다. 상기 선택된 셀이 선형성을 위해 포화 상태가 되는 것을 보장하기 위해, $VREF2 \leq VREF1+Vtmin$이며, 여기서 Vtmin는 상기 메모리 셀의 최소 문턱 전압이다. VREF3는 $\geq VREF1+Vtmax$ 이어야 하며, 여기서 Vtmax는 상기 메모리 셀의 최대 문턱전압이다. $VREF4 \geq VREF1+VtMD$. VREF3 및 VREF4에 대한 조건은 직렬 트랜지스터 체인을 따라 게이트 전압으로부터 최소 전압 강하를 보장하는데 필요하다. 통상적으로, 일부 오버드라이브(특정된 최소 전압)가 판독 속도를 개선하는데 필요하다. 또한, VDISTURB가 소거된, 선택되지 않은 셀의 원하지 않는 문턱 시프트를 야기함에 따라 선택되지 않은 셀에 대해 $VREF3 \leq VDISTURB$이다. VDISTURB는 통상적으로 기대된 방해 시간 기간에 걸친 단일 셀 성능의 특성에 의해 결정된다.

설명을 위해, 셀 문턱치가 특정 양만큼 시프트되는 상태하에서 원하지 않는 조건으로서 방해효과가 정의되어 있다. 디지탈 비휘발성 메모리의 경우, 일반적으로 100-500 mV가 사용된다. 아날로그 기억장치의 경우, 8mV 정도의 전형적인 수치가 사용된다. 상기 원하지 않는 조건은 선택된 셀(들)의 판독, 프로그램, 또는 소거 동안에 발생된다. 선택되지 않은 셀 또는 선택된 셀의 경우에도 발생된다. 예컨대, 하나의 셀을 판독하기 위해, 이 셀은 또한 동시에 방해된다. 다른 방해 효과가 다른 기술(EEPROM, NAND, DINOR, AND, NOR 등), 다른 어레이 및 회로 구현, 및 다른 응용에도 존재한다.

상기 방해 시간 기간은 상기 어레이 구조, 회로 구현, 및 제품 응용에 좌우된다. 예컨대, 정보 기억 장치 인코포레이티드사에서는 10년의 기억 유지기간을 보장해주고 있다. 이는 고정된 방해 시간이 하나의 셀에 대해 연속적을 판독을 행할 때 10년이라는 것을 의미한다. 통상적으로, 하나의 셀을 10년동안 연속

적으로 판독할 수는 없다. 하지만, 10년은 선택되지 않은 셀에 대한 판독 방해에 대해 최악의 경우로서 여전히 사용되고 있다.

예시적인 한 세트의 값으로서, Vtmin=-0.5V이고 Vtmax=2.0V인 경우에, VREF1=3V, VREF2=2.5V, VREF3=5.5V, VREF4=5.5V 라고 하고, 이때 Vt(문턱전압) 수치는 상기 메모리 셀의 몸체 효과를 포함하고 있다고 하자. 2.5V의 동적범위, 즉 0.5V로부터 3.0V까지의 범위가 예측되며, 여기서 0.5=VREF2-Vtmax=2.5-2.0, 그리고 3.0V=VREF2-Vtmin=2.5-(-0.5). Imax는 수 마이크로암페어일 수 있고, Imin는 수십 나노 암페어에서 수백 나노 암페어, 또는 가능하다면 제로 나노암페어일 수 있다. 하지만, 나노 암페어 범위의 일부 제로 아닌 전류는 예컨대 있을 수 있는 일부 전계 누설 또는 약한 일부 노이즈 접속을 감소시키는데에 바람직하다. 또한, 제로 아닌 Imin는 상당한 전압 강하를 야기하지 않고 최종 출력 전압을 안정화시키는데 도움을 주는데, 이는 전류크기가 소문자, 즉 Imax보다 작은 3차 크기, 즉 마이크로 암페어가 아닌 나노 암페어이기 때문이다.

상기 전류(Iload)가 감소함에 따라, 상기 메모리 어레이의 각각의 전류 부하 장치의 게이트 바이어스 전압도 또한 감소한다. 비균일성에 의해, 정확한 작은 전류값과 전류-시간 프로파일이 상기 어레이에 있어서 다르다. 하지만, 각각의 부하 전류는 실질적으로 제로가 될 때까지 결국 감소하게 되며, 이때 상기 실질적으로 제로인 전류에 도달하는 시간은 VOUT의 감지가 그 이후에 행해지기 때문에 중요하다 할 수 있다.

본 발명은 기존의 ISD 아날로그 기억 장치의 여러 다른 측면과 호환성이 있다. 예컨대, 온도에 따른 상기 메모리 셀 출력 전압의 변동은 미국 특허 제 5,126,967 호에서 리차드 티. 심코에 의해 설명된 바와같은 참조 기술을 이용함으로써 최소화될 수 있다.

표 1에는 소거 모드, 프로그래밍 모드, 및 판독 모드에 대한 각종 동작 조건이 나타내어져 있다. 프로그래밍시에, 소오스 라인 선택 트랜지스터(MS)는 트랜지스터(MS)가 존재하지 않은 경우에는 제로일 소오스 라인 전압으로부터 동일한 섹터의 선택되지 않은 인접 비트라인상에서 금지 비트라인 전압(=~9V)을 격리시키는데 필요한데, 이는 소거 섹터상의 모든 행이 온상태, 즉 9V 또는 10-18V이고, 상기 선택된 비트라인의 전압이 0V 이기 때문이다. 프로그래밍시에, 상기 비트라인 트랜지스터(MD)는 또한 동일한 선택되지 않은 비트라인을 공유하고 있는 다른 섹터의 제1메모리셀의 드레인으로부터 동일한 섹터의 인접한 선택되지 않은 비트라인상에서 금지 비트라인 전압(=~9V)을 격리시키는데 필요하다. 이에따라 이들 메모리 셀의 원하지 않는 소거가 행해진다. 또한, 선택 트랜지스터(MS)는 모든 소오스 라인이 금속 라인에 함께 스트랩되도록 하는데, 이는 이제는 어떤 섹터의 소오스 라인이 상기 트랜지스터(MS)에 의해 개별적으로 선택되기 때문이다.

[표 1]

	소거	프로그래밍	프로그램금지	판독
SL	FL	0	0	VREF1
BL	FL	0	9	Iload
행 5	0	10-18	10-18	VREF2
행 0-4, 6-7	0	9	9	VREF3
SSL	FL	0	0	VREF4
BSL	FL	9	9	VREF4
다른 BL들	FL	VINHIBIT 예컨대, 9V	VINHIBIT 예컨대, 9V	FL
P 기판	20	0	0	0
소거 셀(0 내지 7)에 대한 조건, 및 일련의 NAND 셀 8개의 프로그래밍과, 판독 셀(5)에 대한 조건.				

여기서, FL = 전기적 플로팅,

Iload = 파형부하전류(열멀티플렉서를 통해 인가된 판독바이어스 전류)

본 발명에서, NAND 메모리 셀 구조는 재생동안에 NAND 접속 셀에 존재하는 예기치않은 저항에도 불구하고 아날로그 기억 장치에 사용된다. 이는 두 스텝 또는 다중 스텝에 의해 셀을 판독함으로써 달성되며, 이때 판독 전압이 정확하지 않더라도 높은 판독 전류가 먼저 빠른 설정을 얻는데 사용되고, 다음에 매우 낮은 전류 때문에 NAND 접속된 다른 저항 양단의 이제 무시가능한 전압 강하 때문에 상기 판독전압이 보다 정확한 판독 전압으로 재설정되도록 하기 위해 매우 낮은, 실질적으로 제로인 판독전류가 사용된다.

하나의 대안으로서, n 채널 디바이스를 통해 상기 커패시터를 접지측에 순간적으로 단락시킴으로써 행해지는 각각의 판독전에 상기 홀드 커패시터(CH)를 방전시킴으로써, 유사한 효과가 얻어질 수 있다. 이때 판독 동작이 개시되면, 상기 판독 전류는 접지레벨로부터 시작하는 부하 커패시터를 구동하는 출력 때문에 초기에는 비교적 높다. 이제, 상기 출력 전압이 판독중인 셀의 문턱전압에 도달함에 따라, 상기 전류는 실질적으로 제로 값으로 자동적으로 감소되게 된다. 약간의 시정수 후에, 전류는 실질적으로 제로로 감소되게 되고, 출력 전압은 판독중인 셀의 정확한 판독이 되게 된다. 상기 전류가 예측된 전계 누설 정도, 또는 그 이상인 동안에는 하여튼 상기 셀은 판독되어야 하며, 이에따라 상기 출력은 진정한 셀 판독 출력 이상으로 드리프트하지 않게 된다. 이점에 있어서 결국 거의 제로인 판독전류는 상기 초기 판독 전류의 적어도 1차 크기이면 바람직하고, 적어도 2차크기이면 더욱 바람직하며, 그리고 상기 초기 판독 전류 아래의 3차 크기 정도가 될 수 있다. 또한, 전계 누설 및 노이즈 커플링의 특성 및 방향에 따라, 도 1에 정의된 Imin는 제로로 될 수 있으며, 그리고 NAND 셀 접속된 다른 저항에 의해 영향을 받지 않는 셀

프로그래밍이 정확하게 반영된 안정된 셀 판독 전압을 여전히 얻을 수 있다.

정보 기억 디바이스사에서 제조한 종류의 기억 및 재생 오디오신호에 사용되는 아날로그 기억 디바이스는 순차적 액세스 디바이스의 형태이며, 이때 제한된 랜덤 액세스형 능력만이 개개의 셀이 아닌 자유 기록 영역의 시작부분 또는 기록된 메시지의 시작 부분을 가리키는데 사용된다. 따라서 셀이 기록을 위해 액세스되는 순서를 결정할 수 있으며, 그리고 물론 재생도 동일한 순서를 필요로 한다. 도 1을 참조하면, 이는 먼저 셀의 NAND 스트링의 셀(ME0), 다음에 셀(ME1), 다음에 셀(ME2) 등의 프로그래밍에 대한 설계가 가능해진다. 이 방법으로, 현재 프로그래밍중인 셀과 소오스 팔로워 판독 회로사이에서 셀의 물리적 프로그래밍은 현재 프로그래밍중인 셀이 적절히 프로그래밍되고 그리고 상기 셀의 프로그래밍이 정지된 시간과 상기 동일 셀이 재생중에 판독되는 시간사이에서 변하지 않게 된다. 따라서, NAND 구조에서, 셀 판독값은 다음 프로그래밍 사이클에서 프로그래밍된 셀에 의해 영향을 받지 않는다. 다음 프로그래밍 순서가 이어질 때, 본 발명의 제로 전류 판독은 그러한 디바이스에서 기록 및 재판독의 정확도를 더 개선시킨다.

플로팅 게이트 NAND 구조 기억 셀에서 아날로그 기억 장-치와 함께 본 발명의 용도 및 이점에 대해서 설명되어 있다. 본 발명의 판독동안에는 매우 낮은 전류 또는 제로 전류도 또한 다른 구조 및 NOR 및 DINOR 구조, 두 트랜지스터 및 하나의 트랜지스터 셀 및 EPROM 셀로 구현된 기억 셀의 재생 또는 출력 동안에 판독 정확도를 개선하는데 유리하다. 개선된 판독 백 정확도는 셀당 하나의 샘플을 기초로 하여 오디오 신호 또는 다른 시변 아날로그신호의 아날로그 샘플과 같은 아날로그 신호의 기억 및 재생에 뿐만 아니라, 각각의 셀에서 2비트 이상의 정보의 등가물을 저장하기 위해 디지탈 신호의 기억에서, 특히 각각의 기억 셀의 멀티 레벨로서 저장된 디지탈 신호의 기억 및 재생에서 중요하다 할 수 있다. 이는 도 4에 도시된 바와같이, 상기 기억 디바이스의 입력측에 A/D 변화기를 추가하고, 상기 디바이스의 출력측에 D/A 변환기에 추가함으로써 달성된다. 상기 수치의 크기, 즉 상기 디지탈 워드의 비트 수는 상기 저장된 아날로그 레벨의 전압 범위에 의해 주어지고 보장된 정확도의 기억에 의해 분리된다. 기억의 정확도는 상기 프로그래밍 순서동안의 인크리멘트 뿐만 아니라, 노이즈, 최악의 경우의 프로그래밍 증가, 상기 셀의 장기간 전압 유지 특성 및 주위 온도와 동작 전압의 효과와 같은 인자를 고려한다. 본 발명에서 설명한 종류의 아날로그 메모리는 2.5볼트의 범위에 걸쳐서 대략 10 밀리볼트로 전압을 분해할 수 있다. 이에따라 대략 250개의 별개의 레벨과 최고 8 비트의 2진 정보의 표현이 가능해지지만, 상기 인자를 고려한 후에는 비트수가 즉 4비트(대략 150밀리볼트의 간격을 둔 16 레벨)로 감소될 수 있다. 그럼에도 불구하고, 단일 셀에 대한 4비트는 셀당 1비트만을 제공하는 종래 디지탈 기억에 비해, 메모리 어레이에서 달성될 수 있는 정보 기억 밀도에 상당한 개선을 제공한다. 그러한 시스템에서, 직렬신호도 또한 사용될 수 있더라도 병렬신호로서 도 4에 도시된 각각의 N 비트 입력 신호는 2^N개의 이산 전압 레벨중 한 레벨로 변환되고 그리고 설명한 바와같이 각각의 기억 셀에 각각의 레벨로서 저장되어 있다. 이때, 판독시, 2^N개의 이산 전압 레벨중 한 전압레벨이 직렬신호도 또한 사용될 수 있더라도 병렬 신호로서 도 4에 다시 도시된 N 비트 출력 신호로 재변환되게 된다.

이와같이 특정한 바람직한 실시예에 대해서 본 발명을 공개 및 설명하였지만, 본 발명의 취지 및 범위로부터 이탈하지 않고 본 발명이 변형될 수 있음을 당업자는 알 수 있다.

(57) 청구의 범위

청구항 1

소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 기억 셀에 저장되어 있는 아날로그 값을 판독하는 방법에 있어서,

(a) 상기 기억 셀의 드레인에 제1기준 전압을 접속하는 단계;

(b) 상기 기억 셀의 게이트에 제2기준 전압을 접속하는 단계;

(c) 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 단계;

(d) 상기 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류를 상기 초기 부하 전류보다 작은 적어도 1차 크기의 값이 될 때까지 감소시키는 단계; 및

(e) 상기 감소된 부하 전류가 흐르는 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압을 제공하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 2

제 1 항에 있어서, 상기 단계(e)에서, 상기 감소된 부하 전류가 흐르는 상기 기억 셀의 소오스상의 전압에 응답하는 상기 판독 출력 전압은 이 판독 출력 전압이 상기 감소된 부하로 실질적으로 안정된 후에 제공되는 것을 특징으로 하는 방법.

청구항 3

제 1 항에 있어서, 상기 단계(d)에서, 상기 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류는 상기 초기 부하 전류보다 작은 적어도 2차 크기의 값이 될 때까지 감소되는 것을 특징으로 하는 방법.

청구항 4

제 1 항에 있어서, 상기 단계(d)에서, 상기 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류는 상기 초기 부하 전류보다 작은 대략 3차 크기의 값이 될 때까지 감소되는 것을 특징으로 하는 방법.

청구항 5

제 1 항에 있어서, 상기 단계(d)에서, 상기 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류는 실질

적으로 제로 전류가 될 때까지 감소되는 것을 특징으로 하는 방법.

청구항 6

제 1 항에 있어서, 상기 단계(e)에서, 상기 초기 부하 전류가 제공되는 동안에, 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압이 트랜지스터 스위치를 통해 홀딩 커패시터에 제공되고, 상기 전류가 감소된 후 상기 트랜지스터 스위치가 개방되어 상기 커패시터에 의해 홀딩된 전압은 감소된 부하 전류가 흐르는 상기 기억 셀의 소오스상의 전압에 응답하는 것을 특징으로 하는 방법.

청구항 7

제 1 항에 있어서, 상기 아날로그 값은 각각 특정 다수 비트 디지탈 신호를 나타내는 복수의 이산 값중 하나이고, 상기 판독 출력 전압을 각각의 다수 비트 신호로 변환하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 8

각각 소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 복수의 기억 셀중 어느 하나에 저장되어 있는 아날로그 값을 판독하는 방법으로서, 상기 기억 셀은 직렬로 접속되어 있는 소오스와 드레인을 가지고 있는 NAND 기억 셀 구조로 접속되어 있는 방법에 있어서,

(a) 직렬로 접속된 상기 기억 셀중 제1기억 셀의 드레인에 제1기준 전압을 접속하는 단계;

(b) 판독될 상기 기억 셀의 게이트에 제2기준 전압을 접속하는 단계;

(c) 판독될 상기 기억 셀과 직렬 접속되어 있는 상기 기억 셀의 게이트에 제3기준 전압을 접속하는 단계;

(d) 일련의 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 단계;

(e) 상기 초기 부하 전류보다 작은 적어도 1차 크기의 값이 될 때까지 상기 일련의 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류를 감소시키는 단계; 및

(f) 상기 감소된 부하 전류가 상기 일련의 기억 셀을 통해 흐를 때, 판독될 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압을 제공하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 9

제 8 항에 있어서, 상기 단계(f)에서, 상기 감소된 부하 전류가 흐르는 상기 기억 셀의 소오스상의 전압에 응답하는 상기 판독 출력 전압은 이 판독 출력 전압이 상기 감소된 부하로 실질적으로 안정된 후에 제공되는 것을 특징으로 하는 방법.

청구항 10

제 8 항에 있어서, 상기 단계(e)에서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류는 상기 초기 부하 전류보다 작은 적어도 2차 크기의 값이 될 때까지 감소되는 것을 특징으로 하는 방법.

청구항 11

제 8 항에 있어서, 상기 단계(e)에서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류는 상기 초기 부하 전류보다 작은 대략 3차의 크기의 값이 될 때까지 감소되는 것을 특징으로 하는 방법.

청구항 12

제 8 항에 있어서, 상기 단계(e)에서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류는 실질적으로 제로 전류가 될 때까지 감소되는 것을 특징으로 하는 방법.

청구항 13

제 8 항에 있어서, 상기 단계(f)에서, 상기 초기 부하 전류가 제공되는 동안에, 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압은 트랜지스터 스위치를 통해 홀딩 커패시터에 제공되고, 상기 전류가 감소된 후 상기 트랜지스터 스위치가 개방되어 상기 커패시터에 의해 홀딩된 전압은 상기 감소된 부하 전류가 흐르는 상기 기억 셀의 소오스상의 전압에 응답하는 것을 특징으로 하는 방법.

청구항 14

제 8 항에 있어서, 상기 단계(c)에서, 상기 제3기준 전압은 판독될 기억 셀과 직렬로 접속된 기억 셀에 작용하는 방해 효과를 감소시키도록 선택된 전압인 것을 특징으로 하는 방법.

청구항 15

제 8 항에 있어서, 상기 제1 및 제2기준 전압은 대략 동일한 것을 특징으로 하는 방법.

청구항 16

제 8 항에 있어서, 상기 아날로그 값은 각각 특정 다수 비트 디지탈 신호를 나타내는 복수의 이산 값중 하나이고, 상기 판독 출력 전압을 각각의 다수 비트 신호로 변환하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 17

각각 소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 복수의 기억 셀중 어느 하나에 저장되어 있는 아날로그 값을 판독하는 방법으로서, 상기 기억 셀은 직렬로 접속되어 있는 소오스와 드레인을 가지

고 있는 NAND 기억 셀 구조로 접속되어 있는 방법에 있어서,

(a) 직렬로 접속된 상기 기억 셀중 제1기억 셀의 드레인에 제1기준 전압을 접속하는 단계;

(b) 판독될 상기 기억 셀의 게이트에 제2기준 전압을 접속하는 단계;

(c) 판독될 상기 기억 셀과 직렬로 접속되어 있는 상기 기억 셀의 게이트에 제3기준 전압을 접속하는 단계;

(d) 일련의 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 단계;

(e) 판독될 상기 기억 셀과 직렬로 접속된 상기 기억 셀의 양단에서의 전체 전압 강하가 판독될 상기 기억 셀에 저장된 아날로그 값의 대략적인 해상도보다 높지 않도록 하는 값이 될 때까지, 상기 일련의 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류를 감소시키는 단계; 및

(f) 상기 감소된 부하 전류가 상기 일련의 상기 기억 셀을 통해 흐를 때, 판독될 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압을 제공하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 18

제 17 항에 있어서, 상기 아날로그 값은 각각 특정 다수 비트 디지탈 신호를 나타내는 복수의 이산 값중 하나이고, 상기 판독 출력 전압을 각각의 다수 비트 신호로 변환하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 19

각각 소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 복수의 기억 셀로서, 직렬로 접속된 소오스와 드레인을 가지고 있는 NAND 기억 셀 구조로 접속되어 있는 복수의 기억 셀;

직렬로 접속되어 있는 상기 기억 셀중 제1기억 셀의 드레인에 제1기준 전압을 제공하는 수단;

판독될 상기 기억 셀의 게이트에 제2기준 전압을 제공하는 수단;

판독될 상기 기억 셀과 직렬 접속되어 있는 상기 기억 셀의 게이트에 제3기준 전압을 제공하는 수단;

일련의 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 수단으로서, 판독될 상기 기억 셀과 직렬로 접속된 상기 기억 셀의 양단에서의 전체 전압 강하가 판독될 상기 기억 셀에 저장된 아날로그 값의 대략적인 해상도보다 높지 않도록 하는 값이 될 때까지 상기 부하 전류가 감소되는 수단; 및

상기 감소된 부하 전류가 상기 일련의 상기 기억 셀을 통해 흐를 때, 판독될 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압을 제공하는 수단을 구비하고 있는 것을 특징으로 하는 아날로그 기억 시스템.

청구항 20

소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 기억 셀에 저장되어 있는 아날로그 값을 판독하는 장치에 있어서,

상기 기억 셀의 드레인에 제1기준 전압을 제공하는 수단;

상기 기억 셀의 게이트에 제2기준 전압을 제공하는 수단;

상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 수단으로서, 상기 초기 부하 전류보다 작은 적어도 1차 크기의 값이 될 때까지, 상기 기억셀의 드레인과 소오스를 통해 흐르는 상기 부하 전류를 감소시키는 수단; 및

상기 감소된 부하 전류가 흐르는 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압을 제공하는 회로를 구비하고 있는 것을 특징으로 하는 장치.

청구항 21

제 20 항에 있어서, 판독 출력 전압을 제공하는 상기 회로는 상기 판독 출력 전압이 상기 감소된 부하로 실질적으로 안정된 후에 판독 출력 전압을 제공하는 회로인 것을 특징으로 하는 장치.

청구항 22

제 20 항에 있어서, 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 상기 수단은 상기 초기 부하 전류보다 작은 적어도 2차 크기의 값이 될 때까지 상기 기억 셀의 드레인과 소오스를 통해 흐르는 상기 부하 전류를 감소시키는 수단인 것을 특징으로 하는 장치.

청구항 23

제 20 항에 있어서, 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 상기 수단은 상기 초기 부하 전류보다 작은 대략 3차 크기의 값이 될 때까지 상기 기억 셀의 드레인과 소오스를 통해 흐르는 상기 부하 전류를 감소시키는 수단인 것을 특징으로 하는 장치.

청구항 24

제 20 항에 있어서, 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 상기 수단은 실질적으로 제로 전류가 될 때까지 상기 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류를 감소시키는 수단인 것을 특징으로 하는 장치.

청구항 25

제 20 항에 있어서, 상기 감소된 부하 전류가 흐르는 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압을 제공하는 상기 회로는 트랜지스터 스위치와 홀딩 커패시터를 포함하고 있고, 상기 기억 셀의 소오스상의 전압에 응답하는 상기 판독 출력 전압은 상기 초기 부하 전류가 제공되는 동안에 상기 트랜지스터 스위치를 통해 상기 홀딩 커패시터측에 제공되며, 상기 전류가 감소된 후에, 상기 트랜지스터 스위치의 개방을 위해 상기 커패시터에 의해 홀딩된 전압은 상기 감소된 부하 전류가 흐르는 상기 기억 셀의 소오스상의 전압에 응답하는 것을 특징으로 하는 장치.

청구항 26

제 20 항에 있어서, 상기 판독 출력 전압을 다수 비트 디지탈 신호로 변환하기 위해 판독 출력 전압을 제공하는 상기 수단에 접속되어 있는 아날로그/디지탈 변환기를 더 구비하고 있는 것을 특징으로 하는 장치.

청구항 27

각각 소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 복수의 기억 셀로서, 직렬로 접속되어 있는 소오스와 드레인을 가지고 있는 NAND 기억 셀 구조로 접속되어 있는 복수의 기억 셀;

직렬로 접속되어 있는 상기 기억 셀중 제1기억 셀의 드레인에 제1기준 전압을 제공하는 수단;

판독될 상기 기억 셀의 게이트에 제2기준 전압을 제공하는 수단;

판독될 상기 기억 셀과 직렬로 접속되어 있는 상기 기억 셀의 게이트에 제3기준 전압을 제공하는 수단;

일련의 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 수단으로서, 상기 초기 부하 전류보다 작은 적어도 1차 크기의 값이 될 때까지 상기 부하전류가 감소되는 수단; 및

상기 감소된 부하 전류가 상기 일련의 상기 기억 셀을 통해 흐를 때, 판독될 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압을 제공하는 수단을 구비하고 있는 것을 특징으로 하는 아날로그 기억 시스템.

청구항 28

제 27 항에 있어서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 상기 수단은 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하고, 상기 부하전류는 상기 초기 부하 전류보다 작은 적어도 2차 크기의 값이 될 때까지 감소되는 수단인 것을 특징으로 하는 아날로그 기억 시스템.

청구항 29

제 27 항에 있어서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 상기 수단은 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하고, 상기 부하전류는 상기 초기 부하 전류보다 작은 대략 3차 크기의 값이 될 때까지 감소되는 수단인 것을 특징으로 하는 아날로그 기억 시스템.

청구항 30

제 27 항에 있어서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 상기 수단은 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하고, 상기 부하전류는 실질적으로 제로 부하 전류가 될 때까지 감소되는 수단인 것을 특징으로 하는 아날로그 기억 시스템.

청구항 31

제 27 항에 있어서, 상기 제1 및 제2기준 전압은 대략 동일한 것을 특징으로 하는 아날로그 기억 시스템.

청구항 32

제 27 항에 있어서, 상기 판독 출력 전압을 다수 비트 디지탈 신호로 변환하기 위해 판독 출력 전압을 제공하는 상기 수단에 접속되어 있는 아날로그/디지탈 변환기를 더 구비하고 있는 것을 특징으로 하는 아날로그 기억 시스템.

청구항 33

각각 소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 복수의 기억 셀중 어느 하나에 저장되어 있는 값을 판독하는 방법으로서, 상기 기억 셀은 직렬로 접속된 소오스와 드레인을 가지고 있는 NAND 기억 셀 구조로 접속되어 있는 방법에 있어서,

(a) 직렬로 접속된 상기 기억 셀중 제1기억 셀의 드레인에 제1기준 전압을 접속하는 단계;

(b) 판독될 상기 기억 셀의 게이트에 제2기준 전압을 접속하는 단계;

(c) 판독될 상기 기억 셀과 직렬 접속되어 있는 상기 기억 셀의 게이트에 제3기준 전압을 접속하는 단계;

(d) 일련의 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 단계;

(e) 상기 초기 부하 전류보다 작은 적어도 1차 크기의 값이 될 때까지 상기 일련의 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류를 감소시키는 단계; 및

(f) 상기 감소된 부하 전류가 상기 일련의 상기 기억 셀을 통해 흐를 때, 판독될 상기 기억 셀의 소오스

상의 전압에 응답하는 판독 출력 전압을 제공하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 34

제 33 항에 있어서, 상기 단계(f)에서, 상기 감소된 부하 전류가 흐르는 상기 기억셀 의 소오스상의 상기 전압에 응답하는 상기 판독 출력 전압은 이 판독 출력 전압이 상기 감소된 부하로 실질적으로 안정된 후에 제공되는 것을 특징으로 하는 방법.

청구항 35

제 33 항에 있어서, 상기 단계(e)에서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류는 상기 초기 부하 전류보다 작은 적어도 2차 크기의 값이 될 때까지 감소되는 것을 특징으로 하는 방법.

청구항 36

제 33 항에 있어서, 상기 단계(e)에서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류는 상기 초기 부하 전류보다 작은 대략 3차 크기의 값이 될 때까지 감소되는 것을 특징으로 하는 방법.

청구항 37

제 33 항에 있어서, 상기 단계(e)에서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류는 실질적으로 제로 전류가 될 때까지 감소되는 것을 특징으로 하는 방법.

청구항 38

제 33 항에 있어서, 상기 단계(c)에서, 상기 제3기준 전압은 판독될 기억 셀과 직렬로 접속된 기억 셀에 작용하는 방해 효과를 감소시키도록 선택된 전압인 것을 특징으로 하는 방법.

청구항 39

제 33 항에 있어서, 상기 제1 및 제2기준 전압은 대략 동일한 것을 특징으로 하는 방법.

청구항 40

제 33 항에 있어서, 상기 저장된 값은 각각 특정 다수 비트 디지탈 신호를 나타내는 복수의 이산 값중 하나이고, 상기 판독 출력 전압을 각각의 다수 비트 신호로 변환하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 41

각각 소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 복수의 기억 셀중 어느 하나에 저장되어 있는 값을 판독하는 방법으로서, 상기 기억 셀은 직렬로 접속되어 있는 소오스와 드레인을 가지고 있는 NAND 기억 셀 구조로 접속되어 있는 방법에 있어서,

(a) 직렬로 접속된 상기 기억 셀중 제1기억 셀의 드레인에 제1기준 전압을 접속하는 단계;

(b) 판독될 상기 기억 셀의 게이트에 제2기준 전압을 접속하는 단계;

(c) 판독될 상기 기억 셀과 직렬 접속되어 있는 상기 기억 셀의 게이트에 제3기준 전압을 접속하는 단계;

(d) 일련의 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 단계;

(e) 판독될 상기 기억 셀과 직렬로 접속된 상기 기억 셀의 양단에서의 전체 전압 강하가 판독될 상기 기억 셀에 저장된 아날로그 값의 대략적인 해상도보다 높지 않도록 하는 값이 될 때까지, 상기 일련의 기억 셀의 드레인과 소오스를 통해 흐르는 부하 전류를 감소시키는 단계; 및

(f) 상기 감소된 부하 전류가 상기 일련의 상기 기억 셀을 통해 흐를 때, 판독될 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압을 제공하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 42

제 41 항에 있어서, 상기 저장된 값은 각각 특정 다수 비트 디지탈 신호를 나타내는 복수의 이산 값중 하나이고, 상기 판독 출력 전압을 각각의 다수 비트 신호로 변환하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 43

각각 소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 복수의 기억 셀로서, 직렬로 접속되어 있는 소오스와 드레인을 가지고 있는 NAND 기억 셀 구조로 접속되어 있는 복수의 기억 셀;

직렬로 접속되어 있는 상기 기억 셀중 제1기억 셀의 드레인에 제1기준 전압을 제공하는 수단;

판독될 상기 기억 셀의 게이트에 제2기준 전압을 제공하는 수단;

판독될 상기 기억 셀과 직렬 접속되어 있는 상기 기억 셀의 게이트에 제3기준 전압을 제공하는 수단;

일련의 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 수단으로서, 판독될 상기 기억 셀과 직렬로 접속된 상기 기억 셀의 양단에서의 전체 전압 강하가 판독될 상기 기억 셀에 저장된 값의 대략적인 해상도보다 높지 않도록 하는 값이 될 때까지 상기 부하 전류가 감소되는 수단; 및

상기 감소된 부하 전류가 상기 일련의 상기 기억 셀을 통해 흐를 때, 판독될 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압을 제공하는 수단을 구비하고 있는 것을 특징으로 하는 기억 시스템.

청구항 44

제 43 항에 있어서, 상기 판독 출력 전압을 다수 비트 디지탈 신호로 변환하기 위해 판독 출력 전압을 제공하는 상기 수단에 접속되어 있는 아날로그/디지탈 변환기를 더 구비하고 있는 것을 특징으로 하는 기억 시스템.

청구항 45

각각 소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 복수의 기억 셀로서, 직렬로 접속되어 있는 소오스와 드레인을 가지고 있는 NAND 기억 셀 구조로 접속되어 있는 복수의 기억 셀;

직렬로 접속되어 있는 상기 기억 셀중 제1기억 셀의 드레인에 제1기준 전압을 제공하는 수단;

판독될 상기 기억 셀의 게이트에 제2기준 전압을 제공하는 수단;

판독될 상기 기억 셀과 직렬 접속되어 있는 상기 기억 셀의 게이트에 제3기준 전압을 제공하는 수단;

일련의 상기 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 수단으로서, 상기 부하 전류는 상기 초기 부하 전류보다 작은 적어도 1차 크기의 값이 될 때까지 감소되는 수단; 및

상기 감소된 부하 전류가 상기 일련의 상기 기억 셀을 통해 흐를 때, 판독될 상기 기억 셀의 소오스상의 전압에 응답하는 판독 출력 전압을 제공하는 수단을 구비하고 있는 것을 특징으로 하는 기억 시스템.

청구항 46

제 45 항에 있어서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 상기 수단은 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 수단으로서, 상기 부하 전류는 상기 초기 부하 전류보다 작은 적어도 2차 크기의 값이 될 때까지 감소되는 수단인 것을 특징으로 하는 기억 시스템.

청구항 47

제 45 항에 있어서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 상기 수단은 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 수단으로서, 상기 부하 전류는 상기 초기 부하 전류보다 작은 대략 3차 크기의 값이 될 때까지 감소되는 것을 특징으로 하는 기억 시스템.

청구항 48

제 45 항에 있어서, 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 상기 수단은 상기 일련의 기억 셀의 드레인과 소오스를 통해 초기 부하 전류를 제공하는 수단으로서, 상기 부하 전류는 실질적으로 제로 부하 전류가 될 때까지 감소되는 수단인 것을 특징으로 하는 기억 시스템.

청구항 49

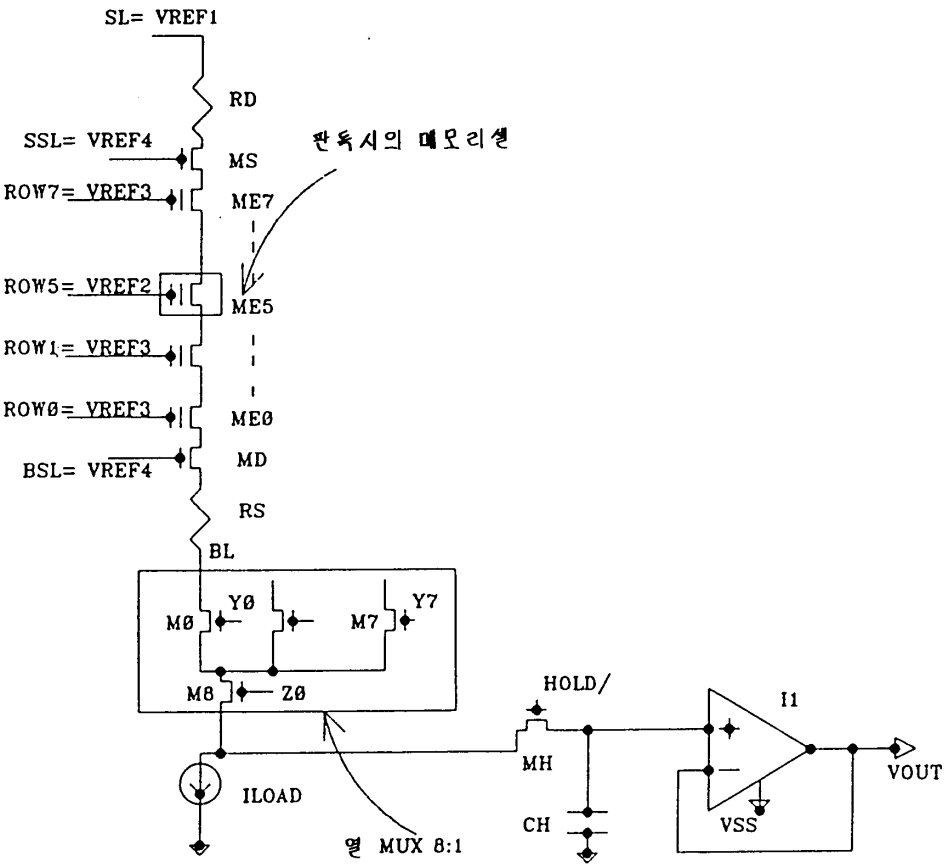
제 45 항에 있어서, 상기 제1 및 제2기준 전압은 대략 동일한 것을 특징으로 하는 기억 시스템.

청구항 50

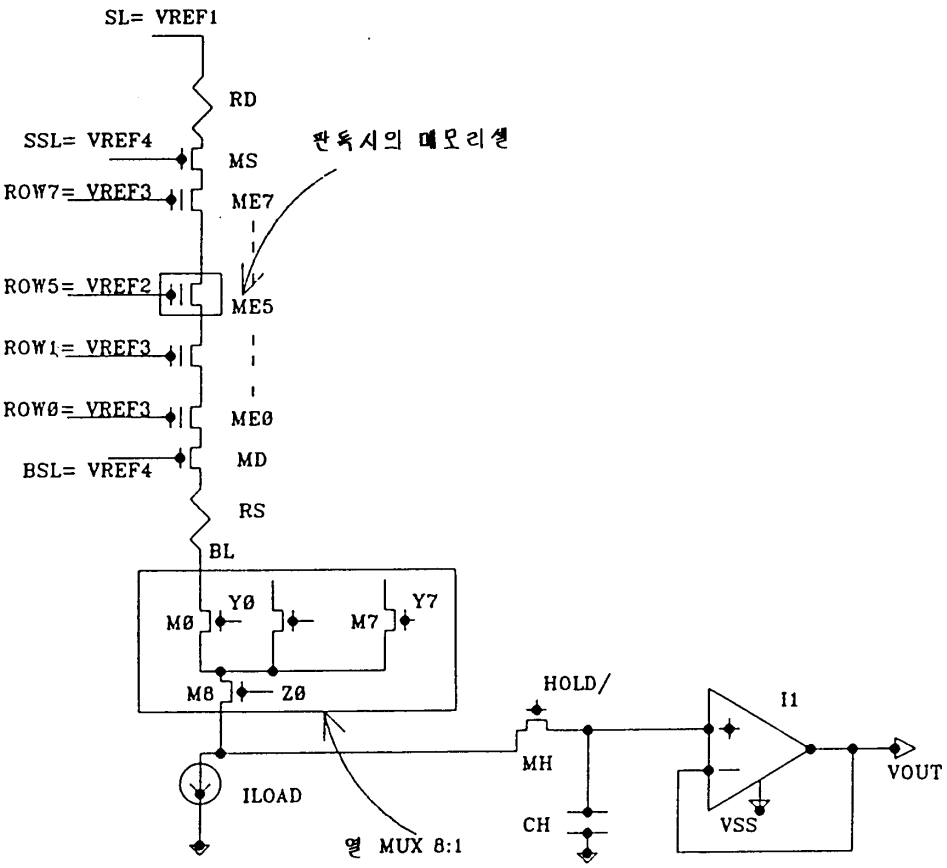
제 45 항에 있어서, 상기 판독 출력 전압을 다수 비트 디지탈 신호로 변환하기 위해 판독 출력 전압을 제공하는 상기 수단에 접속되어 있는 아날로그/디지탈 변환기를 더 구비하고 있는 것을 특징으로 하는 기억 시스템.

도면

도면1


SL= VREF1
RD
SSL= VREF4
MS
판독시의 메모리셀
ROW7= VREF3
ME7
ROW5= VREF2
ME5
ROW1= VREF3
ROW0= VREF3
ME0
BSL= VREF4
MD
RS
BL
Y0
Y7
M0
M7
M8
Z0
HOLD/
I1
MH
VOUT
ILOAD
CH
VSS
열 MUX 8:1

도면2


SL= VREF1
RD
SSL= VREF4
MS
판독시의 메모리셀
ROW7= VREF3
ME7
ROW5= VREF2
ME5
ROW1= VREF3
ROW0= VREF3
ME0
BSL= VREF4
MD
RS
BL
Y0
Y7
M0
M7
M8
Z0
HOLD/
I1
MH
VOUT
ILOAD
CH
VSS
열 MUX 8:1