

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 位相同期回路および周波数シンセサイザ

技術分野

[0001] 本開示は、デジタル信号を用いて動作する位相同期回路、および周波数シンセサイザに関する。

背景技術

[0002] 近年、様々な電子機器に無線通信機能が搭載される。無線通信システムでは、所望の周波数の信号を生成するために、周波数シンセサイザ（位相同期回路）が搭載される。このような周波数シンセサイザは、アナログPLLや、デジタルPLL（ADPLL；All-digital Phase Locked Loop）（例えば特許文献1～3）を含んで構成される。周波数シンセサイザをデジタルPLLにより構成した場合には、アナログPLLにより構成した場合に比べて、例えば、集積回路のレイアウト面積を小さくし、消費電力を低減することができる。

[0003] このようなデジタルPLLでは、生成する信号の位相雑音を低減するための様々な技術が開示されている。例えば、非特許文献1には、発振回路から出力される信号に基づいて4相信号を生成し、その4相信号のうちの1つをフィードバックさせる回路が開示されている。

先行技術文献

特許文献

- [0004] 特許文献1：特開2011-155601号公報
特許文献2：特開2011-205338号公報
特許文献3：特開2013-176125号公報

非特許文献

- [0005] 非特許文献1：Staszewski, R.B.; Vemulapalli, S.; Waheed, K., "An all-digital offset PLL architecture," Radio Frequency Integrated Circuits Symposium (RFIC), 2010 IEEE, p.17-20

発明の概要

- [0006] このように、周波数シンセサイザでは、位相雑音が低いことが望まれており、さらなる位相雑音の低減が期待されている。
- [0007] したがって、位相雑音を低減することができる位相同期回路および周波数シンセサイザを提供することが望ましい。
- [0008] 本開示の一実施の形態における位相同期回路は、基準位相生成回路と、発振回路と、信号生成回路と、位相検出回路とを備えている。基準位相生成回路は、基準位相値を順次生成する。発振回路は、基準位相値と帰還位相値との差に基づいて第1のクロックを生成するものである。信号生成回路は、第1のクロックに基づいて、互いに異なる位相を有する複数の第2のクロックを生成し、基準クロックの1周期に対応する周期期間のそれぞれにおいて複数の第2のクロックを複数回切り替えることにより第3のクロックを生成するものである。位相検出回路は、第3のクロックの位相値を求めて帰還位相値として出力するものである。
- [0009] 本開示の一実施の形態における周波数シンセサイザは、基準位相生成回路と、発振回路と、信号生成回路と、位相検出回路とを備えている。基準位相生成回路は、基準位相値を順次生成する。発振回路は、基準位相値と帰還位相値との差に基づいて第1のクロックを生成するものである。信号生成回路は、第1のクロックに基づいて、互いに異なる位相を有する複数の第2のクロックを生成し、基準クロックの1周期に対応する周期期間のそれぞれにおいて複数の第2のクロックを複数回切り替えることにより第3のクロックを生成するものである。位相検出回路は、第3のクロックの位相値を求めて帰還位相値として出力するものである。
- [0010] 本開示の一実施の形態における位相同期回路および周波数シンセサイザでは、基準位相値が順次生成され、基準位相値と帰還位相値（第3のクロックの位相値）との差に基づいて、第1のクロックが生成され、第1のクロックに基づいて第3のクロックが生成される。その際、第1のクロックに基づいて、互いに異なる位相を有する複数の第2のクロックが生成され、各周期期

間において複数の第2のクロックを複数回切り替えることにより第3のクロックが生成される。

[0011] 本開示の一実施の形態における位相同期回路および周波数シンセサイザによれば、第1のクロックに基づいて複数の第2のクロックを生成し、各周期期間において複数の第2のクロックを複数回切り替えることにより第3のクロックを生成したので、位相雑音を低減することができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果があってもよい。

図面の簡単な説明

[0012] [図1]本開示の一実施の形態に係る位相同期回路の一構成例を表すブロック図である。

[図2]図1に示した信号生成回路の一動作例を表すタイミング波形図である。

[図3]図1に示したTDCの一動作例を表すタイミング波形図である。

[図4]図1に示したTDCにおける変換特性の一例を表す説明図である。

[図5]図1に示した位相同期回路の一動作例を表すタイミング波形図である。

[図6]図1に示した位相同期回路の他の動作例を表すタイミング波形図である。

[図7]比較例に係る位相同期回路の一動作例を表すタイミング波形図である。

[図8]比較例に係る位相同期回路の他の動作例を表す説明図である。

[図9]図1に示した位相同期回路の他の動作例を表す説明図である。

[図10]他の比較例に係る位相同期回路の一動作例を表すタイミング波形図である。

[図11]変形例に係る位相同期回路の一動作例を表すタイミング波形図である。

[図12]変形例に係る位相同期回路の他の動作例を表すタイミング波形図である。

[図13]他の変形例に係る位相同期回路の一動作例を表すタイミング波形図である。

[図14]他の変形例に係る位相同期回路の他の動作例を表すタイミング波形図である。

[図15]他の変形例に係る位相同期回路の一動作例を表すタイミング波形図である。

[図16]他の変形例に係る位相同期回路の他の動作例を表すタイミング波形図である。

[図17]他の変形例に係る位相同期回路の一動作例を表すタイミング波形図である。

[図18]他の変形例に係る位相同期回路の他の動作例を表すタイミング波形図である。

発明を実施するための形態

[0013] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。

[0014] [構成例]

図1は、一実施の形態に係る位相同期回路（位相同期回路1）の一構成例を表すものである。図1では、太線で示した配線は、複数のビットからなるワードを伝えるいわゆるバス配線を示し、細線で示した配線は、1つの信号または差動信号を伝える配線を示す。

[0015] 位相同期回路1は、デジタル回路で構成されたデジタルPLLであり、基準クロック信号REFCLKに基づいて、クロック信号DCCLKを生成するものである。このクロック信号DCCLKの周波数 f_{clk} は、基準クロック信号REFCLKの周波数 f_{ref} よりも高いものである。位相同期回路1は、制御回路11と、基準位相生成回路12と、位相比較回路13と、ループフィルタ14と、発振回路15と、信号生成回路16と、位相検出回路20とを備えている。

[0016] 制御回路11は、周波数制御ワードFCWを生成して基準位相生成回路12に供給するとともに、位相ローテーションワードPRWを生成して信号生成回路16に供給するものである。制御回路11は、この周波数制御ワードFCWおよび位相ローテーションワードPRWにより、発振回路15が生成

するクロック信号DCCLKの周波数 f_{clk} を制御するようになっている。

[0017] 基準位相生成回路12は、周波数制御ワードFCWに基づいて、基準位相ワードPW1を生成するものである。具体的には、基準位相生成回路12は、周波数制御ワードFCWが示す値を累積加算して、基準位相値を生成し、その基準位相値を基準位相ワードPW1として出力するようになっている。

[0018] 位相比較回路13は、基準位相ワードPW1および位相ワードPW2に基づいて、位相誤差ワードPEWを生成するものである。具体的には、位相比較回路13は、基準位相ワードPW1が示す基準位相値から、位相ワードPW2が示す位相値を減算することにより、位相誤差値を求め、その位相誤差値を位相誤差ワードPEWとして出力するようになっている。

[0019] ループフィルタ14は、位相誤差ワードPEWに基づいて、制御ワードCWを生成するものである。具体的には、ループフィルタ14は、位相誤差ワードPEWが示す位相誤差値を平滑化し、その平滑化された位相誤差値を制御ワードCWとして出力するようになっている。

[0020] 発振回路15は、制御ワードCWに基づいて、クロック信号DCCLKを生成するものである。そして、発振回路15は、生成したクロック信号DCCLKを、信号生成回路16に供給するとともに、位相同期回路1の出力端子TOUTから出力するようになっている。

[0021] 信号生成回路16は、クロック信号DCCLK、基準クロック信号REFCLK、および位相ローテーションワードPRWに基づいて、クロック信号CLKを生成するものである。具体的には、信号生成回路16は、まず、クロック信号DCCLKに基づいて、互いに位相が異なる4つのクロック信号IP, QP, IN, QNを生成する。そして、信号生成回路16は、これらの4つのクロック信号IP, QP, IN, QNを切り替えることによりクロック信号CLKを生成するようになっている。

[0022] 図2は、信号生成回路16の一動作例を表すものであり、(A)はクロック信号DCCLKの波形を示し、(B)～(E)はクロック信号IP, QP, IN, QNの波形をそれぞれ示す。この例では、クロック信号IPは、

クロック信号DCCLKと同じ位相を有するものである。そして、クロック信号QPは、クロック信号IPよりも位相が90度(1/4周期)遅れたものであり、クロック信号INは、クロック信号QPよりも位相が90度遅れたものであり、クロック信号QNは、クロック信号INよりも位相が90度遅れたものであり、クロック信号IPよりも位相が90度進んだものである。

[0023] 信号生成回路16は、基準クロック信号REFCLK、および位相ローテーションワードPRWに基づいて、4つのクロック信号IP, QP, IN, QNのうちの1つを順次選択してクロック信号CLKを生成する。

[0024] 具体的には、例えば、位相ローテーションワードPRWの値が“+1/4”である場合には、信号生成回路16は、基準クロック信号REFCLKの1周期に対応する期間PRのそれぞれにおいて、4つのクロック信号IP, QP, IN, QNのうちの選択されているクロック信号よりも1/4周期だけ位相が遅れたクロック信号を新たに選択する。すなわち、例えば、信号生成回路16は、クロック信号IPが選択されている場合にはクロック信号QPを新たに選択し、クロック信号QPが選択されている場合にはクロック信号INを新たに選択し、クロック信号INが選択されている場合にはクロック信号QNを新たに選択し、クロック信号QNが選択されている場合にはクロック信号IPを新たに選択することにより、クロック信号の切り替えを行う。

[0025] また、例えば、位相ローテーション値Pが“-1/4”である場合には、信号生成回路16は、各期間PRにおいて、4つのクロック信号IP, QP, IN, QNのうちの選択されているクロック信号よりも1/4周期だけ位相が進んだクロック信号を新たに選択する。すなわち、例えば、信号生成回路16は、クロック信号IPが選択されている場合にはクロック信号QNを新たに選択し、クロック信号QPが選択されている場合にはクロック信号IPを新たに選択し、クロック信号INが選択されている場合にはクロック信号QPを新たに選択し、クロック信号QNが選択されている場合にはクロック

ク信号 I N を新たに選択することにより、クロック信号の切り替えを行う。
また、信号生成回路 16 は、このように位相ローテーション値 P が “ $-1/4$ ” である場合には、後述するように、各期間 PR において、クロック信号を複数回切り替えることにより、 $1/4$ 周期だけ位相が進んだクロック信号を新たに選択するようになっている。

[0026] 位相検出回路 20 は、クロック信号 CLK および基準クロック信号 REF CLK に基づいて、クロック信号 CLK の位相を検出し、その検出結果を位相ワード PW2 として出力するものである。位相検出回路 20 は、アキュムレータ 21 と、TDC (Time to Digital Converter) 22 と、加算回路 23 とを有している。

[0027] アキュムレータ 21 は、クロック信号 CLK のパルス数を数えることにより、クロック信号 CLK の位相値の整数部分を取得し、位相ワード D1 として出力するものである。

[0028] TDC 22 は、クロック信号 CLK の遷移タイミングと、基準クロック信号 REF CLK の遷移タイミングとを比較することにより、クロック信号 CLK の位相値の小数部分を取得し、位相ワード D2 として出力するものである。

[0029] 図 3 は、TDC 22 の入力信号を表すものであり、(A) は基準クロック信号 REF CLK の波形を示し、(B) はクロック信号 CLK の波形を示す。図 4 は、TDC 22 における変換特性例を表すものである。TDC 22 は、クロック信号 CLK の 1 周期に対応する期間 PC (時間 TC) における、基準クロック信号 REF CLK の立ち上がりタイミングの位置を求める。具体的には、TDC 22 は、クロック信号 CLK の立ち上がりタイミング t_1 から、基準クロック信号 REF CLK の立ち上がりタイミング t_2 までの時間 t_d に応じた値を、位相ワード D2 として出力する。位相ワード D2 の値は、図 4 に示したように、0 以上 1 未満であり、時間 t_d に応じて増加するものである。TDC 22 の変換特性は、特性 W1 で示したように、線形な特性であることが望ましいが、特性 W2 で示したように、非線形性を有してし

まう場合がある。位相同期回路 1 では、信号生成回路 1 6 を設けるようにしたので、後述するように、TDC 2 2 が非線形な変換特性を有する場合でも、クロック信号 DCCLK の位相雑音が増加するおそれを低減することができるようになっている。

[0030] 加算回路 2 3 は、位相ワード D 1 , D 2 に基づいて、位相ワード PW 2 を生成するものである。すなわち、位相ワード D 1 は、クロック信号 CLK の位相値の整数部分を示し、位相ワード D 2 は、クロック信号 CLK の位相値の小数部分を示すため、加算回路 2 3 は、位相ワード D 1 が示す値と位相ワード D 2 が示す値とを加算することにより、クロック信号 CLK の位相値を求める。そして、加算回路 2 3 は、その加算結果を位相ワード PW 2 として出力するようになっている。

[0031] ここで、クロック信号 DCCLK は、本開示における「第 1 のクロック」の一具体例に対応し、クロック信号 IP, QP, IN, QP は、本開示における「複数の第 2 のクロック」の一具体例に対応し、クロック信号 CLK は、本開示における「第 3 のクロック」の一具体例に対応する。基準クロック信号 RECLK は、本開示における「基準クロック」の一具体例に対応する。基準位相ワード PW 1 の値は、本開示における「基準位相値」の一具体例に対応し、位相ワード PW 2 の値は、本開示における「帰還位相値」の一具体例に対応する。期間 PR は、本開示における「周期期間」の一具体例に対応する。

[0032] [動作および作用]

続いて、本実施の形態の位相同期回路 1 の動作および作用について説明する。

[0033] (全体動作概要)

まず、図 1 を参照して、位相同期回路 1 の全体動作概要を説明する。制御回路 1 1 は、周波数制御ワード FCW および位相ローテーションワード PRW を生成する。基準位相生成回路 1 2 は、周波数制御ワード FCW に基づいて、基準位相ワード PW 1 を生成する。位相比較回路 1 3 は、基準位相ワー

ドPW1および位相ワードPW2に基づいて、位相誤差ワードPEWを生成する。ループフィルタ14は、位相誤差ワードPEWに基づいて、制御ワードCWを生成する。発振回路15は、制御ワードCWに基づいて、クロック信号DCCLKを生成する。

[0034] 信号生成回路16は、クロック信号DCCLK、基準クロック信号REFCLK、および位相ローテーションワードPRWに基づいて、クロック信号CLKを生成する。具体的には、信号生成回路16は、まず、クロック信号DCCLKに基づいて、互いに位相が異なる4つのクロック信号IP, QP, IN, QNを生成する。そして、信号生成回路16は、これらの4つのクロック信号IP, QP, IN, QNを切り替えることによりクロック信号CLKを生成する。

[0035] 位相検出回路20は、クロック信号CLKおよび基準クロック信号REFCLKに基づいて、クロック信号CLKの位相を検出し、その検出結果を位相ワードPW2として出力する。具体的には、アキュムレータ21は、クロック信号CLKのパルス数を数えることにより、クロック信号CLKの位相値の整数部分を取得し、位相ワードD1として出力する。TDC22は、クロック信号CLKの遷移タイミングと、基準クロック信号REFCLKの遷移タイミングとを比較することにより、クロック信号CLKの位相値の小数部分を取得し、位相ワードD2として出力する。加算回路23は、位相ワードD1が示す値と位相ワードD2が示す値とを加算することにより、位相ワードPW2を生成する。

[0036] (詳細動作)

次に、位相同期回路1の動作について、いくつかの例をあげて詳細に説明する。ここでは、クロック信号DCCLKの周波数 f_{clk} を基準クロック信号REFCLKの周波数 f_{ref} で割った値（周波数比 f_{ratio} ）が“4.1”である場合を例に説明する。

[0037] (動作例1)

図5は、位相同期回路1の一動作例を表すものであり、(A)～(D)は

4つのクロック信号 I P, Q P, I N, Q Nの波形をそれぞれ示し、(E) は基準クロック信号 R E F C L Kの波形を示し、(F) はクロック信号 C L Kの波形を示す。この図5 (A) ~ (D) において、太線で示した波形は、信号生成回路 1 6 が選択した波形部分を示している。この例では、制御回路 1 1 は、周波数制御ワード F C Wの値を“3. 8 5”に設定するとともに、位相ローテーションワード P R Wの値を“+ 1 / 4”に設定している。

[0038] 信号生成回路 1 6 は、クロック信号 D C O C L Kに基づいて、4つのクロック信号 I P, Q P, I N, Q Nを生成し、これらのクロック信号 I P, Q P, I N, Q Nを切り替えてクロック信号 C L Kを生成する。そして、位相検出回路 2 0 が、クロック信号 C L Kおよび基準クロック信号 R E F C L Kに基づいて、クロック信号 C L Kの位相を検出する。以下に、この動作について詳細に説明する。

[0039] まず、タイミング t 1 1 において、基準クロック R E F C L Kの1周期に対応する期間 P Rが開始する。信号生成回路 1 6 は、タイミング t 1 1 ~ t 1 3の期間において、クロック信号を1回切り替える。具体的には、信号生成回路 1 6 は、タイミング t 1 1 ~ t 1 2の期間において、クロック信号 I Pを選択してクロック信号 C L Kとして出力し、タイミング t 1 2 において、クロック信号を、クロック信号 I Pからクロック信号 Q Pに切り替える (図5 (A), (B), (F))。

[0040] そして、タイミング t 1 3 において、期間 P Rが終了し、位相検出回路 2 0 は、クロック信号の位相を検出し、位相ワード P W 2として出力する。このとき、タイミング t 1 1 ~ t 1 3の期間におけるクロック信号 C L Kのパルス数は“3”であるため、アキュムレータ 2 1 は、値“3”を示す位相ワード D 1を出力する。また、T D C 2 2 は、クロック信号 C L Kの1周期に対応する期間 P Cにおける、基準クロック信号 R E F C L Kの立ち上がりタイミング (タイミング t 1 3) の位置を求める。この例では、T D C 2 2 は、値“0. 8 5”を示す位相ワード D 2を出力する。その結果、位相検出回路 2 0 は、値“3. 8 5” (= 3 + 0. 8 5) を示す位相ワード P W 2を生

成する。

[0041] 基準位相生成回路 12 は、周波数制御ワード F C W に基づいて、基準位相ワード P W 1 を生成する。この例では、周波数制御ワード F C W は “3. 8 5” であるため、タイミング t 13 では、基準位相ワード P W 1 が示す値は “3. 8 5” ($= 3. 8 5 \times 1$) である。よって、位相比較回路 13 は、基準位相ワード P W 1 の値 “3. 8 5” と位相ワード P W 2 の値 “3. 8 5” との差を求めることにより、値 “0” の位相誤差ワード P E W を生成する。その結果、位相同期回路 1 では位相同期が維持される。

[0042] また、このタイミング t 13 において、新たな期間 P R が開始し、信号生成回路 16 は、タイミング t 14 において、クロック信号を、クロック信号 Q P からクロック信号 I N に切り替える (図 5 (B), (C), (F))。

[0043] そして、タイミング t 15 において、期間 P R が終了する。このとき、タイミング t 11 ~ t 15 の期間におけるクロック信号 C L K のパルス数は “7” であるため、アキュムレータ 21 は、値 “7” を示す位相ワード D 1 を出力する。また、この例では、T D C 22 は、値 “0. 7” を示す位相ワード D 2 を出力する。その結果、位相検出回路 20 は、値 “7. 7” ($= 7 + 0. 7$) を示す位相ワード P W 2 を生成する。このタイミング t 15 では、基準位相ワード P W 1 が示す値は “7. 7” ($= 3. 8 5 \times 2$) である。よって、位相比較回路 13 は、基準位相ワード P W 1 の値 “7. 7” と位相ワード P W 2 の値 “7. 7” との差を求めることにより、値 “0” の位相誤差ワード P E W を生成する。その結果、位相同期回路 1 では位相同期が維持される。

[0044] また、このタイミング t 15 において、新たな期間 P R が開始し、信号生成回路 16 は、タイミング t 16 において、クロック信号を、クロック信号 I N からクロック信号 Q N に切り替える (図 5 (C), (D), (F))。

[0045] そして、タイミング t 17 において、期間 P R が終了し、位相検出回路 20 は、値 “11. 55” ($= 11 + 0. 55$) を示す位相ワード P W 2 を生成する。このタイミング t 17 では、基準位相ワード P W 1 が示す値は “1

1. 55” ($= 3.85 \times 3$) である。よって、位相比較回路 13 は、基準位相ワード PW1 の値 “1 1. 55” と位相ワード PW2 の値 “1 1. 55” との差を求めることにより、値 “0” の位相誤差ワード PEW を生成する。その結果、位相同期回路 1 では位相同期が維持される。

[0046] また、このタイミング t 17 において、新たな期間 PR が開始し、信号生成回路 16 は、タイミング t 18 において、クロック信号を、クロック信号 QN からクロック信号 IP に切り替える (図 5 (A), (D), (F))。

[0047] そして、タイミング t 19 において、期間 PR が終了し、位相検出回路 20 は、値 “1 5. 4” ($= 15 + 0.4$) を示す位相ワード PW2 を生成する。このタイミング t 19 では、基準位相ワード PW1 が示す値は “1 5. 4” ($= 3.85 \times 4$) である。よって、位相比較回路 13 は、基準位相ワード PW1 の値 “1 5. 4” と位相ワード PW2 の値 “1 5. 4” との差を求めることにより、値 “0” の位相誤差ワード PEW を生成する。その結果、位相同期回路 1 では位相同期が維持される。

[0048] また、このタイミング t 19 において、新たな期間 PR が開始し、信号生成回路 16 は、タイミング t 20 において、クロック信号を、クロック信号 IP からクロック信号 QP に切り替える (図 5 (A), (B), (F))。

[0049] そして、タイミング t 21 において、期間 PR が終了し、位相検出回路 20 は、値 “1 9. 25” ($= 19 + 0.25$) を示す位相ワード PW2 を生成する。このタイミング t 21 では、基準位相ワード PW1 が示す値は “1 9. 25” ($= 3.85 \times 5$) である。よって、位相比較回路 13 は、基準位相ワード PW1 の値 “1 9. 25” と位相ワード PW2 の値 “1 9. 25” との差を求めることにより、値 “0” の位相誤差ワード PEW を生成する。その結果、位相同期回路 1 では位相同期が維持される。

[0050] このように、位相同期回路 1 では、信号生成回路 16 が、4 つのクロック信号 IP, QP, IN, QN を順次切り替えてクロック信号 CLK を生成し、位相検出回路 20 が、このクロック信号 CLK の位相を検出するようにした。これにより、後ほど比較例 1 と対比して説明するように、TDC 22 が

非線形な変換特性を有する場合であっても、位相雑音を低減することができる。

[0051] (動作例 2)

図 6 は、位相同期回路 1 の他の動作例を表すものである。この例では、制御回路 11 は、周波数制御ワード FCW の値を “3.35” に設定するとともに、位相ローテーションワード PRW の値を “-1/4” に設定している。

[0052] まず、タイミング t_{21} において、基準クロック REFCLK の 1 周期に対応する期間 PR が開始する。信号生成回路 16 は、タイミング $t_{21} \sim t_{25}$ の期間において、クロック信号を 3 回切り替える。具体的には、信号生成回路 16 は、タイミング $t_{21} \sim t_{22}$ の期間において、クロック信号 IP を選択してクロック信号 CLK として出力し、タイミング t_{22} において、クロック信号をクロック信号 IP からクロック信号 QP に切り替え、タイミング t_{23} において、クロック信号をクロック信号 QP からクロック信号 IN に切り替え、タイミング t_{24} において、クロック信号をクロック信号 IN からクロック信号 QN に切り替える (図 6 (A) ~ (D), (F))。

[0053] そして、タイミング t_{25} において、期間 PR が終了し、位相検出回路 20 は、値 “3.35” ($= 3 + 0.35$) を示す位相ワード PW2 を生成する。このタイミング t_{25} では、基準位相ワード PW1 が示す値は “3.35” ($= 3.35 \times 1$) である。よって、位相比較回路 13 は、基準位相ワード PW1 の値 “3.35” と位相ワード PW2 の値 “3.35” との差を求めることにより、値 “0” の位相誤差ワード PEW を生成する。その結果、位相同期回路 1 では位相同期が維持される。

[0054] また、このタイミング t_{25} において、新たな期間 PR が開始し、信号生成回路 16 は、タイミング t_{26} , t_{27} , t_{28} において、クロック信号を、クロック信号 QN からクロック信号 IP, QP, IN の順に順次切り替える (図 6 (A) ~ (D), (F))。

[0055] そして、タイミング t_{29} において、期間 PR が終了し、位相検出回路 2

0は、値“6.7” ($= 6 + 0.7$)を示す位相ワードPW2を生成する。このタイミングt29では、基準位相ワードPW1が示す値は“6.7” ($= 3.35 \times 2$)である。よって、位相比較回路13は、基準位相ワードPW1の値“6.7”と位相ワードPW2の値“6.7”との差を求めることにより、値“0”の位相誤差ワードPEWを生成する。その結果、位相同期回路1では位相同期が維持される。

[0056] また、このタイミングt29において、新たな期間PRが開始し、信号生成回路16は、タイミングt30, t31, t32において、クロック信号を、クロック信号INからクロック信号QN, IP, QPの順に順次切り替える(図6(A)～(D), (F))。

[0057] そして、タイミングt33において、期間PRが終了し、位相検出回路20は、値“10.05” ($= 10 + 0.05$)を示す位相ワードPW2を生成する。このタイミングt33では、基準位相ワードPW1が示す値は“10.05” ($= 3.35 \times 3$)である。よって、位相比較回路13は、基準位相ワードPW1の値“10.05”と位相ワードPW2の値“10.05”との差を求めることにより、値“0”の位相誤差ワードPEWを生成する。その結果、位相同期回路1では位相同期が維持される。

[0058] また、このタイミングt33において、新たな期間PRが開始し、信号生成回路16は、タイミングt34, t35, t36において、クロック信号を、クロック信号QPからクロック信号IN, QN, IPの順に順次切り替える(図6(A)～(D), (F))。

[0059] そして、タイミングt37において、期間PRが終了し、位相検出回路20は、値“13.4” ($= 13 + 0.4$)を示す位相ワードPW2を生成する。このタイミングt37では、基準位相ワードPW1が示す値は“13.4” ($= 3.35 \times 4$)である。よって、位相比較回路13は、基準位相ワードPW1の値“13.4”と位相ワードPW2の値“13.4”との差を求めることにより、値“0”の位相誤差ワードPEWを生成する。その結果、位相同期回路1では位相同期が維持される。

[0060] また、このタイミング t_{37} において、新たな期間 P_R が開始し、信号生成回路 16 は、タイミング t_{38} 、 t_{39} 、 t_{40} において、クロック信号を、クロック信号 I_P からクロック信号 Q_P 、 I_N 、 Q_N の順に順次切り替える（図 6（A）～（D）、（F））。

[0061] そして、タイミング t_{41} において、期間 P_R が終了し、位相検出回路 20 は、値 “16.75”（ $= 6 + 0.75$ ）を示す位相ワード PW_2 を生成する。このタイミング t_{41} では、基準位相ワード PW_1 が示す値は “16.75”（ $= 3.35 \times 5$ ）である。よって、位相比較回路 13 は、基準位相ワード PW_1 の値 “16.75” と位相ワード PW_2 の値 “16.75” との差を求めることにより、値 “0” の位相誤差ワード PEW を生成する。その結果、位相同期回路 1 では位相同期が維持される。

[0062] このように、位相同期回路 1 では、位相ローテーションワード PRW の値が $-1/4$ である場合に、信号生成回路 16 は、各期間 P_R において、 I_P 、 Q_P 、 I_N 、 Q_N 、…の順にクロック信号を複数回（この例では 3 回）切り替えるようにした。これにより、以下に比較例 2 と対比して説明するように、クロック信号 CLK においてパルス幅が狭まるおそれを低減することができるため、位相検出回路 20 が誤動作を行うおそれを低減することができる、位相雑音を低減することができる。

[0063] 次に、いくつかの比較例と対比して、本実施の形態の作用を説明する。

[0064] （比較例 1）

本比較例 1 に係る位相同期回路 1R は、本実施の形態に係る位相同期回路 1 から、信号生成回路 16 を省いたものである。すなわち、本比較例 1 では、位相検出回路 20 は、クロック信号 $DCOCLK$ および基準クロック信号 $REFCLK$ に基づいて、クロック信号 CLK の位相を検出し、その検出結果を位相ワード PW_2 として出力する。その他の構成は、本実施の形態（図 1）と同様である。

[0065] 図 7 は、位相同期回路 1R の動作を表すものであり、（A）は基準クロック信号 $REFCLK$ の波形を示し、（B）はクロック信号 $DCOCLK$ の波

形を示す。この例では、周波数制御ワード生成回路 11 は、周波数制御ワード F C W を “4. 1” に設定している。

[0066] まず、タイミング t_{51} において、基準クロック R E F C L K の 1 周期に対応する期間 P R が開始し、タイミング t_{52} において、この期間 P R が終了する。位相検出回路 20 は、値 “4. 1” ($= 4 + 0.1$) を示す位相ワード P W 2 を生成する。このタイミング t_{52} では、基準位相ワード P W 1 が示す値は “4. 1” ($= 4.1 \times 1$) である。よって、位相比較回路 13 は、基準位相ワード P W 1 の値 “4. 1” と位相ワード P W 2 の値 “4. 1” との差を求めることにより、値 “0” の位相誤差ワード P E W を生成する。その結果、位相同期回路 1 R では位相同期が維持される。

[0067] タイミング t_{52} 以降の動作についても同様であり、基準位相ワード P W 1 の値は、4. 1, 8. 2, 12. 3, 16. 4, 20. 5, …のように増加していき、位相ワード P W 2 の値もまた同様に、4. 1, 8. 2, 12. 3, 16. 4, 20. 5, …のように増加していく。よって、タイミング $t_{52} \sim t_{56}$ のそれぞれにおいて、位相誤差ワード P E W の値は “0” になり、その結果、位相同期回路 1 R では位相同期が維持される。

[0068] 次に、T D C 22 が非線形な変換特性を有する場合について説明する。図 7 の例では、T D C 22 が線形な変換特性を有するため、各タイミングにおいて、基準位相ワード P W 1 の値と位相ワード P W 2 の値とは一致する。しかしながら、例えば図 4 に示したように、T D C 22 が非線形な変換特性を有する場合には、基準位相ワード P W 1 の値と位相ワード P W 2 の値とが過渡的にずれてしまうおそれがある。

[0069] 図 8 は、T D C 22 が非線形な変換特性を有する場合における位相同期回路 1 R の動作を表すものであり、(A) は T D C 22 から出力される位相ワード D 2 の値を示し、(B) は位相誤差ワード P E W の値を示す。図 8 において、横軸は時間であり、1 目盛りは、基準クロック R E F C L K の 1 周期分の時間に対応している。

[0070] 図 8 (A) に示したように、位相ワード D 2 の値は、“0” から “1” に

向かって増加する振る舞いを繰り返す。すなわち、図 7 に示した位相ワード $PW2$ の小数部分の変化 ($0.1, 0.2, 0.3, 0.4, 0.5, \dots$) と同様に、位相ワード $D2$ の値は順に増加する。その際、この位相ワード $D2$ の値は、 $TDC22$ の非線形な変換特性に対応して、非線形に変化する。一方、基準位相ワード $PW1$ の値は線形に増加する。よって、位相誤差ワード PEW の値は、図 8 (B) に示したように、所定の周期で揺れてしまう。この揺れの周波数 f_{n1} は、次式を用いて表すことができる。

$$f_{n1} = f_{ref} \times n \dots (1)$$

ここで、 n は、周波数比 f_{ratio} の小数部分である。例えば、 f_{ref} が $8 [MHz]$ であり、周波数比 f_{ratio} が 4.1 (すなわち n が 0.1) である場合には、周波数 f_{n1} は $0.8 [MHz]$ になる。この周波数 f_{n1} が、位相同期回路 1 における閉ループ伝達関数が示すループ帯域内に入る程度に低い場合には、発振回路 15 により、クロック信号 $DCOCLK$ がこの周波数 f_{n1} で変調される。その場合には、クロック信号 $DCOCLK$ の周波数スペクトラムにおいて、クロック信号 $DCOCLK$ の周波数 f_{clk} の近傍 (例えば $f_{clk} \pm f_{n1}$ など) にスプリアスが生じてしまい、クロック信号 $DCOCLK$ の位相雑音が悪化するおそれがある。

[0071] 一方、本実施の形態に係る位相同期回路 1 では、信号生成回路 16 が、4 つのクロック信号 IP, QP, IN, QN を順次切り替えてクロック信号 CLK を生成し、位相検出回路 20 が、このクロック信号 CLK の位相を検出するようにした。これにより、以下に説明するように、 $TDC22$ が非線形な変換特性を有する場合であっても、位相雑音が悪化するおそれを低減することができる。

[0072] 図 9 は、 $TDC22$ が非線形な変換特性を有する場合における位相同期回路 1 の動作を表すものであり、(A) は $TDC22$ から出力される位相ワード $D2$ の値を示し、(B) は位相誤差ワード PEW の値を示す。この図 9 は、動作例 1 (図 5) に対応するものである。図 9 (A) において、“ IP ” のラベルが付いた変換特性は、信号生成回路 16 がクロック信号 IP を選択

したときの変換特性を示す。同様に、“QP”，“IN”，“QN”のラベルが付いた変換特性は、信号生成回路16がクロック信号QP，IN，QNを選択したときの変換特性をそれぞれ示す。

[0073] 図9（A）に示したように、位相ワードD2の値は、“1”から“0”に向かって減少する振る舞いを繰り返す。すなわち、図5に示した位相ワードPW2の小数部分の変化（0.85，0.7，0.55，0.4，0.25，…）と同様に、位相ワードD2の値は順に減少する。その際、この位相ワードD2の値は、TDC22の非線形な変換特性に対応して、非線形に変化する。よって、位相誤差ワードPEWの値は、図9（B）に示したように、所定の周期で揺れることとなる。

[0074] しかしながら、本実施の形態に係る位相同期回路1では、このように4つのクロック信号IP，QP，IN，QNを順次切り替えてクロック信号CLKを生成したので、位相誤差ワードPEWの値の揺れの周期を、比較例1に係る位相同期回路1Rの場合（図9（B）の破線）に比べて短くすることができる。よって、例えば、この揺れの周波数 f_{n2} を、位相同期回路1のループ帯域外になるように高い値に設定することにより、クロック信号DCCCLKが変調されるおそれを低減することができ、クロック信号DCCCLKの位相雑音が悪化するおそれを低減することができる。

[0075] 周波数 f_{n2} は、以下の式で表すことができる。

$$f_{n2} = f_{ref} \times F[VPR - n] \cdots (2)$$

ここで、VPRは位相ローテーションワードPRWの値（位相ローテーション値）であり、関数Fは、引数の小数部分のみを抽出するものである。例えば、 f_{ref} が8[MHz]であり、周波数比 f_{ratio} が4.1（すなわち n が0.1）であり、位相ローテーション値VPRが“+1/4”である場合には、周波数 f_{n2} は1.2[MHz]になる。

[0076] このように、本実施の形態に係る位相同期回路1では、4つのクロック信号IP，QP，IN，QNを順次切り替えてクロック信号CLKを生成したので、TDC22が非線形な変換特性を有する場合でも、クロック信号DC

OCCLKの位相雑音が悪化するおそれを低減することができる。

[0077] (比較例2)

本比較例2に係る位相同期回路1Sは、位相ローテーションワードPRWの値が $-1/4$ である場合において、本実施の形態に係る信号生成回路16とは異なる動作を行う信号生成回路16Sを有するものである。その他の構成は、本実施の形態(図1)と同様である。

[0078] 図10は、位相同期回路1Sの動作を表すものである。この例では、周波数制御ワードFCWの値を 4.35 に設定しており、位相ローテーションワードPRWの値を $-1/4$ に設定している。

[0079] まず、タイミング t_{61} において、期間PRが開始する。信号生成回路16Sは、タイミング $t_{61} \sim t_{65}$ の期間において、クロック信号を1回切り替える。具体的には、信号生成回路16Sは、タイミング $t_{61} \sim t_{62}$ の期間において、クロック信号IPを選択してクロック信号CLKとして出力し、タイミング t_{62} において、クロック信号をクロック信号IPからクロック信号QNに切り替える(図10(A), (D), (F))。

[0080] そして、タイミング t_{63} において、期間PRが終了し、位相検出回路20は、値 4.35 を示す位相ワードPW2を生成する。このタイミング t_{63} では、基準位相ワードPW1が示す値は 4.35 ($=4.35 \times 1$)である。よって、位相比較回路13は、基準位相ワードPW1の値 4.35 と位相ワードPW2の値 4.35 との差を求めることにより、値 0 の位相誤差ワードPEWを生成する。その結果、位相同期回路1Sでは位相同期が維持される。タイミング t_{63} 以降の動作についても同様である。

[0081] その際、位相同期回路1Sでは、タイミング t_{62} などにおいて、クロック信号を切り替える際、クロック信号CLKに幅の狭いパルス(部分W3)が現れる。このようなクロック信号CLKが入力された場合には、位相検出回路20は、誤動作し、クロック信号CLKの位相を正常に検出できないおそれがある。このような場合には、位相誤差ワードPEWの値が過渡的に揺

れ、クロック信号DCCLKの位相雑音が悪化するおそれがある。

[0082] 一方、本実施の形態に係る位相同期回路1では、位相ローテーションワードPRWの値が $-1/4$ である場合に、信号生成回路16は、各期間PRにおいて、IP, QP, IN, QN, …の順に複数回（この例では3回）切り替えるようにした。すなわち、例えば、図6のタイミングt21～t25の期間PRにおいて、信号生成回路16は、クロック信号をクロック信号IPからクロック信号QNに直接切り替えるのではなく、まず、クロック信号IPからクロック信号QPに切り替え、次にクロック信号QPからクロック信号INに切り替え、次にクロック信号INからクロック信号QNに切り替えるようにした。これにより、クロック信号CLKにおいてパルス幅が狭まるおそれを低減することができるため、位相検出回路20が誤動作を行うおそれを低減することができ、クロック信号DCCLKの位相雑音が悪化するおそれを低減することができる。

[0083] [効果]

以上のように本実施の形態では、4相のクロック信号を順次切り替えるようにしたので、TDC22が非線形な変換特性を有する場合でも、クロック信号DCCLKの位相雑音が悪化するおそれを低減することができる。

[0084] 本実施の形態では、位相ローテーションワードPRWの値が $-1/4$ である場合に、各期間PRにおいて、IP, QP, IN, QN, …の順に複数回切り替えるようにしたので、クロック信号CLKにおいてパルス幅が狭まるおそれを低減することができるため、クロック信号DCCLKの位相雑音が悪化するおそれを低減することができる。

[0085] [変形例1]

上記実施の形態では、位相ローテーションワードPRWの値を $-1/4$ に設定した場合（図6）において、信号生成回路16が、各期間PRにおいて、IP, QP, IN, QN, …の順にクロック信号を3回切り替えるようにしたが、これに限定されるものではない。例えば、図11に示すように、信号生成回路16は、各期間PRにおいて、クロック信号を2回切り替え

るようにしてもよい。この例では、信号生成回路 16 は、タイミング t_{71} ～ t_{72} の期間において、クロック信号 IP をクロック信号 CLK として出力し、タイミング t_{72} において、クロック信号をクロック信号 IP からクロック信号 IN に切り替え、タイミング t_{73} において、クロック信号をクロック信号 IN からクロック信号 QN に切り替える。このようにしても、上記実施の形態の場合と同様の効果を得ることができる。

[0086] [変形例 2]

位相ローテーションワード PRW の値を “ $-1/4$ ” に設定した場合（図 6）において、信号生成回路 16 が、各期間 PR において、クロック信号を複数回切り替える際の切替タイミングは、図 6 の例に限定されるものではない。例えば、図 12 に示すように、タイミング t_{82} において、信号生成回路 16 がクロック信号をクロック信号 IP からクロック信号 QP に切り替え、その後にクロック信号 CLK が反転し、その後のタイミング t_{83} において、信号生成回路 16 がクロック信号をクロック信号 QP からクロック信号 IN に切り替え、その後にクロック信号 CLK が反転し、その後のタイミング t_{84} において、信号生成回路 16 がクロック信号をクロック信号 IN からクロック信号 QN に切り替えるようにしてもよい。このようにしても、上記実施の形態の場合と同様の効果を得ることができる。

[0087] [変形例 3]

上記実施の形態では、信号生成回路 16 は 4 相のクロック信号 IP 、 QP 、 IN 、 QN を生成したが、これに限定されるものではなく、3 相以下のクロック信号を生成してもよいし、5 相以上のクロック信号を生成してもよい。以下に、6 相のクロック信号 $CLK1$ ～ $CLK6$ を生成する場合を例に説明する。

[0088] 図 13 は、本変形例に係る位相同期回路 1C の一動作例を表すものであり、(A) ～ (F) は 6 つのクロック信号 $CLK1$ ～ $CLK6$ の波形をそれぞれ示し、(G) は基準クロック信号 $REFCLK$ の波形を示し、(H) はクロック信号 CLK の波形を示す。この例では、制御回路 11 は、周波数制御

ワードFCWの値を“3.933”に設定するとともに、位相ローテーションワードPRWの値を“+1/6”に設定している。なお、この例では、周波数制御ワードFCWの値および位相ワードPW2の値を小数点以下第3位までの範囲で記している。

[0089] まず、タイミングt91において、基準クロックREFCLKの1周期に対応する期間PRが開始する。位相同期回路1Cの信号生成回路16Cは、タイミングt91～t93の期間において、クロック信号を1回切り替える。具体的には、信号生成回路16Cは、タイミングt92において、クロック信号を、クロック信号CLK1からクロック信号CLK2に切り替える。

[0090] そして、タイミングt93において、期間PRが終了し、位相検出回路20は、値“3.933”(=3+0.933)を示す位相ワードPW2を生成する。このタイミングt93では、基準位相ワードPW1が示す値は“3.933”(=3.933×1)である。よって、位相比較回路13は、基準位相ワードPW1の値“3.933”と位相ワードPW2の値“3.933”との差を求めることにより、値“0”の位相誤差ワードPEWを生成する。その結果、位相同期回路1Cでは位相同期が維持される。タイミングt93以降の動作についても同様である。

[0091] 図14は、位相同期回路1Cの他の動作例を表すものである。この例では、制御回路11は、周波数制御ワードFCWの値を“3.267”に設定するとともに、位相ローテーションワードPRWの値を“-1/6”に設定している。

[0092] まず、タイミングt101において、基準クロックREFCLKの1周期に対応する期間PRが開始する。信号生成回路16Cは、タイミングt101～t105の期間において、クロック信号を3回切り替える。具体的には、信号生成回路16Cは、タイミングt102, t103, t104において、クロック信号を、クロック信号CLK1からクロック信号CLK3, CLK5, CLK6の順に順次切り替える。

[0093] そして、タイミングt105において、期間PRが終了し、位相検出回路

20は、値“3. 267” ($= 3 + 0.267$)を示す位相ワードPW2を生成する。このタイミングt105では、基準位相ワードPW1が示す値は“3. 267” ($= 3.267 \times 1$)である。よって、位相比較回路13は、基準位相ワードPW1の値“3. 267”と位相ワードPW2の値“3. 267”との差を求めることにより、値“0”の位相誤差ワードPEWを生成する。その結果、位相同期回路1Cでは位相同期が維持される。タイミングt105以降の動作についても同様である。

[0094] 図13, 14の例では、位相ローテーションワードPRWの値を“ $\pm 1/6$ ”にしたが、これに限定されるものではなく、例えば、“ $\pm 2/6$ ”、“ $\pm 3/6$ ”などにしてもよい。以下に、位相ローテーションワードPRWの値を“ $+2/6$ ”にする例と、“ $-2/6$ ”にする例について説明する。

[0095] 図15は、本変形例に係る位相同期回路1Cの他の動作例を表すものである。この例では、制御回路11は、周波数制御ワードFCWの値を“3. 767”に設定するとともに、位相ローテーションワードPRWの値を“ $+2/6$ ”に設定している。

[0096] まず、タイミングt111において、基準クロックREFCLKの1周期に対応する期間PRが開始する。位相同期回路1Cの信号生成回路16Cは、タイミングt111～t113の期間において、クロック信号を1回切り替える。具体的には、信号生成回路16Cは、タイミングt112において、クロック信号を、クロック信号CLK1からクロック信号CLK3に切り替える。

[0097] そして、タイミングt113において、期間PRが終了し、位相検出回路20は、値“3. 767” ($= 3 + 0.767$)を示す位相ワードPW2を生成する。このタイミングt113では、基準位相ワードPW1が示す値は“3. 767” ($= 3.767 \times 1$)である。よって、位相比較回路13は、基準位相ワードPW1の値“3. 767”と位相ワードPW2の値“3. 767”との差を求めることにより、値“0”の位相誤差ワードPEWを生成する。その結果、位相同期回路1Cでは位相同期が維持される。タイミン

グ t_{113} 以降の動作についても同様である。

[0098] 図16は、位相同期回路1Cの他の動作例を表すものである。この例では、制御回路11は、周波数制御ワードFCWの値を“3.433”に設定するとともに、位相ローテーションワードPRWの値を“-2/6”に設定している。

[0099] まず、タイミング t_{121} において、基準クロックREFCLKの1周期に対応する期間PRが開始する。信号生成回路16Cは、タイミング t_{121} ～ t_{124} の期間において、クロック信号を2回切り替える。具体的には、信号生成回路16Cは、タイミング t_{122} 、 t_{123} において、クロック信号を、クロック信号CLK1からクロック信号CLK3、CLK5の順に順次切り替える。

[0100] そして、タイミング t_{124} において、期間PRが終了し、位相検出回路20は、値“3.433”($=3+0.433$)を示す位相ワードPW2を生成する。このタイミング t_{124} では、基準位相ワードPW1が示す値は“3.433”($=3.433\times 1$)である。よって、位相比較回路13は、基準位相ワードPW1の値“3.433”と位相ワードPW2の値“3.433”との差を求めることにより、値“0”の位相誤差ワードPEWを生成する。その結果、位相同期回路1Cでは位相同期が維持される。タイミング t_{124} 以降の動作についても同様である。

[0101] このように、位相同期回路1Cでは、信号生成回路16Cが、6相のクロック信号CLK1～CLK6を生成することにより、位相ローテーションワードPRWの設定の自由度を高めることができる。これにより、位相同期回路1Cでは、TDC22が非線形な変換特性を有する場合でも、式(2)を用いて、位相誤差ワードPEWの揺れの周波数 f_{n2} をより自由に設定することができ、クロック信号DCCLKの位相雑音が低減できるようにより自由に調整することができる。

[0102] [変形例4]

上記実施の形態では、クロック信号DCCLKの周波数 f_{clk} を基準クロ

ック信号REFCLKの周波数 f_{ref} で割った値（周波数比 f_{ratio} ）を“4.1”にしたが、これに限定されるものではない。以下に、この周波数比 f_{ratio} を“4.25”にした場合の例を説明する。

[0103] 図17は、本変形例に係る位相同期回路1Dの一動作例を表すものである。この例では、制御回路11は、周波数制御ワードFCWの値を“4”に設定するとともに、位相ローテーションワードPRWの値を“+1/4”に設定している。

[0104] まず、タイミング t_{131} において、基準クロックREFCLKの1周期に対応する期間PRが開始する。信号生成回路16は、タイミング t_{131} ～ t_{133} の期間において、クロック信号を1回切り替える。具体的には、信号生成回路16は、タイミング t_{132} において、クロック信号を、クロック信号IPからクロック信号QPに切り替える。

[0105] そして、タイミング t_{133} において、期間PRが終了し、位相検出回路20は、値“4”（ $=4+0$ ）を示す位相ワードPW2を生成する。このタイミング t_{133} では、基準位相ワードPW1が示す値は“4”（ $=4 \times 1$ ）である。よって、位相比較回路13は、基準位相ワードPW1の値“4”と位相ワードPW2の値“4”との差を求めることにより、値“0”の位相誤差ワードPEWを生成する。その結果、位相同期回路1Dでは位相同期が維持される。タイミング t_{133} 以降の動作についても同様である。

[0106] 図18は、位相同期回路1Dの他の動作例を表すものである。この例では、制御回路11は、周波数制御ワードFCWの値を“3.5”に設定するとともに、位相ローテーションワードPRWの値を“-1/4”に設定している。

[0107] まず、タイミング t_{141} において、基準クロックREFCLKの1周期に対応する期間PRが開始する。信号生成回路16は、タイミング t_{141} ～ t_{145} の期間において、クロック信号を3回切り替える。具体的には、信号生成回路16は、タイミング t_{142} 、 t_{143} 、 t_{144} において、クロック信号を、クロック信号IPからクロック信号QP、IN、QNの順

に順次切り替える。

[0108] そして、タイミング t_{145} において、期間 P_R が終了し、位相検出回路 20 は、値 “3.5” ($= 3 + 0.5$) を示す位相ワード PW_2 を生成する。このタイミング t_{145} では、基準位相ワード PW_1 が示す値は “3.5” ($= 3.5 \times 1$) である。よって、位相比較回路 13 は、基準位相ワード PW_1 の値 “3.5” と位相ワード PW_2 の値 “3.5” との差を求めることにより、値 “0” の位相誤差ワード PEW を生成する。その結果、位相比較回路 1D では位相同期が維持される。タイミング t_{145} 以降の動作についても同様である。

[0109] 以上、実施の形態およびいくつかの変形例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0110] 例えば、上記の実施の形態等では、周波数制御ワード FCW 、位相ローテーションワード PRW 、周波数比 f_{ratio} などの様々なパラメータの値を例示したが、これに限定されるものではなく、適宜設定することができる。

[0111] また、例えば、本技術を、例えば無線通信システムなどに用いられる周波数シンセサイザに適用してもよい。このとき、例えば、クロック信号 DCO_CLK の周波数（チャンネル）に応じて、周波数制御ワード FCW および位相ローテーションワード PRW を切り替えてもよい。このように、本技術は、位相同期回路を含む様々な用途に適用することができる。

[0112] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0113] なお、本技術は以下のような構成とすることができる。

[0114] (1) 基準位相値を順次生成する基準位相生成回路と、

前記基準位相値と帰還位相値との差に基づいて第1のクロックを生成する発振回路と、

前記第1のクロックに基づいて、互いに異なる位相を有する複数の第2のクロックを生成し、基準クロックの1周期に対応する周期期間のそれぞれにおいて前記複数の第2のクロックを複数回切り替えることにより第3のクロ

ックを生成する信号生成回路と、

前記第3のクロックの位相値を求めて前記帰還位相値として出力する位相検出回路と

を備えた位相同期回路。

[0115] (2) 前記第3のクロックにおける各パルスのパルス幅は、前記第1のクロックのパルス幅以上である

前記(1)に記載の位相同期回路。

[0116] (3) 前記信号生成回路は、前記複数の第2のクロックを切り替える際、現在選択しているクロックよりも位相が遅れたクロックに切り替える

前記(1)または(2)に記載の位相同期回路。

[0117] (4) 第1の設定値および第2の設定値を生成する制御回路をさらに備え、前記基準位相生成回路は、前記第1の設定値に基づいて前記基準位相値を順次生成し、

前記信号生成回路は、各周期期間において、前記複数の第2のクロックを、前記第2の設定値に応じた順番パターンで複数回切り替える

前記(1)から(3)のいずれかに記載の位相同期回路。

[0118] (5) 前記制御回路は、前記第1の設定値および前記第2の設定値を含む設定値セットを複数セット生成可能に構成されたものである

前記(4)に記載の位相同期回路。

[0119] (6) 前記位相検出回路は、

前記位相値の整数部分を求める第1の検出回路と、

前記位相値の小数部分を求める第2の検出回路と

を有する

前記(1)から(5)のいずれかに記載の位相同期回路。

[0120] (7) 前記第2の検出回路は、前記基準クロックの遷移タイミングと、前記第3のクロックの遷移タイミングとの時間差に基づいて、前記位相値の小数部分を求める

前記(6)に記載の位相同期回路。

[0121] (8) 前記第1の検出回路は、前記第3のクロックのパルス数をカウントすることにより、前記位相値の整数部分を求める

前記(6)または(7)に記載の位相同期回路。

[0122] (9) 第1の動作モードおよび第2の動作モードを有し、

前記第1の動作モードにおいて、前記信号生成回路は、各周期期間において、前記複数の第2のクロックを複数回切り替え、

前記第2の動作モードにおいて、前記信号生成回路は、各周期期間において、前記複数の第2のクロックを1回切り替える

前記(1)から(8)のいずれかに記載の位相同期回路。

[0123] (10) 基準位相値を順次生成する基準位相生成回路と、

前記基準位相値と帰還位相値との差に基づいて第1のクロックを生成する発振回路と、

前記第1のクロックに基づいて、互いに異なる位相を有する複数の第2のクロックを生成し、基準クロックの1周期に対応する周期期間のそれぞれにおいて前記複数の第2のクロックを複数回切り替えることにより第3のクロックを生成する信号生成回路と、

前記第3のクロックの位相値を求めて前記帰還位相値として出力する位相検出回路と

を備えた周波数シンセサイザ。

[0124] 本出願は、日本国特許庁において2014年10月22日出願された日本特許出願番号2014-215271号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0125] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 基準位相値を順次生成する基準位相生成回路と、
 前記基準位相値と帰還位相値との差に基づいて第1のクロックを生成する発振回路と、
 前記第1のクロックに基づいて、互いに異なる位相を有する複数の第2のクロックを生成し、基準クロックの1周期に対応する周期期間のそれぞれにおいて前記複数の第2のクロックを複数回切り替えることにより第3のクロックを生成する信号生成回路と、
 前記第3のクロックの位相値を求めて前記帰還位相値として出力する位相検出回路と
 を備えた位相同期回路。
- [請求項2] 前記第3のクロックにおける各パルスのパルス幅は、前記第1のクロックのパルス幅以上である
 請求項1に記載の位相同期回路。
- [請求項3] 前記信号生成回路は、前記複数の第2のクロックを切り替える際、現在選択しているクロックよりも位相が遅れたクロックに切り替える
 請求項1に記載の位相同期回路。
- [請求項4] 第1の設定値および第2の設定値を生成する制御回路をさらに備え、
 前記基準位相生成回路は、前記第1の設定値に基づいて前記基準位相値を順次生成し、
 前記信号生成回路は、各周期期間において、前記複数の第2のクロックを、前記第2の設定値に応じた順番パターンで複数回切り替える
 請求項1に記載の位相同期回路。
- [請求項5] 前記制御回路は、前記第1の設定値および前記第2の設定値を含む設定値セットを複数セット生成可能に構成されたものである
 請求項4に記載の位相同期回路。
- [請求項6] 前記位相検出回路は、

前記位相値の整数部分を求める第1の検出回路と、
前記位相値の小数部分を求める第2の検出回路と
を有する

請求項1に記載の位相同期回路。

[請求項7] 前記第2の検出回路は、前記基準クロックの遷移タイミングと、前記第3のクロックの遷移タイミングとの時間差に基づいて、前記位相値の小数部分を求める

請求項6に記載の位相同期回路。

[請求項8] 前記第1の検出回路は、前記第3のクロックのパルス数をカウントすることにより、前記位相値の整数部分を求める

請求項6に記載の位相同期回路。

[請求項9] 第1の動作モードおよび第2の動作モードを有し、

前記第1の動作モードにおいて、前記信号生成回路は、各周期期間において、前記複数の第2のクロックを複数回切り替え、

前記第2の動作モードにおいて、前記信号生成回路は、各周期期間において、前記複数の第2のクロックを1回切り替える

請求項1に記載の位相同期回路。

[請求項10] 基準位相値を順次生成する基準位相生成回路と、

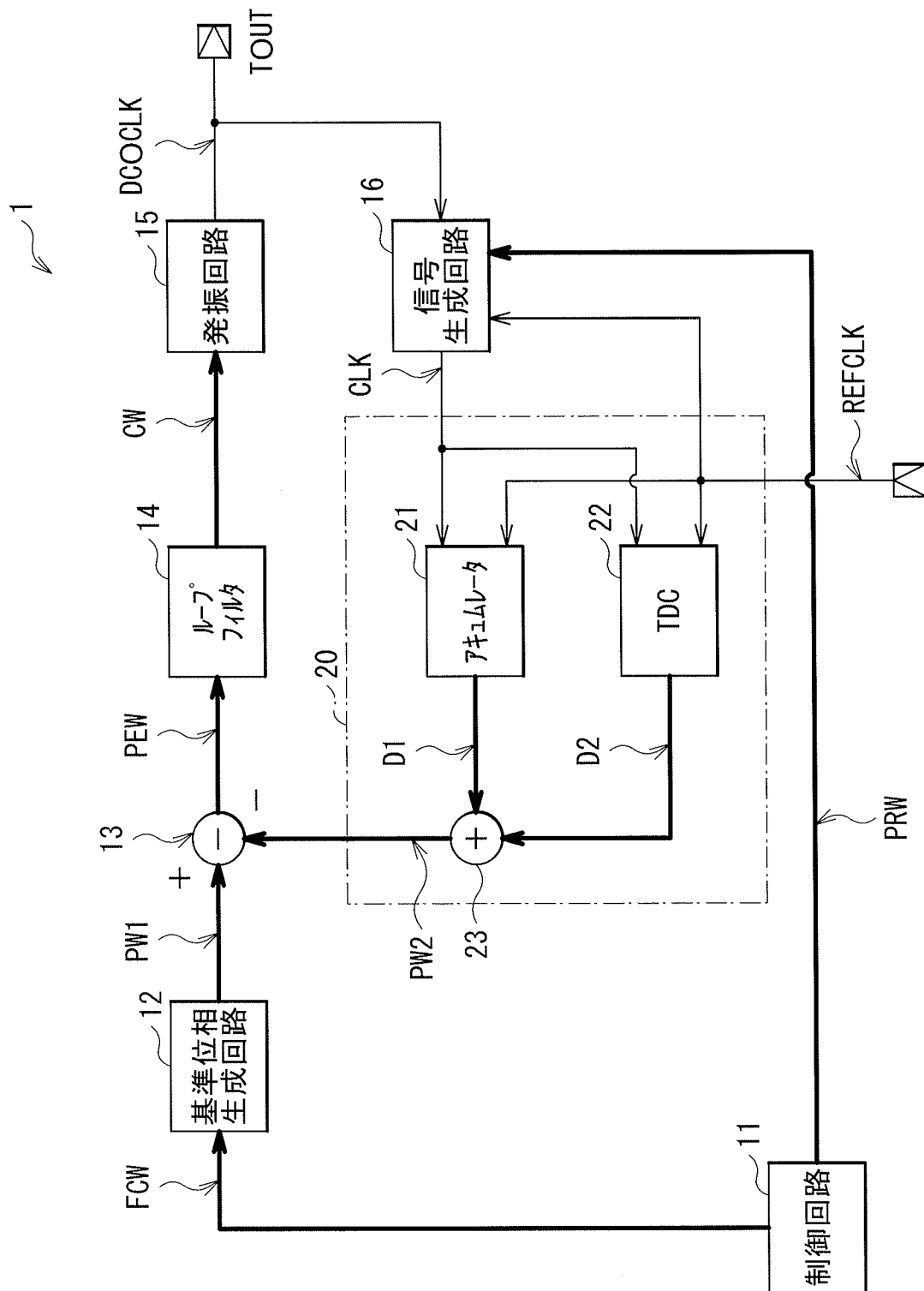
前記基準位相値と帰還位相値との差に基づいて第1のクロックを生成する発振回路と、

前記第1のクロックに基づいて、互いに異なる位相を有する複数の第2のクロックを生成し、基準クロックの1周期に対応する周期期間のそれぞれにおいて前記複数の第2のクロックを複数回切り替えることにより第3のクロックを生成する信号生成回路と、

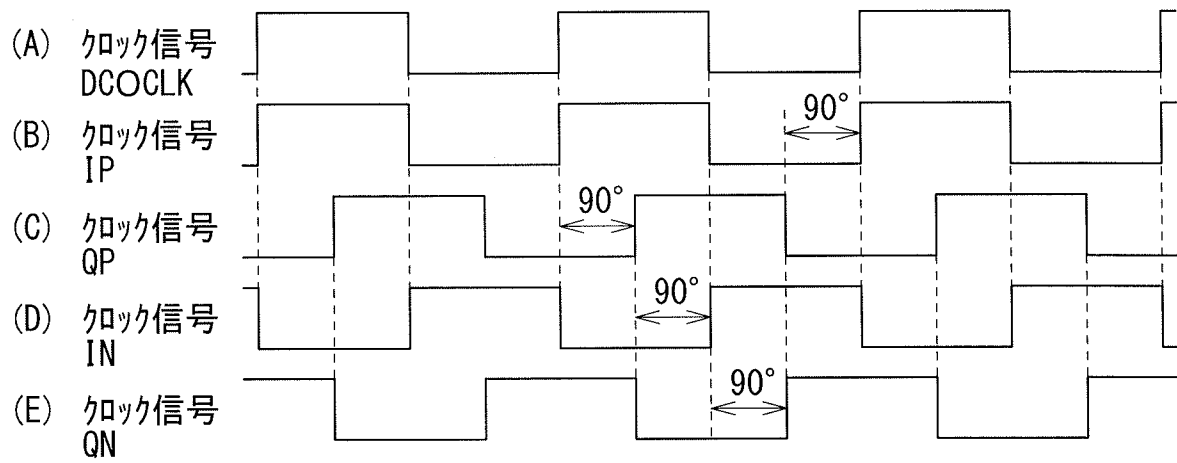
前記第3のクロックの位相値を求めて前記帰還位相値として出力する位相検出回路と

を備えた周波数シンセサイザ。

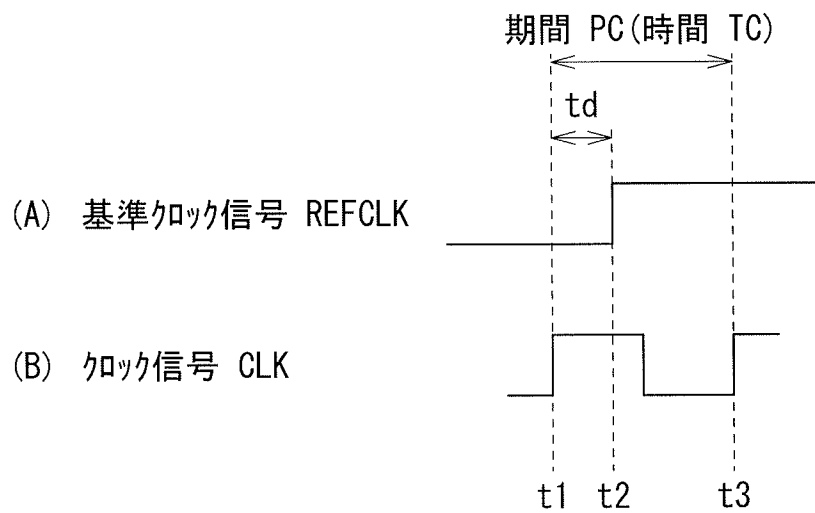
[図1]



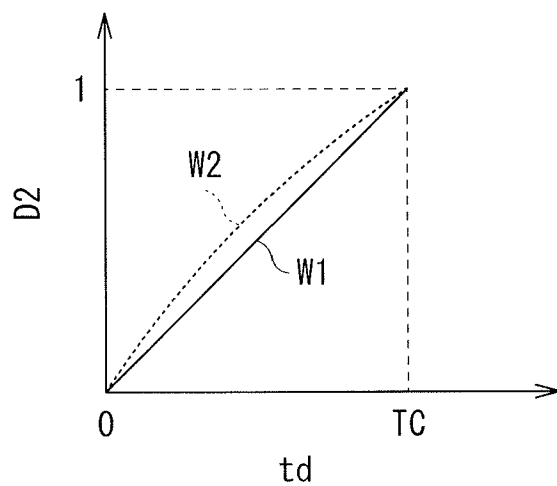
[図2]



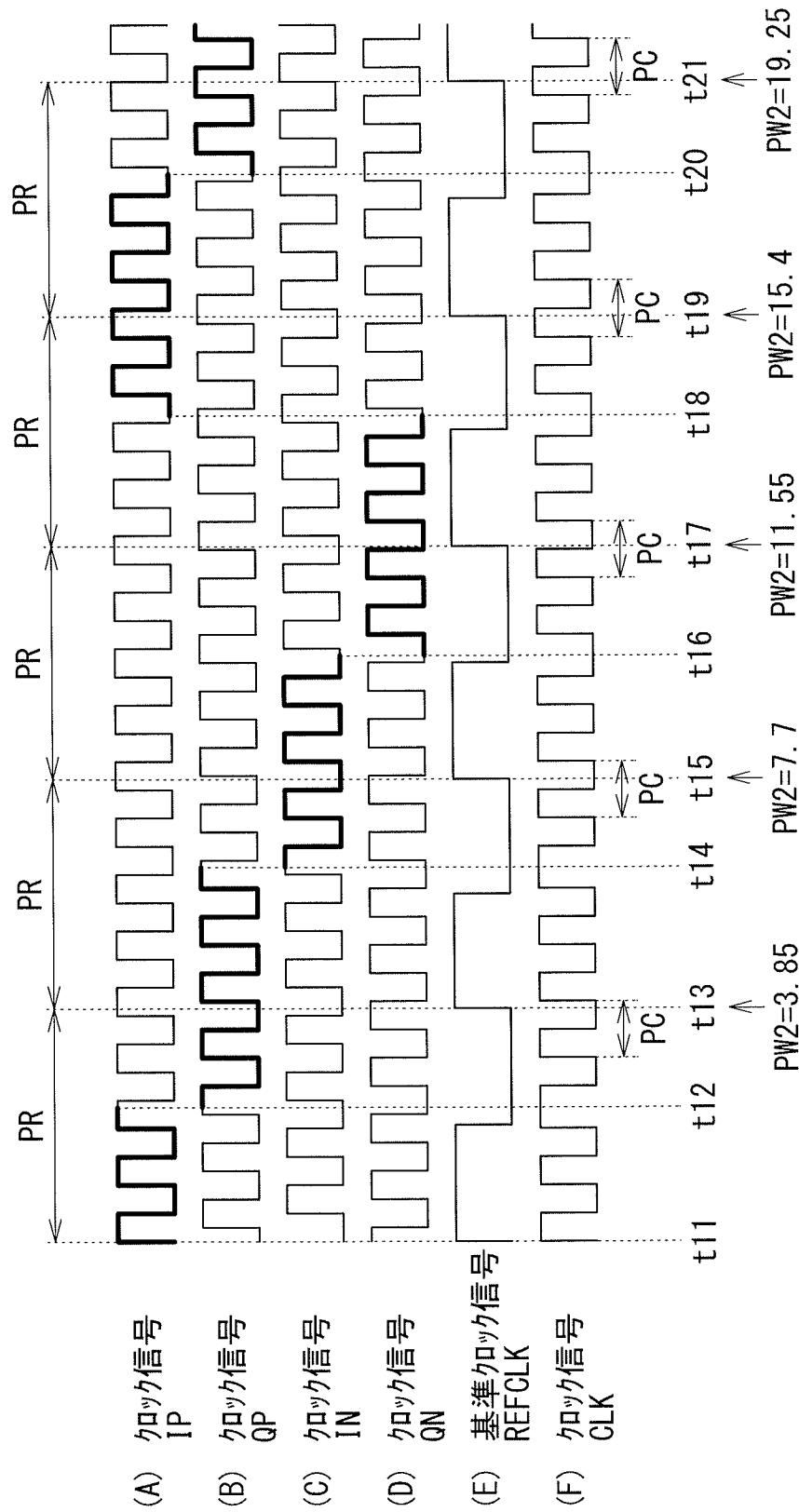
[図3]



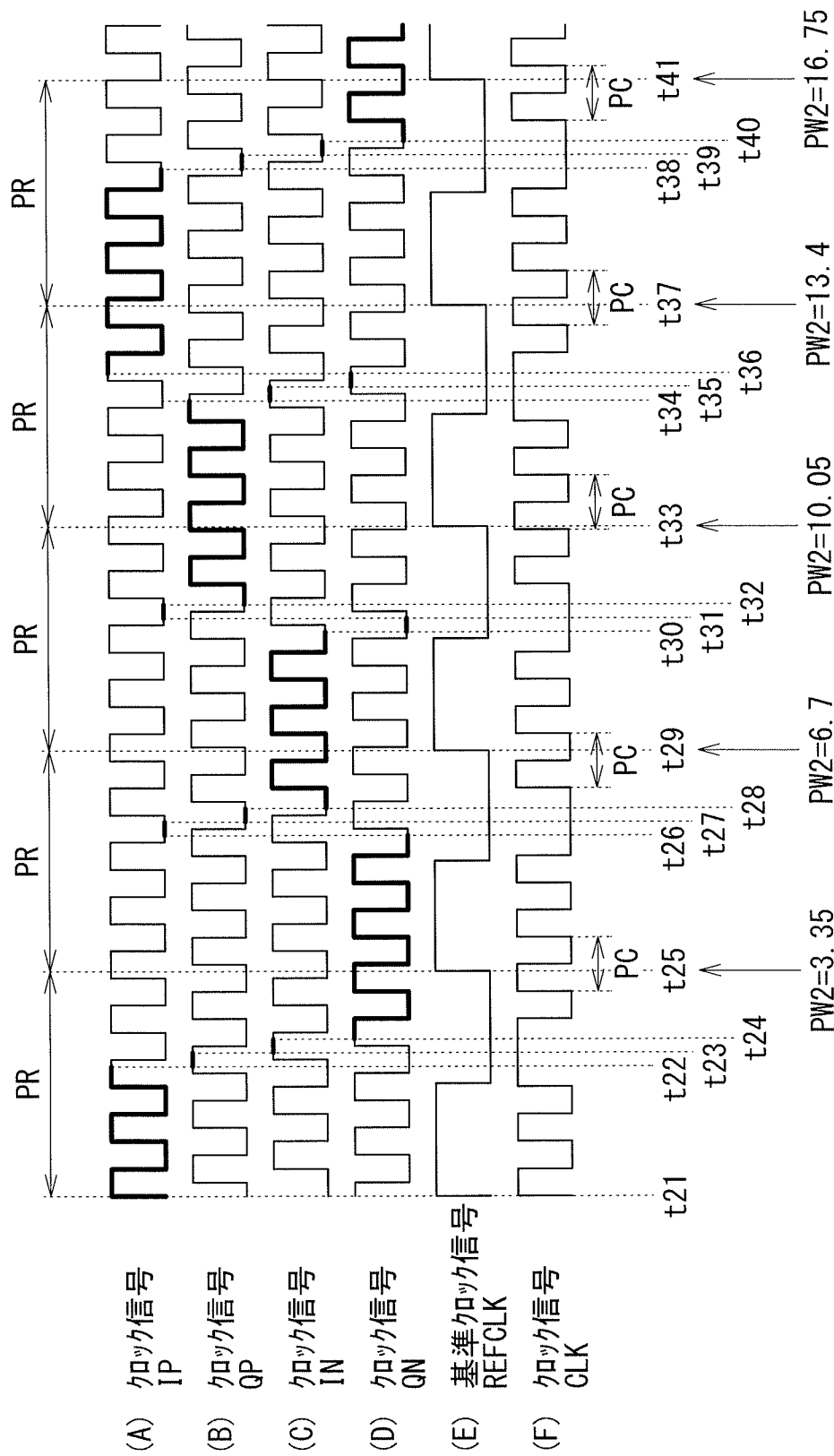
[図4]



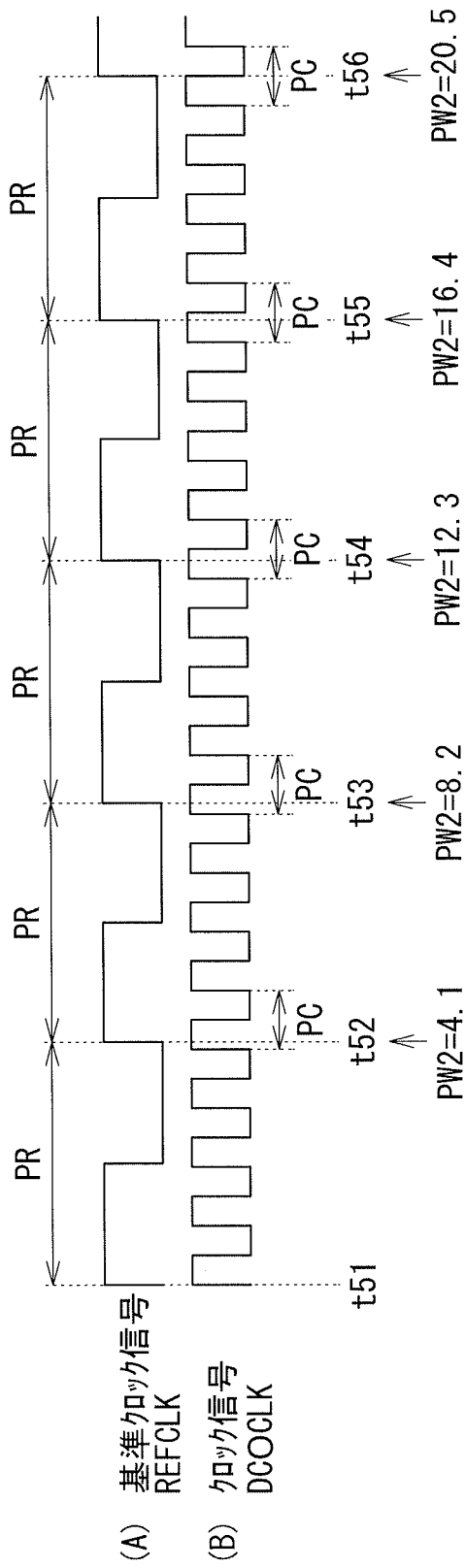
【図5】



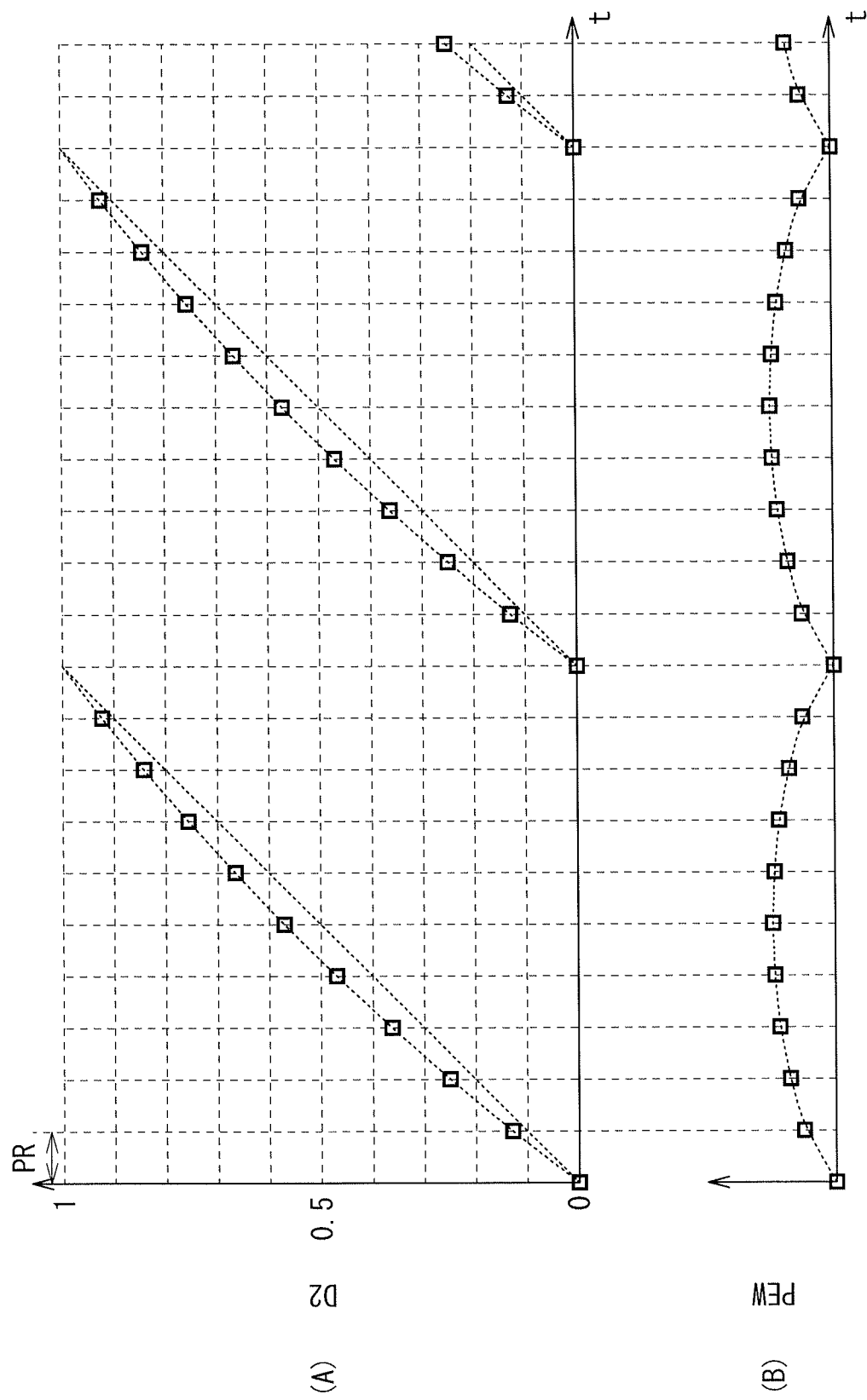
[図6]



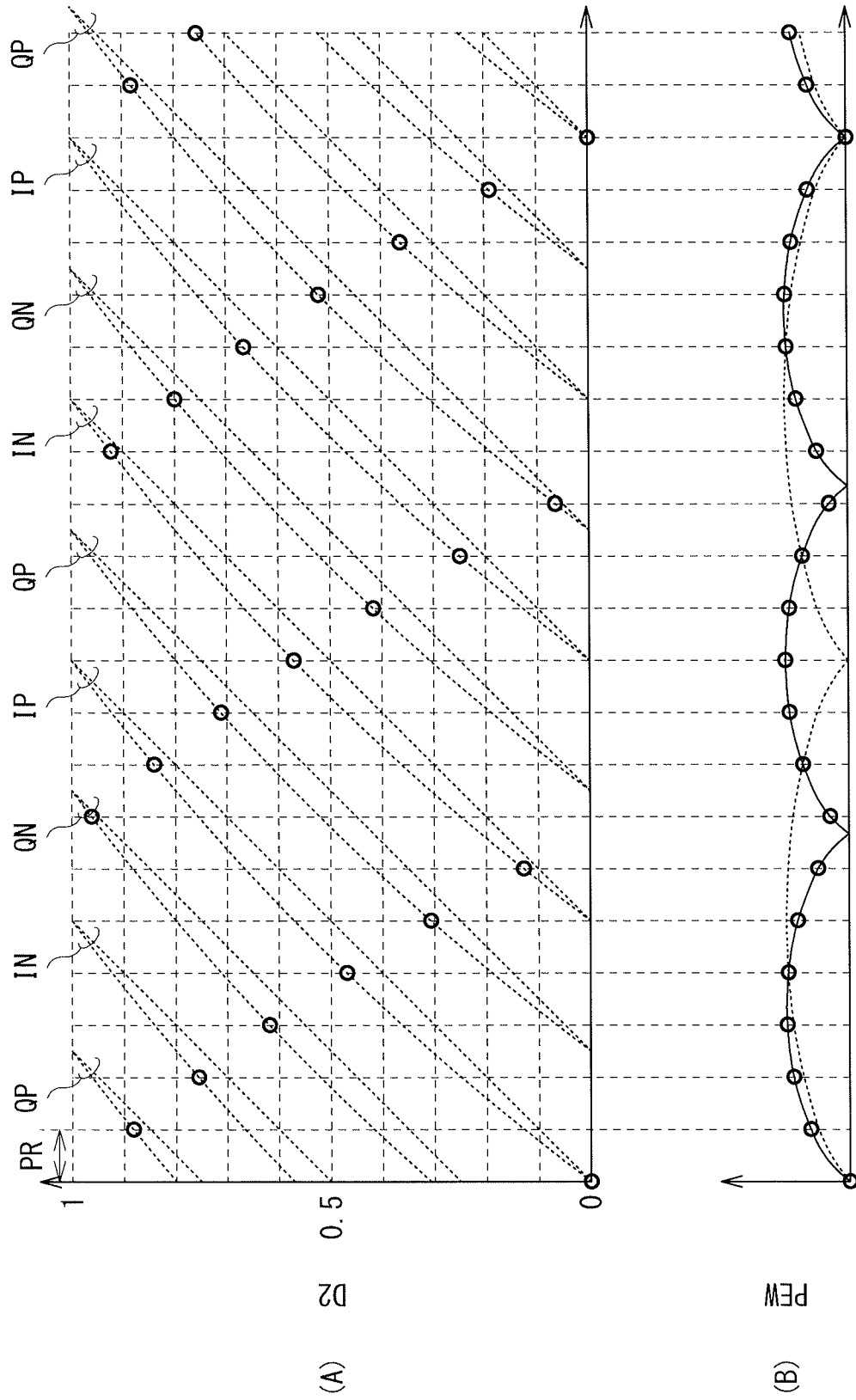
[図7]



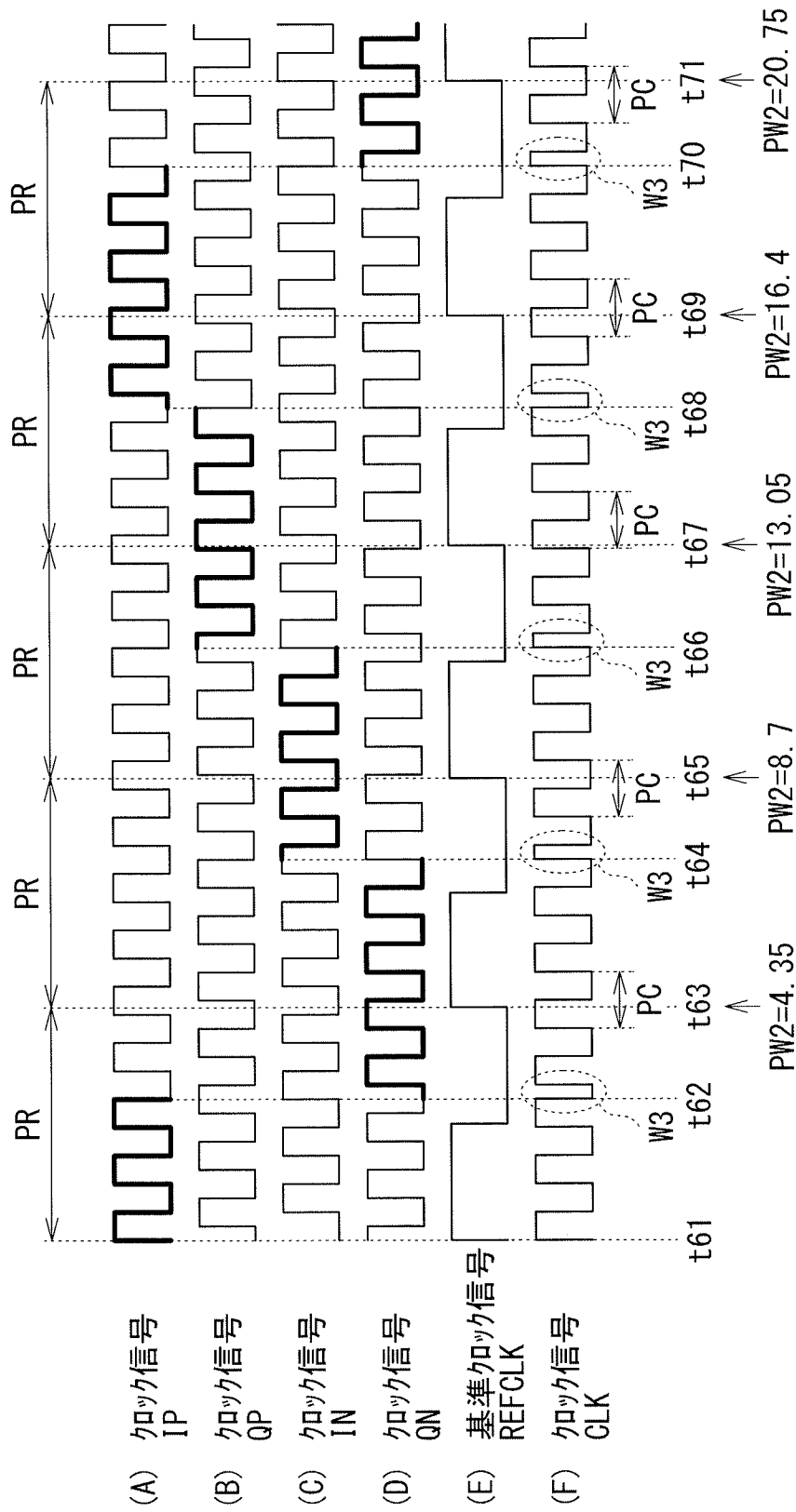
[図8]



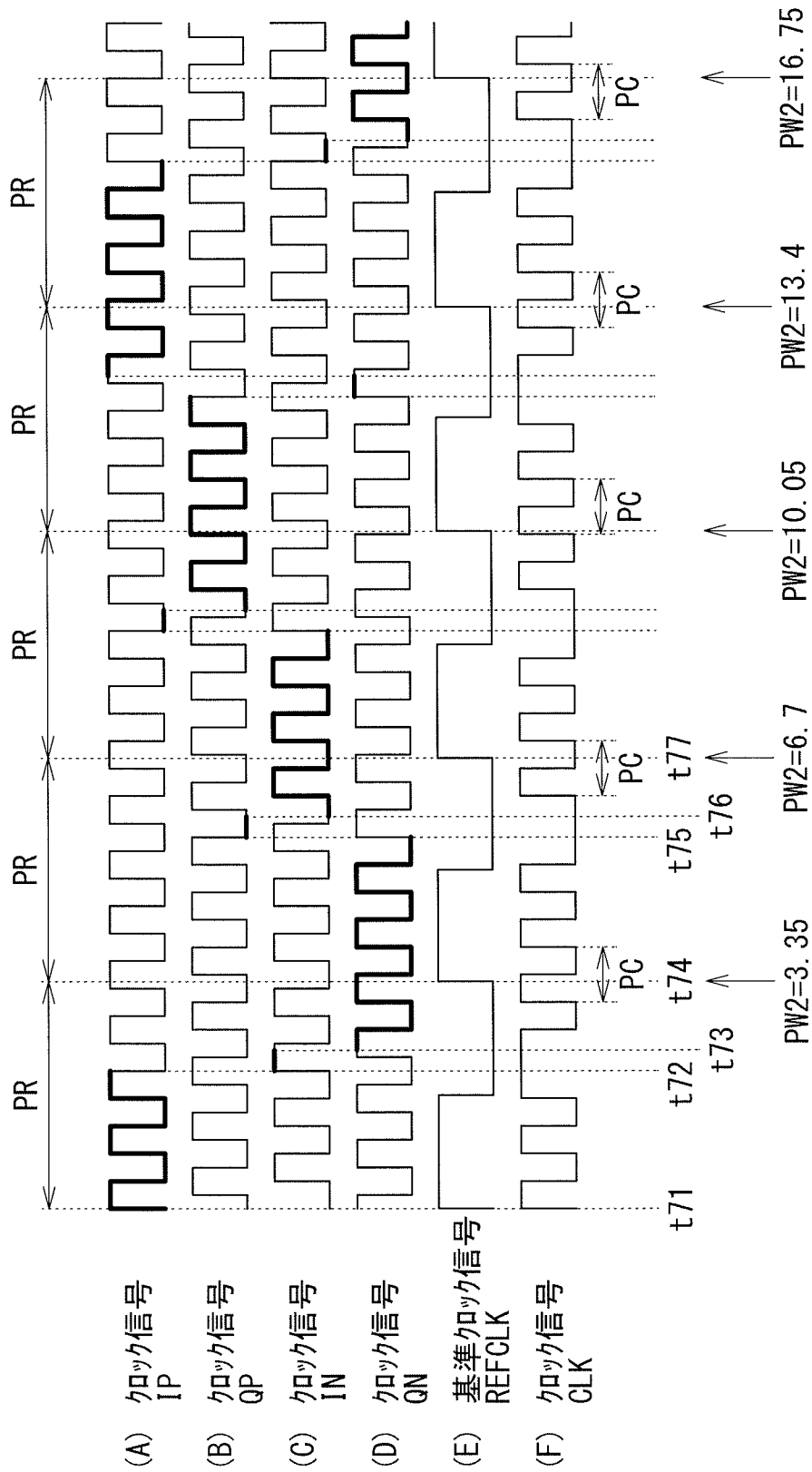
[図9]



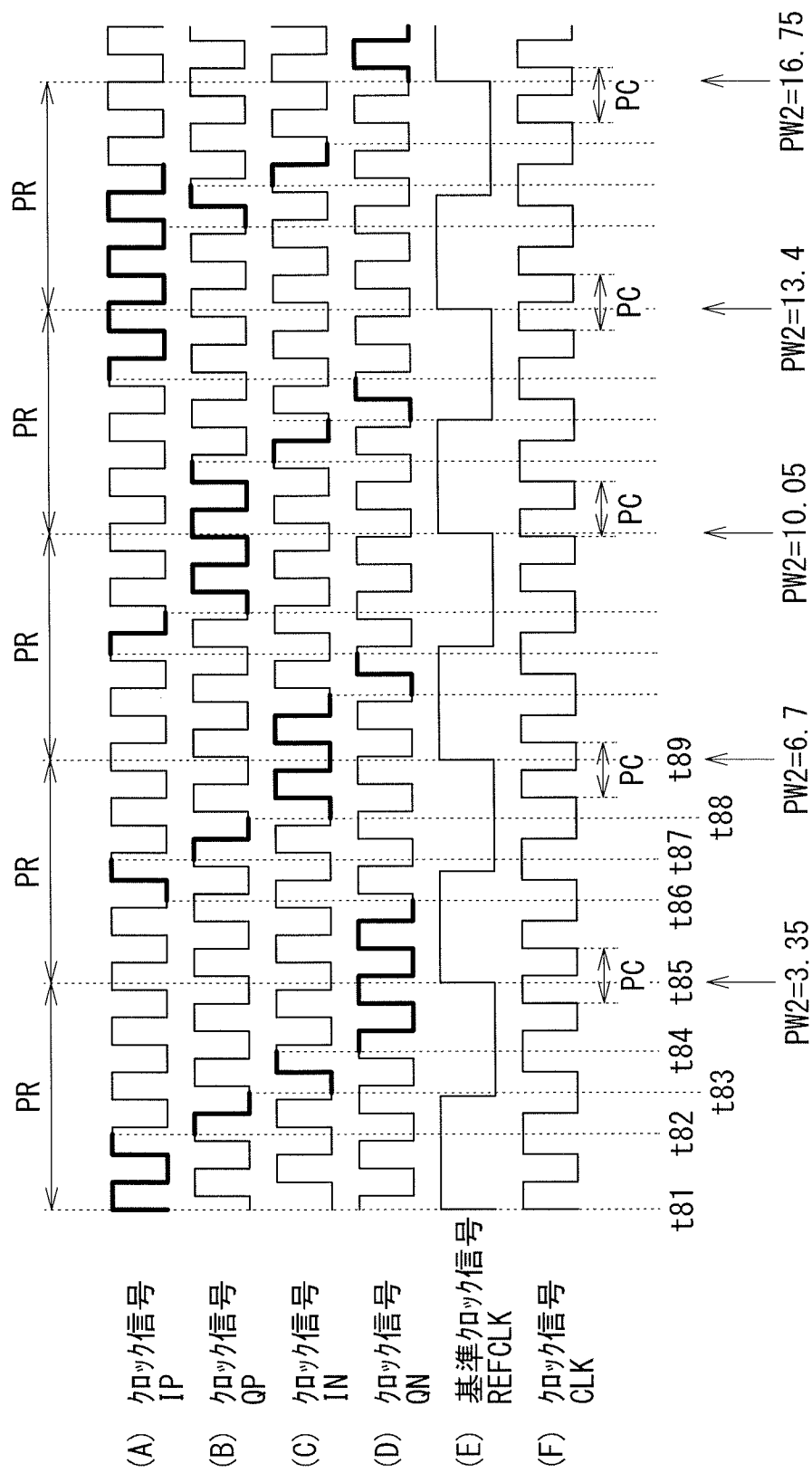
[図10]



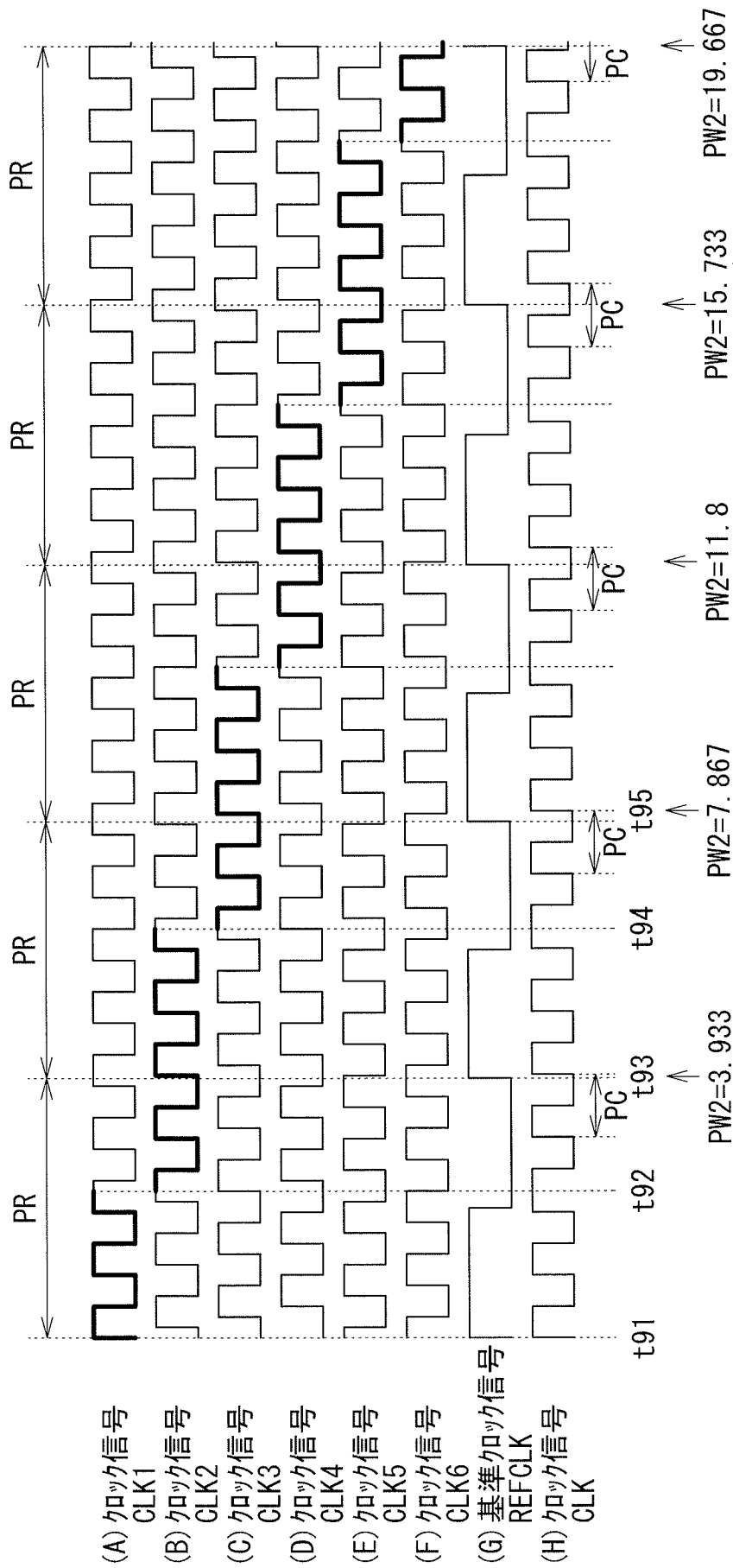
[図11]



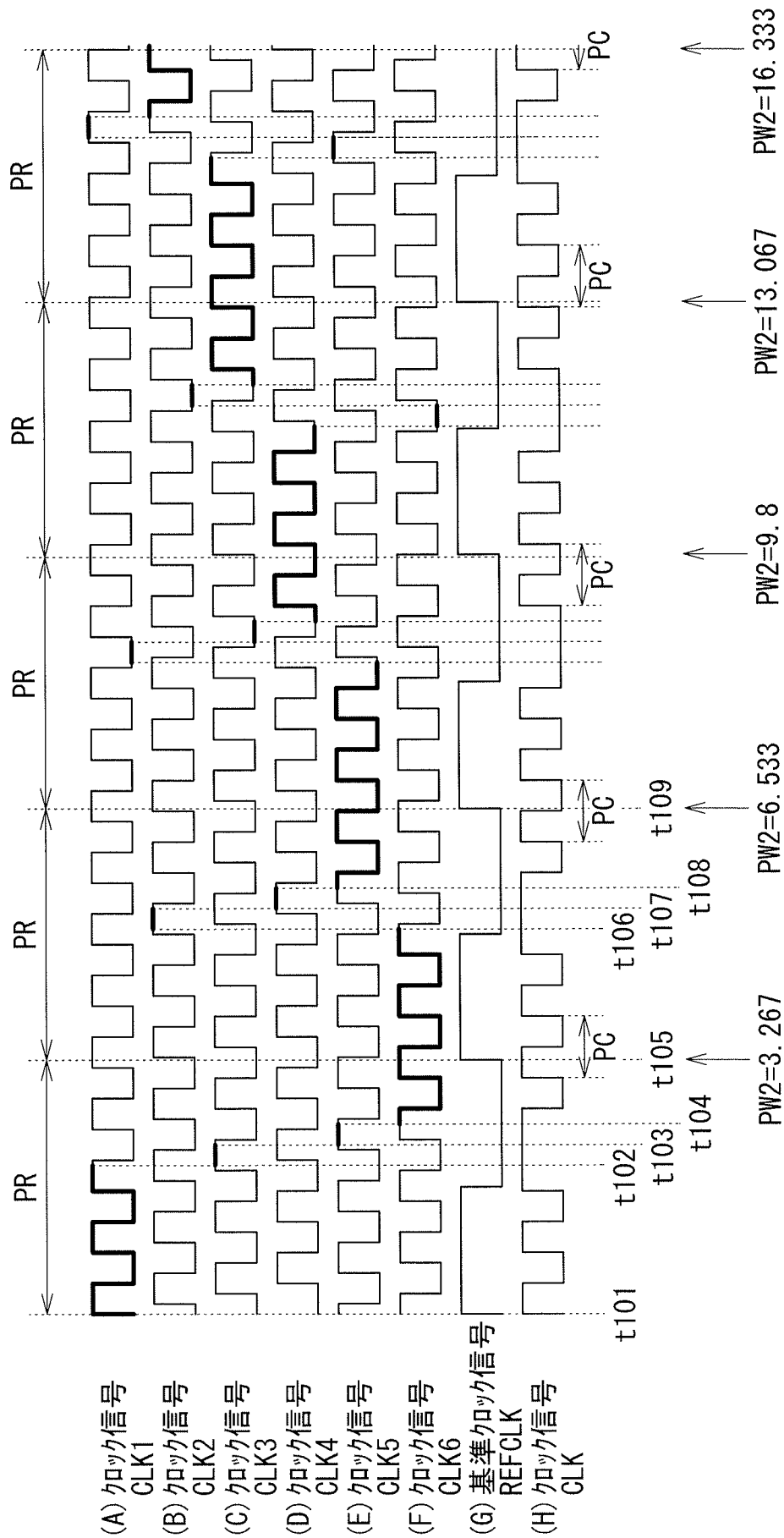
[図12]



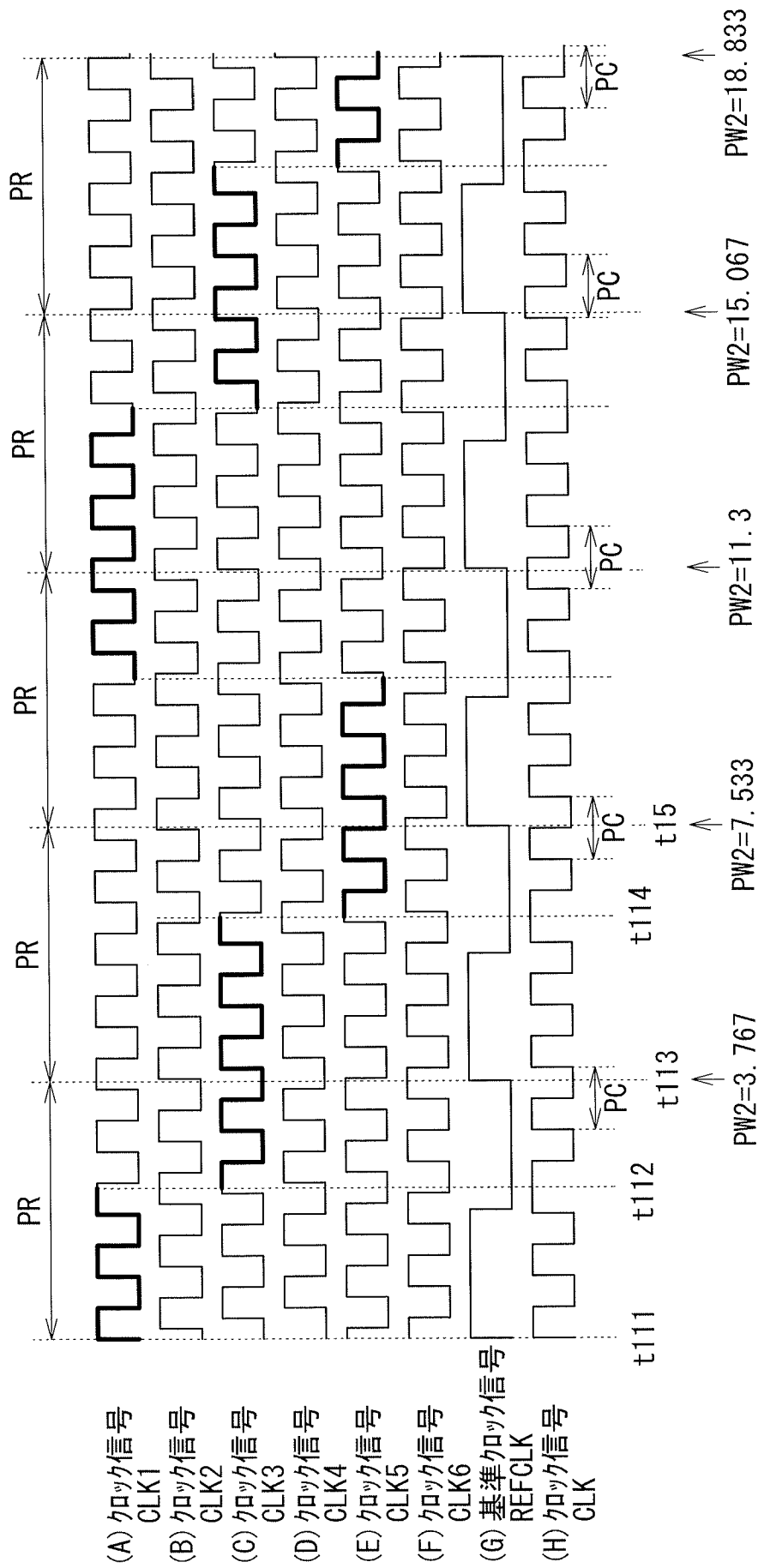
[図13]

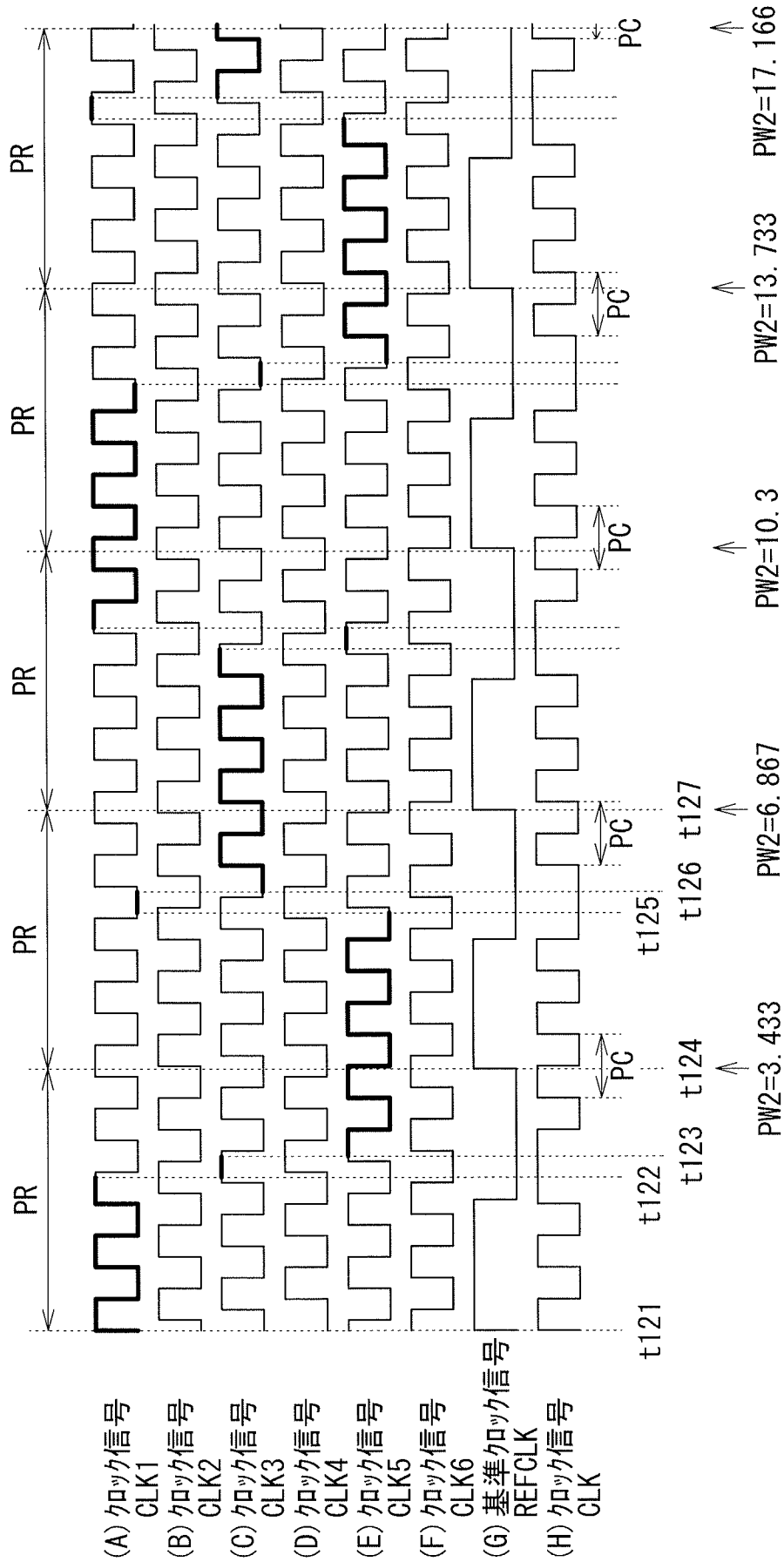


[図14]

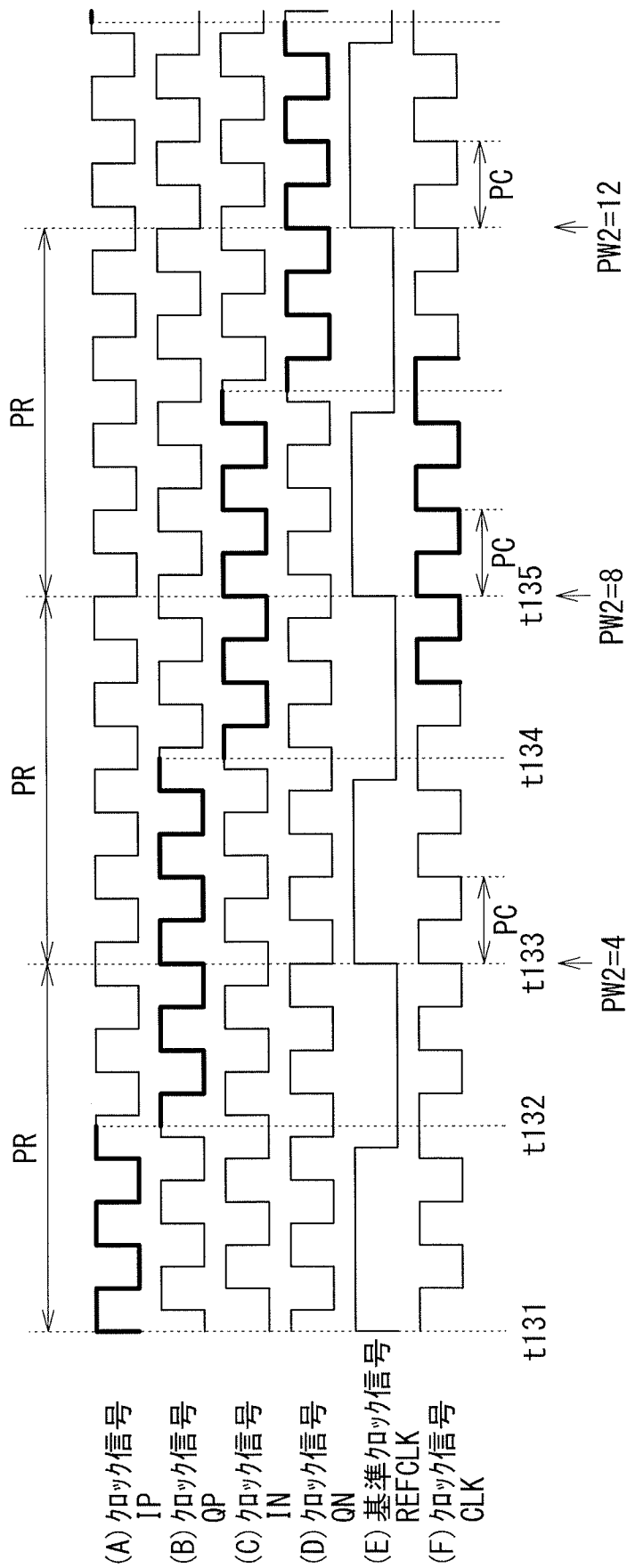


[図15]

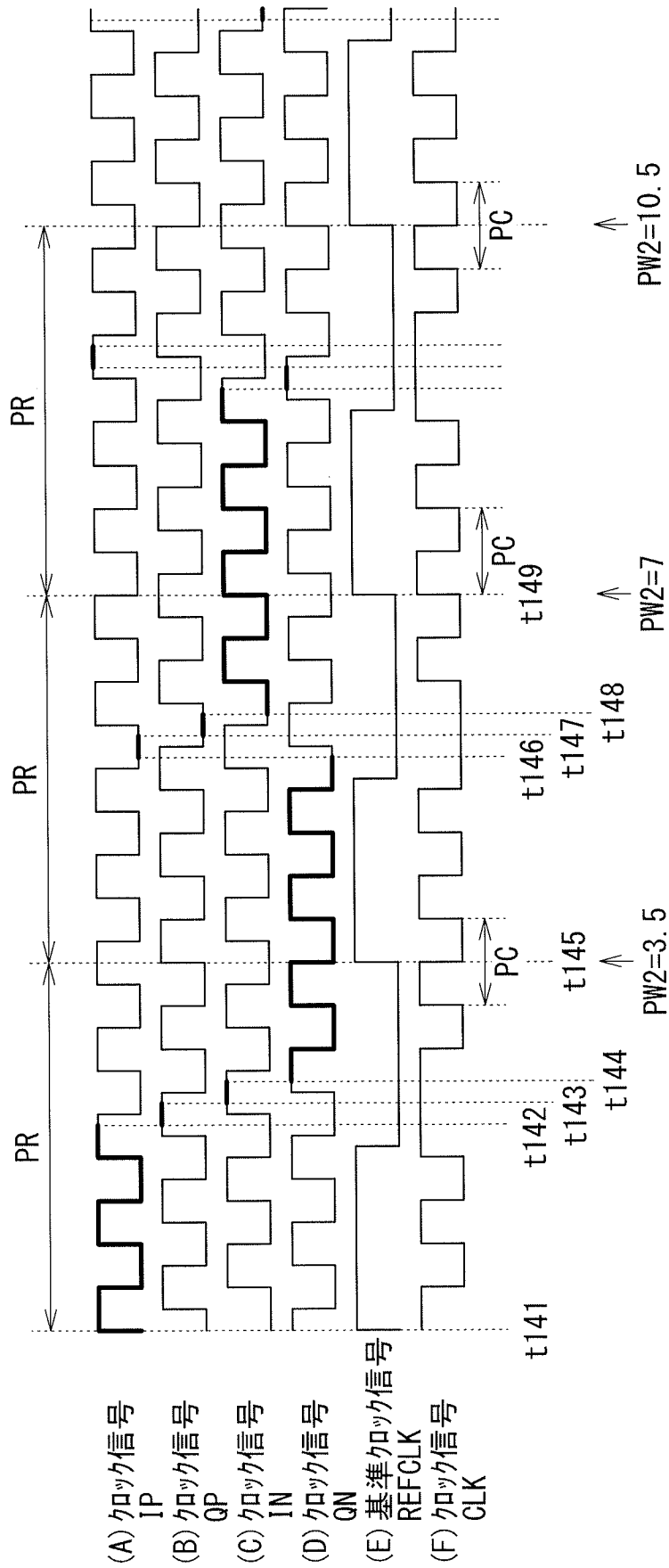




[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/077902

A. CLASSIFICATION OF SUBJECT MATTER

H03L7/16(2006.01)i, H03L7/081(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03L7/16, H03L7/081

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-257269 A (Qualcomm Inc.), 27 December 2012 (27.12.2012), paragraphs [0009] to [0025]; fig. 1, 2 & US 2009/0141845 A1 paragraphs [0021] to [0037]; fig. 1, 2 & WO 2009/073580 A2 & EP 2235831 A & CN 101878594 A & KR 10-2010-0135701 A	1-10
A	JP 2005-328138 A (Ricoh Co., Ltd.), 24 November 2005 (24.11.2005), paragraphs [0008] to [0021]; fig. 1 to 4 (Family: none)	1-10
A	JP 8-274629 A (Seiko Epson Corp.), 18 October 1996 (18.10.1996), paragraphs [0015] to [0022]; fig. 1, 2 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 October 2015 (30.10.15)

Date of mailing of the international search report
10 November 2015 (10.11.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/077902

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-340819 A (Lucent Technologies Inc.), 10 December 1999 (10.12.1999), paragraphs [0002] to [0006]; fig. 1 & US 6081905 A column 1, line 15 to column 2, line 28; fig. 1A to 1D	1-10
A	Staszewski, R.B; Vemulapalli, S.; waheed, K., "An all-digital offset PLL architecture", IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2010, page17-20	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03L7/16(2006.01)i, H03L7/081(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03L7/16, H03L7/081

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-257269 A（クウアルコム・インコーポレイテッド） 2012.12.27, 段落 [0009] - [0025], 図1, 2 & US 2009/0141845 A1 段落 [0021] - [0037], 図1, 2 & WO 2009/073580 A2 & EP 2235831 A & CN 101878594 A & KR 10-2010-0135701 A	1 - 10
A	JP 2005-328138 A（株式会社リコー）2005.11.24, 段落 [0008] - [0021], 図1 - 4（ファミリーなし）	1 - 10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 1 0 . 2 0 1 5

国際調査報告の発送日

1 0 . 1 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

5 W

4 7 7 6

▲高▼橋 義昭

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 8-274629 A (セイコーエプソン株式会社) 1996. 10. 18, 段落 [0 0 1 5] – [0 0 2 2], 図 1 , 2 (ファミリーなし)	1 – 1 0
A	JP 11-340819 A (ルーセント テクノロジーズ インコーポレイテッド) 1999. 12. 10, 段落 [0 0 0 2] – [0 0 0 6], 図 1 & US 6081905 A 第 1 欄第 1 5 行 – 第 2 欄第 2 8 行, 図 1 A – 1 D	1 – 1 0
A	Staszewski, R.B; Vemulapalli, S.; waheed, K., "An all-digital offset PLL architecture", IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2010, page17-20	1 – 1 0