

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2017-108176

(P2017-108176A)

(43) 公開日 平成29年6月15日 (2017.6.15)

(51) Int.Cl.		F I			テーマコード (参考)
H O 1 L 27/146 (2006.01)		H O 1 L 27/14		A	4 M 1 1 8
H O 4 N 5/369 (2011.01)		H O 4 N 5/335		6 9 0	5 C O 2 4
H O 4 N 5/374 (2011.01)		H O 4 N 5/335		7 4 0	

審査請求 未請求 請求項の数 1 O L (全 15 頁)

(21) 出願番号	特願2017-43543 (P2017-43543)	(71) 出願人	000001007
(22) 出願日	平成29年3月8日 (2017.3.8)		キヤノン株式会社
(62) 分割の表示	特願2014-167227 (P2014-167227) の分割	(74) 代理人	100094112
原出願日	平成26年8月20日 (2014.8.20)		弁理士 岡部 譲
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫
		(74) 代理人	100107401
			弁理士 高橋 誠一郎
		(74) 代理人	100106183
			弁理士 吉澤 弘司
		(74) 代理人	100128668
			弁理士 齋藤 正巳

最終頁に続く

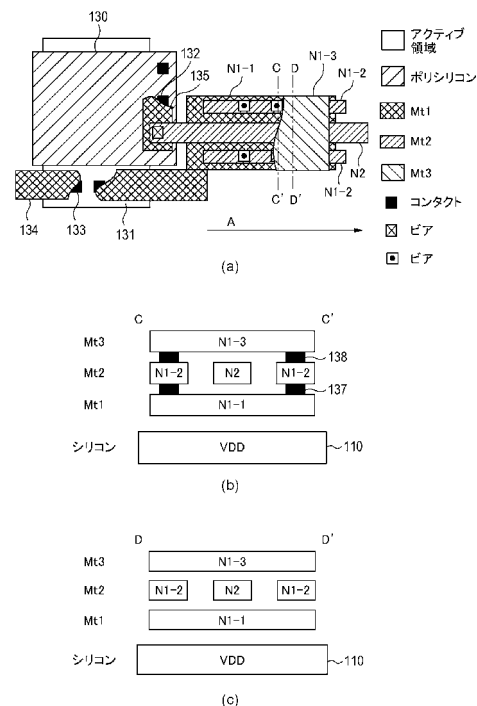
(54) 【発明の名称】 半導体装置、固体撮像装置、および撮像システム

(57) 【要約】

【課題】結合コンデンサが接続された、バッファ回路やアンプ回路の入力部の寄生容量に起因する信号ゲインの低下を低減する。

【解決手段】第1段アンプおよび第2段アンプと、第1電極および第2電極を備える結合コンデンサと、前記第1段アンプの出力端子および前記第1電極を接続する第1金属部材と、前記第2段アンプの入力端子および前記第2電極を接続する第2金属部材とを有し、前記第2電極から前記第2段アンプの入力端子への方に対して垂直な断面において、前記第2金属部材の上下左右のそれぞれの方向のうちの少なくとも2つの方向に前記第1金属部材が配置された半導体装置を提供する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 段アンプおよび第 2 段アンプと、
第 1 電極および第 2 電極を備える結合コンデンサと、
前記第 1 段アンプの出力端子および前記第 1 電極を接続する第 1 金属部材と、
前記第 2 段アンプの入力端子および前記第 2 電極を接続する第 2 金属部材とを有し、
前記第 2 電極から前記第 2 段アンプの入力端子への方向に対して垂直な断面において、
前記第 2 金属部材の上下左右のそれぞれの方向のうちの少なくとも 2 つの方向に前記第 1
金属部材が配置された半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は半導体装置、固体撮像装置、および撮像システムに関し、特に固体撮像装置の
出力回路に関する。

【背景技術】

【0002】

固体撮像装置の画素信号を読み出す技術として、特許文献 1 の図 6 に示されたように、
初段のソースフォロア回路の出力信号が結合コンデンサを介してクランプされて後段のソ
ースフォロア回路の入力に伝達されることが開示されている。

【先行技術文献】

20

【特許文献】

【0003】

【特許文献 1】特開 2005 - 304077 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 の技術は、後段のソースフォロア回路は、入力部の寄生容量が大きいために
、信号ゲインが低下するという課題がある。

【0005】

本発明の目的は、信号ゲインの低下を抑制した半導体装置を提供することにある。

30

【課題を解決するための手段】

【0006】

本発明に係る半導体装置は、第 1 段アンプおよび第 2 段アンプと、第 1 電極および第 2
電極を備える結合コンデンサと、前記第 1 段アンプの出力端子および前記第 1 電極を接続
する第 1 金属部材と、前記第 2 段アンプの入力端子および前記第 2 電極を接続する第 2 金
属部材とを有し、前記第 2 電極から前記第 2 段アンプの入力端子への方向に対して垂直な
断面において、前記第 2 金属部材の上下左右のそれぞれの方向のうちの少なくとも 2 つの
方向に前記第 1 金属部材が配置される。

【発明の効果】

【0007】

40

本発明によれば、信号ゲインの低下を抑制した半導体装置を提供することができる。

【図面の簡単な説明】

【0008】

【図 1】第 1 実施形態に係る固体撮像装置の回路ブロック図

【図 2】第 1 実施形態に係る出力回路の回路図

【図 3】第 1 実施形態に係る出力回路のレイアウト平面図および断面図

【図 4】第 2 実施形態に係る固体撮像装置の回路図

【図 5】第 2 実施形態に係る固体撮像装置のタイミングチャート

【図 6】第 3 実施形態に係る出力回路のレイアウト断面図

【図 7】第 4 実施形態に係る出力回路のレイアウト断面図

50

【図 8】第 5 実施形態に係る出力回路のレイアウト平面図

【図 9】第 6 実施形態に係る出力回路の回路図

【図 10】第 8 実施形態に係る固体撮像装置システムのブロック図

【発明を実施するための形態】

【0009】

(第 1 実施形態)

図 1 は第 1 実施形態に係る半導体装置の一例としての固体撮像装置 100 のブロック図である。固体撮像装置 100 は CMOS エリアセンサであって、画素アレイ 10、垂直走査回路 11、タイミングジェネレータ (TG) 12、定電流回路 13、列信号線 14、増幅回路 15、信号蓄積部 16、水平走査回路 17、水平転送回路 18、出力回路 19、出力パッド 20 を備える。画素アレイ 10 は、行方向及び列方向に沿って 2 次元マトリクス状に配列された複数の画素 (PIX) 101 を備えている。図 1 においては、図面の簡略化のために 4 行 4 列の画素アレイ 10 が示されているが、画素 101 の数は特に限定されるものではない。なお、本明細書において、行方向とは図面において横方向を示し、列方向とは図面において縦方向を示すものとする。一例では、行方向が撮像装置における水平方向に対応し、列方向が撮像装置における垂直方向に対応する。

10

【0010】

画素 101 はフォトダイオード (光電変換部)、フローティングディフュージョン、転送トランジスタ、増幅トランジスタ、リセットトランジスタ、行選択トランジスタを含み得る。転送トランジスタはフォトダイオードに蓄積された電荷をフローティングディフュージョンに転送し、増幅トランジスタはフローティングディフュージョンにおける電位に応じた信号を出力する。リセットトランジスタはフローティングディフュージョンの電位をリセットする。行選択トランジスタは増幅トランジスタからの信号を垂直信号線に出力する。画素出力部は増幅トランジスタである。

20

【0011】

画素アレイ 10 の各行には、行方向に延在して信号線 L (L1 ~ L4) が配置されており、信号線 L1 ~ L4 のそれぞれは図示されていない信号線 TX、信号線 RES、信号線 SEL を含んでいる。信号線 TX は転送トランジスタを駆動し、信号線 RES はリセットトランジスタを駆動し、信号線 SEL は行選択トランジスタを駆動する。これら信号線に H レベルの信号が印加されると、対応するトランジスタが導通状態 (オン状態) となる。また、L レベルの信号が印加されると、対応するトランジスタが非導通状態 (オフ状態) となる。

30

【0012】

画素アレイ 10 の各列には、列信号線 14 がそれぞれ配置されている。列信号線 14 は、列方向に並ぶ画素 101 のそれぞれの行選択トランジスタのソースに接続され、これら画素 101 に共通の信号線をなしている。それぞれの列信号線 14 には、増幅トランジスタの負荷手段としての定電流源 13 と、増幅回路 15 とが接続され、増幅回路 15 の出力端には電荷蓄積部 16 が接続されている。電荷蓄積部 16 はキャパシタ、トランジスタを備え、増幅回路 15 によって増幅された信号を保持する。水平走査回路 17 はシフトレジスタを含み、水平転送回路 18 は複数のトランジスタを含む。水平転送回路はタイミングジェネレータ 12 からの制御信号に基づき、水平転送回路 18 のトランジスタを順次、オン状態にし、水平転送回路 18 は電荷蓄積部 16 の信号を水平信号線 8 に出力する。出力回路 19 は出力回路として機能し、水平信号線 8 から輝度電圧表す信号を出力パッド 20 を介して、チップ外 (半導体装置外部) に出力する。

40

【0013】

図 2 は、出力回路 19 の回路図である。出力回路 19 はソースフォロア MOS トランジスタ (第 1 段アンプ) M1、ソースフォロア MOS トランジスタ (第 2 段アンプ) M2、結合コンデンサ Cm、負荷としての定電流源 If1、If2、スイッチ SC を備える。MOS トランジスタ M1 のゲートには水平信号線 8 が接続され、ドレインには電源電圧 Vd d が接続され、ソースには定電流源 If1 が接続されている。MOS トランジスタ M1 は

50

ソースフォロアとして動作し、ソースの出力インピーダンスは低くなる。M O S トランジスタ M 1 のソース電極には結合コンデンサ C m の第 1 電極がノード N 1 を介して接続され、結合コンデンサ C m の第 2 電極はノード N 2 を介してはスイッチ S C および M O S トランジスタ M 2 のゲート電極に接続されている。ノード N 1 は M O S トランジスタ M 1 のソース電極と結合コンデンサ C m の第 1 電極を接続する第 1 金属部材からなり、ノード N 2 は M O S トランジスタ M 2 のゲート電極と結合コンデンサ C m の第 2 電極を接続する第 2 金属部材からなる。図 2 に示すように、結合コンデンサ C m の 2 つの電極のいずれも、接地電圧などの固定電圧ノードに接続されていない。

【 0 0 1 4 】

スイッチ S C の一端はノード N 2 に接続され、スイッチ S C の他端は基準電圧 V r e f 1 に接続されている。クランプ時において、スイッチ S C がオンとなることにより、結合コンデンサ C m のノード N 2 は基準電圧 V r e f 1 に接続される。すなわち、結合コンデンサ C m のノード N 2 はクランプ時に基準電圧（クランプ電圧）V r e f 1 に接続されるが、クランプ時以外はフローティング状態である。例えば、基準電圧 V r e f 1 は第 2 段の M O S トランジスタ M 2 がソースフォロアとして動作するのに最適な電圧に設定されるのが望ましい。例えば、輝度信号が接地電圧 G N D 若しくは電源電圧 V d d によってクリップされないように、基準電圧 V r e f 1 を設定することができる。このように、所定のクランプ電圧を結合コンデンサのノード N 2 に印加することにより、M O S トランジスタ M 2 の動作点を調整可能である。

【 0 0 1 5 】

第 2 段の M O S トランジスタ M 2 のドレインには電源電圧 V d d が接続され、ソースには定電流源 I f 2 および出力パッド 2 0 が接続されている。第 1 段の M O S トランジスタ M 1 と同様に、第 2 段の M O S トランジスタ M 2 はソースフォロアとして動作し、ソースにおける出力インピーダンスを低く抑えながら、信号を出力パッド 2 0 に出力することができる。

【 0 0 1 6 】

図 3 (a) は、図 2 の出力回路の C で示した領域のレイアウト平面図である。図 3 (a) において、結合コンデンサ C m はポリシリコンからなる第 2 電極 1 3 0 と、アクティブ領域 1 3 1 において第 2 電極 1 3 0 に対向する第 1 電極を備える。また、ポリシリコン 1 3 0 は図 3 では示されていない M O S トランジスタのゲート電極にもなる。コンタクト 1 3 3 は絶縁層を貫通する穴に埋め込まれた金属からなり、半導体中のアクティブ領域 1 3 1 と第 1 の金属配線層 M t 1 から形成された第 1 金属部材 N 1 (1 3 4) を電氣的に接続する。すなわち、第 1 金属部材 N 1 (1 3 4) は第 1 段の M O S トランジスタ M 1 の出力端子および結合コンデンサ C m の第 1 電極に接続されている。また、コンタクト 1 3 2 は絶縁層を貫通する穴に埋め込まれた金属からなり、ポリシリコン 1 3 0 と第 1 の金属配線層 (M t 1) 1 3 5 を電氣的に接続する。第 1 金属部材 N 1 - 1、N 1 - 2、N 1 - 3、第 2 金属部材 N 2 は、結合コンデンサ C m の電極から第 2 段ソースフォロアの M O S トランジスタ M 2 のゲート電極の方向 (矢印 A) に延在している。

【 0 0 1 7 】

図 3 (b) は、図 3 (a) の破線 C - C ' の領域の断面図であり、図 3 (c) は図 3 (a) の破線 D - D ' の領域の断面図である。図 3 (b) において、一例としての半導体基板 1 1 0 は n 型シリコンであり、半導体基板 1 1 0 には電源電圧 V d d が印加される。半導体基板 1 1 0 上には、第 1 の金属配線層 M t 1、第 2 の金属配線層 M t 2、第 3 の金属配線層 M t 3 が、それぞれ絶縁層を挟んで順に形成されている。第 1 の金属配線層 M t 1 にはノード N 1 の一部を構成する第 1 金属部材 N 1 - 1 が形成されている。第 2 の金属配線層 M t 2 にはノード N 1 の一部を構成する第 1 金属部材 N 1 - 2 と、ノード N 2 を構成する第 2 金属部材 N 2 が形成されている。第 1 金属部材 N 1 - 2、第 2 金属部材 N 2 は平面視においてそれぞれ長方形をなし、第 2 金属部材 N 2 は 2 つの第 1 金属部材 N 1 - 2 の間に位置している。また、第 3 の金属配線層 M t 3 にはノード N 1 の一部を構成する第 1 金属部材 N 1 - 3 が形成されている。

【0018】

ビア137は第1の金属配線層Mt1と第2の金属配線層Mt2との間の絶縁層を貫通する金属からなり、第1金属部材N1-1と第1金属部材N1-2とを電氣的に接続する。また、ビア138は第2の金属配線層Mt2と第3の金属配線層Mt3との間の絶縁層を貫通する金属からなり、第2金属部材N-2と第1金属部材N1-3とを電氣的に接続する。本実施形態では、断面視において、第1金属部材N1-1、N1-2、N1-3は第2金属部材N2を囲んでいる。

【0019】

図3(a)において、第1金属部材N1-1、N1-2、N1-3、第2金属部材N2は、結合コンデンサCmの電極から第2段ソースフォロアのMOSトランジスタM2のゲートの方向(矢印A)に延在している。また、図3(b)において、第2金属部材N2は、金属部材N1-1、N1-2、N1-3、ビア134、135によって囲まれている。つまり、ビア137、138のある断面(図3(b))においては、ノードN2の金属部材N2の周囲360°は第1金属部材N1-1、N1-2、N1-3およびビア137、138に包囲されている。ビアが形成されていない断面D-D'(図3(c))においては、ノードN2の第2金属部材N2の上下左右の4方向に第1金属部材N1-1、N1-2、N1-3が配置されている。ここで、「上下」とは図3(b)(c)の第2金属部材N2に対する垂直の2方向をいい、「左右」とは同図の第2金属部材N2に対する水平の2方向をいうものとする。

【0020】

ノードN2と電源電圧Vddとの間、あるいはノードN2と回路の接地部との間の寄生容量をCpとすると、ノードN1からノードN2における信号ゲインは、結合容量Cmと寄生容量Cpとの容量分割により、 $Cm / (Cm + Cp)$ に低下する。従って、寄生容量Cpを小さくすることができれば、信号ゲインの低下を抑制することができる。本実施形態においては、第2金属部材(ノードN2)を第1金属部材(ノードN1)で囲むことにより、第2金属部材と電源電圧Vdd若しくは接地部との間の寄生容量Cpを小さくできる。また、第1金属部材N1と第2金属部材N2との寄生容量が大きくなるので、結合容量Cmの面積を小さくしたとしても、結合容量Cmの等価的な容量を変えないようにできる。

【0021】

本実施形態においては、第2金属部材の上下左右の4方向には第1金属部材が配置されているため、寄生容量Cpを最小限に低減することができる。特に、ビアが形成されている領域においては、第2金属部材は第1金属部材によって完全に包囲されているため、寄生容量Cpの低減効果はより大きくなる。

【0022】

本実施形態により、ノードN2の寄生容量Cpを小さくできるので、信号ゲインの低下を抑制できる。実験結果によれば、本実施形態を適用する前の出力回路の電圧ゲインは0.90であったが、本実施形態を適用することによって信号ゲインが0.95となった。また、寄生容量Cpが小さいので、信号の伝達時間を短く、即ち高速伝送が可能となる。

【0023】

(第2実施形態)

図4は、第2実施形態に係る半導体装置の一例としての固体撮像装置の回路図である。固体撮像装置はCMOSエリアセンサであって、画素アレイ2、周辺回路部5を備えている。図示されていないが、固体撮像装置は制御信号を生成するタイミングジェネレータ、画素アレイ2の各行を走査する垂直走査回路を備える。画素アレイ2は行方向及び列方向に沿って2次元マトリクス状に配列された複数の画素単位3を備える。

【0024】

画素単位3は2画素共有構造を有し、フォトダイオードD1、D2、第1行の転送トランジスタM11、第2行の転送トランジスタM12、リセットトランジスタM21、増幅トランジスタM31、選択トランジスタM41、増幅トランジスタM31の入力ノードN

10

20

30

40

50

Fを含み得る。入力ノードNFは、転送トランジスタM11、M12のドレイン、リセットトランジスタM21のソース、増幅トランジスタM31のゲートに接続されている。

【0025】

2画素共有された画素単位3は、2個のフォトダイオードD1、D2、2個の転送トランジスタM11、M12が、1個のリセットトランジスタM21、増幅トランジスタM31、選択トランジスタM41、入力ノードNFを共有している。図4では、画素アレイ2に2行2列分の画素しか示されていないが、実際には数千行数千列の画素があり得る。画素アレイ2の行数をM、列数をNとすれば、2画素共有された画素単位3は行列状にM/2行N列並ぶことになる。

【0026】

転送トランジスタM11のゲートには制御信号TX1が接続され、制御信号TX1がハイレベルとなると、転送トランジスタM11はフォトダイオードD1の電荷を入力ノードNFに転送する。同様に、転送トランジスタM12のゲートには制御信号TX2が接続され、制御信号TX2がハイレベルとなると、転送トランジスタM11はフォトダイオードD2の電荷を入力ノードNFに転送する。増幅トランジスタM31は入力ノードNFにおける電位に応じた信号を出力する。リセットトランジスタM21のゲートには制御信号RES1が接続され、制御信号RES1がハイレベルとなると、リセットトランジスタM21は入力ノードNFの電荷をリセットする。選択トランジスタM41のゲートには制御信号SEL1が接続され、制御信号SEL1がハイレベルになると、選択トランジスタM41は増幅トランジスタM31からの信号を列信号線6に出力する。

【0027】

列読み出し回路9には、列電流源Ib、ゲインアンプGA、入力コンデンサCi、フィードバックコンデンサCf、リセット電圧用コンデンサCN1、輝度電圧用コンデンサCP1、リセット電圧用コンデンサCN2、輝度電圧用コンデンサCP2、リセット電圧用アンプAN、輝度電圧用アンプAPが含まれる。また、列読み出し回路9には、MOSトランジスタからなるスイッチSG、SN1、SP1、SBN、SSN、SBP、SSP、SN2、SP2、SN31、SP31が含まれ、それぞれのスイッチは図示されていないタイミングジェネレータ、水平走査回路によって駆動される。

【0028】

列電流源Ibは、選択トランジスタM41がオンとなった場合において、増幅トランジスタM31の負荷となる。ゲインアンプGAは差動増幅器から構成され、非反転入力には基準電圧Vrefが印加され、反転入力には入力コンデンサCiを介して列信号線6が接続されている。フィードバック・コンデンサCfにはスイッチSGが並列に接続されており、スイッチSGがオンになると、ゲインアンプGAはボルテージフォロアとして動作する。スイッチSGがオフになると、ゲインアンプGAは(Ci/Cf)のゲインにて動作する。

【0029】

リセット電圧用コンデンサCN1はリセット時の信号を保持するためのコンデンサであり、ここで、リセット時とはフォトダイオードD1の電荷が転送される前の状態をいう。すなわち、リセット時の入力ノードNFに対応した信号が増幅トランジスタM31、ゲインアンプGAを介してリセット電圧用コンデンサCN1に書き込まれる。輝度電圧用コンデンサCP1は輝度電圧を保持するためのコンデンサであり、フォトダイオードD1の電荷が転送された後の入力ノードNFに対応した信号が増幅トランジスタM31、ゲインアンプGAを介して輝度電圧用コンデンサCP1に書き込まれる。

【0030】

リセット電圧用アンプANは差動増幅器から構成されており、非反転入力にはクランプ電圧VCLAMPが印加され、反転入力にはリセット電圧用コンデンサCN1が接続されている。リセット電圧用アンプANの出力はスイッチSN2を介してリセット電圧用コンデンサCN2に接続されている。リセット電圧用コンデンサCN2はさらにスイッチSN31を介してリセット電圧用の水平信号線7に接続され、水平信号線7はリセット電圧用

10

20

30

40

50

の出力回路 B R に接続されている。出力回路 B R は第 1 実施形態における出力回路 1 9 と同様に構成され、2 つのソースフォロア M O S トランジスタ、定電流回路、クランプ用のスイッチを含む。出力回路 B R にはクランプ用のスイッチを駆動するための制御信号 S C が入力されている。出力回路 B R の出力端はチップ外出力のための出力パッド 2 0 N に接続され、出力パッド 2 0 N からリセット電圧をチップ外に出力する。また、輝度電圧用アンプ A P、輝度電圧用コンデンサ C P 2、輝度電圧用の出力回路 B V も同様に構成され、出力パッド 2 0 P から輝度電圧がチップ外に出力される。チップ外において、図示されない相関二重サンプリング回路によって、ノイズ成分が除去された輝度電圧が生成される。

【 0 0 3 1 】

図 5 のタイミングチャートを使って、第 2 実施形態の C M O S エリアセンサの動作を説明する。まず、時刻 t_0 において、S E L 1 がハイレベルとなり n 型 M O S の選択トランジスタ M 4 1 がオンとなり、画素部 1 の 1 行目と 2 行目が選択される。同時に S G がハイレベルでスイッチ S G がオンになり、ゲインアンプ G A がボルテージフォロアとして動作し、基準電圧 V_{ref} を出力する。また、S N 1 と S P 1 がハイレベルになることによって、基準電圧 V_{ref} がゲインアンプ G A を介して、リセット電圧用コンデンサ C N 1 と輝度電圧用コンデンサ C P 1 に書き込まれる。

【 0 0 3 2 】

S B N、S B P がローレベルでスイッチ S B N、S B P がオフ、S S N、S S P がハイレベルでスイッチ S S N、S S P がオンとなる。これにより、リセット電圧用アンプ A N と輝度電圧用アンプ A P がサンプリングモードとなり、リセット電圧用コンデンサ C N 1 と輝度電圧用コンデンサ C P 1 は信号を書き込み可能な状態になる。

【 0 0 3 3 】

時刻 t_1 において、R E S 1 がローレベルになり画素アレイ 2 の n 型 M O S リセットトランジスタ M 2 1 がオフとなり、入力ノード N F は浮遊状態になる。また S N 1 と S P 1 がローレベルでスイッチ S N 1、S P 1 がオフとなり、リセット電圧用コンデンサ C N 1 と輝度電圧用コンデンサ C P 1 への V_{ref} の書き込みが終わる。

【 0 0 3 4 】

時刻 t_2 において、S G がローレベルでスイッチ S G がオフとなり、ゲインアンプ G A のゲインが (C_i / C_f) になる。時刻 t_3 において、S N 1 がハイレベルでスイッチ S N 1 がオンとなり、リセット時の画素アレイ 2 の入力ノード N F に対応した信号が、列電流源 I b を負荷とした増幅トランジスタ M 3 1 を介して、リセット電圧用コンデンサ C N 1 に書き込まれ始める。すなわち、フォトダイオード D 1 の電荷が転送される前の状態の信号がリセット電圧用コンデンサ C N 1 に供給される。時刻 t_4 において、S N 1 がローレベルでスイッチ S N 1 がオフとなり、入力ノード N F のリセット電圧のリセット電圧用コンデンサ C N 1 への書き込みが終わる。

【 0 0 3 5 】

時刻 t_5 において、T X 1 がハイレベルで転送トランジスタ M 1 1 がオンとなり、フォトダイオード D 1 への光照射で蓄積された電子が入力ノード N F に転送される。すると、入力ノード N F の電位がフォトダイオード D 1 の蓄積電子量に応じて下がる。同時に、

S P 1 がハイレベルでスイッチ S P 1 がオンとなり、入力ノード N F において低下した電圧が、増幅トランジスタ M 3 1 を介して、輝度電圧用コンデンサ C P 1 に書き込まれ始める。時刻 t_6 において、T X 1 がローレベルとなり転送トランジスタ M 1 がオフになり、フォトダイオード D 1 への光照射で蓄積された電子の入力ノード N F への転送が終了する。

【 0 0 3 6 】

時刻 t_7 において、S P 1 がローレベルでスイッチ S P 1 がオフとなり、輝度電圧用コンデンサ C P 1 への輝度電圧の書き込みが終了する。時刻 t_8 において、S B N、S B P がハイレベルでスイッチ S B N、S B P がオンになり、S S N、S S P がローレベルでスイッチ S S N、S S P がオフとなる。すると、リセット電圧用アンプ A N がリ

10

20

30

40

50

セット電圧用コンデンサC N 1の信号読み出しモードになり、輝度電圧用アンプA Pが輝度電圧用コンデンサC P 1の信号読み出しモードになる。

【0037】

時刻t 9において、S N 2がハイレベルでスイッチS N 2がオンになり、リセット電圧用コンデンサC N 1に書き込まれたリセット電圧がリセット電圧用アンプA Nにより第2リセット電圧用コンデンサC N 2に書き込まれ始める。またS P 2がハイレベルでスイッチS P 2がオンになり、輝度電圧用コンデンサC P 1に書き込まれたフォトダイオードD 1の輝度電圧が輝度電圧用アンプA Pにより第2輝度電圧用コンデンサC P 2に書き込まれ始める。また、このときS Cもハイレベルとなり、出力回路B R、B VのスイッチS Cがオン状態となり、金属配線N 2が基準電圧V r e f 1になる。基準電圧V r e f 1は、第2段ソースフォロアのM O SトランジスタM 2がソースフォロア動作するために最適なゲート電圧である。

10

【0038】

時刻t 10において、S N 2とS P 2がローレベルになり、第2リセット電圧用コンデンサC N 2と第2輝度電圧用コンデンサC P 2へのリセット電圧と輝度電圧の書き込みが終了する。またS CもローレベルとなりスイッチS Cがオフ状態になり、第2金属部材N 2が浮遊状態になる。

【0039】

時刻t 11において、R E S 1がハイレベルで、画素アレイ2のn M O SリセットトランジスタM 2 1がオンになり、入力ノードN Fは電源電圧V D D近傍の電圧にリセットされる。同時にS B PがローレベルでスイッチS B Pがオフ、S S PがハイレベルでスイッチS S Pがオンになり、輝度電圧用アンプA Pがサンプリングモードとなり、輝度電圧用コンデンサC P 1に信号が書き込める状態になる。

20

【0040】

また、時刻t 11において、S N 3 1とS P 3 1がハイレベルでスイッチS N 3 1とS P 3 1がオンになる。すると、第2リセット電圧用コンデンサC N 2と第2輝度電圧用コンデンサC P 2に蓄積された1行1列目のリセット電圧と輝度電圧が、それぞれリセット電圧用水平信号線7と輝度電圧用水平信号線8に読み出される。ここで、第2輝度電圧用コンデンサC P 2の容量値をC 1、リセット電圧用水平信号線7と輝度電圧用水平信号線8の有する容量値をC 2とした場合に、 $C 1 / (C 1 + C 2)$ で表されるような電圧

30

ゲインで読みだされる。

【0041】

出力回路B R、B Vは、1行1列目のリセット電圧と輝度電圧を、それぞれリセット電圧用の水平信号線7と輝度電圧用の水平信号線8を介して、チップ外に出力する。チップ外では、輝度電圧 - リセット電圧の信号を生成し、相関2重サンプリングした輝度電圧が得られる。

【0042】

ここで、時刻t 0からt 11の時間は、1行分の輝度電圧とリセット電圧を読み出す1水平走査時間である。

【0043】

時刻t 12において、S N 3 2とS P 3 2がハイレベルでスイッチS N 3 2、S P 3 2がオンになる。第2リセット電圧用コンデンサC n 2と第2輝度電圧用コンデンサC P 2に蓄積された1行2列目のリセット電圧と輝度電圧が、それぞれリセット電圧用水平信号線7と輝度電圧用水平信号線8に読み出される。そして、出力回路B R、B Vは、1行2列目のリセット電圧と輝度電圧を、それぞれリセット電圧用の水平信号線7と輝度電圧用の水平信号線8を介し、チップ外に出力する。

40

【0044】

時刻t 13において、1行目の最終列までの輝度電圧とリセット電圧のチップ出力が終わる。つまり、時刻t 11からt 13までの時間が、画素アレイ2の1行目の輝度電圧とリセット電圧の出力期間になる。

50

【 0 0 4 5 】

C M O S エリアセンサの出力回路 B R、B V は、周辺回路部 5 の列読み出し回路 9 に属さないため、出力パッド 2 0 N、2 0 P の近くの狭い領域に配置されることが多い。このため、第 2 段ソースフォロアの M O S トランジスタ M 2 は、ゲート電極を分割し、駆動力を増すようにレイアウトされる。すると、図 3 (a) の平面図のように第 2 金属部材 N 2 が長くなり、第 2 金属部材 N 2 と固定電圧ノードとの寄生容量 C p が大きくなる。図 3 (b) (c) のように、第 2 金属部材 N 2 を第 1 金属部材 N 1 で囲むことにより、寄生容量 C p を小さくすることができ、本発明による効果は特に固体撮像装置の出力回路において顕著である。

【 0 0 4 6 】

上述したように、本実施形態によれば、第 2 金属部材 N 2 を第 1 金属部材 N 1 で囲むことにより、第 2 金属部材 N 2 の固定電圧ノードへの寄生容量 C p が小さくなる。このため、第 1 金属部材 N 1 から第 2 金属部材 N 2 への信号ゲインの低下を抑制し、信号の高速伝送が可能となる。

【 0 0 4 7 】

(第 3 実施形態)

図 6 は、第 3 実施形態の出力回路のレイアウト断面図であり、図 3 の破線 C - C ' の領域の断面図に相当する。半導体基板 1 1 0 上には、第 1 の金属配線層 M t 1、第 2 の金属配線層 M t 2、第 3 の金属配線層 M t 3 が、それぞれ絶縁層を挟んで順に形成されている。第 1 の金属配線層 M t 1 には G N D 1 6 3 が形成され、第 2 の金属配線層 M t 2 にはノード N 1 の一部を構成する第 1 金属部材 N 1 - 2 が形成されている。第 3 の金属配線層 M t 3 にはノード N 1 の一部を構成する 2 つの第 1 金属部材 N 1 - 3 と、ノード N 2 を構成する第 2 金属部材 N 2 が形成されている。第 1 金属部材 N 1 - 2 と第 1 金属部材 N 1 - 3 とはビア 1 6 1、1 6 2 によって接続されている。これらの第 1 金属部材 N 1 - 2、N 1 - 3、第 2 金属部材 N 2 は平面視において、結合コンデンサ C m の電極から第 2 段ソースフォロア回路 M 2 の入力への方向に延在している。図 6 の断面視において、第 2 金属部材 N 2 の下方には第 1 金属部材 N 1 - 2 が位置し、両側には 2 つの第 1 金属部材 N 1 - 3 が位置している。すなわち、第 2 金属部材 N 2 は下方と左右の 3 方向から第 1 金属部材 N 1 に囲まれている。

【 0 0 4 8 】

他の構成は、第 1 実施形態、第 2 実施形態の構成と同様である。すなわち、本実施形態に係る出力回路は固体撮像装置における出力回路、特にチップ外に信号を出力する回路に適用可能である。第 3 実施形態においても、第 1、第 2 実施形態と同様に、第 2 金属部材 N 2 の電源電圧や接地部への寄生容量 C p が小さくなり、第 1 金属部材 N 1 から第 2 金属部材 N 2 へのゲインの低下を抑制し、信号の高速伝送が可能となる。

【 0 0 4 9 】

(第 4 実施形態)

図 7 は、第 4 実施形態の出力回路の断面図であり、図 3 の破線 C - C ' の領域の断面図に相当する。本実施形態においては、第 1 の金属配線層 M t 1 からなる G N D 1 7 1、第 2 の金属配線層 M t 2 からなる G N D 1 7 2 および第 1 金属部材 N 1 - 2 と、第 3 の金属配線層 M t 3 からなる G N D 1 7 3、第 1 金属部材 N 1 - 3、第 2 金属部材 N 2 とが形成されている。G N D 1 7 1、1 7 2、1 7 3 はビア 1 7 4、1 7 5 によって接続され、第 1 金属部材 N 1 - 2、N 1 - 3 はビア 1 7 6 によって接続されている。

【 0 0 5 0 】

結合コンデンサ C m の電極から第 2 段ソースフォロア C M O S トランジスタ M 2 の入力の方向に垂直な断面において、第 2 金属部材 N 2 の下方と右側方の 2 方向に第 1 金属部材 N 1 が配置されている。第 4 実施形態においても、第 1 ~ 第 3 実施形態と同様に、第 2 金属部材 N 2 の固定電圧ノードへの寄生容量 C p が小さくなり、第 1 金属部材 N 1 から第 2 金属部材 N 2 へのゲインの低下を抑制し、信号の高速伝送が可能となる。

【 0 0 5 1 】

(第5実施形態)

第5実施形態においては、結合コンデンサ C_m がMIM(Metal Insulator Metal)コンデンサで構成されている。図8は第5実施形態の出力回路の平面レイアウト図である。結合コンデンサ C_m は、第1電極としてのMIM下部電極181、第2電極としてのMIM上部電極182を備える。MIM下部電極は第3の金属配線層 M_t3 (183)を介して第1段ソースフォロアMOSトランジスタ M_1 のソース出力に接続され、MIM上部電極182は第2段ソースフォロアMOSトランジスタ M_2 のゲート入力に接続される。図中、破線 $C-C'$ の領域の断面図、破線 $D-D'$ の部分の断面図は、それぞれ図3(b)、(c)で示される。第5実施形態で示すように、本発明の結合コンデンサ C_m はMIMコンデンサにも適用することができる。

10

【0052】

第5実施形態においても、第1～第4実施形態と同様に、第2金属部材 N_2 の固定電圧ノードへの寄生容量 C_p が小さくなり、第1金属部材 N_1 から第2金属部材 N_2 へのゲインの低下を抑制し、信号の高速伝送が可能となる。

【0053】

(第6実施形態)

図9は第6実施形態に係る出力回路の回路図である。第5実施形態に係る出力回路は3段のソースフォロア回路を備えて構成されている。図9において、図2の出力回路19と同一の構成は同一符号で表されている。出力回路は第1～3段ソースフォロアのMOSトランジスタ $M_1 \sim M_3$ 、結合コンデンサ C_m 、 C_{m2} 、定電流源 $I_{f1} \sim I_{f3}$ 、スイッチ SC 、 $SC1$ を備える。ノード N_3 は第2段ソースフォロアMOSトランジスタ M_2 の出力端子と結合コンデンサ C_{m2} の第1電極を接続する第3金属部材からなる。ノード N_4 は第3段ソースフォロアMOSトランジスタ M_3 の入力端子と結合コンデンサ C_{m2} の電極を接続する第4金属部材からなる。スイッチ $SC2$ は基準電圧 V_{ref1} とノード N_4 を接続する。定電流源 I_{f3} は第3段ソースフォロアMOSトランジスタ M_3 の負荷定電流源である。

20

【0054】

図9の回路図の破線 C 付近の断面図は第1実施形態で説明した図2(a)と同じである。また、点線 C' 付近の断面図は、第1金属部材 N_1 が第3金属部材 N_3 、第2金属部材 N_2 が第4金属部材 N_4 にて表される点を除き、第1実施形態で説明した図3(b)、(c)の断面図と同じである。

30

【0055】

第6実施形態で示すように、本発明は2段アンプのみでなく3段以上のアンプにも適用することができる。第6実施形態では、第1実施形態と同様に、第2金属部材 N_2 の固定電圧ノードへの寄生容量 C_p が小さくなり、第1金属部材 N_1 から第2金属部材 N_2 へのゲインの低下を抑制し、信号の高速伝送が可能となる。

【0056】

(第7実施形態)

第7実施形態は、本発明を入力部に結合コンデンサを使ったゲインアンプに適用する例である。その一例として図4のゲインアンプ GA への適応例を説明する。第2実施形態の出力回路図とそのレイアウトの符号を利用して説明する。

40

【0057】

第1段アンプは画素アレイ2の増幅トランジスタ M_{41} に相当し、第2段アンプは周辺回路部5のゲインアンプ GA 、結合コンデンサは入力コンデンサ C_i にそれぞれ相当する。ノード N_1 は列信号線に接続された第1金属部材、ノード N_2 はゲインアンプ GA の入力に接続された第2金属部材に相当する。つまり、第1金属部材 N_1 は、第1段アンプ M_{41} の出力端子と結合コンデンサ C_i の一方の電極を接続し、第2金属部材 N_2 は、結合コンデンサ C_i の他方の電極と第2段アンプ GA の入力端子を接続する。

【0058】

本実施形態でも、第1～第6実施形態と同様に、第2金属部材 N_2 は第1金属部材 N_1

50

によって囲まれている。このため、第 2 金属部材 N 2 の固定電圧ノードへの寄生容量 C_p が小さくなり、第 1 金属部材 N 1 から第 2 金属部材 N 2 へのゲインの低下を抑制し、信号の高速伝送が可能となる。

【0059】

(第 8 実施形態)

図 10 は、本発明の第 8 実施形態による撮像システムの構成例を示す図である。撮像システム 800 は、例えば、光学部 810、固体撮像装置 100、映像信号処理部 830、記録・通信部 840、タイミング制御部 850、システム制御部 860、及び再生・表示部 870 を含む。撮像システム 820 は、撮像装置 100 及び映像信号処理部 830 を有する。撮像装置 100 は、先の実施形態で説明した固体撮像装置が用いられる。撮像システムはデジタルカメラ、ビデオカメラ、スマートフォンの他、撮影機能を有する様々な装置を含み得る。

10

【0060】

レンズ等の光学系である光学部 810 は、被写体からの光を固体撮像装置 100 の、複数の画素が 2 次元状に配列された画素部 10 に結像させ、被写体の像を形成する。固体撮像装置 100 は、タイミング制御部 850 からの信号に基づくタイミングで、画素部に結像された光に応じた信号を出力する。固体撮像装置 100 から出力された信号は、映像信号処理部である映像信号処理部 830 に入力され、映像信号処理部 830 が、プログラム等によって定められた方法に従って信号処理を行う。映像信号処理部 830 での処理によって得られた信号は画像データとして記録・通信部 840 に送られる。記録・通信部 840 は、画像を形成するための信号を再生・表示部 870 に送り、再生・表示部 870 に動画や静止画像を再生・表示させる。記録・通信部 840 は、また、映像信号処理部 830 からの信号を受けて、システム制御部 860 と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

20

【0061】

システム制御部 860 は、撮像システムの動作を統括的に制御するものであり、光学部 810、タイミング制御部 850、記録・通信部 840、及び再生・表示部 870 の駆動を制御する。また、システム制御部 860 は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラム等が記録される。また、システム制御部 860 は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内に供給する。具体的な例としては、読み出す行やリセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等である。タイミング制御部 850 は、システム制御部 860 による制御に基づいて固体撮像装置 100 及び映像信号処理部 830 の駆動タイミングを制御する。

30

【0062】

本実施形態においても、固体撮像装置 100 の出力回路は寄生容量 C_p が小さくなるように構成されているため、信号ゲインの低下を抑えながら高速で信号を映像信号処理部 830 に出力することができる。

【0063】

(他の実施形態)

本発明は、固体撮像装置、撮像システムに限定されることなく、第 1 段アンプの出力と第 2 段アンプの入力とが結合コンデンサによって接続された半導体装置に広く適用可能である。また、第 1 段アンプ、第 2 段アンプのソースフォロア MOS トランジスタは n 型、p 型を問わず、また、差動増幅器を用いたボルテージフォロアであっても良い。さらに、第 1 段アンプ、第 2 段アンプは電流増幅器に限定されず、電圧増幅器であっても良い。

40

【0064】

また、第 2 金属部材の上下左右のうちの 1 方向に第 1 金属部材を配置した場合においても、寄生容量 C_p を低減する効果が得られる。例えば、図 6 において、第 3 の金属配線層 M t 3 における 2 つの第 1 金属部材 N 1 - 3 を GND 層に置き換え、ビア 161、162 を削除し、第 2 金属部材の下方にのみ第 1 金属配線層 N 1 - 2 を形成しても良い。

50

【符号の説明】

【 0 0 6 5 】

2、10 画素アレイ

5 周辺回路部

19 出力回路

20 出力パッド

C m 結合コンデンサ

M 1 第1段ソースフォロアMOSトランジスタ

M 2 第2段ソースフォロアMOSトランジスタ

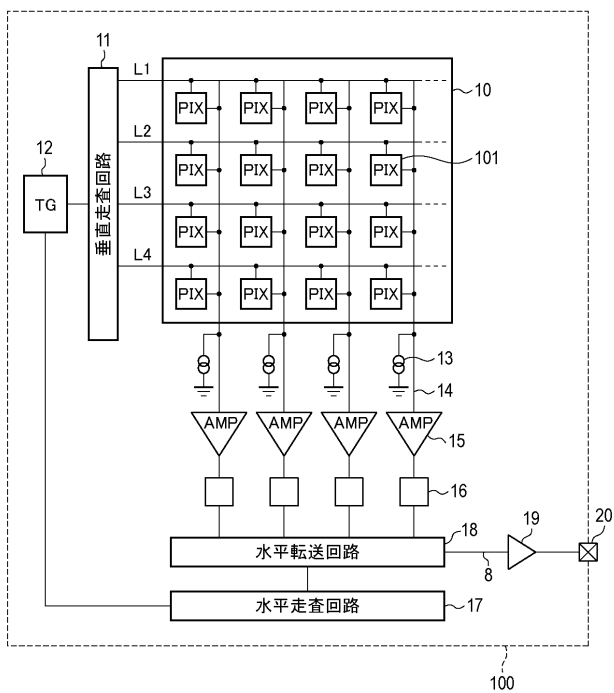
B R リセット電圧用出力回路

B V 輝度電圧用出力回路

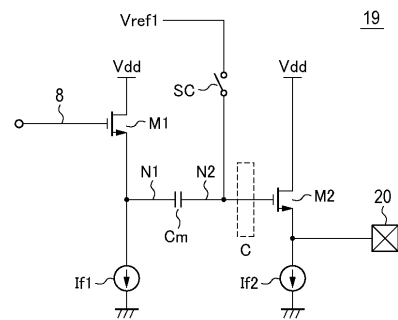
G A ゲインアンプ

10

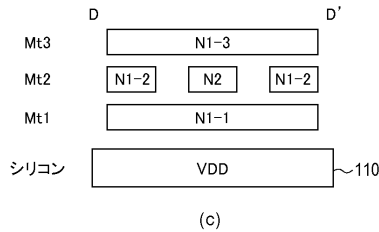
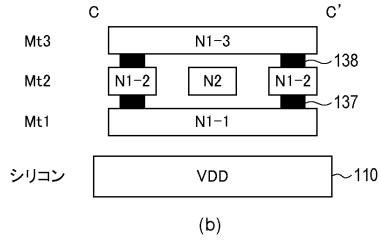
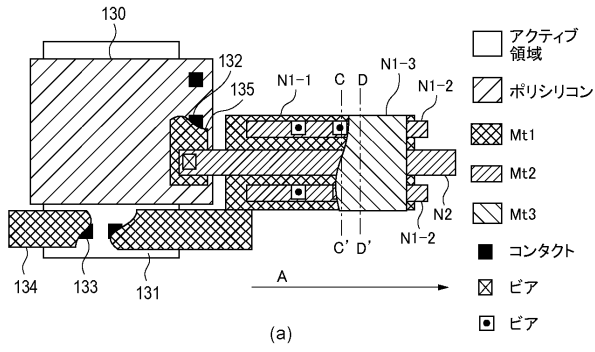
【図1】



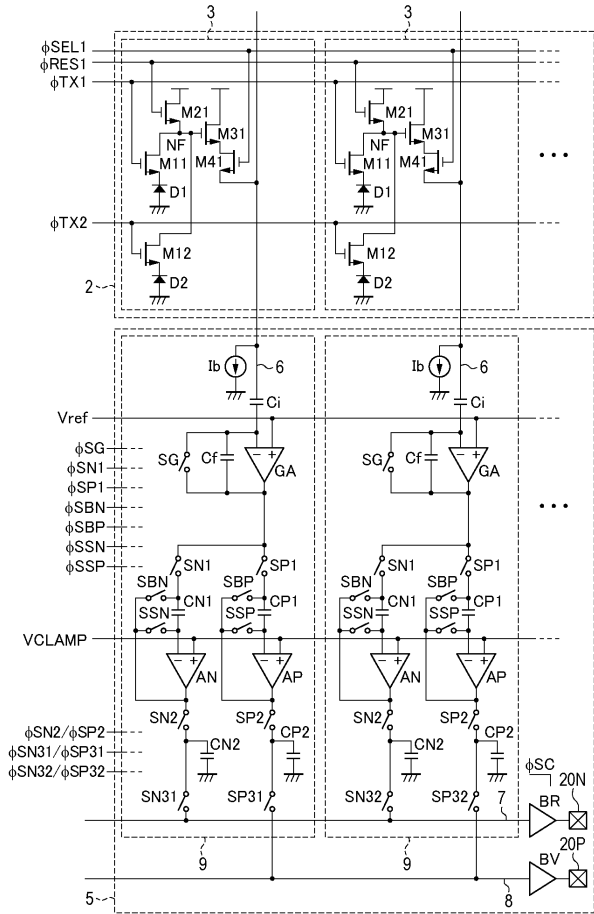
【図2】



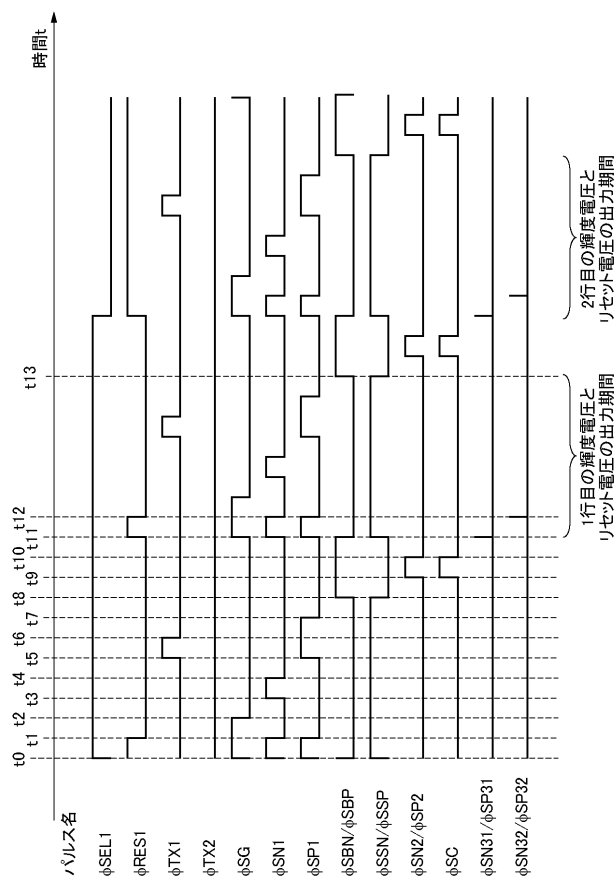
【図 3】



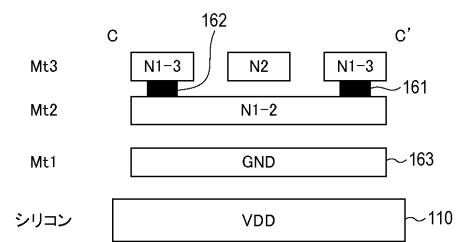
【図 4】



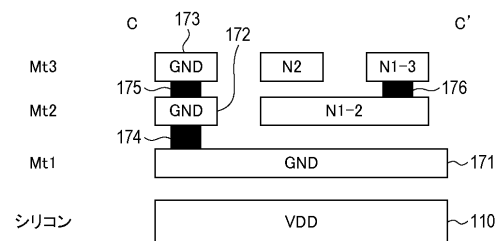
【図 5】



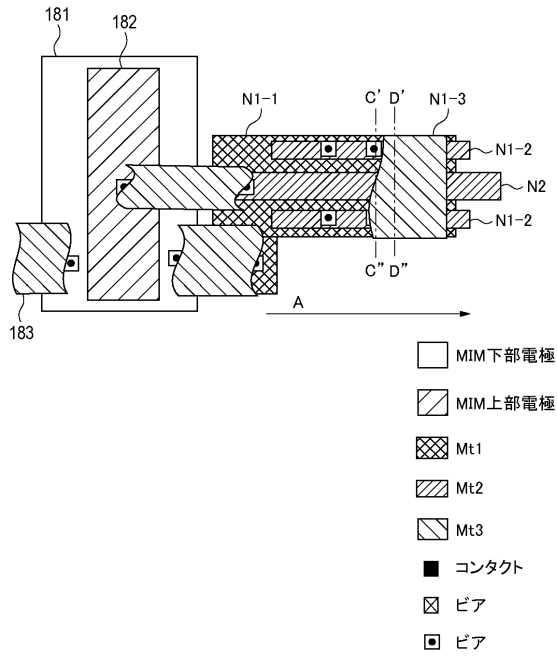
【図 6】



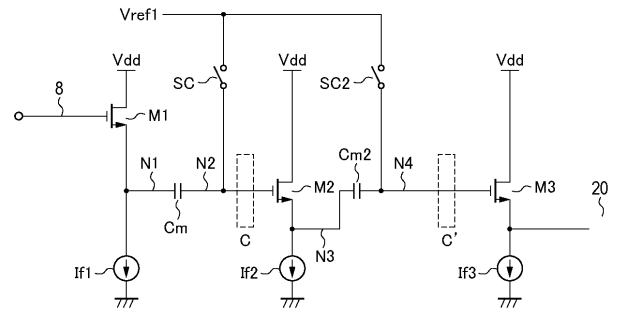
【図 7】



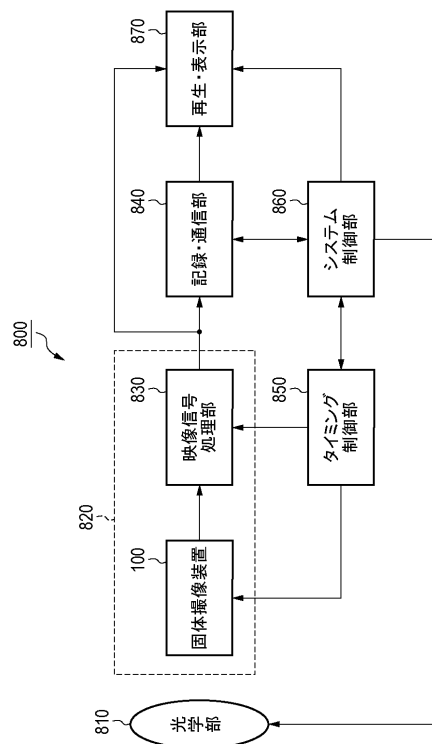
【図 8】



【図 9】



【図 10】



フロントページの続き

(74)代理人 100134393

弁理士 木村 克彦

(74)代理人 100174230

弁理士 田中 尚文

(74)代理人 100114915

弁理士 三村 治彦

(72)発明者 岩根 正晃

東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社内

(72)発明者 沖田 彰

東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社内

F ターム(参考) 4M118 AA10 AB01 BA14 CA02 CA24 DD04 DD09 FA06

5C024 CX41 GY39 HX35