

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-108176

(P2017-108176A)

(43) 公開日 平成29年6月15日(2017.6.15)

(51) Int.Cl.

H01L 27/146 (2006.01)

H04N 5/369 (2011.01)

H04N 5/374 (2011.01)

F 1

H01L 27/14

H04N 5/335

H04N 5/335

A

テーマコード(参考)

4M118

5C024

審査請求 未請求 請求項の数 1 O L (全 15 頁)

(21) 出願番号 特願2017-43543 (P2017-43543)
 (22) 出願日 平成29年3月8日 (2017.3.8)
 (62) 分割の表示 特願2014-167227 (P2014-167227)
 の分割
 原出願日 平成26年8月20日 (2014.8.20)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 白井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫
 (74) 代理人 100107401
 弁理士 高橋 誠一郎
 (74) 代理人 100106183
 弁理士 吉澤 弘司
 (74) 代理人 100128668
 弁理士 斎藤 正巳

最終頁に続く

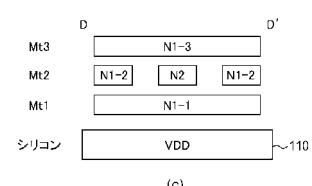
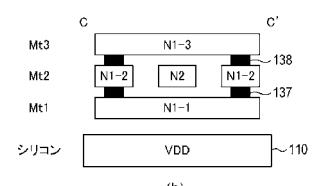
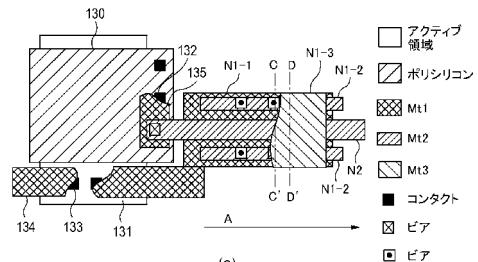
(54) 【発明の名称】半導体装置、固体撮像装置、および撮像システム

(57) 【要約】

【課題】結合コンデンサが接続された、バッファ回路やアンプ回路の入力部の寄生容量に起因する信号ゲインの低下を低減する。

【解決手段】第1段アンプおよび第2段アンプと、第1電極および第2電極を備える結合コンデンサと、前記第1段アンプの出力端子および前記第1電極を接続する第1金属部材と、前記第2段アンプの入力端子および前記第2電極を接続する第2金属部材とを有し、前記第2電極から前記第2段アンプの入力端子への方向に対して垂直な断面において、前記第2金属部材の上下左右のそれぞれの方向のうちの少なくとも2つの方向に前記第1金属部材が配置された半導体装置を提供する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

第1段アンプおよび第2段アンプと、
 第1電極および第2電極を備える結合コンデンサと、
 前記第1段アンプの出力端子および前記第1電極を接続する第1金属部材と、
 前記第2段アンプの入力端子および前記第2電極を接続する第2金属部材とを有し、
 前記第2電極から前記第2段アンプの入力端子への方向に対して垂直な断面において、
 前記第2金属部材の上下左右のそれぞれの方向のうちの少なくとも2つの方向に前記第1
 金属部材が配置された半導体装置。

【発明の詳細な説明】

10

【技術分野】**【0001】**

本発明は半導体装置、固体撮像装置、および撮像システムに関し、特に固体撮像装置の
 出力回路に関するもの。

【背景技術】**【0002】**

固体撮像装置の画素信号を読み出す技術として、特許文献1の図6に示されたように、
 初段のソースフォロア回路の出力信号が結合コンデンサを介してクランプされて後段のソ
 ースフォロア回路の入力に伝達されることが開示されている。

【先行技術文献】

20

【特許文献】**【0003】****【特許文献1】特開2005-304077号公報****【発明の概要】****【発明が解決しようとする課題】****【0004】**

特許文献1の技術は、後段のソースフォロア回路は、入力部の寄生容量が大きいために
 、信号ゲインが低下するという課題がある。

【0005】

本発明の目的は、信号ゲインの低下を抑制した半導体装置を提供することにある。

30

【課題を解決するための手段】**【0006】**

本発明に係る半導体装置は、第1段アンプおよび第2段アンプと、第1電極および第2
 電極を備える結合コンデンサと、前記第1段アンプの出力端子および前記第1電極を接続
 する第1金属部材と、前記第2段アンプの入力端子および前記第2電極を接続する第2金
 属部材とを有し、前記第2電極から前記第2段アンプの入力端子への方向に対して垂直な
 断面において、前記第2金属部材の上下左右のそれぞれの方向のうちの少なくとも2つの
 方向に前記第1金属部材が配置される。

【発明の効果】**【0007】**

40

本発明によれば、信号ゲインの低下を抑制した半導体装置を提供することができる。

【図面の簡単な説明】**【0008】****【図1】第1実施形態に係る固体撮像装置の回路ブロック図****【図2】第1実施形態に係る出力回路の回路図****【図3】第1実施形態に係る出力回路のレイアウト平面図および断面図****【図4】第2実施形態に係る固体撮像装置の回路図****【図5】第2実施形態に係る固体撮像装置のタイミングチャート****【図6】第3実施形態に係る出力回路のレイアウト断面図****【図7】第4実施形態に係る出力回路のレイアウト断面図**

50

【図8】第5実施形態に係る出力回路のレイアウト平面図

【図9】第6実施形態に係る出力回路の回路図

【図10】第8実施形態に係る固体撮像装置システムのブロック図

【発明を実施するための形態】

【0009】

(第1実施形態)

図1は第1実施形態に係る半導体装置の一例としての固体撮像装置100のブロック図である。個体撮像装置100はCMOSエリアセンサであって、画素アレイ10、垂直走査回路11、タイミングジェネレータ(TG)12、定電流回路13、列信号線14、増幅回路15、信号蓄積部16、水平走査回路17、水平転送回路18、出力回路19、出力パッド20を備える。画素アレイ10は、行方向及び列方向に沿って2次元マトリクス状に配列された複数の画素(PIX)101を備えている。図1においては、図面の簡略化のために4行4列の画素アレイ10が示されているが、画素101の数は特に限定されるものではない。なお、本明細書において、行方向とは図面において横方向を示し、列方向とは図面において縦方向を示すものとする。一例では、行方向が撮像装置における水平方向に対応し、列方向が撮像装置における垂直方向に対応する。

10

【0010】

画素101はフォトダイオード(光電変換部)、フローティングディフュージョン、転送トランジスタ、増幅トランジスタ、リセットトランジスタ、行選択トランジスタを含み得る。転送トランジスタはフォトダイオードに蓄積された電荷をフローティングディフュージョンに転送し、増幅トランジスタはフローティングディフュージョンにおける電位に応じた信号を出力する。リセットトランジスタはフローティングディフュージョンの電位をリセットする。行選択トランジスタは増幅トランジスタからの信号を垂直信号線に出力する。画素出力部は増幅トランジスタである。

20

【0011】

画素アレイ10の各行には、行方向に延在して信号線L(L1～L4)が配置されており、信号線L1～L4のそれぞれは図示されていない信号線TX、信号線RES、信号線SELを含んでいる。信号線TXは転送トランジスタを駆動し、信号線RESはリセットトランジスタを駆動し、信号線SELは行選択トランジスタを駆動する。これら信号線にHレベルの信号が印加されると、対応するトランジスタが導通状態(オン状態)となる。また、Lレベルの信号が印加されると、対応するトランジスタが非導通状態(オフ状態)となる。

30

【0012】

画素アレイ10の各列には、列信号線14がそれぞれ配置されている。列信号線14は、列方向に並ぶ画素101のそれぞれの行選択トランジスタのソースに接続され、これら画素101に共通の信号線をなしている。それぞれの列信号線14には、増幅トランジスタの負荷手段としての定電流源13と、増幅回路15とが接続され、増幅回路15の出力端には電荷蓄積部16が接続されている。電荷蓄積部16はキャパシタ、トランジスタを備え、増幅回路15によって増幅された信号を保持する。水平走査回路17はシフトレジスタを含み、水平転送回路18は複数のトランジスタを含む。水平転送回路はタイミングジェネレータ12からの制御信号に基づき、水平転送回路18のトランジスタを順次、オン状態にし、水平転送回路18は電荷蓄積部16の信号を水平信号線8に出力する。出力回路19は出力回路として機能し、水平信号線8から輝度電圧表す信号を出力パッド20を介して、チップ外(半導体装置外部)に出力する。

40

【0013】

図2は、出力回路19の回路図である。出力回路19はソースフォロアMOSトランジスタ(第1段アンプ)M1、ソースフォロアMOSトランジスタ(第2段アンプ)M2、結合コンデンサCm、負荷としての定電流源If1、If2、スイッチSCを備える。MOSトランジスタM1のゲートには水平信号線8が接続され、ドラインには電源電圧Vdが接続され、ソースには定電流源If1が接続されている。MOSトランジスタM1は

50

ソースフォロアとして動作し、ソースの出力インピーダンスは低くなる。MOSトランジスタM1のソース電極には結合コンデンサCmの第1電極がノードN1を介して接続され、結合コンデンサCmの第2電極はノードN2を介してはスイッチSCおよびMOSトランジスタM2のゲート電極に接続されている。ノードN1はMOSトランジスタM1のソース電極と結合コンデンサCmの第1電極を接続する第1金属部材からなり、ノードN2はMOSトランジスタM2のゲート電極と結合コンデンサCmの第2電極を接続する第2金属部材からなる。図2に示すように、結合コンデンサCmの2つの電極のいずれも、接地電圧などの固定電圧ノードに接続されていない。

【0014】

スイッチSCの一端はノードN2に接続され、スイッチSCの他端は基準電圧Vref1に接続されている。クランプ時ににおいて、スイッチSCがオンとなることにより、結合コンデンサCmのノードN2は基準電圧Vref1に接続される。すなわち、結合コンデンサCmのノードN2はクランプ時に基準電圧(クランプ電圧)Vref1に接続されるが、クランプ時以外はフローティング状態である。例えば、基準電圧Vref1は第2段のMOSトランジスタM2がソースフォロアとして動作するのに最適な電圧に設定されるのが望ましい。例えば、輝度信号が接地電圧GND若しくは電源電圧Vddによってクリップされないように、基準電圧Vref1を設定することができる。このように、所定のクランプ電圧を結合コンデンサのノードN2に印加することにより、MOSトランジスタM2の動作点を調整可能である。

【0015】

第2段のMOSトランジスタM2のドレインには電源電圧Vddが接続され、ソースには定電流源If2および出力パッド20が接続されている。第1段のMOSトランジスタM1と同様に、第2段のMOSトランジスタM2はソースフォロアとして動作し、ソースにおける出力インピーダンスを低く抑えながら、信号を出力パッド20に出力することができる。

【0016】

図3(a)は、図2の出力回路のCで示した領域のレイアウト平面図である。図3(a)において、結合コンデンサCmはポリシリコンからなる第2電極130と、アクティブ領域131において第2電極130に対向する第1電極を備える。また、ポリシリコン130は図3では示されていないMOSトランジスタのゲート電極にもなる。コンタクト133は絶縁層を貫通する穴に埋め込まれた金属からなり、半導体中のアクティブ領域131と第1の金属配線層Mt1から形成された第1金属部材N1(134)を電気的に接続する。すなわち、第1金属部材N1(134)は第1段のMOSトランジスタM1の出力端子および結合コンデンサCmの第1電極に接続されている。また、コンタクト132は絶縁層を貫通する穴に埋め込まれた金属からなり、ポリシリコン130と第1の金属配線層(Mt1)135を電気的に接続する。第1金属部材N1-1、N1-2、N1-3、第2金属部材N2は、結合コンデンサCmの電極から第2段ソースフォロアのMOSトランジスタM2のゲート電極の方向(矢印A)に延在している。

【0017】

図3(b)は、図3(a)の破線C-C'の領域の断面図であり、図3(c)は図3(a)の破線D-D'の領域の断面図である。図3(b)において、一例としての半導体基板110はn型シリコンであり、半導体基板110には電源電圧Vddが印加される。半導体基板110上には、第1の金属配線層Mt1、第2の金属配線層Mt2、第3の金属配線層Mt3が、それぞれ絶縁層を挟んで順に形成されている。第1の金属配線層Mt1にはノードN1の一部を構成する第1金属部材N1-1が形成されている。第2の金属配線層Mt2にはノードN1の一部を構成する第1金属部材N1-2と、ノードN2を構成する第2金属部材N2が形成されている。第1金属部材N1-2、第2金属部材N2は平面視においてそれぞれ長方形をなし、第2金属部材N2は2つの第1金属部材N1-2の間に位置している。また、第3の金属配線層Mt3にはノードN1の一部を構成する第1金属部材N1-3が形成されている。

10

20

30

40

50

【0018】

ビア137は第1の金属配線層Mt1と第2の金属配線層Mt2との間の絶縁層を貫通する金属からなり、第1金属部材N1-1と第1金属部材N1-2とを電気的に接続する。また、ビア138は第2の金属配線層Mt2と第3の金属配線層Mt3との間の絶縁層を貫通する金属からなり、第2金属部材N-2と第1金属部材N1-3とを電気的に接続する。本実施形態では、断面視において、第1金属部材N1-1、N1-2、N1-3は第2金属部材N2を囲んでいる。

【0019】

図3(a)において、第1金属部材N1-1、N1-2、N1-3、第2金属部材N2は、結合コンデンサCmの電極から第2段ソースフォロアのMOSトランジスタM2のゲートの方向(矢印A)に延在している。また、図3(b)において、第2金属部材N2は、金属部材N1-1、N1-2、1-3、ビア134、135によって囲まれている。つまり、ビア137、138のある断面(図3(b))においては、ノードN2の金属部材N2の周囲360°は第1金属部材N1-1、N1-2、N1-3およびビア137、138に包囲されている。ビアが形成されていない断面D-D'(図3(c))においては、ノードN2の第2金属部材N2の上下左右の4方向に第1金属部材N1-1、N1-2、N1-3が配置されている。ここで、「上下」とは図3(b)(c)の第2金属部材N2に対する垂直の2方向をいい、「左右」とは同図の第2金属部材N2に対する水平の2方向をいうものとする。

10

【0020】

ノードN2と電源電圧Vddとの間、あるいはノードN2と回路の接地部との間の寄生容量をCpとすると、ノードN1からノードN2における信号ゲインは、結合容量Cmと寄生容量Cpとの容量分割により、Cm/(Cm+Cp)に低下する。従って、寄生容量Cpを小さくすることができれば、信号ゲインの低下を抑制することができる。本実施形態においては、第2金属部材(ノードN2)を第1金属部材(ノードN1)で囲むことにより、第2金属部材と電源電圧Vdd若しくは接地部との間の寄生容量Cpを小さくできる。また、第1金属部材N1と第2金属部材N2との寄生容量が大きくなるので、結合容量Cmの面積を小さくしたとしても、結合容量Cmの等価的な容量を変えないようにできる。

20

【0021】

30

本実施形態においては、第2金属部材の上下左右の4方向には第1金属部材が配置されているため、寄生容量Cpを最小限に低減することができる。特に、ビアが形成されている領域においては、第2金属部材は第1金属部材によって完全に囲まれているため、寄生容量Cpの低減効果はより大きくなる。

【0022】

30

本実施形態により、ノードN2の寄生容量Cpを小さくできるので、信号ゲインの低下を抑制できる。実験結果によれば、本実施形態を適用する前の出力回路の電圧ゲインは0.90であったが、本実施形態を適用することによって信号ゲインが0.95となった。また、寄生容量Cpが小さいので、信号の伝達時間を短く、即ち高速伝送が可能となる。

【0023】

40

(第2実施形態)

図4は、第2実施形態に係る半導体装置の一例としての固体撮像装置の回路図である。固体撮像装置はCMOSエリアセンサであって、画素アレイ2、周辺回路部5を備えている。図示されていないが、固体撮像装置は制御信号を生成するタイミングジェネレータ、画素アレイ2の各行を走査する垂直走査回路を備える。画素アレイ2は行方向及び列方向に沿って2次元マトリクス状に配列された複数の画素単位3を備える。

【0024】

40

画素単位3は2画素共有構造を有し、フォトダイオードD1、D2、第1行の転送トランジスタM11、第2行の転送トランジスタM12、リセットトランジスタM21、増幅トランジスタM31、選択トランジスタM41、増幅トランジスタM31の入力ノードN

50

Fを含み得る。入力ノードN Fは、転送トランジスタM 1 1、M 1 2のドレイン、リセットトランジスタM 2 1のソース、増幅トランジスタM 3 1のゲートに接続されている。

【0025】

2画素共有された画素単位3は、2個のフォトダイオードD 1、D 2、2個の転送トランジスタM 1 1、M 1 2が、1個のリセットトランジスタM 2 1、増幅トランジスタM 3 1、選択トランジスタM 4 1、入力ノードN Fを共有している。図4では、画素アレイ2に2行2列分の画素しか示されていないが、実際には数千行数千列の画素があり得る。画素アレイ2の行数をM、列数をNとすれば、2画素共有された画素単位3は行列状にM/2行N列並ぶことになる。

【0026】

転送トランジスタM 1 1のゲートには制御信号 TX 1が接続され、制御信号 TX 1がハイレベルとなると、転送トランジスタM 1 1はフォトダイオードD 1の電荷を入力ノードN Fに転送する。同様に、転送トランジスタM 1 2のゲートには制御信号 TX 2が接続され、制御信号 TX 2 2がハイレベルとなると、転送トランジスタM 1 1はフォトダイオードD 2の電荷を入力ノードN Fに転送する。増幅トランジスタM 3 1は入力ノードN Fにおける電位に応じた信号を出力する。リセットトランジスタM 2 1のゲートには制御信号 RES 1が接続され、制御信号 RES 1がハイレベルとなると、リセットトランジスタM 2 1は入力ノードN Fの電荷をリセットする。選択トランジスタM 4 1のゲートには制御信号 SEL 1が接続され、制御信号 SEL 1がハイレベルにはると、選択トランジスタM 4 1は増幅トランジスタM 3 1からの信号を列信号線6に出力する。

【0027】

列読み出し回路9には、列電流源I b、ゲインアンプGA、入力コンデンサCi、フィードバックコンデンサCf、リセット電圧用コンデンサCN1、輝度電圧用コンデンサCP1、リセット電圧用コンデンサCN2、輝度電圧用コンデンサCP2、リセット電圧用アンプAN、輝度電圧用アンプAPが含まれる。また、列読み出し回路9には、MOSトランジスタからなるスイッチSG、SN1、SP1、SBN、SSN、SBP、SSP、SN2、SP2、SN31、SP31が含まれ、それぞれのスイッチは図示されていないタイミングジェネレータ、水平走査回路によって駆動される。

【0028】

列電流源I bは、選択トランジスタM 4 1がオンとなった場合において、増幅トランジスタM 3 1の負荷となる。ゲインアンプGAは差動増幅器から構成され、非反転入力には基準電圧Vrefが印加され、反転入力には入力コンデンサCiを介して列信号線6が接続されている。フィードバック・コンデンサCfにはスイッチSGが並列に接続されており、スイッチSGがオンになると、ゲインアンプGAはボルテージフォロアとして動作する。スイッチSGがオフになると、ゲインアンプGAは(Ci/Cf)のゲインにて動作する。

【0029】

リセット電圧用コンデンサCN1はリセット時の信号を保持するためのコンデンサであり、ここで、リセット時とはフォトダイオードD 1の電荷が転送される前の状態をいう。すなわち、リセット時の入力ノードN Fに対応した信号が増幅トランジスタM 3 1、ゲインアンプGAを介してリセット電圧用コンデンサCN1に書き込まれる。輝度電圧用コンデンサCP1は輝度電圧を保持するためのコンデンサであり、フォトダイオードD 1の電荷が転送された後の入力ノードN Fに対応した信号が増幅トランジスタM 3 1、ゲインアンプGAを介して輝度電圧用コンデンサCP1に書き込まれる。

【0030】

リセット電圧用アンプANは差動増幅器から構成されており、非反転入力にはクランプ電圧VCLAMPが印加され、反転入力にはリセット電圧用コンデンサCN1が接続されている。リセット電圧用アンプANの出力はスイッチSN2を介してリセット電圧用コンデンサCN2に接続されている。リセット電圧用コンデンサCN2はさらにスイッチSN31を介してリセット電圧用の水平信号線7に接続され、水平信号線7はリセット電圧用

10

20

30

40

50

の出力回路 B R に接続されている。出力回路 B R は第 1 実施形態における出力回路 1 9 と同様に構成され、2 つのソースフォロア M O S ドレイン側トランジスタ、定電流回路、クランプ用のスイッチを含む。出力回路 B R にはクランプ用のスイッチを駆動するための制御信号 S C が入力されている。出力回路 B R の出力端はチップ外出力のための出力パッド 2 0 N に接続され、出力パッド 2 0 N からリセット電圧をチップ外に出力する。また、輝度電圧用アンプ A P、輝度電圧用コンデンサ C P 2、輝度電圧用の出力回路 B V も同様に構成され、出力パッド 2 0 P から輝度電圧がチップ外に出力される。チップ外において、図示されない相関二重サンプリング回路によって、ノイズ成分が除去された輝度電圧が生成される。

【 0 0 3 1 】

図 5 のタイミングチャートを使って、第 2 実施形態の C M O S エリアセンサの動作を説明する。まず、時刻 t 0 において、S E L 1 がハイレベルとなり n 型 M O S の選択トランジスタ M 4 1 がオンとなり、画素部 1 の 1 行目と 2 行目が選択される。同時に S G がハイレベルでスイッチ S G がオンになり、ゲインアンプ G A がボルテージフォロアとして動作し、基準電圧 V r e f を出力する。また、S N 1 と S P 1 がハイレベルになることによって、基準電圧 V r e f がゲインアンプ G A を介して、リセット電圧用コンデンサ C N 1 と輝度電圧用コンデンサ C P 1 に書き込まれる。

【 0 0 3 2 】

S B N、S B P がローレベルでスイッチ S B N、S B P がオフ、S S N、S S P がハイレベルでスイッチ S S N、S S P がオンとなる。これにより、リセット電圧用アンプ A N と輝度電圧用アンプ A P がサンプリングモードとなり、リセット電圧用コンデンサ C N 1 と輝度電圧用コンデンサ C P 1 は信号を書き込み可能な状態になる。

【 0 0 3 3 】

時刻 t 1 において、R E S 1 がローレベルになり画素アレイ 2 の n 型 M O S リセットトランジスタ M 2 1 がオフとなり、入力ノード N F は浮遊状態になる。また S N 1 と S P 1 がローレベルでスイッチ S N 1、S P 1 がオフとなり、リセット電圧用コンデンサ C N 1 と輝度電圧用コンデンサ C P 1 への V r e f の書き込みが終わる。

【 0 0 3 4 】

時刻 t 2 において、S G がローレベルでスイッチ S G がオフとなり、ゲインアンプ G A のゲインが (C i / C f) になる。時刻 t 3 において、S N 1 がハイレベルでスイッチ S N 1 がオンとなり、リセット時の画素アレイ 2 の入力ノード N F に対応した信号が、列電流源 I b を負荷とした増幅トランジスタ M 3 1 を介して、リセット電圧用コンデンサ C N 1 に書き込まれ始める。すなわち、フォトダイオード D 1 の電荷が転送される前の状態の信号がリセット電圧用コンデンサ C N 1 に供給される。時刻 t 4 において、S N 1 がローレベルでスイッチ S N 1 がオフとなり、入力ノード N F のリセット電圧のリセット電圧用コンデンサ C N 1 への書き込みが終わる。

【 0 0 3 5 】

時刻 t 5 において、T X 1 がハイレベルで転送トランジスタ M 1 1 がオンとなり、フォトダイオード D 1 への光照射で蓄積された電子が入力ノード N F に転送される。すると、入力ノード N F の電位がフォトダイオード D 1 の蓄積電子量に応じて下がる。同時に、

S P 1 がハイレベルでスイッチ S P 1 がオンとなり、入力ノード N F において低下した電圧が、増幅トランジスタ M 3 1 を介して、輝度電圧用コンデンサ C P 1 に書き込まれ始める。時刻 t 6 において、T X 1 がローレベルとなり転送トランジスタ M 1 がオフになり、フォトダイオード D 1 への光照射で蓄積された電子の入力ノード N F への転送が終了する。

【 0 0 3 6 】

時刻 t 7 において、S P 1 がローレベルでスイッチ S P 1 がオフとなり、輝度電圧用コンデンサ C P 1 への輝度電圧の書き込みが終了する。時刻 t 8 において、S B N、S B P がハイレベルでスイッチ S B N、S B P がオンになり、S S N、S S P がローレベルでスイッチ S S N、S S P がオフとなる。すると、リセット電圧用アンプ A N がリ

10

20

30

40

50

セット電圧用コンデンサ C N 1 の信号読み出しモードになり、輝度電圧用アンプ A P が輝度電圧用コンデンサ C P 1 の信号読み出しモードになる。

【 0 0 3 7 】

時刻 t_9 において、S N 2 がハイレベルでスイッチ S N 2 がオンになり、リセット電圧用コンデンサ C N 1 に書き込まれたリセット電圧がリセット電圧用アンプ A N により第 2 リセット電圧用コンデンサ C N 2 に書き込まれ始める。また S P 2 がハイレベルでスイッチ S P 2 がオンになり、輝度電圧用コンデンサ C P 1 に書き込まれたフォトダイオード D 1 の輝度電圧が輝度電圧用アンプ A P により第 2 輝度電圧用コンデンサ C P 2 に書き込まれ始める。また、このとき S C もハイレベルとなり、出力回路 B R 、 B V のスイッチ S C がオン状態となり、金属配線 N 2 が基準電圧 V r e f 1 になる。基準電圧 V r e f 1 は、第 2 段ソースフォロアのM O S トランジスタ M 2 がソースフォロア動作するために最適なゲート電圧である。10

【 0 0 3 8 】

時刻 t_{10} において、S N 2 と S P 2 がロー・レベルになり、第 2 リセット電圧用コンデンサ C N 2 と第 2 輝度電圧用コンデンサ C P 2 へのリセット電圧と輝度電圧の書き込みが終了する。また S C もロー・レベルとなりスイッチ S C がオフ状態になり、第 2 金属部材 N 2 が浮遊状態になる。

【 0 0 3 9 】

時刻 t_{11} において、R E S 1 がハイレベルで、画素アレイ 2 のn M O S リセットトランジスタ M 2 1 がオンになり、入力ノード N F は電源電圧 V D D 近傍の電圧にリセットされる。同時に S B P がロー・レベルでスイッチ S B P がオフ、S S P がハイレベルでスイッチ S S P がオンになり、輝度電圧用アンプ A P がサンプリングモードとなり、輝度電圧用コンデンサ C P 1 に信号が書き込める状態になる。20

【 0 0 4 0 】

また、時刻 t_{11} において、S N 3 1 と S P 3 1 がハイレベルでスイッチ S N 3 1 と S P 3 1 がオンになる。すると、第 2 リセット電圧用コンデンサ C N 2 と第 2 輝度電圧用コンデンサ C P 2 に蓄積された 1 行 1 列目のリセット電圧と輝度電圧が、それぞれリセット電圧用水平信号線 7 と輝度電圧用水平信号線 8 に読み出される。ここで、第 2 輝度電圧用コンデンサ C P 2 の容量値を C 1 、リセット電圧用水平信号線 7 と輝度電圧用水平信号線 8 の有する容量値を C 2 とした場合に、 $C_1 / (C_1 + C_2)$ で表されるような電圧ゲインで読みだされる。30

【 0 0 4 1 】

出力回路 B R 、 B V は、1 行 1 列目のリセット電圧と輝度電圧を、それぞれリセット電圧用の水平信号線 7 と輝度電圧用の水平信号線 8 を介して、チップ外に出力する。チップ外では、輝度電圧 - リセット電圧の信号を生成し、相關 2 重サンプルリングした輝度電圧が得られる。

【 0 0 4 2 】

ここで、時刻 t_0 から t_{11} の時間は、1 行分の輝度電圧とリセット電圧を読み出す 1 水平走査時間である。

【 0 0 4 3 】

時刻 t_{12} において、S N 3 2 と S P 3 2 がハイレベルでスイッチ S N 3 2 、 S P 3 2 がオンになる。第 2 リセット電圧用コンデンサ C n 2 と第 2 輝度電圧用コンデンサ C P 2 に蓄積された 1 行 2 列目のリセット電圧と輝度電圧が、それぞれリセット電圧用水平信号線 7 と輝度電圧用水平信号線 8 に読み出される。そして、出力回路 B R 、 B V は、1 行 2 列目のリセット電圧と輝度電圧を、それぞれリセット電圧用の水平信号線 7 と輝度電圧用の水平信号線 8 を介し、チップ外に出力する。40

【 0 0 4 4 】

時刻 t_{13} において、1 行目の最終列までの輝度電圧とリセット電圧のチップ出力が終わる。つまり、時刻 t_{11} から t_{13} までの時間が、画素アレイ 2 の 1 行目の輝度電圧とリセット電圧の出力期間になる。

【0045】

C M O S エリアセンサの出力回路 B R、 B V は、周辺回路部 5 の列読み出し回路 9 に属さないため、出力パッド 20 N、 20 P の近くの狭い領域に配置されることが多い。このため、第 2 段ソースフォロアの M O S トランジスタ M 2 は、ゲート電極を分割し、駆動力を増すようにレイアウトされる。すると、図 3 (a) の平面図のように第 2 金属部材 N 2 が長くなり、第 2 金属部材 N 2 と固定電圧ノードとの寄生容量 C p が大きくなる。図 3 (b) (c) のように、第 2 金属部材 N 2 を第 1 金属部材 N 1 で囲むことにより、寄生容量 C p を小さくすることができ、本発明による効果は特に固体撮像装置の出力回路において顕著である。

【0046】

上述したように、本実施形態によれば、第 2 金属部材 N 2 を第 1 金属部材 N 1 で囲むことにより、第 2 金属部材 N 2 の固定電圧ノードへの寄生容量 C p が小さくなる。このため、第 1 金属部材 N 1 から第 2 金属部材 N 2 への信号ゲインの低下を抑制し、信号の高速伝送が可能となる。

10

【0047】

(第 3 実施形態)

図 6 は、第 3 実施形態の出力回路のレイアウト断面図であり、図 3 の破線 C - C' の領域の断面図に相当する。半導体基板 110 上には、第 1 の金属配線層 M t 1、第 2 の金属配線層 M t 2、第 3 の金属配線層 M t 3 が、それぞれ絶縁層を挟んで順に形成されている。第 1 の金属配線層 M t 1 には G N D 1 6 3 が形成され、第 2 の金属配線層 M t 2 にはノード N 1 の一部を構成する第 1 金属部材 N 1 - 2 が形成されている。第 3 の金属配線層 M t 3 にはノード N 1 の一部を構成する 2 つの第 1 金属部材 N 1 - 3 と、ノード N 2 を構成する第 2 金属部材 N 2 が形成されている。第 1 金属部材 N 1 - 2 と第 1 金属部材 N 1 - 3 とはビア 1 6 1、1 6 2 によって接続されている。これらの第 1 金属部材 N 1 - 2、N 1 - 3、第 2 金属部材 N 2 は平面視において、結合コンデンサ C m の電極から第 2 段ソースフォロア回路 M 2 の入力への方向に延在している。図 6 の断面視において、第 2 金属部材 N 2 の下方には第 1 金属部材 N 1 - 2 が位置し、両側には 2 つの第 1 金属部材 N 1 - 3 が位置している。すなわち、第 2 金属部材 N 2 は下方と左右の 3 方向から第 1 金属部材 N 1 に囲まれている。

20

【0048】

他の構成は、第 1 実施形態、第 2 実施形態の構成と同様である。すなわち、本実施形態に係る出力回路は固体撮像装置における出力回路、特にチップ外に信号を出力する回路に適用可能である。第 3 実施形態においても、第 1、第 2 実施形態と同様に、第 2 金属部材 N 2 の電源電圧や接地部への寄生容量 C p が小さくなり、第 1 金属部材 N 1 から第 2 金属部材 N 2 へのゲインの低下を抑制し、信号の高速伝送が可能となる。

30

【0049】

(第 4 実施形態)

図 7 は、第 4 実施形態の出力回路の断面図であり、図 3 の破線 C - C' の領域の断面図に相当する。本実施形態においては、第 1 の金属配線層 M t 1 からなる G N D 1 7 1、第 2 の金属配線層 M t 2 からなる G N D 1 7 2 および第 1 金属部材 N 1 - 2 と、第 3 の金属配線層 M t 3 からなる G N D 1 7 3、第 1 金属部材 N 1 - 3、第 2 金属部材 N 2 とが形成されている。G N D 1 7 1、1 7 2、1 7 3 はビア 1 7 4、1 7 5 によって接続され、第 1 金属部材 N 1 - 2、N 1 - 3 はビア 1 7 6 によって接続されている。

40

【0050】

結合コンデンサ C m の電極から第 2 段ソースフォロア C M O S トランジスタ M 2 の入力の方向に垂直な断面において、第 2 金属部材 N 2 の下方と右側方の 2 方向に第 1 金属部材 N 1 が配置されている。第 4 実施においても、第 1 ~ 第 3 実施と同様に、第 2 金属部材 N 2 の固定電圧ノードへの寄生容量 C p が小さくなり、第 1 金属部材 N 1 から第 2 金属部材 N 2 へのゲインの低下を抑制し、信号の高速伝送が可能となる。

【0051】

50

(第5実施形態)

第5実施形態においては、結合コンデンサCmがMIM(Metal Insulator Metal)コンデンサで構成されている。図8は第5実施形態の出力回路の平面レイアウト図である。結合コンデンサCmは、第1電極としてのMIM下部電極181、第2電極としてのMIM上部電極182を備える。MIM下部電極は第3の金属配線層Mt3(183)を介して第1段ソースフォロアMOSトランジスタM1のソース出力に接続され、MIM上部電極182は第2段ソースフォロアMOSトランジスタM2のゲート入力に接続される。図中、破線C-C'の領域の断面図、破線D-D'の部分の断面図は、それぞれ図3(b)、(c)で示される。第5実施形態で示すように、本発明の結合コンデンサCmはMIMコンデンサにも適用することができる。

10

【0052】

第5実施形態においても、第1～第4実施形態と同様に、第2金属部材N2の固定電圧ノードへの寄生容量Cpが小さくなり、第1金属部材N1から第2金属部材N2へのゲインの低下を抑制し、信号の高速伝送が可能となる。

【0053】

(第6実施形態)

図9は第6実施形態に係る出力回路の回路図である。第5実施形態に係る出力回路は3段のソースフォロア回路を備えて構成されている。図9において、図2の出力回路19と同一の構成は同一符号で表されている。出力回路は第1～3段ソースフォロアのMOSトランジスタM1～M3、結合コンデンサCm1、Cm2、定電流源If1～If3、スイッチSC1、SC2を備える。ノードN3は第2段ソースフォロアMOSトランジスタM2の出力端子と結合コンデンサCm2の第1電極を接続する第3金属部材からなる。ノードN4は第3段ソースフォロアMOSトランジスタM3の入力端子と結合コンデンサCm2の電極を接続する第4金属部材からなる。スイッチSC2は基準電圧Vref1とノードN4を接続する。定電流源If3は第3段ソースフォロアMOSトランジスタM3の負荷定電流源である。

20

【0054】

図9の回路図の破線C付近の断面図は第1実施形態で説明した図2(a)と同じである。また、点線C'付近の断面図は、第1金属部材N1が第3金属部材N3、第2金属部材N2が第4金属部材N4にて表される点を除き、第1実施形態で説明した図3(b)、(c)の断面図と同じである。

30

【0055】

第6実施形態で示すように、本発明は2段アンプのみでなく3段以上のアンプにも適用することができる。第6実施形態では、第1実施形態と同様に、第2金属部材N2の固定電圧ノードへの寄生容量Cpが小さくなり、第1金属部材N1から第2金属部材N2へのゲインの低下を抑制し、信号の高速伝送が可能となる。

【0056】

(第7実施形態)

第7実施形態は、本発明を入力部に結合コンデンサを使ったゲインアンプに適用する例である。その一例として図4のゲインアンプGAへの適応例を説明する。第2実施形態の出力回路図とそのレイアウトの符号を利用して説明する。

40

【0057】

第1段アンプは画素アレイ2の増幅トランジスタM41に相当し、第2段アンプは周辺回路部5のゲインアンプGA、結合コンデンサは入力コンデンサCiにそれぞれ相当する。ノードN1は列信号線に接続された第1金属部材、ノードN2はゲインアンプGAの入力に接続された第2金属部材に相当する。つまり、第1金属部材N1は、第1段アンプM41の出力端子と結合コンデンサCiの一方の電極を接続し、第2金属部材N2は、結合コンデンサCiの他方の電極と第2段アンプGAの入力端子を接続する。

【0058】

本実施形態でも、第1～第6実施形態と同様に、第2金属部材N2は第1金属部材N1

50

によって囲まれている。このため、第2金属部材N2の固定電圧ノードへの寄生容量Cpが小さくなり、第1金属部材N1から第2金属部材N2へのゲインの低下を抑制し、信号の高速伝送が可能となる。

【0059】

(第8実施形態)

図10は、本発明の第8実施形態による撮像システムの構成例を示す図である。撮像システム800は、例えば、光学部810、固体撮像装置100、映像信号処理部830、記録・通信部840、タイミング制御部850、システム制御部860、及び再生・表示部870を含む。撮像システム820は、撮像装置100及び映像信号処理部830を有する。撮像装置100は、先の実施形態で説明した固体撮像装置が用いられる。撮像システムはデジタルカメラ、ビデオカメラ、スマートフォンの他、撮影機能を有する様々な装置を含み得る。

10

【0060】

レンズ等の光学系である光学部810は、被写体からの光を固体撮像装置100の、複数の画素が2次元状に配列された画素部10に結像させ、被写体の像を形成する。固体撮像装置100は、タイミング制御部850からの信号に基づくタイミングで、画素部に結像された光に応じた信号を出力する。固体撮像装置100から出力された信号は、映像信号処理部である映像信号処理部830に入力され、映像信号処理部830が、プログラム等によって定められた方法に従って信号処理を行う。映像信号処理部830での処理によって得られた信号は画像データとして記録・通信部840に送られる。記録・通信部840は、画像を形成するための信号を再生・表示部870に送り、再生・表示部870に動画や静止画像を再生・表示させる。記録・通信部840は、また、映像信号処理部830からの信号を受けて、システム制御部860と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

20

【0061】

システム制御部860は、撮像システムの動作を統括的に制御するものであり、光学部810、タイミング制御部850、記録・通信部840、及び再生・表示部870の駆動を制御する。また、システム制御部860は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラム等が記録される。また、システム制御部860は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内に供給する。具体的な例としては、読み出す行やリセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等である。タイミング制御部850は、システム制御部860による制御に基づいて固体撮像装置100及び映像信号処理部830の駆動タイミングを制御する。

30

【0062】

本実施形態においても、固体撮像装置100の出力回路は寄生容量Cpが小さくなるように構成されているため、信号ゲインの低下を抑えながら高速で信号を映像信号処理部830に出力することができる。

【0063】

(他の実施形態)

本発明は、固体撮像装置、撮像システムに限定されることなく、第1段アンプの出力と第2段アンプの入力とが結合コンデンサによって接続された半導体装置に広く適用可能である。また、第1段アンプ、第2段アンプのソースフォロアMOSトランジスタはn型、p型を問わず、また、差動増幅器を用いたボルテージフォロアであっても良い。さらに、第1段アンプ、第2段アンプは電流増幅器に限定されず、電圧増幅器であっても良い。

40

【0064】

また、第2金属部材の上下左右のうちの1方向に第1金属部材を配置した場合においても、寄生容量Cpを低減する効果が得られる。例えば、図6において、第3の金属配線層Mt3における2つの第1金属部材N1-3をGND層に置き換え、ビア161、162を削除し、第2金属部材の下方にのみ第1金属配線層N1-2を形成しても良い。

50

【符号の説明】

【0 0 6 5】

2、10 画素アレイ

5 周辺回路部

19 出力回路

20 出力パッド

Cm 結合コンデンサ

M1 第1段ソースフォロアMOSトランジスタ

M2 第2段ソースフォロアMOSトランジスタ

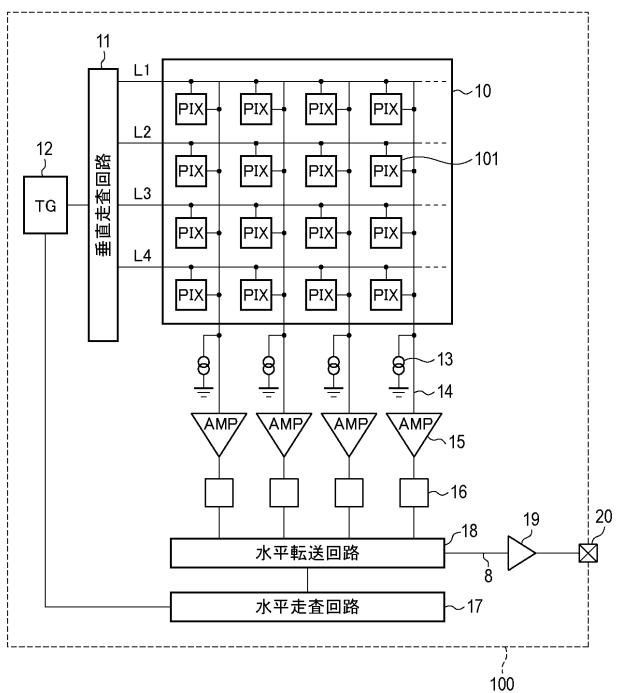
BR リセット電圧用出力回路

BV 輝度電圧用出力回路

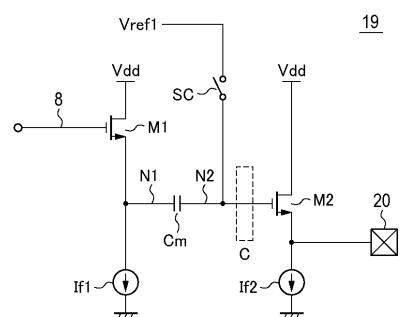
GA ゲインアンプ

10

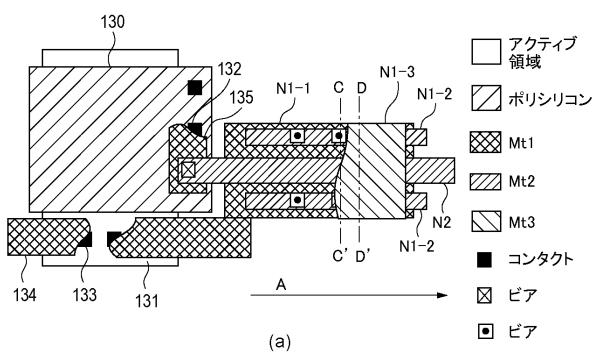
【図1】



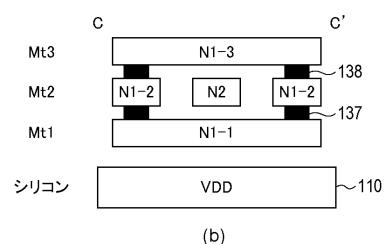
【図2】



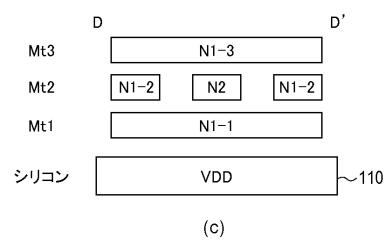
【図3】



(a)

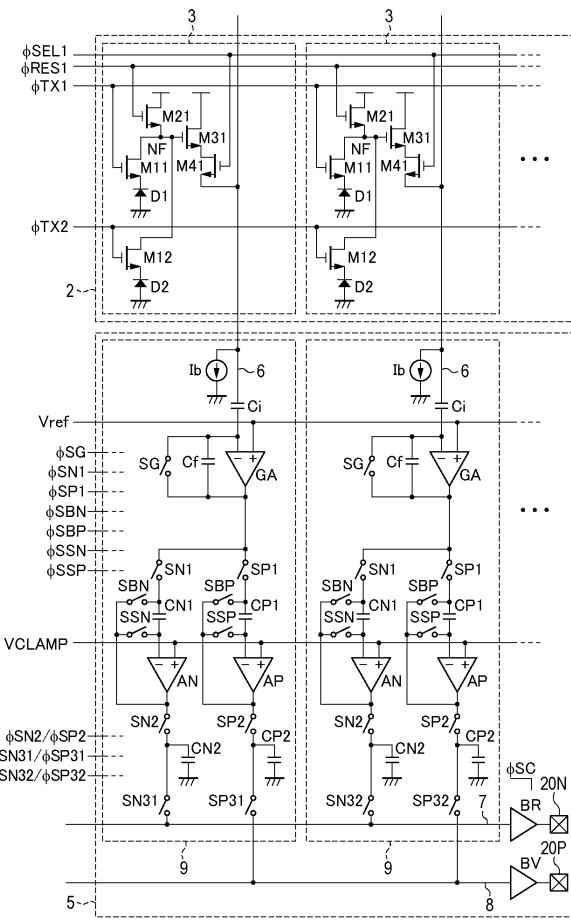


(b)

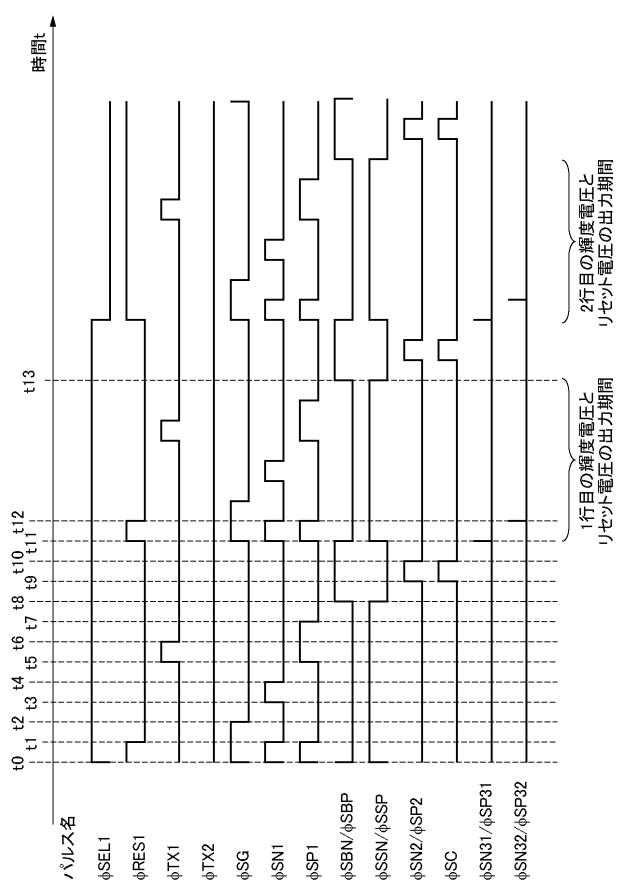


(c)

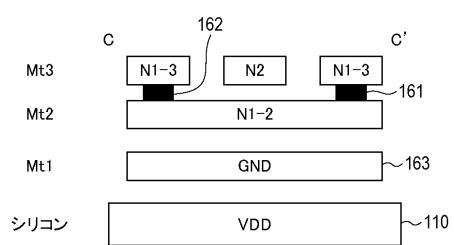
【図4】



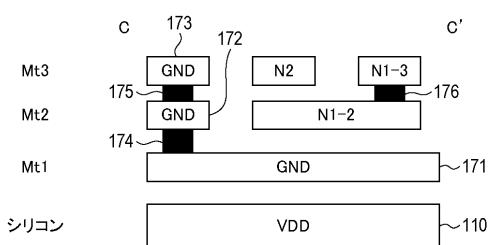
【図5】



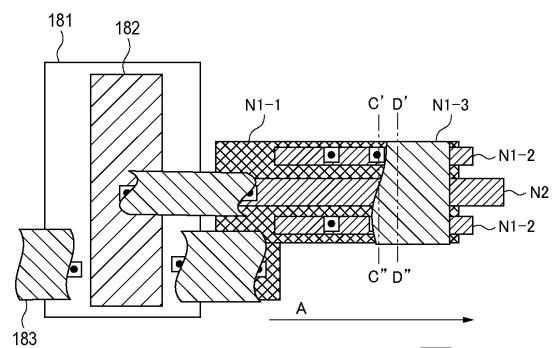
【図6】



【図7】



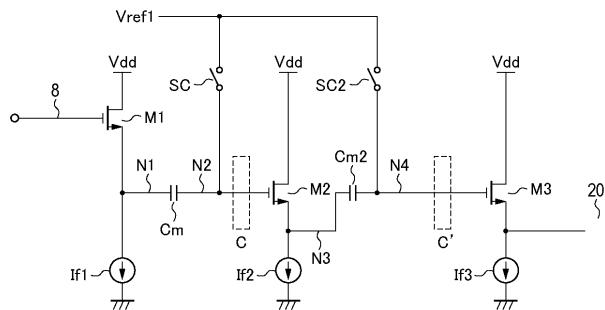
【図8】



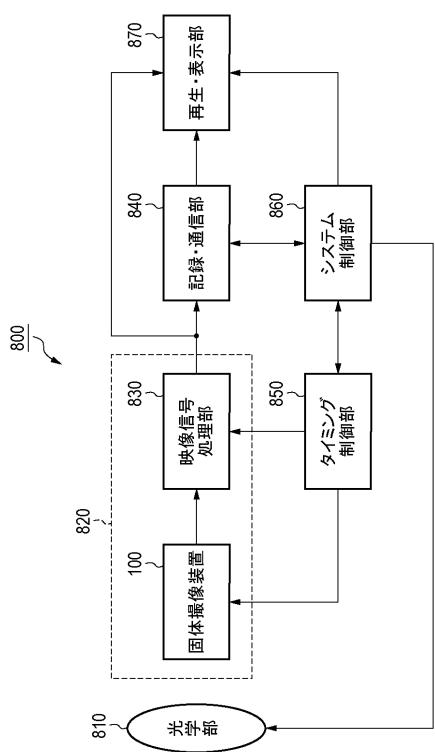
Legend:

- MIM下部電極 (MIM bottom electrode)
- MIM上部電極 (MIM top electrode)
- Mt1
- Mt2
- Mt3
- >Contact
- Via
- Via

【図9】



【図10】



フロントページの続き

(74)代理人 100134393
弁理士 木村 克彦

(74)代理人 100174230
弁理士 田中 尚文

(74)代理人 100114915
弁理士 三村 治彦

(72)発明者 岩根 正晃
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 沖田 彰
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

F ターム(参考) 4M118 AA10 AB01 BA14 CA02 CA24 DD04 DD09 FA06
5C024 CX41 GY39 HX35