

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成16年10月28日(2004.10.28)

【公開番号】特開2003-123488(P2003-123488A)

【公開日】平成15年4月25日(2003.4.25)

【出願番号】特願2001-314163(P2001-314163)

【国際特許分類第7版】

G 11 C 16/02

G 11 C 16/06

【F I】

G 11 C 17/00 601D

G 11 C 17/00 631

【手続補正書】

【提出日】平成15年10月14日(2003.10.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電気的書き換え可能な不揮発性メモリセルを有し、データ消去の単位となるメモリセルの範囲を1ブロックとし、1乃至複数のブロックの集合を1コアとして複数のコアが配列されたメモリセルアレイと、

前記複数のコアのうちデータ書き込みまたは消去を行うために任意個数のコアを選択するコア選択手段と、

前記コア選択手段により選択されたコア内の選択されたメモリセルにデータ書き込みを行うデータ書き込み手段と、

前記コア選択手段により選択されたコア内の選択されたブロックのデータ消去を行うデータ消去手段と、

前記コア選択手段により選択されていないコア内のメモリセルに対してデータ読み出しを行うデータ読み出し手段とを備えた半導体記憶装置において、

書き込み/消去動作開始時に、書き込み/消去動作または読み出し動作をコアに指示するコマンドと、コアが選択されているか否かを指示するコア選択信号と、コアが書き込みまたは消去モードにあることを示すビジー信号の成立の順序関係が、書き込み/消去動作中のコアと読み出し動作中のコアの多重選択が発生しないように適切なタイミングをとって設定されることを特徴とする半導体記憶装置。

【請求項2】

前記各コアに対応して設けられ、対応するコアに関する前記ビジー信号を出力するコアビジー出力回路を具備し、

前記コアビジー出力回路は、前記書き込み/消去動作開始時に、コマンド成立 ビジー信号出力 コア選択信号成立の順序を満たすようにビジー信号を出力することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】

電気的書き換え可能な不揮発性メモリセルを有し、データ消去の単位となるメモリセルの範囲を1ブロックとし、1乃至複数のブロックの集合を1コアとして複数のコアが配列されたメモリセルアレイと、

前記複数のコアのうちデータ書き込みまたは消去を行うために任意個数のコアを選択する

コア選択手段と、

前記コア選択手段により選択されたコア内の選択されたメモリセルにデータ書き込みを行うデータ書き込み手段と、

前記コア選択手段により選択されたコア内の選択されたブロックのデータ消去を行うデータ消去手段と、

前記コア選択手段により選択されていないコア内のメモリセルに対してデータ読み出しを行うデータ読み出し手段とを備えた半導体記憶装置において、

書き込み／消去動作終了時に、書き込み／消去動作または読み出し動作をコアに指示するコマンドと、コアが選択されているか否かを指示するコア選択信号と、コアが書き込みまたは消去モードにあることを示すビジー信号のリセットの順序関係が、書き込み／消去動作中のコアと読み出し動作中のコアの多重選択が発生しないように適切なタイミングをとって設定されることを特徴とする半導体記憶装置。

【請求項4】

前記各コアに対応して設けられ、対応するコアに関する前記ビジー信号を出力するコアビジー出力回路を具備し、

前記コアビジー出力回路は、前記書き込み／消去動作終了時のコマンドリセットの際に、コア選択信号リセット ビジー信号リセットの順序を満たすようにビジー信号を出力することを特徴とする請求項3記載の半導体記憶装置。

【請求項5】

電気的書き換え可能な不揮発性メモリセルを有し、データ消去の単位となるメモリセルの範囲を1ブロックとし、1乃至複数のブロックの集合を1コアとして複数のコアが配列されたメモリセルアレイと、

前記複数のコアのうちデータ書き込みまたは消去を行うために任意個数のコアを選択するコア選択手段と、

前記コア選択手段により選択されたコア内の選択されたメモリセルにデータ書き込みを行うデータ書き込み手段と、

前記コア選択手段により選択されたコア内の選択されたブロックのデータ消去を行うデータ消去手段と、

前記コア選択手段により選択されていないコア内のメモリセルに対してデータ読み出しを行うデータ読み出し手段とを備えた半導体記憶装置において、

書き込み／消去動作の一時中断時に、書き込み／消去動作または読み出し動作をコアに指示するコマンドと、コアが選択されているか否かを指示するコア選択信号と、コアが書き込みまたは消去モードにあることを示すビジー信号のリセットの順序関係が、書き込み／消去動作中のコアと読み出し動作中のコアの多重選択が発生しないように適切なタイミングをとって設定されることを特徴とする半導体記憶装置。

【請求項6】

前記各コアに対応して設けられ、対応するコアに関する前記ビジー信号を出力するコアビジー出力回路を具備し、

前記コアビジー出力回路は、前記書き込み／消去動作の一時中断時に、コマンドがリセットされない状態のまま、コア選択信号リセット ビジー信号リセットの順序を満たすようにビジー信号を出力することを特徴とする請求項5記載の半導体記憶装置。

【請求項7】

電気的書き換え可能な不揮発性メモリセルを有し、データ消去の単位となるメモリセルの範囲を1ブロックとし、1乃至複数のブロックの集合を1コアとして複数のコアが配列されたメモリセルアレイと、

前記複数のコアのうちデータ書き込みまたは消去を行うために任意個数のコアを選択するコア選択手段と、

前記コア選択手段により選択されたコア内の選択されたメモリセルにデータ書き込みを行うデータ書き込み手段と、

前記コア選択手段により選択されたコア内の選択されたブロックのデータ消去を行うデータ消去手段と、

タ消去手段と、

前記コア選択手段により選択されていないコア内のメモリセルに対してデータ読み出しを行うデータ読み出し手段とを備えた半導体記憶装置において、

書き込み／消去動作の一時中断から再復帰する時に、書き込み／消去動作または読み出し動作をコアに指示するコマンドと、コアが選択されているか否かを指示するコア選択信号と、コアが書き込みまたは消去モードにあることを示すビジー信号の成立の順序関係が、書き込み／消去動作中のコアと読み出し動作中のコアの多重選択が発生しないように適切なタイミングをとって設定されることを特徴とする半導体記憶装置。

【請求項 8】

前記各コアに対応して設けられ、対応するコアに関する前記ビジー信号を出力するコアビジー出力回路を具備し、

前記コアビジー出力回路は、前記書き込み／消去動作の一時中断から再復帰する時に、ビジー信号出力 コア選択信号成立の順序を満たすようにビジー信号を出力することを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 9】

電気的書き換え可能な不揮発性メモリセルを有し、データ消去の単位となるメモリセルの範囲を 1 ブロックとし、1 乃至複数のブロックの集合を 1 コアとして複数のコアが配列されたメモリセルアレイと、

前記複数のコアのうちデータ書き込みまたは消去を行うために任意個数のコアを選択するコア選択手段と、

前記コア選択手段により選択されたコア内の選択されたメモリセルにデータ書き込みを行うデータ書き込み手段と、

前記コア選択手段により選択されたコア内の選択されたブロックのデータ消去を行うデータ消去手段と、

前記コア選択手段により選択されていないコア内のメモリセルに対してデータ読み出しを行うデータ読み出し手段とを備えた半導体記憶装置において、

書き込み／消去動作開始時に、書き込み／消去動作または読み出し動作をコアに指示するコマンドと、コアが選択されているか否かを指示するコア選択信号と、コアが書き込みまたは消去モードにあることを示すビジー信号の成立の順序関係が、書き込み／消去動作中のコアと読み出し動作中のコアの多重選択が発生しないように適切なタイミングをとって設定され、

書き込み／消去動作終了時に、前記コマンドと、前記コア選択信号と、前記ビジー信号のリセットの順序関係が、書き込み／消去動作中のコアと読み出し動作中のコアの多重選択が発生しないように適切なタイミングをとって設定され、

書き込み／消去動作の一時中断時に、前記コマンドと、前記コア選択信号と、前記ビジー信号のリセットの順序関係が、書き込み／消去動作中のコアと読み出し動作中のコアの多重選択が発生しないように適切なタイミングをとって設定され、

書き込み／消去動作の一時中断から再復帰する時に、前記コマンドと、前記コア選択信号と、前記ビジー信号の成立の順序関係が、書き込み／消去動作中のコアと読み出し動作中のコアの多重選択が発生しないように適切なタイミングをとって設定されることを特徴とする半導体記憶装置。

【請求項 10】

前記各コアに対応して設けられ、対応するコアに関する前記ビジー信号を出力するコアビジー出力回路を具備し、

前記コアビジー出力回路は、前記書き込み／消去動作開始時に、コマンド成立 ビジー信号出力 コア選択信号成立の順序を満たすようにビジー信号を出力し、

前記書き込み／消去動作終了時のコマンドリセットの際に、コア選択信号リセット ビジー信号リセットの順序を満たすようにビジー信号を出力し、

前記書き込み／消去動作の一時中断時に、コマンドがリセットされない状態のまま、コア選択信号リセット ビジー信号リセットの順序を満たすようにビジー信号を出力し、

前記書き込み／消去動作の一時中断から再復帰する時に、ビジー信号出力　コア選択信号成立の順序を満たすようにビジー信号を出力することを特徴とする請求項9記載の半導体記憶装置。