



(12) 发明专利

(10) 授权公告号 CN 102957993 B

(45) 授权公告日 2015.05.20

(21) 申请号 201110252568.9

CN 101650706 A, 2010.02.17,

(22) 申请日 2011.08.30

CN 1565144 A, 2005.01.12,

(73) 专利权人 中国科学院微电子研究所

审查员 汪辉

地址 100029 北京市朝阳区北土城西路3号

(72) 发明人 于增辉 黑勇 周玉梅 陈黎明

徐欣锋

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 宋焰琴

(51) Int. Cl.

H04R 25/00(2006.01)

H03H 21/00(2006.01)

(56) 对比文件

CN 101901602 A, 2010.12.01,

CN 1689072 A, 2005.10.26,

CN 101646123 A, 2010.02.10,

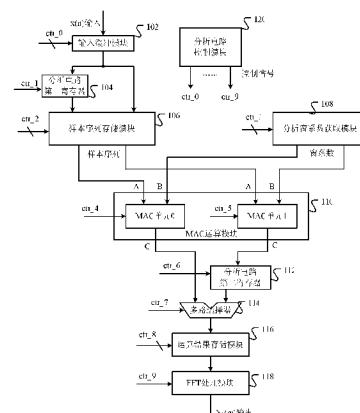
权利要求书4页 说明书11页 附图10页

(54) 发明名称

低功耗 WOLA 滤波器组及其分析阶段电路

(57) 摘要

本发明公开了一种低功耗 WOLA 滤波器组及其分析阶段电路，适用于采用多通道信号处理技术的数字助听器。本发明采用以非连续地址读取数据进行“乘-累加”和“乘-加”运算、模寻址和改变初始读写地址代替数据移位操作、折叠结构的存储器、逻辑译码电路代替存储器“存储”数值固定的窗系数等方法，直接减少功耗开销较大的存储器读写操作的次数。同时，本发明采用双运算单元结合折叠结构的存储器，实现两路运算并行执行，进一步减少整个系统操作所需时钟周期数，从而可以方便采用降低系统时钟频率或者时钟门控技术来降低动态翻转功耗。



1. 一种 WOLA 滤波器组的分析阶段电路，其特征在于，该分析阶段电路包括：输入缓冲模块、样本序列存储模块、分析窗系数获取模块、乘-累加 MAC 运算模块、运算结果存储模块、FFT 处理模块和分析电路控制模块，其中：

输入缓冲模块，与数据来源端相连接，用于缓存输入的样本数据，当累积到预设数目的样本数据时，将该预设数目的样本数据读出并转存至样本序列存储模块；

样本序列存储模块，与所述输入缓冲模块相连接，用于存储长度为 L_A 的样本序列，该样本序列被分为 r 组，每组有 K 个数据，其中 $r = L_A/K$ ；其中， r 为大于等于 1 的整数， K 为 2 的整数次幂，其中，所述长度为 L_A 的样本序列由当前次输入的 R 点样本和最近的 L_A-R 点历史样本组成；

分析窗系数获取模块，用于获取对所述样本序列数据加权所需的窗系数，该窗系数也被分为 r 组，每组有 K 个窗系数；

MAC 运算模块，与所述样本序列存储模块和所述分析窗系数获取模块相连接，用于以所述窗系数中各组的第 j 个窗系数作为权重，对所述样本序列各组中对应的第 j 个数据进行加权并累加，其中 $j = 0, 1, 2, \dots, K-1$ ，输出 K 个加权累加的结果至运算结果存储模块；

运算结果存储模块，与所述 MAC 运算模块相连接，用于存储 MAC 运算模块的运算结果；

FFT 处理模块，与所述运算结果存储模块相连接，用于从所述运算结果存储模块获取加权累加结果的 K 点序列，并对所述 K 点序列进行离散傅里叶变换，输出所述离散傅里叶变换的结果 $X_k(m)$ 。

2. 根据权利要求 1 所述的分析阶段电路，其特征在于，

所述样本序列存储模块采用折叠结构，其存储深度减半而数据字长加倍，每次读 / 写操作完成两个样本数据，即每组的第 $2*i$ 个和第 $2*i+1$ 个数据，其中 $i = 0, 1, 2, \dots, K/2-1$ 的读出 / 写入；

所述分析窗系数获取模块采用折叠结构，其存储深度减半而数据字长加倍，每次读操作完成两个窗系数，即每组的第 $2*i$ 个和第 $2*i+1$ 个系数的读出。

3. 根据权利要求 2 所述的分析阶段电路，其特征在于，该分析阶段电路还包括分析电路第一寄存器，

所述分析电路第一寄存器，与所述输入缓冲模块相连接，用于暂存地址为偶数的数据；

所述样本序列存储模块，其输入端的高 W 位和低 W 位分别与所述分析电路第一寄存器和所述输入缓冲模块相连接，用于从所述分析电路第一寄存器中获取地址为偶数的数据，从所述输入缓冲模块获取地址为奇数的数据，在同一拍将所述两个数据写入同一地址单元，所述两个数据分别位于所述同一地址单元的高 W 位和低 W 位。

4. 根据权利要求 2 所述的分析阶段电路，其特征在于，该分析阶段电路的 MAC 运算模块包含第一和第二 MAC 单元，这两个 MAC 单元与所述样本序列存储模块和所述分析窗系数获取模块相连接；

所述样本序列存储模块，在同一拍读出两个样本数据，分别送入第一 MAC 单元和第二 MAC 单元；所述分析窗系数获取模块，用于在所述同一拍读出对应的两个窗系数，分别送入第一 MAC 单元和第二 MAC 单元；

第一 MAC 单元用于以所述窗系数中各组的第 $2*i$ 个数据作为权重，对所述样本序列

各组中对应的第 $2*i$ 个数据进行加权并累加, 第二 MAC 单元用于以所述窗系数中各组的第 $2*i+1$ 个数据作为权重, 对所述样本序列各组中对应的第 $2*i+1$ 个数据进行加权并累加。

5. 根据权利要求 4 所述的分析阶段电路, 其特征在于, 该分析阶段电路还包括: 分析电路第二寄存器和多路选择器, 其中:

所述分析电路第二寄存器, 与所述第二 MAC 单元相连接, 用于暂存所述第二 MAC 单元的运算结果;

所述多路选择器, 与所述第一 MAC 单元和所述分析电路第二寄存器相连接, 用于将所述第一 MAC 单元和所述第二 MAC 单元的运算结果分两拍写入所述运算结果存储模块。

6. 根据权利要求 1 所述的分析阶段电路, 其特征在于,

所述样本序列存储模块采用改变初始读 / 写操作地址和模寻址的方式, 实现样本序列的循环移位; 和 / 或

所述运算结果存储模块采用改变初始读 / 写操作地址和模寻址的方式, 实现加权累加结果数据的缓存和循环移位。

7. 根据权利要求 1 所述的分析阶段电路, 其特征在于,

所述分析窗系数获取模块, 采用译码电路方式, 用于对接收到的分析窗系数的地址, 进行译码得到对应的窗系数。

8. 一种低功耗 WOLA 滤波器组, 其特征在于, 该 WOLA 滤波器组包括分析阶段电路和综合阶段电路,

该分析阶段电路为权利要求 1 至 7 中任一项所述的分析阶段电路;

该综合阶段电路包括: IFFT 处理模块、IFFT 运算结果存储模块、综合窗系数获取模块、历史数据存储模块、乘 - 加运算模块和综合电路控制模块, 其中:

IFFT 处理模块, 用于对 K 点序列 $Y_k(m)$ 进行离散傅立叶逆变换, 获得 K 点数据序列 $X'_K(m)$, 并输出至 IFFT 运算结果存储模块;

IFFT 运算结果存储模块, 与所述 IFFT 处理模块相连接, 用于保存所述 K 点数据序列 $X'_K(m)$;

综合窗系数获取模块, 用于获取与所述 K 点数据序列 $X'_K(m)$ 对应的窗系数, 该综合窗系数获取模块深度为 L_s , 被分为 s 组, 每组有 K 个数据, 其中, s 为大于等于 1 的整数;

历史数据存储模块, 用于存储历史运算结果, 其深度为 L_s , 被分为 s 组, 每组有 K 个数据, 并同址写回所述乘 - 加运算模块的运算结果;

乘 - 加运算模块, 与所述 IFFT 运算结果存储模块和所述综合窗系数获取模块相连接, 并与所述历史数据存储模块双向连接, 用于将从所述 IFFT 运算结果存储模块获取的 $X'_K(m)$ 中的第 j 个数据, 与从所述综合窗系数获取模块中获取的各组中的第 j 个系数相乘, 然后与从所述历史数据存储模块中读取的相应组中的第 j 个历史数据相加; 并将乘 - 加运算的结果按照原址返回所述历史数据存储模块;

输出缓冲模块, 与所述历史数据存储模块相连接, 用于将从所述历史数据存储模块中读出的最旧的 R 个数据进行缓存, 并按照预设时间输出。

9. 根据权利要求 8 所述的低功耗 WOLA 滤波器组, 其特征在于, 所述综合阶段电路中:

所述 IFFT 运算结果存储模块采用折叠结构, 存储深度减半而数据字长加倍, 每次读操作完成两个数据, 即第 $2*i$ 个数据和第 $2*i+1$ 个数据的读出;

所述综合窗系数获取模块采用折叠结构,每次读操作完成两个窗系数的读出,即同时获取各组中的第 $2*i$ 个和第 $2*i+1$ 个窗系数。

10. 根据权利要求 9 所述的低功耗 WOLA 滤波器组,其特征在于,该综合阶段电路还包括:综合电路第一寄存器,

所述综合电路第一寄存器,与所述 IFFT 运算结果存储模块相连接,用于暂存地址为偶数的数据;

所述 IFFT 运算结果存储模块,其输入端的高 W 位和低 W 位分别与所述综合电路第一寄存器和所述 IFFT 处理模块相连接,用于从所述综合电路第一寄存器中获取地址为偶数的数据,从所述 IFFT 处理模块获取地址为奇数的数据,在同一拍将所述两个数据写入同一地址单元,所述两个数据分别位于所述同一地址单元的高 W 位和低 W 位。

11. 根据权利要求 9 所述的低功耗 WOLA 滤波器组,其特征在于,所述综合阶段电路的乘 - 加运算模块包含第一乘 - 加单元和第二乘 - 加单元,这两个乘 - 加单元与所述 IFFT 运算结果存储模块和所述综合窗系数获取模块相连接,并与所述历史数据存储模块双向连接;

其中,第一乘 - 加单元用于将从所述 IFFT 运算结果存储模块获取的 $X'_{K(m)}$ 中的第 $2*i$ 个数据,与从所述综合窗系数获取模块获取的各组中的第 $2*i$ 个窗系数相乘,与从所述历史数据存储模块读取的相应组中的第 $2*i$ 个历史数据相加,并将乘 - 加运算的结果按照原址返回所述历史数据存储模块,第二乘 - 加单元用于将从所述 IFFT 运算结果存储模块获取的 $X'_{K(m)}$ 中的第 $2*i+1$ 个数据,与从所述综合窗系数获取模块获取的各组中的第 $2*i+1$ 个窗系数相乘,与从所述历史数据存储模块读取的相应组中的第 $2*i+1$ 个历史数据相加,并将乘 - 加运算的结果按照原址返回所述历史数据存储模块;

所述 IFFT 运算结果存储模块,采用折叠结构,存储深度减半而数据字长加倍,用于在同一拍读出两个数据,分别送入第一乘 - 加单元和第二乘 - 加单元;

所述综合窗系数获取模块,采用折叠结构,用于在所述同一拍读出对应的两个窗系数,分别送入第一乘 - 加单元和第二乘 - 加单元;

所述历史数据存储模块,采用折叠结构,每次读操作完成两组历史数据的读出,获取各组中的第 $2*i$ 个和第 $2*i+1$ 个历史数据,分别送至第一乘 - 加单元和第二乘 - 加单元。

12. 根据权利要求 8 所述的低功耗 WOLA 滤波器组,其特征在于,所述综合阶段电路还包括:综合电路第二寄存器和多路选择器,其中:

所述综合电路第二寄存器,与所述历史数据存储模块相连接,用于暂存从所述历史数据存储模块读出的低 W 位数据;

所述多路选择器,与所述历史数据存储模块和所述第二寄存器相连接,用于将从所述历史数据存储模块获取的高 W 位数据和从所述综合电路第二寄存器获取的低 W 位数据分两拍写入所述输出缓冲模块。

13. 根据权利要求 8 所述的低功耗 WOLA 滤波器组,其特征在于,所述综合阶段电路中:

所述 IFFT 运算结果存储模块,采用改变初始读 / 写操作地址和模寻址的方式,实现 K 点数据序列 $X'_{K(m)}$ 的循环移位;和 / 或

所述历史数据存储模块,采用改变初始读 / 写操作地址和模寻址的方式,实现历史数据的循环移位。

14. 根据权利要求8所述的低功耗WOLA滤波器组，其特征在于，所述综合窗系数获取模块，采用译码电路方式，用于对接收到的综合窗系数的地址，进行译码得到对应的窗系数。

低功耗 WOLA 滤波器组及其分析阶段电路

技术领域

[0001] 本发明涉及电子行业数字信号处理技术领域，尤其涉及一种低功耗 WOLA 滤波器组及其分析阶段电路。

背景技术

[0002] 数字助听器是对低功耗要求十分严格的便携式医疗电子设备。在当前几乎所有的高端数字助听器系统中，都采用基于多通道信号处理的方法，实现响度补偿和噪声消除等功能。

[0003] 在信号的多通道处理中，离散傅立叶变换 (Discrete Fourier Transform, 简称 DFT) 滤波器组是最常用的一种均匀带宽滤波器组，而 WOLA (Weighted Overlap Add) 结构是它的一种高效实现方法。WOLA 滤波器组以灵活的块处理方式，实现对输入信号进行多通道分析和综合操作，并且各通道间交叠较少，从而使得可以相对独立而准确的对每一个通道的信号进行处理。因此，WOLA 滤波器组非常适合在数字助听器中采用。

[0004] WOLA 滤波器组的算法实现大致如下：

[0005] WOLA 滤波器组的分析阶段实现对输入信号的多通道分离，其输出表达式为：

$$[0006] X_k(m) = W_K^{-kmM} \sum_{r=0}^{K-1} \sum_{l=-\infty}^{\infty} h(-r-lK)x(r+lK+mR)W_K^{-kr},$$

[0007] 上式中， $k = 0, 1, \dots, K-1$ ， K 为通道数。 $W_k = \exp(j2\pi/K)$ ， R 为降采样因子， m 为帧标号， $h(n)$ 为分析原型滤波器（称为分析窗），阶数为 L_A 。 K, R 的值均为 2 的整数次幂， L_A 的值为 K 的整数倍。分析阶段的具体实现步骤如下：

[0008] (1) 每次从输入缓冲器输入 R 个样本，连同以前的 $L_A - R$ 个样本组成长度为的 L_A 序列；

[0009] (2) 加权，用滤波器系数 $h(n)$ 对上述序列加权；

[0010] (3) 叠接、相加，即将加权后的序列分成 L_A/K 组，每组长度为 K ，然后将各组序列累加；

[0011] (4) 对累加得到的 K 点序列进行循环移位，实现 W_K^{-kmM} 的相移；

[0012] (5) 对上述 K 点序列进行离散傅立叶变换 (DFT)，即得到分析滤波器组的 K 点复数序列输出 $X_k(m)$ 。

[0013] WOLA 滤波器组的综合阶段实现了分析滤波器组的逆过程，其输出表达式为：

[0014]

$$\hat{x}(n+mR)|_{m=m_0} = f(n) \frac{1}{K} \sum_{k=0}^{K-1} Y_k(m) W_K^{kn} W_K^{kmM} |_{m=m_0} + (m \neq m_0 \text{ 项})$$

[0015] 上式中， $f(n)$ 是综合原型滤波器（称为综合窗），阶数为 L_S 。 L_S 的值为 K 的整数倍。 $Y_k(m)$ 为综合滤波器组的第 k 个通道的输入信号，是对 $X_k(m)$ 进行处理的结果。综合阶段的具体实现步骤如下：

- [0016] (1) 对 K 点复数序列 $Y_k(m)$ 进行离散傅立叶逆变换 (IDFT) ;
 [0017] (2) 对 IDFT 变换结果进行循环移位 ;
 [0018] (3) 将上述 K 点序列周期扩展为长度为 L_s 的序列 ;
 [0019] (4) 加权, 用滤波器系数 $f(n)$ 对序列加权 ;
 [0020] (5) 与上一次的计算结果的历史数据进行相加 ;
 [0021] (6) 相加结果的 L_s 点序列中, 最左边的 R 点作为 WOLA 滤波器组综合阶段本次计算的输出 ;
 [0022] (7) 将整个序列左移 R 个地址后, 并将最右端的 R 点数据置 0, 该序列作为下一次相加的历史数据。

[0023] 为了便于说明, 首先给出和算法直接对应的 WOLA 滤波器组的硬件实现结构图, 如图 1 所示, mem0、mem1 分别是输入缓冲存储器和输出缓冲存储器; mem2 ~ mem7 是数据存储器, 保存不同阶段的运算结果; mem8、mem9 分别是分析窗系数存储器和综合窗系数存储器。

[0024] 如图 1 所示, 分析阶段的硬件实现过程为: 将 mem2 (地址深度为 L_A) 中的输入样本序列左移 R 个地址, 然后从输入缓冲器 mem0 中输入最新的 R 个样本, 写到 mem2 的 $L_A-R \sim L_A-1$ 地址单元, 与原来的 L_A-R 个样本组成长度为 L_A 的一帧序列。将该序列从 0 地址开始依次读出, 与分析窗系数对应相乘 (即加权), 结果写入存储器 mem3 (地址深度为 L_A)。将 mem3 中的数据分成 $r = L_A/K$ 组, 每组数据为 K 个, 并将各组内序号相同的数据叠加, 结果写入 mem4 (地址深度为 K)。mem4 中的数据经过循环移位后进行 K 点 FFT 即可。

[0025] 如图 1 所示, 综合阶段的硬件实现过程为: 对处理后的多通道信号进行 IFFT 变换, 结果写入 mem5 (地址深度为 K), 并在经过循环移位后周期扩展为长度为 L_s 的序列, 写入 mem6 (地址深度为 L_s)。将 mem6 中的数据序列与综合窗系数相乘 (加权) 后与历史数据存储器 mem7 (地址深度为 L_s) 中的数据相加, 相加结果原址写回 mem7。mem7 最左边的 R 个数据作为本次综合阶段运算的结果送入输出缓冲器 mem1, 之后将 mem7 中的数据整体左移 R 个地址, 并将最右边的 R 个地址单元 ($L_s-R \sim L_s-1$) 置零后, 作为下一次相加操作的历史数据。

[0026] 尽管 WOLA 滤波器组高效地实现了信号的多通道分析和综合操作, 但是因为数字助听器的便携式应用特点, 人们对降低其系统功耗、延长电池使用寿命, 不断提出更高的要求。低功耗成为高端数字助听器设计研究的主题之一。作为数字助听器中的关键模块之一的 WOLA 滤波器组, 其低功耗硬件设计对降低整个数字助听器系统的功耗有着十分重要的意义。

[0027] 在实现本发明的过程中, 申请人意识到现有技术 WOLA 滤波器组存在如下技术问题: 由于多次进行存储器的读写操作, 造成 WOLA 滤波器的功耗较高。

发明内容

- [0028] (一) 要解决的技术问题
 [0029] 针对现有技术中存在的上述问题, 本发明提出了一种 WOLA 滤波器组及其分析阶段电路, 以尽量减少存储器的读写操作, 降低 WOLA 滤波器组的功耗。
 [0030] (二) 技术方案
 [0031] 根据本发明的一个方面, 提供了一种 WOLA 滤波器组的分析阶段电路。该分析阶段电路包括: 输入缓冲模块、样本序列存储模块、分析窗系数获取模块、乘 - 累加 MAC 运算模

块、运算结果存储模块、FFT 处理模块和分析电路控制模块，其中：输入缓冲模块，与数据来源端相连接，用于缓存输入的样本数据，当累积到预设数目的样本数据时，将该预设数目的样本数据读出并转存至样本序列存储模块；样本序列存储模块，用于存储长度为 L_A 的样本序列，该样本序列被分为 r 组，每组有 K 个数据，其中 $r = L_A/K$ ；其中， r 为大于等于 1 的整数， K 为 2 的整数次幂；分析窗系数获取模块，用于获取对样本序列数据加权所需的窗系数，该窗系数也被分为 r 组，每组有 K 个窗系数；MAC 运算模块，与样本序列存储模块和分析窗系数获取模块相连接，用于以窗系数中各组的第 j 个窗系数作为权重，对样本序列各组中对应的第 j 个数据进行加权并累加，其中 $j = 0, 1, 2, \dots, K-1$ ，最终输出 K 个加权累加的结果；运算结果存储模块，与 MAC 运算模块相连接，用于存储 MAC 运算模块的运算结果；FFT 处理模块，与运算结果存储模块相连接，用于从运算结果存储模块获取加权累加结果的 K 点序列，并对 K 点序列进行离散傅里叶变换，输出离散傅里叶变换的结果 $X_k(m)$ 。

[0032] 优选地，本发明分析阶段电路中，样本序列存储模块采用折叠结构，其存储深度减半而数据字长加倍，每次读 / 写操作完成两个样本数据，即每组的第 $2*i$ 个和第 $2*i+1$ 个数据，其中 $i = 0, 1, 2, \dots, K/2-1$ 的读出 / 写入；分析窗系数获取模块采用折叠结构，其存储深度减半而数据字长加倍，每次读操作完成两个窗系数，即每组的第 $2*i$ 个和第 $2*i+1$ 个系数的读出。同时，本发明分析阶段电路还包括分析电路第一寄存器，该寄存器与输入缓冲模块相连接，用于暂存地址为偶数的数据；样本序列存储模块，其输入端的高 W 位和低 W 位分别与分析电路第一寄存器和输入缓冲模块相连接，用于从分析电路第一寄存器中获取地址为偶数的数据，从输入缓冲器获取地址为奇数的数据，在同一拍将两个数据写入同一地址单元，两个数据分别位于同一地址单元的高 W 位和低 W 位。

[0033] 优选地，本发明分析阶段电路中，MAC 运算模块包含第一和第二 MAC 单元，这两个 MAC 单元与样本序列存储模块和分析窗系数获取模块相连接；样本序列存储模块，在同一拍读出两个样本数据，分别送入第一 MAC 单元和第二 MAC 单元；分析窗系数获取模块，用于在同一拍读出对应的两个窗系数，分别送入第一 MAC 单元和第二 MAC 单元；第一 MAC 单元用于以窗系数中各组的第 $2*i$ 个数据作为权重，对样本序列各组中对应的第 $2*i$ 个数据进行加权并累加，第二 MAC 单元用于以窗系数中各组的第 $2*i+1$ 个数据作为权重，对样本序列各组中对应的第 $2*i+1$ 个数据进行加权并累加。同时，本发明分析阶段电路还包括：分析电路第二寄存器和多路选择器，其中：分析电路第二寄存器，与第二 MAC 单元相连接，用于暂存第二 MAC 单元的运算结果；多路选择器，与第一 MAC 单元和分析电路第二寄存器相连接，用于将第一 MAC 单元和第二 MAC 单元的运算结果分两拍写入运算结果存储模块。

[0034] 优选地，本发明分析阶段电路中，样本序列存储模块，采用改变初始读 / 写操作地址和模寻址的方式，实现样本序列的循环移位；和 / 或运算结果存储模块，采用改变初始读 / 写操作地址和模寻址的方式，实现加权累加结果数据的缓存和循环移位。

[0035] 优选地，本发明分析阶段电路中，分析窗系数获取模块，采用译码电路方式，用于对接收到的分析窗系数的地址，进行译码得到对应的窗系数。

[0036] 根据本发明的另一个方面，还提供了一种 WOLA 滤波器组的综合阶段电路。该综合电路包括：IFFT 处理模块、IFFT 运算结果存储模块、综合窗系数获取模块、历史数据存储模块、乘 - 加运算模块和综合阶段控制模块，其中：IFFT 处理模块，用于对 K 点序列 $Y_k(m)$ 进行离散傅立叶逆变换，获得 K 点数据序列 $X'_k(m)$ ；IFFT 运算结果存储模块，与 IFFT 处理模

块相连接,用于保存 K 点数据序列 $X'_K(m)$;综合窗系数获取模块,用于获取与 K 点数据序列 $X'_K(m)$ 对应的窗系数;该综合窗系数获取模块深度为 L_s ,被分为 s 组,每组有 K 个数据;历史数据存储模块,用于存储历史运算结果,其深度为 L_s ,被分为 s 组,每组有 K 个数据,并同址写回乘 - 加运算模块的运算结果;乘 - 加运算模块,与 IFFT 运算结果存储模块和综合窗系数获取模块相连接,并与历史数据存储模块双向连接,用于将从 IFFT 运算结果存储模块获取的 $X'_K(m)$ 中的第 j 个数据,与从综合窗系数获取模块中获取的各组中的第 j 个系数相乘,然后与从历史数据存储模块中读取的对应组中的第 j 个历史数据相加;并将乘 - 加运算的结果按照原址返回历史数据存储模块;输出缓冲模块,与历史数据存储模块相连接,用于将从历史数据存储模块中读出的最旧的 R 个数据进行缓存,并按照预设时间输出。

[0037] 优选地,本发明综合阶段电路中,IFFT 运算结果存储模块采用折叠结构,存储深度减半而数据字长加倍,每次读操作完成两个数据,即第 $2*i$ 个数据和第 $2*i+1$ 个数据的读出;综合窗系数获取模块采用折叠结构,每次读操作完成两个窗系数的读出,即同时获取各组中的第 $2*i$ 个和第 $2*i+1$ 个窗系数。同时,本发明综合阶段电路还包括:综合电路第一寄存器,综合电路第一寄存器,与 IFFT 运算结果存储模块相连接,用于暂存地址为偶数的数据;IFFT 运算结果存储模块,其输入端的高 W 位和低 W 位分别与综合电路第一寄存器和 IFFT 处理模块相连接,用于从综合电路第一寄存器中获取地址为偶数的数据,从 IFFT 处理模块获取地址为奇数的数据,在同一拍将两个数据写入同一地址单元,两个数据分别位于同一地址单元的高 W 位和低 W 位。

[0038] 优选地,本发明综合阶段电路中,乘 - 加运算模块包含第一乘 - 加单元和第二乘 - 加单元,这两个乘 - 加单元与 IFFT 运算结果存储模块和综合窗系数获取模块相连接,并与历史数据存储模块双向连接;其中,第一乘 - 加单元用于将从 IFFT 运算结果存储模块获取的 $X'_K(m)$ 中的第 $2*i$ 个数据,与从综合窗系数获取模块获取的各组中的第 $2*i$ 个窗系数相乘,与从历史数据存储模块读取的相应组中的第 $2*i$ 个历史数据相加,并将乘 - 加运算的结果按照原址返回历史数据存储模块,第二乘 - 加单元用于将从 IFFT 运算结果存储模块获取的 $X'_K(m)$ 中的第 $2*i+1$ 个数据,与从综合窗系数获取模块获取的各组中的第 $2*i+1$ 个窗系数相乘,与从历史数据存储模块读取的相应组中的第 $2*i+1$ 个历史数据相加,并将乘 - 加运算的结果按照原址返回历史数据存储模块;IFFT 运算结果存储模块,采用折叠结构,存储深度减半而数据字长加倍,用于在同一拍读出两个数据,分别送入第一乘 - 加单元和第二乘 - 加单元;综合窗系数获取模块,采用折叠结构,用于在同一拍读出对应的两个窗系数,分别送入第一乘 - 加单元和第二乘 - 加单元;历史数据存储模块,采用折叠结构,每次读操作完成两组历史数据的读出,获取各组中的第 $2*i$ 个和第 $2*i+1$ 个历史数据,分别送至第一乘 - 加单元和第二乘 - 加单元。

[0039] 同时,本发明综合阶段电路还包括:综合电路第二寄存器和多路选择器,其中:综合电路第二寄存器,与历史数据存储模块相连接,用于暂存从历史数据存储模块读出的低 W 位数据;多路选择器,与历史数据存储模块和第二寄存器相连接,用于将从历史数据存储模块获取的高 W 位数据和从综合电路第二寄存器获取的低 W 位数据分两拍写入输出缓冲模块。

[0040] 优选地,本发明综合阶段电路中,IFFT 运算结果存储模块,采用改变初始读 / 写操作地址和模寻址的方式,实现 K 点数据序列 $X'_K(m)$ 的循环移位;和 / 或历史数据存储模块,

采用改变初始读 / 写操作地址和模寻址的方式，实现历史数据的循环移位。

[0041] 优选地，本发明综合阶段电路中，综合窗系数获取模块，采用译码电路方式，用于对接收到的综合窗系数的地址，进行译码得到对应的窗系数。

[0042] 根据本发明的再一个方面，还提供了一种低功耗 WOLA 滤波器组，其特征在于，该 WOLA 滤波器组包括上述的分析阶段电路和综合阶段电路。

[0043] (三) 有益效果

[0044] 本发明的 WOLA 滤波器组及其分析阶段电路和综合阶段电路具有下列有益效果：

[0045] (1) 本发明采用以非连续地址读取数据进行“乘 - 累加 (MAC)”和“乘 - 加”的方法，减少了功耗开销较大的存储器读写的次数；

[0046] (2) 本发明采用双运算单元结合折叠结构的存储器，实现两路运算并行执行，进一步减少整个系统操作所需时钟周期数，从而可以方便采用降低系统时钟频率或者时钟门控技术来降低动态翻转功耗；

[0047] (3) 本发明采用折叠结构的存储器、逻辑译码电路代替存储器“存储”数值固定的窗系数等方法，进一步减少了存储器读写的次数；

[0048] (4) 本发明采用改变初始读写地址结合模寻址的方式，代替数据移位操作，从而进一步减少了存储器读写的次数。

附图说明

- [0049] 图 1 为现有算法直接对应的 WOLA 滤波器组的结构示意图；
- [0050] 图 2 为本发明实施例分析阶段电路一的结构示意图；
- [0051] 图 3 为本发明实施例分析阶段电路二的结构示意图；
- [0052] 图 4 为本发明实施例综合阶段电路一的结构示意图；
- [0053] 图 5 为本发明实施例综合阶段电路二的结构示意图；
- [0054] 图 6 为本发明实施例 WOLA 滤波器组分析阶段电路的结构示意图；
- [0055] 图 7 为本发明实施例分析阶段电路中基于 MAC 单元实现加权叠接相加运算的示意图；
- [0056] 图 8 为图 7 中 MAC 单元内部的结构示意图；
- [0057] 图 9a 为本发明实施例 Srcdata_mem 第一次读 / 写操作的示意图；
- [0058] 图 9b 为本发明实施例 Srcdata_mem 第二次读 / 写操作的示意图；
- [0059] 图 9c 为本发明实施例 Srcdata_mem 第三次读 / 写操作的示意图；
- [0060] 图 10 为本发明实施例分析阶段电路 Srcdata_mem 中折叠结构及样本数据存储状态的示意图；
- [0061] 图 11 为本发明实施例 WOLA 滤波器组综合阶段电路的结构示意图；
- [0062] 图 12 为本发明实施例综合阶段电路中基于“乘 - 加”单元实现加权和相加操作的示意图；
- [0063] 图 13 为图 12 中所用到的“乘 - 加”单元内部的结构示意图。
- [0064] 【主要元件符号说明】
- [0065] 分析阶段电路 10
- [0066] 输入缓冲模块 102； 分析电路第一寄存器 104；

- [0067] 样本序列存储模块 106 ; 分析窗系数获取模块 108 ;
- [0068] 乘 - 累加 (MAC) 运算模块 110 ;
- [0069] 分析电路第二寄存器 112 ; 多路选择器 114 ;
- [0070] 运算结果存储模块 116 ; K 点 FFT 处理模块 118。
- [0071] 分析电路控制模块 120。
- [0072] 综合阶段电路 20
- [0073] IFFT 处理模块 202 ; 综合电路第一寄存器 204 ;
- [0074] IFFT 运算结果存储模块 206 ; 综合窗系数获取模块 208 ;
- [0075] 乘 - 加运算模块 210 ;
- [0076] 历史数据存储模块 212 ; 综合电路第二寄存器 214 ;
- [0077] 多路选择器 216 ; 输出缓冲模块 218 ;
- [0078] 综合电路控制模块 220。

具体实施方式

[0079] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明进一步详细说明。

[0080] 本发明的基本思想是:①尽量减少功耗开销较大的存储器读写操作;②减少整个运算所需的时钟周期数,则可通过降低系统时钟频率或者采用时钟门控技术来降低动态翻转功耗。下文中,如无特别说明,各参数均为大于 1 的整数,如 L_A , L_S , r , k 等。

[0081] 在本发明的一个基础实施例中,公开了一种 WOLA 滤波器组分析阶段电路。图 2 为本发明实施例分析阶段电路一的结构示意图。如图 2 所示,本实施例分析阶段电路 10 包括:输入缓冲模块 102、样本序列存储模块(以下简称 Srcddata_mem)106、分析窗系数获取模块(以下简称 anal_coef)108、乘 - 累加 (MAC) 运算模块 110、运算结果存储模块(以下简称 mac_mem)116、K 点 FFT 处理模块(以下简称 K 点 FFT)118 和分析电路控制模块 120。其中:输入缓冲模块 102,与数据来源端相连接,用于缓存输入的样本数据,当累积到预设数目的样本数据时,将该预设数目的样本数据读出并转存至样本序列存储模块;样本序列存储模块 106,用于存储当前次输入的 R 点样本和最近的 L_A -R 点历史样本,组成长度为 L_A 的样本序列,该样本序列被分为 r 组,每组有 K 个数据,其中 $r = L_A/K$;分析窗系数获取模块 108,用于获取对样本序列数据加权的窗系数,该窗系数也被分为 r 组,每组有 K 个数据;MAC 运算模块 110,由一个 MAC 单元构成,并与样本序列存储模块 106 和分析窗系数获取模块 108 相连接,用于以窗系数中各组的第 j 个数据作为权重,对样本序列各组中对应的第 j 个数据进行加权并累加(其中 $j = 0, 1, 2, \dots, K-1$),最终输出 K 个加权累加的结果;运算结果存储模块 116,与 MAC 运算模块 110 相连接,用于存储上述加权累加的结果;FFT 处理模块 118,与运算结果存储模块 116 相连接,用于从运算结果存储模块获取加权累加结果的 K 点序列,并对 K 点序列进行离散傅里叶变换,输出离散傅里叶变换的结果 $X_k(m)$;分析电路控制模块 120,与分析阶段电路中的各模块相连接,用于控制分析阶段电路各模块的运算和读写的操作时序。

[0082] 本实施例的 WOLA 滤波器组分析阶段电路中,采用在加权的同时累加,且最后只将累加的结果保存到 mac_mem 中,无需保存加权的中间运算结果,从而减少了存储器的读写

操作。

[0083] 本实施例的 WOLA 滤波器组分析阶段电路中,样本序列存储模块,采用改变初始读 / 写操作地址和模寻址的方式,实现样本序列的循环移位。运算结果存储模块,采用改变初始读 / 写操作地址和模寻址的方式,实现加权累加结果数据的缓存和循环移位。上述设置避免了在循环移位过程中所需的存储器读写操作,进一步降低了功耗。

[0084] 图 3 为本发明实施例分析阶段电路二的结构示意图。如图 3 所示,本实施例分析阶段电路中,样本序列存储模块采用折叠结构,其存储深度减半而数据字长加倍,每次读 / 写操作完成两个样本数据的读出 / 写入;分析窗系数获取模块采用折叠结构,存储深度减半而数据字长加倍,每次读操作完成两个窗系数的读出。本实施例的 MAC 运算模块由第一 MAC 单元和第二 MAC 单元(以下分别称为 MAC 单元 0 以及 MAC 单元 1)构成。本实施例中,样本序列存储模块 106,在同一拍读出两个样本数据,分别送入 MAC 单元 0 和 MAC 单元 1;分析窗系数获取模块 108,用于在同一拍读出对应的两个窗系数,分别送入 MAC 单元 0 和 MAC 单元 1;此实施例中,MAC 单元 0,用于以窗系数各组中的第 $2*i$ 个数据作为权重,对样本序列各组中对应的第 $2*i$ 个数据进行加权并累加,并将累加结果送入运算结果存储模块;MAC 单元 1,与样本序列存储模块 106 和分析窗系数获取模块 108 相连接,用于以窗系数各组中的第 $2*i+1$ 个数据作为权重,对样本序列各组中对应的第 $2*i+1$ 个数据进行加权并累加,并将累加结果送入运算结果存储模块(其中 $i = 0, 1, 2, \dots, K/2-1$)。MAC 单元 0 和 MAC 单元 1 平行设置。

[0085] 本实施例采用双运算单元(MAC 单元 0 和 MAC 单元 1)结合上述折叠结构的样本序列存储模块和分析窗系数获取模块,实现两路运算并行执行,进一步减少整个系统操作所需时钟周期数,从而可以方便采用降低系统时钟频率或者时钟门控技术来降低动态翻转功耗。

[0086] 此外,如图 3 所示,本实施例分析阶段电路还包括:分析电路第一寄存器 104、分析电路第二寄存器 112 和多路选择器 114。分析电路第一寄存器 104,与输入缓冲模块 102 相连接,用于暂存地址为偶数的数据;样本序列存储模块 106,其输入端的高 W 位和低 W 位分别与分析电路第一寄存器 104 和输入缓冲模块 102 相连接,用于从分析电路第一寄存器中获取地址为偶数的数据,从输入缓冲器获取地址为奇数的数据,在同一拍将两个数据写入同一地址单元,这两个数据分别位于同一地址单元的高 W 位和低 W 位。分析电路第二寄存器 112,与 MAC 单元 1 相连接,用于暂存 MAC 单元 1 加权累加运算的结果。多路选择器 114,与 MAC 单元 0 和分析电路第二寄存器 112 相连接,用于将 MAC 单元 0 和 MAC 单元 1 的运算结果分两拍写入运算结果存储模块 116。

[0087] 本实施例分析阶段电路中,分析窗系数获取模块,采用译码电路方式,用于对接收到的分析窗系数的地址,进行译码得到对应的窗系数。因为窗系数的值固定,从而用译码电路代替窗系数存储器。译码电路的实现形式的面积和功耗开销,均比采用存储器来存储系数的方法要小。该译码电路模块的输入 / 输出端口及其时序与存储器完全相同。

[0088] 图 4 为本发明实施例综合阶段电路一的结构示意图。如图 4 所示,该综合阶段电路 20 包括:K 点 IFFT 处理模块(以下简称 K 点 IFFT)202、IFFT 运算结果存储模块(以下简称 IFdata_mem)206、综合窗系数获取模块(以下简称 synth_coef)208、历史数据存储模块(以下简称 Redata_mem)212、乘 - 加运算模块 210、输出缓冲模块(以下简称 Out_buffer)218

和综合电路控制模块 220。其中 :IFFT 处理模块 202, 用于对 K 点序列 $Y_k(m)$ 进行离散傅立叶逆变换, 获得 K 点数据序列 $X'_K(m)$; IFFT 运算结果存储模块 206, 与 IFFT 处理模块 202 相连接, 用于保存 K 点数据序列 $X'_K(m)$; 综合窗系数获取模块 208, 用于获取与 K 点数据序列 $X'_K(m)$ 对应的窗系数, 该综合窗系数获取模块深度为 L_s , 被分为 s 组, 每组有 K 个数据; 历史数据存储模块 212, 用于存储历史运算结果, 其深度为 L_s , 被分为 s 组, 每组有 K 个数据, 并同址写回乘 - 加运算模块 210 的运算结果; 乘 - 加运算模块 210, 由一个乘 - 加单元构成, 与 IFFT 运算结果存储模块 206 和综合窗系数获取模块 208 相连接, 并与历史数据存储模块 212 双向连接, 用于将从 IFFT 运算结果存储模块 206 获取的 $X'_K(m)$ 中的第 j 个数据, 与从综合窗系数获取模块 208 中获取的各组中的第 j 个系数相乘, 与从历史数据存储模块 212 中获取的相应组中的第 j 个历史数据相加, 并将乘 - 加运算的结果同址写回历史数据存储模块 212; 输出缓冲模块 218, 与历史数据存储模块 212 相连接, 用于将从历史数据存储模块中读出的最旧的 R 个数据进行缓存, 并按照预设时间输出; 综合电路控制模块 220, 与所述综合阶段电路中的各模块相连接, 用于控制综合阶段电路各模块的运算和读 / 写操作的时序。

[0089] 本实施例中, 每从 IFFT 运算结果存储模块读出一个数据可使用 L_s/K 次, 省去了周期扩展所需存储器以及相应的存储器读写操作。IFFT 运算结果存储模块 206, 采用改变初始读 / 写操作地址和模寻址的方式, 实现 K 点数据序列 $X'_K(m)$ 的循环移位。历史数据存储模块 212, 采用改变初始读 / 写操作地址和模寻址的方式, 实现历史数据的循环移位。

[0090] 图 5 为本发明实施例综合阶段电路二的结构示意图。如图 5 所示, 该综合阶段电路的乘 - 加运算模块由第一乘 - 加单元和第二乘 - 加单元 (以下分别称为乘 - 加单元 0 以及乘 - 加单元 1) 构成。IFFT 运算结果存储模块 206 采用折叠结构, 存储深度减半而数据字长加倍, 每次读 / 写操作完成两个数据的读出 / 写入。综合窗系数获取模块 208 采用折叠结构, 每次读操作完成两个窗系数的读出, 即同时获取各组中的第 $2*i$ 和第 $2*i+1$ 个窗系数。历史数据存储模块 212, 采用折叠结构, 存储深度减半而数据字长加倍, 每次读操作完成两组历史数据的读出, 获取各组中的第 $2*i$ 和第 $2*i+1$ 个历史数据, 分别送至乘 - 加单元 0 以及乘 - 加单元 1。在该实施例中, 乘 - 加单元 0, 用于将从 IFFT 运算结果存储模块 206 获取的 $X'_K(m)$ 中的第 $2*i$ 个数据, 与从综合窗系数获取模块 208 获得的各组中的第 $2*i$ 个窗系数相乘, 然后与从历史数据存储模块 212 获得的相应组中的第 $2*i$ 个历史数据相加, 并将乘 - 加运算的结果同址写回历史数据存储模块 212。乘 - 加单元 1, 与 IFFT 运算结果存储模块 206 和综合窗系数获取模块 208 相连接, 并与历史数据存储模块 212 双向连接, 用于将从 IFFT 运算结果存储模块 206 获得的 $X'_K(m)$ 中的第 $2*i+1$ 个数据, 与从综合窗系数获取模块 208 获得的各组中的第 $2*i+1$ 个窗系数相乘, 然后与从历史数据存储模块 212 获得的相应组中的第 $2*i+1$ 个历史数据相加 (其中 $i = 0, 1, 2, \dots, K/2-1$), 并将乘 - 加运算的结果同址写回历史数据存储模块 212。乘 - 加单元 0 和乘 - 加单元 1 平行设置。

[0091] 同上述分析阶段电路的实施例类似, 本实施例中, IFFT 运算结果存储模块 206、历史数据存储模块 212 均采用折叠结构来减少读写操作次数, 并与双“乘 - 加”单元相结合实现两路运算并行执行, 减少操作时间开销。

[0092] 如图 5 所示, 在本发明中, 综合窗系数获取模块, 采用译码电路方式, 用于对接收到的综合窗系数的地址, 进行译码得到对应的窗系数。

[0093] 该综合阶段电路还包括：综合电路第一寄存器 204（以下简称 reg_1）。综合电路第一寄存器 204，与 IFFT 运算结果存储模块 206 相连接，用于暂存地址为偶数的数据。IFFT 运算结果存储模块 206，其输入端的高 W 位和低 W 位分别与综合电路第一寄存器 204 和 IFFT 处理模块 202 相连接，用于从综合电路第一寄存器 204 中获取地址为偶数的数据，从 IFFT 处理模块 202 获取地址为奇数的数据，在同一拍将两个数据写入同一地址单元，这两个数据分别位于同一地址单元的高 W 位和低 W 位。

[0094] 该综合阶段电路还包括：综合电路第二寄存器 214（以下简称 reg_2）多路选择器 216（以下简称 MUX）。综合电路第二寄存器 214，与历史数据存储模块 212 相连接，用于暂存从历史数据存储模块 212 读出的低 W 位数据。多路选择器 216，与历史数据存储模块 212 以及综合电路第二寄存器 214 相连接，用于将从历史数据存储模块 212 获取的高 W 位数据和综合电路第二寄存器 214 获取的低 W 位数据分两拍写入输出缓冲模块 220。

[0095] 本实施例的技术特征和分析阶段电路中相应的技术特征所带来的技术效果相同，此处不再赘述。

[0096] 此外，根据本发明的再一个方面，还提供了一种 WOLA 滤波器组。该 WOLA 滤波器组包括上述各实施例中的分析阶段电路和综合阶段电路。

[0097] 以下将在上述各实施例的基础上，给出本发明的最优实施例。需要说明的，该最优的实施例仅用于理解本发明，并不用于限制本发明的保护范围。并且，最优实施例中的特征，在无特别注明的情况下，均同时适用于分析阶段电路和综合阶段电路，在相同或不同实施例中出现的技术特征在不相互冲突的情况下可以组合使用。

[0098] 图 6 为本发明实施例 WOLA 滤波器组分析阶段电路结构示意图。图中的 FFT 处理模块是信号处理等系统中常见的电路模块，用于完成 K 点序列的离散傅立叶变换；ctr_0 ~ ctr_9 是由分析电路控制模块给出的其余各模块的控制信号。该 WOLA 滤波器组分析阶段电路采用折叠存储器和双 MAC 单元结构，其实现所需运算的过程和其余各主要模块的具体结构如下文。

[0099] 图 7 为本发明实施例分析阶段电路中基于 MAC 单元实现加权叠接相加运算的示意图。该图以采用非折叠存储器和单 MAC 单元的结构为例来说明，基于折叠存储器和双 MAC 单元的情况与此类似。本发明直接将 Srcdata_mem 中存储的输入样本序列和分析窗系数均分为每组为 K 个数据的 $r = L_A/K$ 组，将样本序列和窗系数各组的第 i 个数据（其中 $i = 0, 1, 2, \dots, K-1$ ）依次读出（即读操作地址不连续，而是间隔为 K）送入 MAC 单元，完成加权并同时累加，且最后只将累加的结果保存到 mac_mem 中。

[0100] 图 8 为图 7 中 MAC 单元内部的结构示意图。该运算单元是数字信号处理等系统中常见的电路单元。这样，本实施例将加权与累加操作合并，完全无需保存加权的中间运算结果，从而大幅度减少了存储器的读写操作。

[0101] 图 9 为本发明实施例分析阶段电路中 Srcdata_mem 的读 / 写操作方式示意图。Srcdata_mem 的读 / 写操作采用模寻址的方式，并通过读 / 写起始地址的改变取代数据的移位操作。

[0102] 图 9a 为本发明实施例 Srcdata_mem 第一次读 / 写操作的示意图。如图 9a 所示，Srcdata_mem 将最新由输入缓冲器送来的 R 个样本按照输入时间先后依次存放在 L_A-R 到 L_A-1 的地址单元，并以 0 为起始地址读出数据用于 MAC 运算。

[0103] 图 9b 为本发明实施例 Srcdata_mem 第二次读 / 写操作的示意图。Srcdata_mem 将最新由输入缓冲器送来的 R 个样本按照输入时间先后依次存放在 0 到 R-1 的地址单元，并以 R 为起始地址读出数据用于 MAC 运算。

[0104] 图 9c 为本发明实施例 Srcdata_mem 第三次读 / 写操作的示意图。与图 9b 所示的方法类似。其余各次读 / 写操作以此类推。

[0105] 运算结果存储模块 mac_mem 采用类似图 9 的模寻址和改变初始读 / 写操作地址的方式，实现数据的循环移位。

[0106] 实际上，本实施例的 Srcdata_mem 存储器模块采用折叠结构，即将字长加倍为 2W 而将深度减半为 $L_A/2$ ，每次读 / 写操作完成两个样本数据的读出 / 写入，则可使得存储器读 / 写操作的次数减半。

[0107] 图 10 为本发明实施例分析阶段电路中 Srcdata_mem 折叠结构及样本数据存储状态的示意图。如图 10 所示，通过寄存器 reg_1 将地址为偶数的数据延迟一拍，并与地址为奇数的数据在同一拍写入折叠结构的 Srcdata_mem 的同一个地址单元（分别位于该地址单元的高 W 位和低 W 位）。而在读操作时，每一拍同时读出两个数据，分别送入 MAC 单元 0 和 MAC 单元 1，并同时执行运算，提高了运算速度。

[0108] 图 6 中的分析窗系数获取模块 anal_coef 以译码电路取代存储器“保存”分析窗系数，同时采用与图 10 中 Srcdata_mem 类似的折叠结构（但是 anal_coef 没有写操作的过程），每次同时输出两个系数，分别送入 MAC 单元 0 和 MAC 单元 1，并同时执行运算。

[0109] 图 11 为本发明实施例 WOLA 滤波器组综合阶段的电路结构图。图中的 IFFT 处理模块是信号处理等系统中常见的电路模块，用于完成 K 点序列的离散傅立叶逆变换；ctr_0 ~ ctr_9 是由控制模块给出的各模块的控制信号。图中，IFFT 的运算结果，按照上文的模寻址和改变初始地址的方式写入 IFFT 运算结果存储模块 IFdata_mem，取代数据在存储器中的循环移位操作。并且，IFFT 运算结果存储模块 IFdata_mem、历史数据存储模块 Redata_mem 均采用了上文的折叠结构来减少读 / 写操作次数，并结合双“乘 - 加”单元实现两路运算并行执行，减少操作时间开销。综合窗系数获取模块 synth_coef 以译码电路实现综合窗系数的“存储”，并采用上文的折叠结构。图中的多路选择器 MUX 用于将历史数据存储模块 Redata_mem 同时输出的两个数据分两拍依次写入输出缓冲器 Out_buffer。

[0110] 图 12 为本发明实施例综合阶段电路中基于“乘 - 加”单元实现加权和相加操作的示意图。该图以采用非折叠存储器和单“乘 - 加”单元的结构为例来说明，基于折叠存储器和双“乘 - 加”单元的情况与此类似。IFdata_mem 中的数据不进行周期扩展，而是以每组为 K 个数据的方式将综合窗系数和历史数据分成 $s = L_s/K$ 组，并以间隔为 K 的地址将窗系数各组的第 i 个数据（其中 $i = 0, 1, 2 \dots K-1$ ）依次读出用于对 IFdata_mem 中的第 i 个数据进行加权，并同时与历史数据相应组的第 i 个数据（与窗系数的读出方式相同）进行相加（该加权 - 相加操作通过“乘 - 加”单元实现），结果按照原址写回历史数据存储模块 Redata_mem。在该方法中，每从 IFdata_mem 读出一个数据可使用 L_s/K 次，省去了周期扩展所需要的存储器开销以及相应的存储器读 / 写操作。其中，图 13 中的历史数据存储模块 Redata_mem 为双端口结构的存储器，可同时读出一个数据用于相加操作并将前次相加结果写回。并且，该存储模块采用类似图 10 的模寻址和改变初始读 / 写地址的方式，实现数据的移位。

[0111] 图 13 为图 12 中所用到的“乘 - 加”单元内部的结构示意图。该运算单元结构简单并且是数字信号处理等系统中常见的电路。

[0112] 综上,本发明公开的 WOLA 滤波器组及其分析阶段电路、综合阶段电路,减少了功耗开销较大的存储器的读写次数,从而可直接降低硬件实现的功耗;此外,读写和运算时间开销的减少,可以方便在数据吞吐量不变的前提下,借助降低系统时钟频率或者时钟门控技术进一步降低动态翻转功耗。

[0113] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

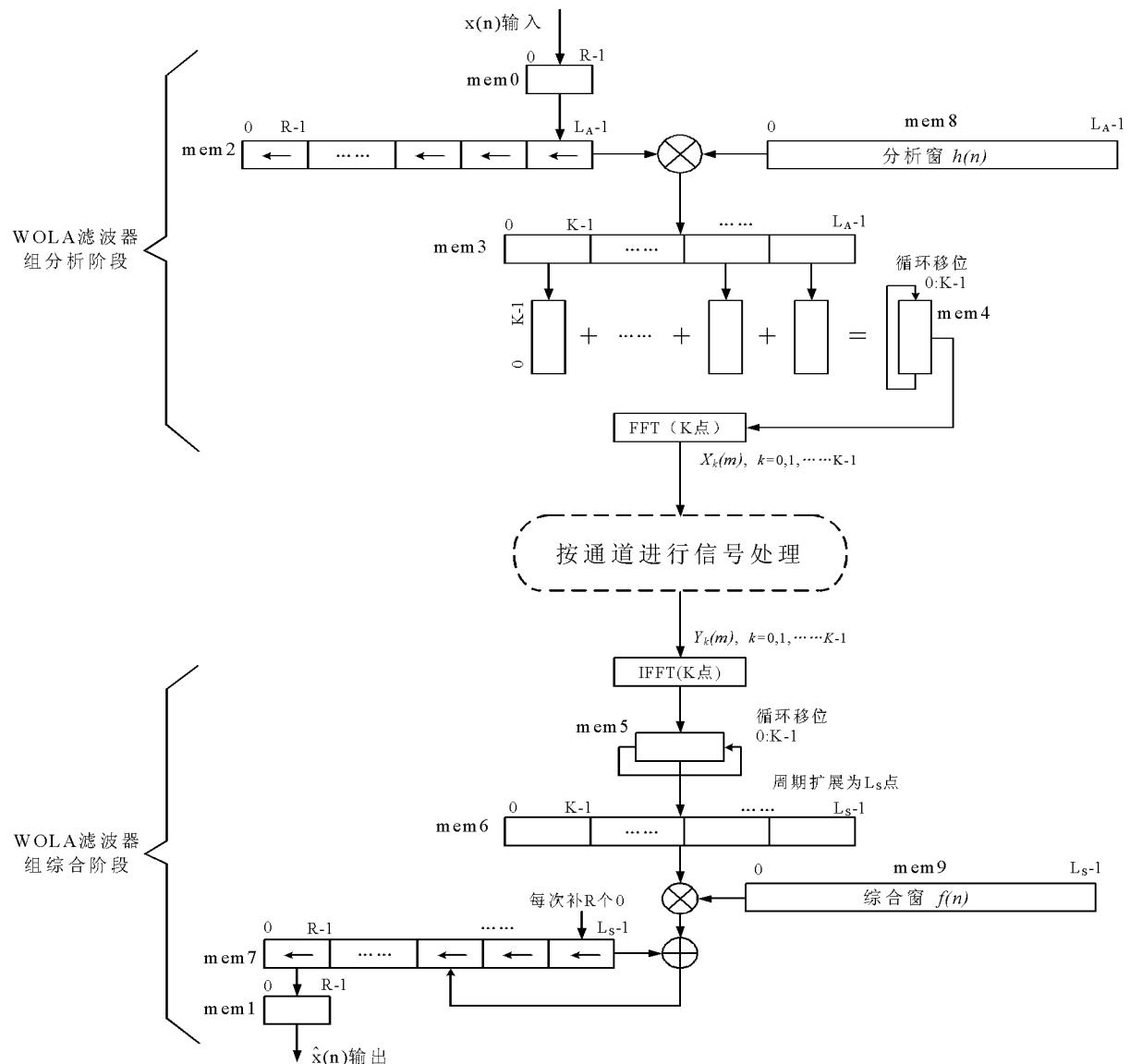


图 1

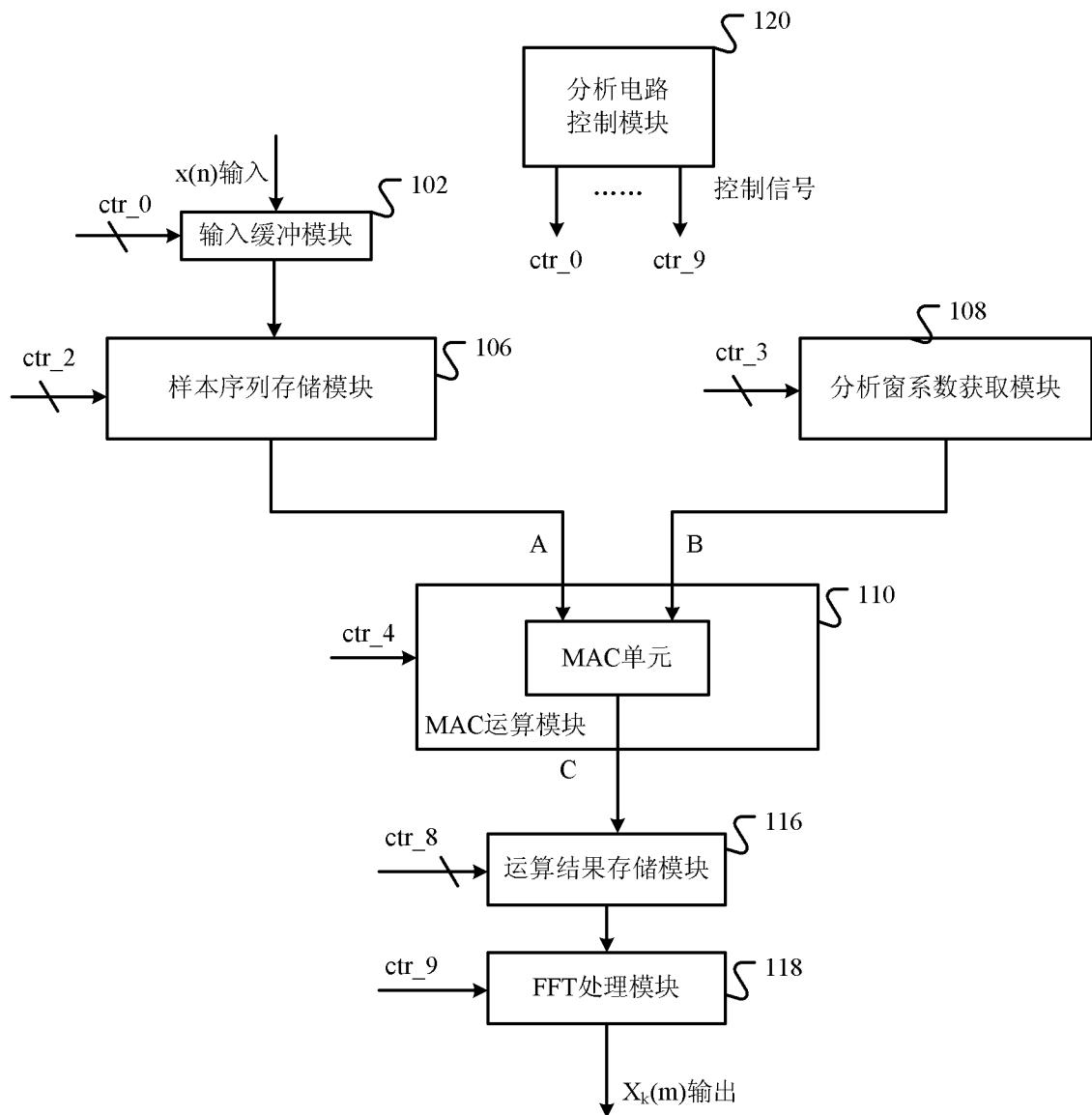


图 2

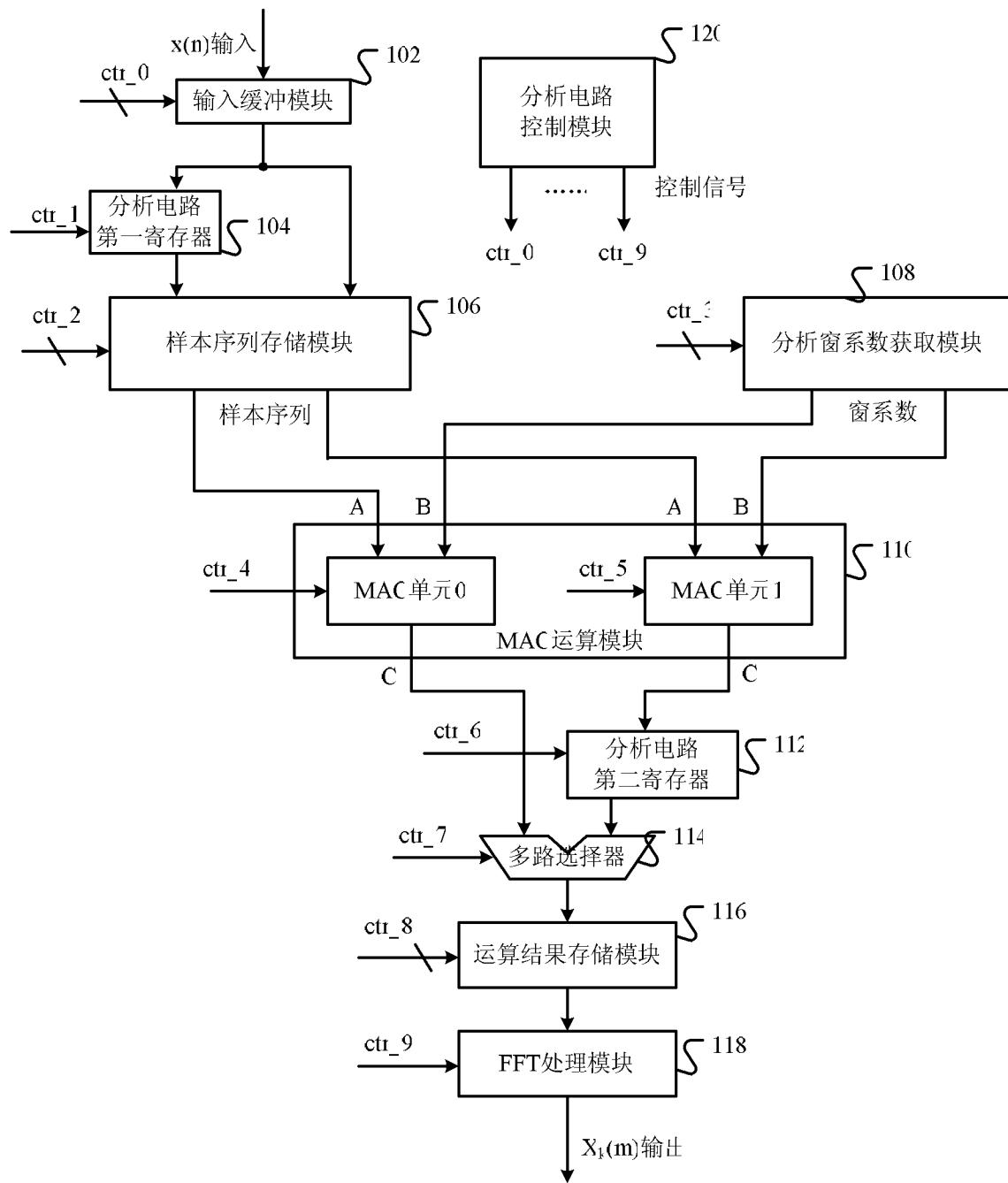


图 3

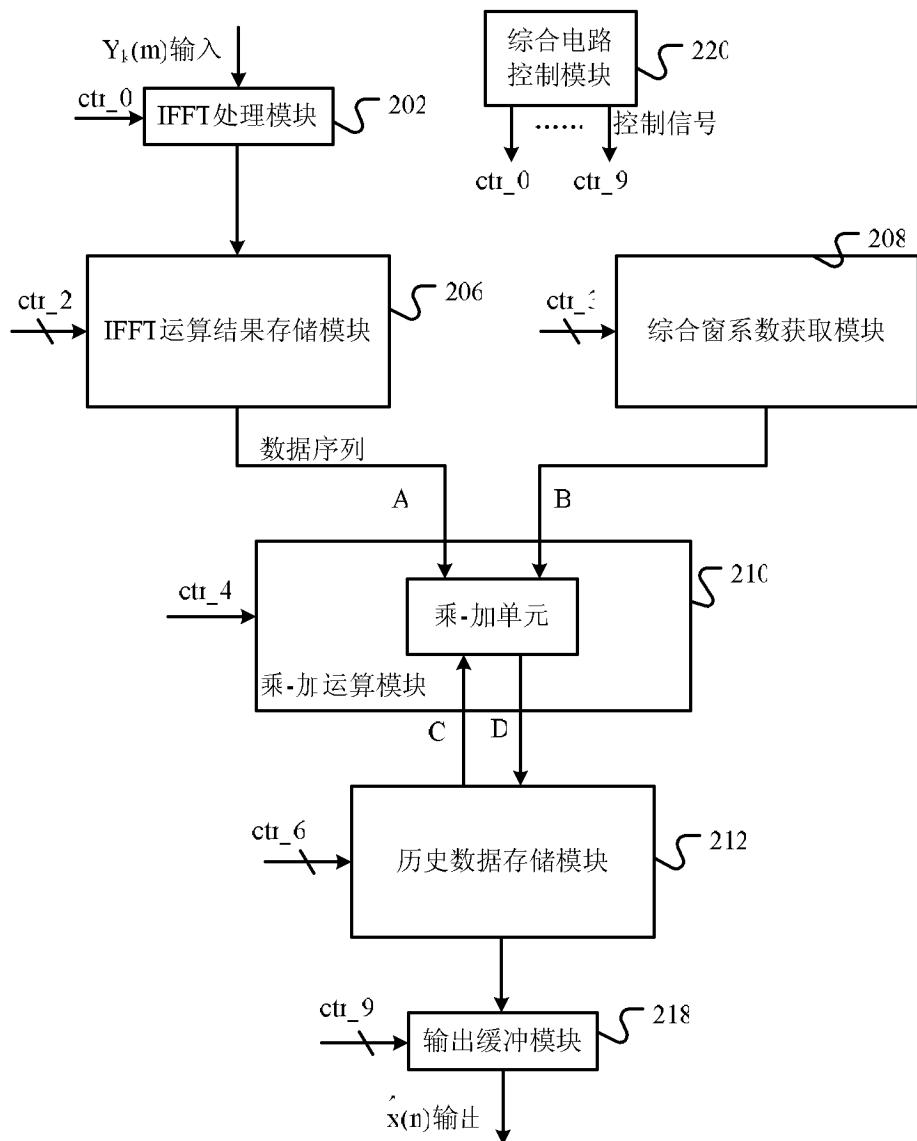


图 4

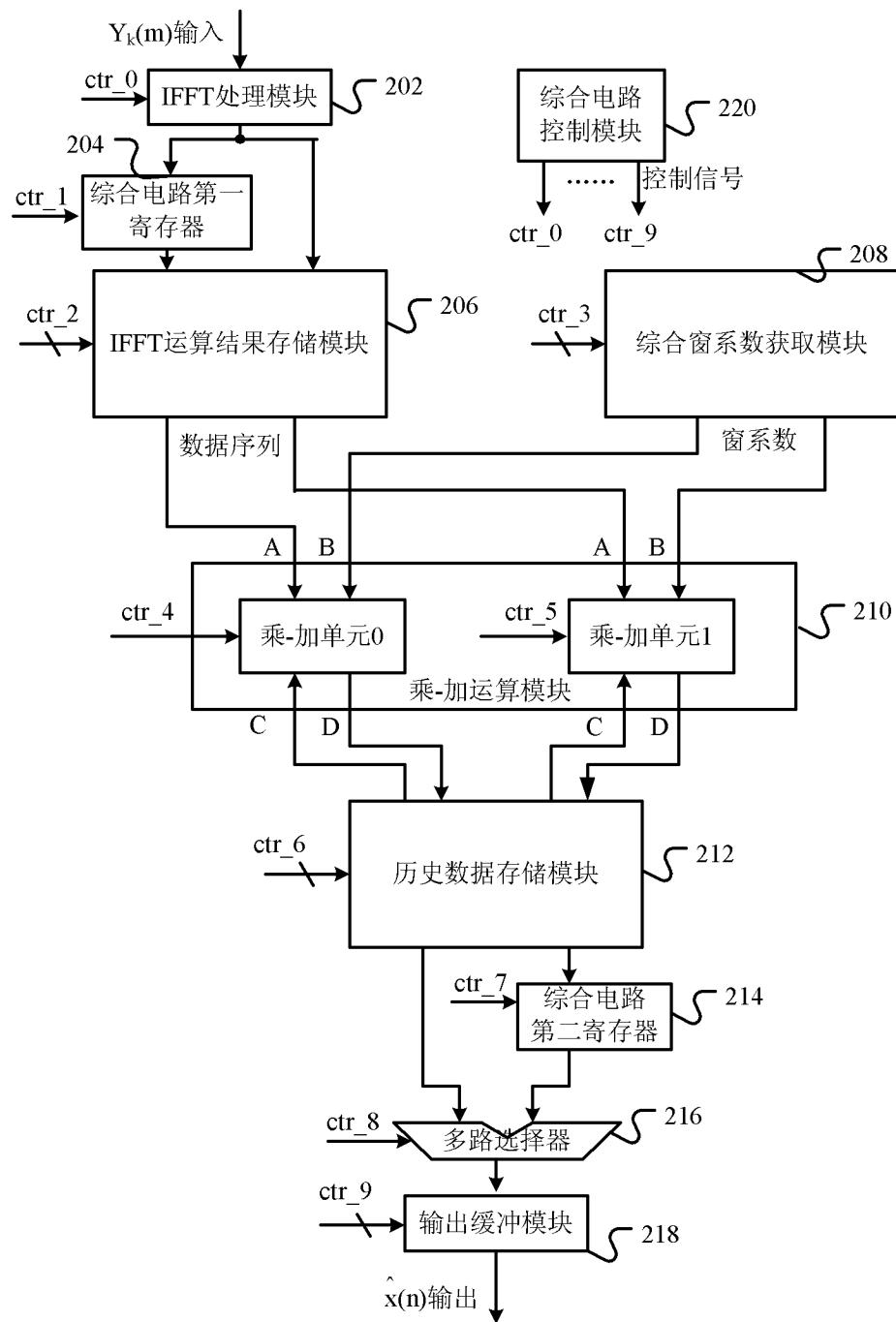


图 5

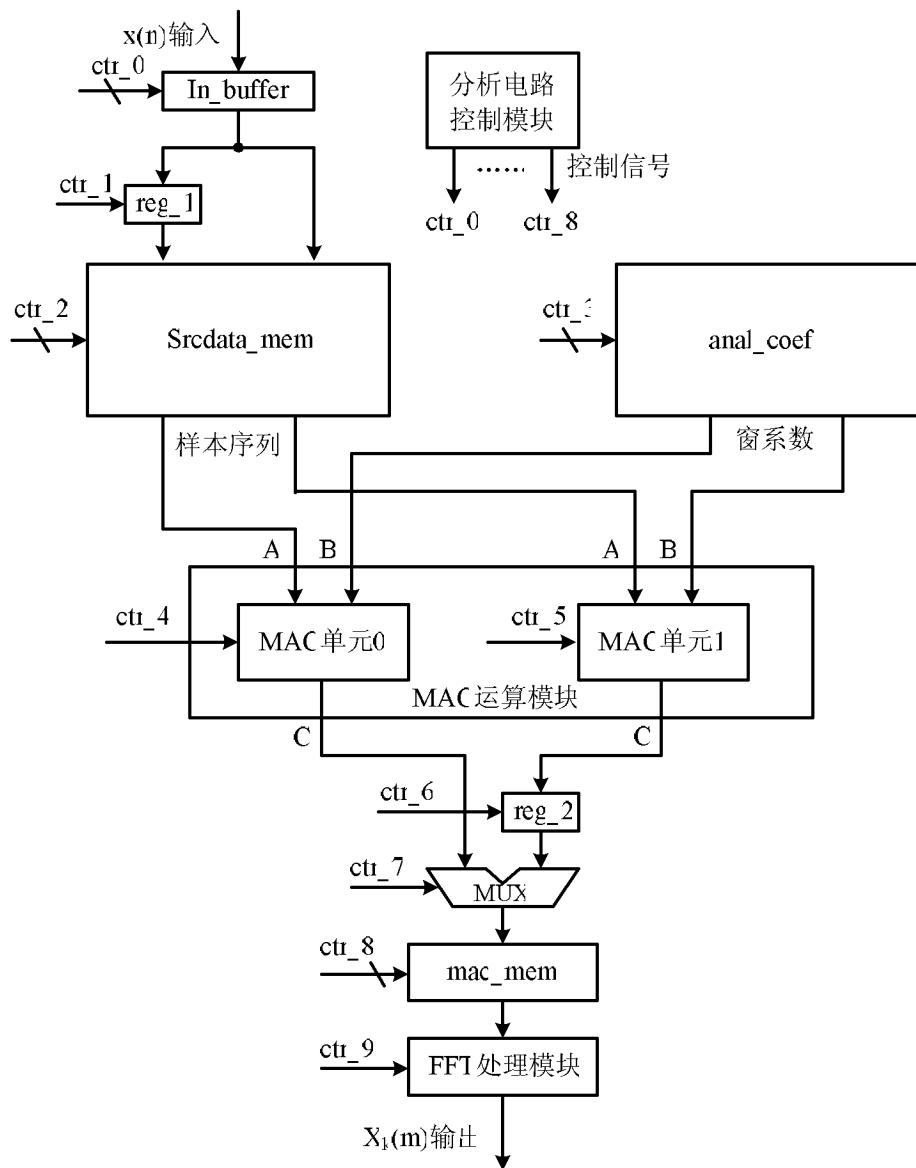


图 6

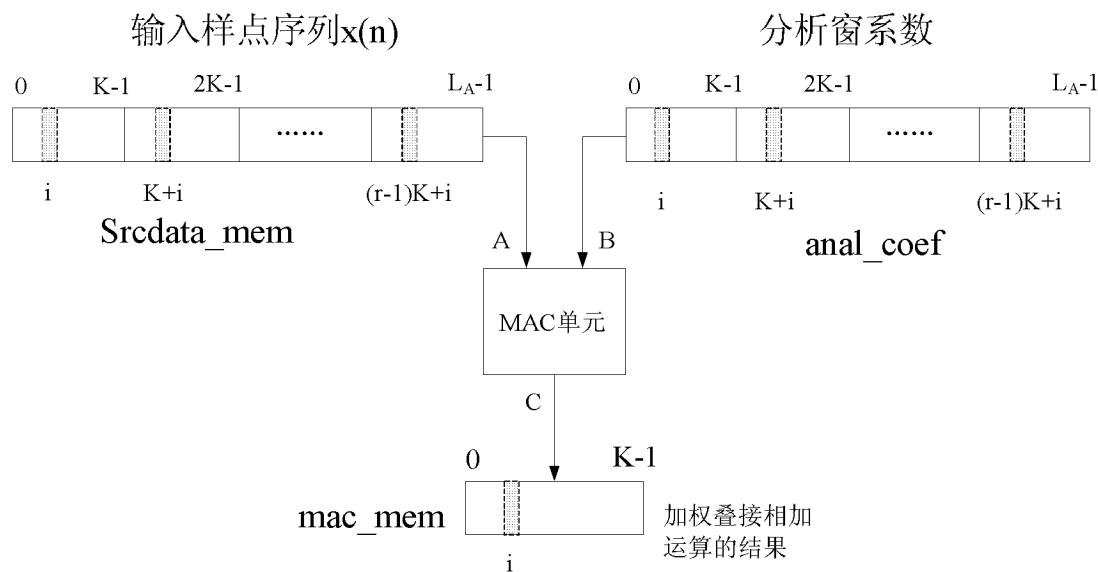


图 7

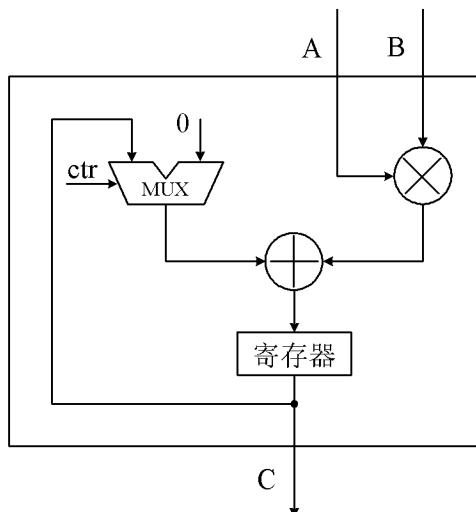


图 8

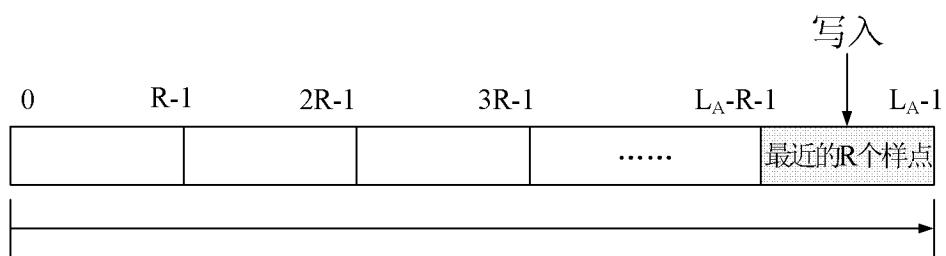


图 9a

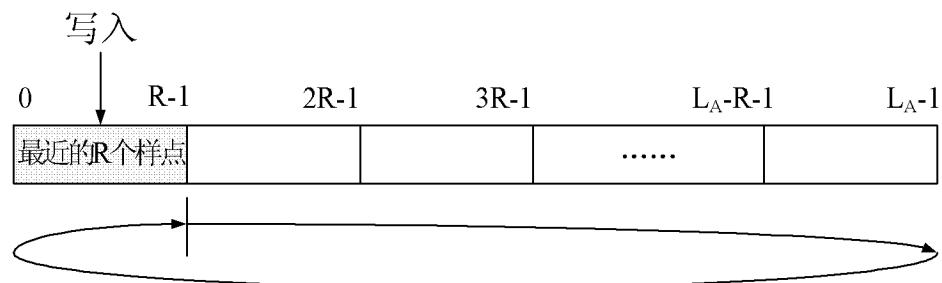


图 9b

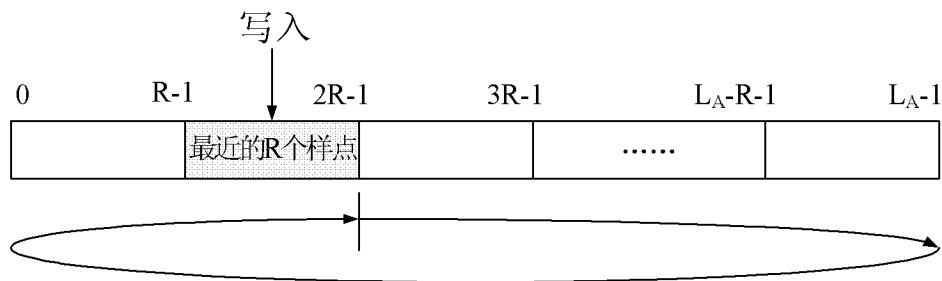


图 9c

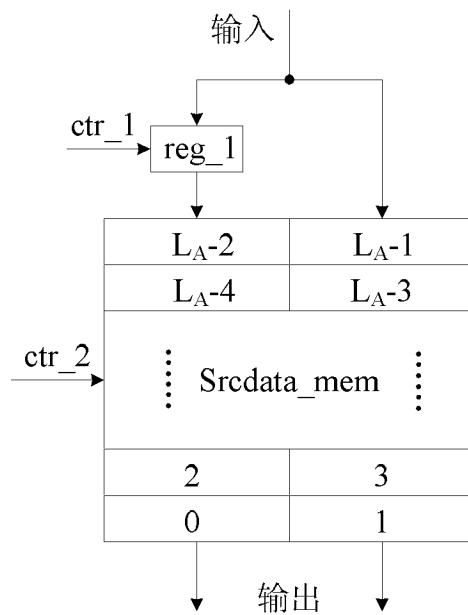


图 10

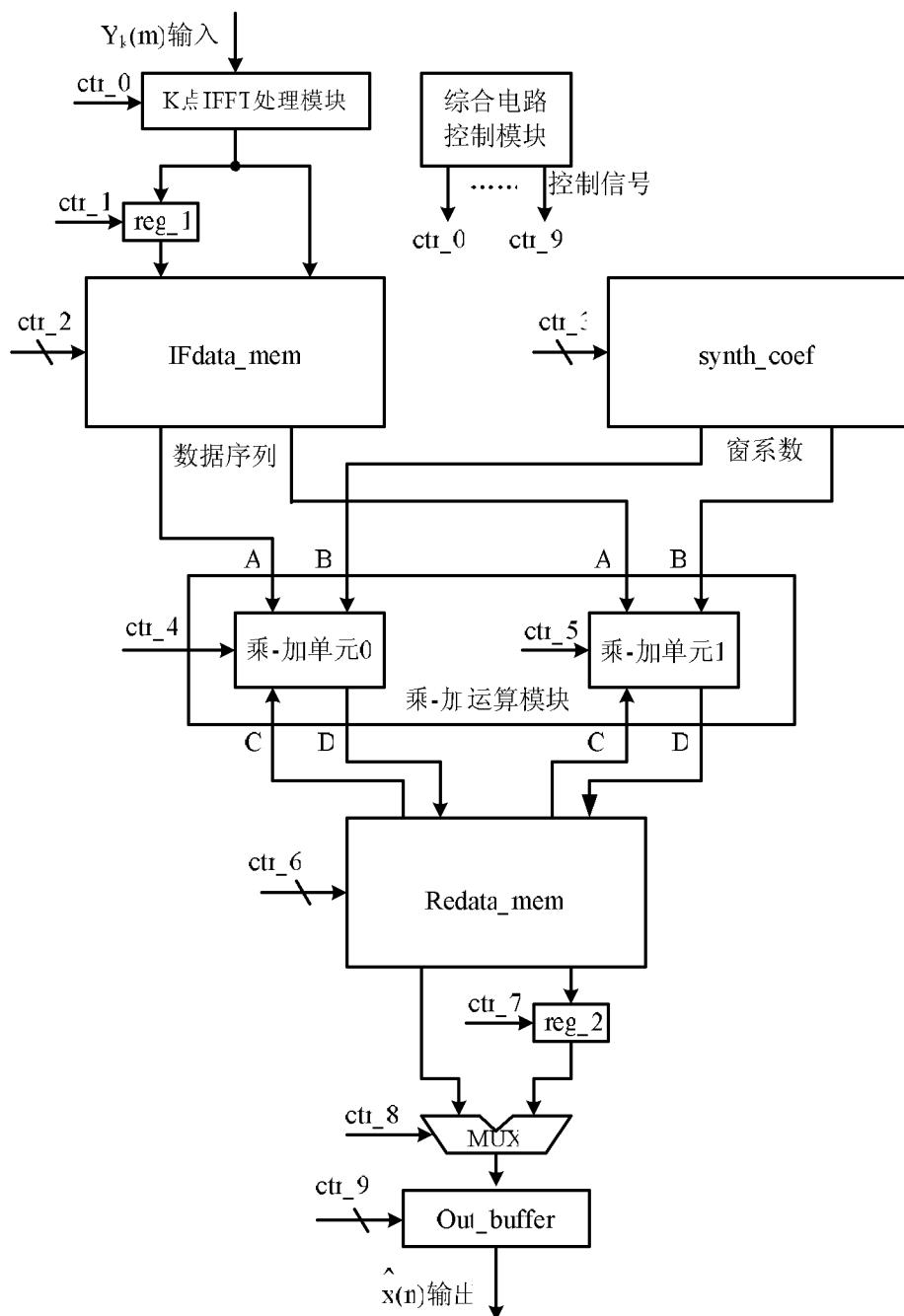


图 11

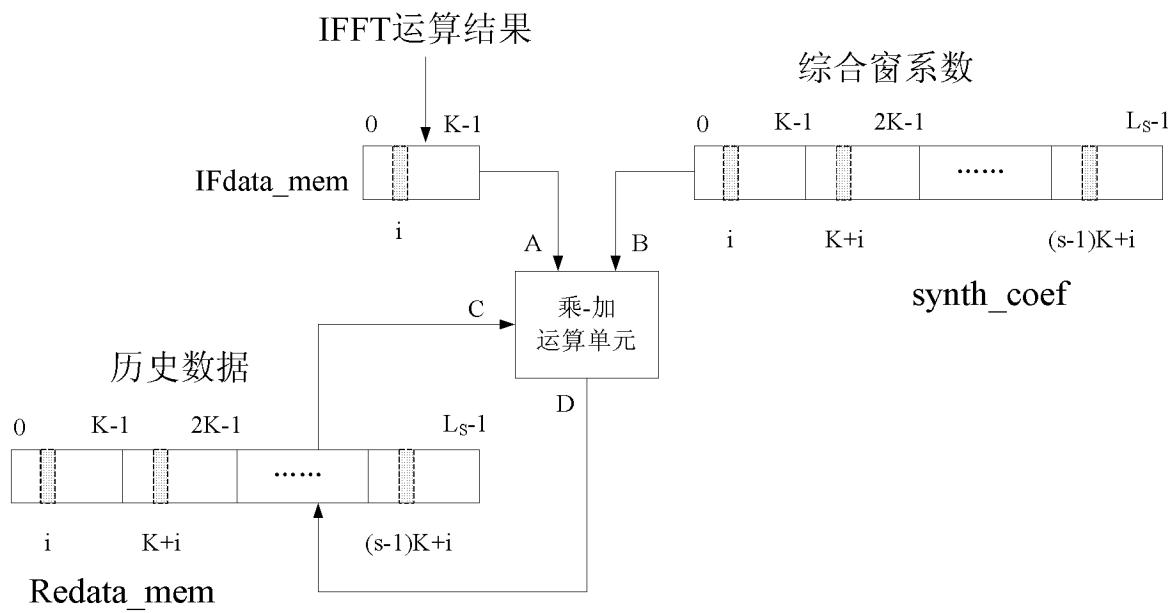


图 12

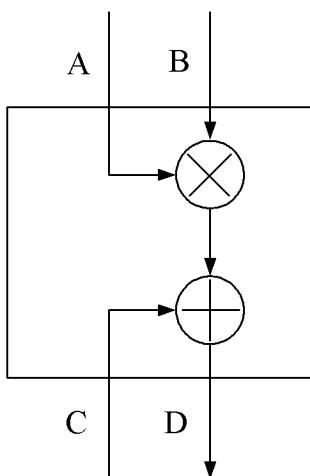


图 13