(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0055568
(43) 공개일자 2017년05월19일

(51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) *H01L 21/762* (2006.01)
H01L 29/417 (2006.01) *H01L 29/423* (2006.01)
H01L 29/775 (2006.01) *H01L 29/78* (2006.01)
H01L 29/786 (2006.01) *B82Y 10/00* (2017.01)
(52) CPC특허분류
H01L 29/66795 (2013.01)
H01L 29/41733 (2013.01)
(21) 출원번호 10-2017-7012675(분할)
(22) 출원일자(국제) 2011년11월23일
심사청구일자 없음
(62) 원출원 특허 10-2016-7013521
원출원일자(국제) 2011년11월23일
심사청구일자 2016년10월25일
(85) 번역문제출일자 2017년05월10일
(86) 국제출원번호 PCT/US2011/062059
(87) 국제공개번호 WO 2012/074872
국제공개일자 2012년06월07일
(30) 우선권주장
12/958,179 2010년12월01일 미국(US)

(71) 출원인
인텔 코포레이션
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200
(72) 발명자
쿤, 켈린 제이.
미국 97006 오레곤주 알로하 사우쓰웨스트 클라리온 스트리트 20280
김, 세연
미국 97229 오레곤주 포틀랜드 노쓰웨스트 코소레인 13062
(뒷면에 계속)
(74) 대리인
양영준, 백만기

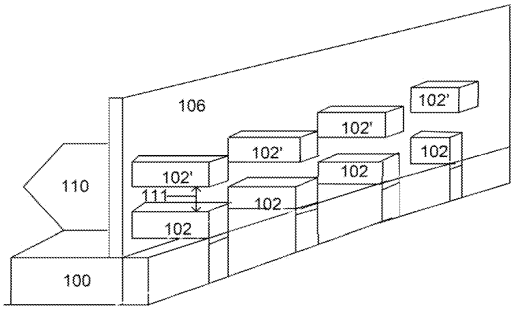
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **실리콘 및 실리콘 게르마늄 나노와이어 구조물**

(57) 요 약

마이크로전자 구조물들을 형성하는 방법들이 설명된다. 이들 방법의 실시예들은 스페이서들에 인접한 소스/드레인 구조물들과 스페이서들 사이에 배치된 나노와이어 채널 구조물들 - 나노와이어 채널 구조물들은 서로의 위로 수직으로 스택되어 있음 - 을 포함하는 나노와이어 장치를 형성하는 것을 포함한다.

대 표 도 - 도1i



(52) CPC특허분류
H01L 29/42392 (2013.01)
H01L 29/66439 (2013.01)
H01L 29/66742 (2013.01)
H01L 29/775 (2013.01)
H01L 29/7848 (2013.01)
H01L 29/785 (2013.01)
H01L 29/78618 (2013.01)
H01L 29/78654 (2013.01)
H01L 29/78696 (2013.01)

(72) 발명자
리오스, 라파엘
미국 97229 오레곤주 포틀랜드 노쓰웨스트 브론손 크레스트3688
세아, 스티븐 엠.
미국 97124 오레곤주 힐스보로 노쓰이스트 14번 애비뉴2135
길레스, 마틴 디.
미국 97229 오레곤주 포틀랜드 노쓰웨스트 다이아몬드 드라이브 12749
카펠라니, 안날리사
미국 97229 오레곤주 포틀랜드 노쓰웨스트 레이크뷰 드라이브 13668
라크시트, 티타시
미국 97124 오레곤주 힐스보로 노쓰웨스트 와일드우드 스트리트 319
창, 피터
미국 97229 오레곤주 포틀랜드 노쓰웨스트 차핀 드라이브3028
라흐마디, 윌리
미국 97007 오레곤주 비버톤 사우쓰웨스트 넛크랙커 코트10945

명 세 서

청구범위

청구항 1

나노와이어 장치를 형성하는 방법으로서,

후면 영역과 트렌치 영역이 노출되도록 실리콘 기판 상에 배치된 질화물 및 산화물의 교호하는 층들을 패터닝하는 단계;

상기 트렌치 영역과 후면 영역 내에 실리콘 재료 및 실리콘 게르마늄 재료 중 하나를 형성하는 단계;

상기 실리콘 게르마늄 및 실리콘 중 하나 상에 하드 마스크를 형성하는 단계;

상기 하드 마스크에 의해 덮여있지 않는 상기 질화물 및 산화물의 교호하는 층들의 일부를 제거하여 핀 구조물을 형성하는 단계; 및

상기 핀 구조물을 산화시키고 나서 산화된 부분들을 제거하여 나노와이어 구조물들을 형성하는 단계

를 포함하는 방법.

청구항 2

제1항에 있어서,

상기 나노와이어 구조물들은 상기 장치의 전부를 가로질러 배치되는 방법.

청구항 3

나노와이어 장치를 형성하는 방법으로서,

후면 영역과 트렌치 영역이 노출되도록 실리콘 기판 상에 배치된 질화물 및 산화물의 교호하는 층들을 패터닝하는 단계;

상기 트렌치 영역과 후면 영역 내에 실리콘 재료 및 실리콘 게르마늄 재료 중 하나를 형성하는 단계;

상기 실리콘 게르마늄 및 실리콘 중 하나 상에 하드 마스크를 형성하는 단계;

상기 하드 마스크에 의해 덮여있지 않는 상기 질화물 및 산화물의 교호하는 층들의 일부를 제거하여 핀 구조물을 형성하는 단계;

상기 핀 구조물 주위에 제2 하드 마스크를 형성하는 단계;

상기 핀 구조물에 인접한 게이트 영역을 형성하는 단계 - 상기 핀 구조물의 일부는 노출될 수 있음 -;

상기 핀 구조물을 산화시키고 나서 산화된 부분들을 제거하여 나노와이어 구조물들을 형성하는 단계

를 포함하는 방법.

청구항 4

제3항에 있어서,

상기 나노와이어 구조물들은 상기 게이트 영역에만 배치되는 방법.

청구항 5

제3항에 있어서,

상기 핀 구조물의 상기 산화된 부분들은

상기 산화물을 습식 식각으로 식각하고;

상기 실리콘 및 실리콘 게르마늄 중 하나를 이방성 식각으로 식각함으로써 제거되는 방법.

청구항 6

나노와이어 장치로서,

기판;

N 및 P 나노와이어 채널들과 연결되는 긴 콘택트;

상기 N 및 P 나노와이어 채널들 중 하나에 연결되는 짧은 콘택트 - 상기 N 및 P 나노와이어 채널들은 상기 기판 위에 배치되고, 상기 짧은 콘택트는 상기 긴 콘택트에 대해 키(height)가 작음 - ; 및

상기 N 및 P 나노와이어 채널들 중 하나와 상기 기판에 연결되는 상기 짧은 콘택트 아래에 배치된 바닥 콘택트를 포함하는 나노와이어 장치.

청구항 7

제6항에 있어서,

상기 기판은 Vss용을 포함하는 N+ 인버터를 포함하는 나노와이어 장치.

청구항 8

제6항에 있어서,

상기 짧은 콘택트와 상기 바닥 콘택트는 서로 어긋나는(misaligned) 나노와이어 장치.

청구항 9

제6항에 있어서,

상기 N 및 P 나노와이어들은 좌우 날개 구조물들을 포함하는 나노와이어 장치.

발명의 설명

기 술 분 야

[0001] 본 개시내용은 일반적으로 실리콘 및 실리콘 게르마늄 나노와이어 구조물에 관한 것이다.

배 경 기 술

[0002] 15nm 노드를 초과하는 마이크로전자 장치 크기 규모로 이동도(mobility) 향상 및 짧은 채널 제어를 유지하는 것은 장치 제조에 있어서 도전적인 과제이다.

발명의 내용

해결하려는 과제

[0003] 장치를 제조하는데 이용된 나노와이어는 짧은 채널 제어를 향상시킨다. 예를 들어, 실리콘 게르마늄(Si_xGe_{1-x}) 나노와이어 채널 구조물(여기서 x<0.5)은, 고전압 동작을 이용하는 많은 종래의 제품에 이용하기에 적합한 큰 Eg에서 이동도 향상을 제공한다. 더욱이, 실리콘 게르마늄(Si_xGe_{1-x}) 나노와이어 채널(여기서 x>0.5)은 낮은 Egs(예를 들어, 모바일/핸드헬드 영역의 저전압 제품에 적합함)에서 향상된 이동도를 제공한다.

과제의 해결 수단

[0004] 본 출원의 일 측면에 따르면 장치를 형성하는 방법으로서, 기판 상에 에피택셜 실리콘 게르마늄을 형성하는 단계; 상기 에픽택셜 실리콘 게르마늄 상에 에피택셜 실리콘을 형성하는 단계; 핀(fin) 구조물들이 형성되도록 상기 에피택셜 실리콘 게르마늄 상에 배치된 상기 에피택셜 실리콘을 패터닝하는 단계; 상기 핀 구조물들 상에 핀 구조물들을 가로질러 스페이서들을 형성하는 단계; 상기 기판 상의 소스/드레인 영역들로부터 상기 핀 구조물들의 일부를 제거하고 나서, 상기 스페이서들에 인접해 있는 상기 소스/드레인 영역들 상에 소스/드레인 구조물들

을 형성하는 단계; 및 상기 스페이서들 사이에 배치된 상기 핀 구조물들로부터 상기 실리콘 및 상기 에피택셜 실리콘 게르마늄 층들 중 하나를 제거하는 단계를 포함하는 방법이 제공된다. 상기 구조물은 게이트 올 어라운드 나노와이어 장치(gate all around nanowire device)의 일부를 포함할 수 있다. 에피택셜 실리콘 게르마늄의 부가적인 교호하는 층들을 에피택셜 실리콘 상에 형성하는 단계를 더 포함할 수 있다. 상기 실리콘은 서로 일정한 갭(gap) 만큼 분리된 실리콘 게르마늄 나노와이어 구조물들이 형성되도록 상기 핀 구조물로부터 제거될 수 있다. 상기 실리콘 게르마늄은 서로 일정한 갭(gap) 만큼 분리된 실리콘 나노와이어 구조물들이 형성되도록 상기 핀 구조물로부터 제거될 수 있다. 상기 실리콘 게르마늄 나노와이어 구조물들의 모든 측면 주위에 게이트 유전체가 형성될 수 있다. 상기 실리콘 나노와이어 구조물들의 모든 측면 주위에 게이트 유전체가 형성될 수 있다. 상기 실리콘 게르마늄 나노와이어 구조물들 주위에 게이트 전극 재료가 형성될 수 있다. 상기 실리콘 나노와이어 구조물들 주위에 게이트 전극 재료가 형성될 수 있다. 상기 실리콘 게르마늄 나노와이어 구조물들 주위에 게이트 전극 재료가 형성될 수 있다. 상기 게이트 전극 재료는 금속을 포함할 수 있다. 상기 게이트 전극 재료는 금속을 포함할 수 있다. 상기 소스 드레인 구조물에는 트렌치 콘택트가 연결되고, 상기 소스 드레인 구조물은 n^+ 도핑된 실리콘을 포함할 수 있다. 상기 소스/드레인 구조물과 상기 기판 사이에는 실리콘 에피택셜 팁(tip)이 배치될 수 있다. 상기 장치는 NMOS 게이트 올 어라운드 채널 장치의 일부를 포함할 수 있다. 상기 소스 드레인 구조물에는 트렌치 콘택트가 연결되고, 상기 소스/드레인 구조물은 p^+ 도핑된 실리콘 게르마늄을 포함할 수 있다. 상기 소스 드레인 구조물과 상기 기판 사이에는 실리콘 에피택셜 팁이 배치될 수 있다. 상기 장치는 PMOS 게이트 올 어라운드 채널 장치의 일부를 포함하고, 상기 실리콘 나노와이어들은 스트레인드(strained) 실리콘 나노와이어들을 포함할 수 있다.

[0005] 본 출원의 다른 측면에 따르면 나노와이어 장치를 형성하는 방법으로서, SOI 기판 상의 에피택셜 실리콘 게르마늄 상에 에피택셜 실리콘의 교호하는 층들을 형성하는 단계; 핀 구조물들이 형성되도록 상기 교호하는 층들을 패터닝하는 단계; 상기 핀 구조물들 상에 핀 구조물들을 가로질러 스페이서들을 형성하는 단계; 상기 기판 상의 소스/드레인 영역들로부터 상기 핀 구조물들의 일부를 제거하고 나서, 상기 스페이서들에 인접해 있는 상기 소스/드레인 영역들 상에 소스/드레인 구조물들을 형성하는 단계; 및 상기 스페이서들 사이에 배치된 상기 핀 구조물들로부터 상기 실리콘 및 상기 에피택셜 실리콘 게르마늄 층들 중 하나를 제거하는 단계를 포함하는 방법이 제공된다. 상기 핀 구조물의 바닥 나노와이어 기하학적 구조는 상기 SOI 기판의 바닥 산화물 부분의 식각을 제어함으로써 정의될 수 있다. 상기 바닥 산화물은 하나의 나노와이어와 하나의 트라이게이트 구조물이 형성되도록 식각될 수 있다. 상기 바닥 산화물은 두 개의 나노와이어가 형성되도록 식각될 수 있다.

[0006] 본 출원의 또 다른 측면에 따르면 나노와이어 장치를 형성하는 방법으로서, 기판 상의 에피택셜 실리콘 게르마늄 상에 에피택셜 실리콘의 교호하는 층들을 형성하는 단계; 상기 교호하는 층들을 식각해서 핀 구조물들을 형성하고 상기 핀 구조물들에 인접한 트렌치들을 형성하는 단계; 상기 핀 구조물들 상에 핀 스페이서들을 형성하는 단계; 상기 핀 구조물의 바닥 핀 구역이 노출되도록 제2 트렌치 식각을 실행하는 단계; 상기 바닥 핀 구역을 산화시키는 단계; 상기 핀 구조물들 상에 핀 구조물들을 가로질러 스페이서들을 형성하는 단계; 상기 기판 상의 소스/드레인 영역들로부터 상기 핀 구조물들의 일부를 제거하고 나서, 상기 스페이서들에 인접해 있는 상기 소스/드레인 영역들 상에 소스/드레인 구조물들을 형성하는 단계; 및 상기 스페이서들 사이에 배치된 상기 핀 구조물들로부터 상기 실리콘 층들을 제거하는 단계를 포함하는 방법이 제공된다. 상기 산화된 바닥 핀 구역 상에는 바닥 나노와이어가 배치될 수 있다.

[0007] 본 출원의 또 다른 측면에 따르면 나노와이어 장치를 형성하는 방법으로서, 기판 상의 에피택셜 실리콘 게르마늄 상에 에피택셜 실리콘의 교호하는 층들을 형성하는 단계; 상기 교호하는 층들을 식각해서 핀 구조물들을 형성하고 상기 핀 구조물들에 인접한 트렌치들을 형성하는 단계; 상기 트렌치들 내에 산화물을 형성하는 단계; 상기 핀 구조물들 위에 핀 스페이서들을 형성하는 단계; 바닥 핀 구역을 산화시키는 단계; 상기 핀 구조물들 상에 핀 구조물들을 가로질러 스페이서들을 형성하는 단계; 상기 기판 상의 소스/드레인 영역들로부터 상기 핀 구조물들의 일부를 제거하고 나서, 상기 스페이서들에 인접해 있는 상기 소스/드레인 영역들 상에 소스/드레인 구조물들을 형성하는 단계; 및 상기 스페이서들 사이에 배치된 상기 핀 구조물들로부터 상기 에피택셜 실리콘 층들을 제거하는 단계를 포함하는 방법이 제공된다. 상기 산화된 바닥 핀 구역 상에는 바닥 나노와이어가 배치될 수 있다.

[0008] 본 출원의 또 다른 측면에 따르면 나노와이어 장치를 형성하는 방법으로서, 기판 상의 에피택셜 산화물 재료 상에 에피택셜 반도체 재료의 교호하는 층들을 형성하는 단계; 상기 교호하는 층들을 식각해서 핀 구조물들을 형성하는 단계; 상기 핀 구조물들 상에 핀 구조물들을 가로질러 스페이서들을 형성하는 단계; 상기 기판 상의 소

스/드레인 영역들로부터 상기 핀 구조물들의 일부를 제거하고 나서, 상기 스페이서들에 인접해 있는 상기 소스/드레인 영역들 상에 소스/드레인 구조물들을 형성하는 단계; 및 상기 스페이서들 사이에 배치된 상기 핀 구조물들로부터 상기 에피택셜 산화물 재료의 일부를 제거하는 단계를 포함하는 방법이 제공된다. 상기 에피택셜 산화물 재료 상에는 바닥 반도체 재료 나노와이어가 배치될 수 있다. 상기 에피택셜 산화물은 상기 핀 구조물들로부터 완전히 제거될 수 있다. 상기 에피택셜 산화물은 상기 핀 구조물들로부터 부분적으로 제거될 수 있다.

[0009] 본 출원의 또 다른 측면에 따르면 나노와이어 장치를 형성하는 방법으로서, 기판 상의 에피택셜 실리콘 게르마늄 재료 상에 에피택셜 실리콘 재료의 교호하는 층들을 형성하는 단계; 상기 교호하는 층들을 식각해서 핀 구조물들을 형성하고 상기 핀 구조물들에 인접한 트렌치들을 형성하는 단계; 상기 핀 구조물들 상에 핀 구조물들을 가로질러 스페이서들을 형성하는 단계; 상기 기판 위의 소스/드레인 영역들로부터 상기 핀 구조물들의 일부를 제거하는 단계; 상기 핀 구조물들에 인접해 있는 상기 스페이서들 내의 갭을 제2 스페이서로 채우는 단계; 상기 스페이서들에 인접해 있는 상기 소스/드레인 영역들 상에 소스/드레인 구조물들을 형성하는 단계; 및 상기 스페이서들 사이에 배치된 상기 핀 구조물들로부터 상기 실리콘 및 상기 에피택셜 실리콘 게르마늄 층들 중 하나를 제거하는 단계를 포함하는 방법이 제공된다. 상기 제2 스페이서 재료는 스페이서 유사 재료와 로우-k 재료 중 적어도 하나를 포함할 수 있다. 상기 스페이서들 내의 상기 갭은 상기 스페이서의 소스/드레인 측면 상에 채워질 수 있다. 상기 스페이서들 내의 상기 갭은 상기 스페이서의 게이트 측면 상에 채워질 수 있다.

[0010] 본 출원의 또 다른 측면에 따르면 나노와이어 장치를 형성하는 방법으로서, 채널을 포함하는 기판 상의 에피택셜 실리콘 게르마늄 재료 상에 에피택셜 실리콘 재료의 교호하는 층들을 형성하는 단계; 상기 교호하는 층들을 식각해서 핀 구조물들을 형성하고 상기 핀 구조물들에 인접한 트렌치들을 형성하는 단계; 상기 핀 구조물들 상에 핀 구조물들을 가로질러 스페이서들을 형성하는 단계; 상기 기판 상의 소스/드레인 영역들로부터 상기 핀 구조물들의 일부를 제거하고 나서, 상기 스페이서들에 인접해 있는 상기 소스/드레인 영역들 상에 소스/드레인 구조물들을 형성하는 단계; 및 실리콘에는 선택적이지만 실리콘 게르마늄에는 선택적이지 않은 습식 식각을 이용하여, 상기 스페이서들 사이에 배치된 상기 핀 구조물들로부터 상기 에피택셜 실리콘 층들을 제거하는 단계를 포함하는 방법이 제공된다. 실리콘 게르마늄 나노와이어들은, 상기 핀 구조물의 SiGe 나노와이어들 사이에 있는 상기 실리콘 모두를 제거한 후에 부분적으로 식각될 수 있다. 상기 습식 식각은 상기 스페이서들 내의 측면 식각이 최소화되도록 이방성 식각을 포함할 수 있다.

[0011] 본 출원의 또 다른 측면에 따르면 나노와이어 장치를 형성하는 방법으로서, 후면 영역과 트렌치 영역이 노출되도록 실리콘 기판 상에 배치된 질화물 및 산화물의 교호하는 층들을 패터닝하는 단계; 상기 트렌치 영역과 후면 영역 내에 실리콘 재료 및 실리콘 게르마늄 재료 중 하나를 형성하는 단계; 상기 실리콘 게르마늄 및 실리콘 중 하나 상에 하드 마스크를 형성하는 단계; 상기 하드 마스크에 의해 덮여있지 않는 상기 질화물 및 산화물의 교호하는 층들의 일부를 제거하여 핀 구조물을 형성하는 단계; 및 상기 핀 구조물을 산화시키고 나서 산화된 부분들을 제거하여 나노와이어 구조물들을 형성하는 단계를 포함하는 방법이 제공된다. 상기 나노와이어 구조물들은 상기 장치의 거의 전부를 가로질러 배치될 수 있다.

[0012] 본 출원의 또 다른 측면에 따르면 나노와이어 장치를 형성하는 방법으로서, 후면 영역과 트렌치 영역이 노출되도록 실리콘 기판 상에 배치된 질화물 및 산화물의 교호하는 층들을 패터닝하는 단계; 상기 트렌치 영역과 후면 영역 내에 실리콘 재료 및 실리콘 게르마늄 재료 중 하나를 형성하는 단계; 상기 실리콘 게르마늄 및 실리콘 중 하나 상에 하드 마스크를 형성하는 단계; 상기 하드 마스크에 의해 덮여있지 않는 상기 질화물 및 산화물의 교호하는 층들의 일부를 제거하여 핀 구조물을 형성하는 단계; 상기 핀 구조물 주위에 제2 하드 마스크를 형성하는 단계; 상기 핀 구조물에 인접한 게이트 영역을 형성하는 단계 - 상기 핀 구조물의 일부는 노출될 수 있음 -; 상기 핀 구조물을 산화시키고 나서 산화된 부분들을 제거하여 나노와이어 구조물들을 형성하는 단계를 포함하는 방법이 제공된다. 상기 나노와이어 구조물들은 상기 게이트 구역에만 배치될 수 있다. 상기 핀 구조물의 상기 산화된 부분들은 상기 산화물을 습식 식각으로 식각하고; 상기 실리콘 및 실리콘 게르마늄 중 하나를 이방성 식각으로 식각함으로써 제거될 수 있다.

[0013] 본 출원의 또 다른 측면에 따르면 나노와이어 장치로서, 기판; N 및 P 나노와이어 채널들과 연결되는 긴 콘택트; 상기 N 및 P 나노와이어 채널들 중 하나에 연결되는 짧은 콘택트 - 상기 N 및 P 나노와이어 채널들은 상기 기판 위에 배치됨 - ; 및 상기 N 및 P 나노와이어 채널들 중 하나와 상기 기판에 연결되는 상기 짧은 콘택트 아래에 배치된 바닥 콘택트를 포함하는 나노와이어 장치가 제공된다. 상기 기판은 Vss용을 포함하는 N^+ 인버터를 포함할 수 있다. 상기 짧은 콘택트와 상기 바닥 콘택트는 서로 어긋날(misaligned) 수 있다. 상기 N 및 P 나노와이어들은 좌우 날개 구조물들을 포함할 수 있다.

[0014] 본 출원의 또 다른 측면에 따르면 나노와이어 장치 구조물로서, CMOS 장치의 게이트 영역 위에 수직으로 배치된 나노와이어 채널 구조물들 - 상기 나노와이어 채널 구조물들은 실리콘 나노와이어 및 실리콘 게르마늄 나노와이어 중 하나를 포함함 - 을 포함하는 나노와이어 장치 구조물이 제공된다. 상기 나노와이어 채널 구조물들은 제2 나노와이어 위에 수직으로 배치된 제1 나노와이어를 포함할 수 있다. 상기 나노와이어 채널 구조물들은 상기 장치 구조물의 거의 전체에 걸쳐서 배치될 수 있다.

[0015] 본 출원의 또 다른 측면에 따르면 나노와이어 장치로서, 스페이서들에 인접하게 배치된 소스/드레인 구조물들을 포함하는 기판; 및 상기 스페이서들 사이에 배치된 나노와이어 채널 구조물들 - 상기 나노와이어 채널 구조물들은 서로의 위에 수직으로 스택되어 있음 - 을 포함하는 나노와이어 장치가 제공된다. 상기 나노와이어 채널 구조물들은 서로 일정한 갭만큼 분리되어 있는 에피택셜 실리콘 나노와이어 채널 구조물들을 포함할 수 있다. 상기 나노와이어 채널 구조물들은 서로 일정한 갭만큼 분리되어 있는 에피택셜 실리콘 게르마늄 나노와이어 채널 구조물들을 포함할 수 있다. 상기 나노와이어 채널 구조물들은 상기 나노와이어 채널 구조물들의 모든 주위에 있는 게이트 유전체 재료와 상기 나노와이어 채널 구조물들을 에워싸는 금속 게이트를 포함할 수 있다. 상기 게이트 유전체 재료는 하이 k 게이트 유전체 재료를 포함할 수 있다. 상기 나노와이어 채널 구조물들은 에피택셜 실리콘 및 에피택셜 실리콘 게르마늄 중 하나를 포함할 수 있다. 상기 소스/드레인 구조물들은 에피택셜 실리콘 게르마늄을 포함할 수 있다. 상기 기판은 SOI 기판을 포함하고, 상기 SOI 기판의 산화물 부분 상에는 바닥 나노와이어 채널 구조물이 배치될 수 있다. 상기 기판은 SOI 기판을 포함하고, 상기 SOI 기판의 산화물 부분 상에는 바닥 나노와이어 채널 구조물이 배치될 수 있다. 상기 장치는 NMOS 장치를 포함하고, 상기 소스 드레인 구조물들에는 트렌치 콘택트가 연결되고, 상기 소스 드레인 구조물들은 n^+ 도핑된 실리콘을 포함하고, 상기 소스 드레인 구조물들과 상기 기판 사이에는 실리콘 에피택셜 팁이 배치될 수 있다. 상기 장치는 PMOS 장치를 포함하고, 상기 소스 드레인 구조물들에는 트렌치 콘택트가 연결되고, 상기 소스 드레인 구조물들은 p^+ 도핑된 실리콘 게르마늄을 포함하고, 상기 소스 드레인 구조물들과 상기 기판(100) 사이에는 실리콘 에피택셜 팁이 배치될 수 있다. 상기 나노와이어 채널 구조물들은 에피택셜 산화물 나노와이어 채널 구조물 상에 배치된 에피택셜 실리콘 게르마늄 나노와이어 채널을 포함할 수 있다. 상기 에피택셜 산화물 나노와이어는 부분적으로 식각될 수 있다.

발명의 효과

[0016] 장치를 제조하는데 이용된 나노와이어는 짧은 채널 제어를 향상시킨다. 예를 들어, 실리콘 게르마늄(Si_xGe_{1-x}) 나노와이어 채널 구조물(여기서 x<0.5)은, 고전압 동작을 이용하는 많은 종래의 제품에 이용하기에 적합한 큰 Eg에서 이동도 향상을 제공한다. 더욱이, 실리콘 게르마늄(Si_xGe_{1-x}) 나노와이어 채널(여기서 x>0.5)은 낮은 Egs(예를 들어, 모바일/핸드헬드 영역의 저전압 제품에 적합함)에서 향상된 이동도를 제공한다.

도면의 간단한 설명

[0017] 본 명세서는 특정 실시예들을 들어서 이들을 명확하게 권리 주장하는 청구항들로 종결되는 반면, 다양한 실시예들의 장점은 첨부 도면을 참조해서 이들 실시예들에 대한 다음의 설명을 읽으면 좀 더 쉽게 확인될 수 있다.

도 1a-1n은 실시예들에 따른 구조물을 형성하는 방법을 보여준다.

도 2a-2i는 실시예들에 따른 구조물을 형성하는 방법을 보여준다.

도 3a-3g는 실시예들에 따른 구조물을 형성하는 방법을 보여준다.

도 4a-4m은 실시예들에 따른 구조물을 형성하는 방법을 보여준다.

도 5a-5d는 실시예들에 따른 구조물을 형성하는 방법을 보여준다.

도 6은 실시예들에 따른 시스템을 보여준다.

발명을 실시하기 위한 구체적인 내용

[0018] 다음의 상세한 설명에서는, 실시될 수 있는 특정 실시예들을 예시로서 보여주는 첨부 도면을 참조하고 있다. 이들 실시예들은 이 기술 분야에 숙련된 자들이 이들 실시예를 실시할 수 있을 정도로 충분히 상세하게 설명되어 있다. 다양한 실시예들이 서로 다를 지라도 반드시 상호 배타적이지 않다는 점을 이해하여야 한다. 예를 들어, 한 실시예에 연관하여 여기에 설명된 특정한 특징, 구조 또는 특성은 다른 실시예들에서도 이들의 정신

및 범위를 벗어남이 없이 구현될 수 있다. 또한, 공개된 각각의 실시예에 있는 개별 요소들의 위치 또는 배열은 그들의 정신 및 범위를 벗어나지 않고도 수정될 수 있음은 이해되어야 한다. 그러므로, 다음의 상세한 설명은 제한적인 의미로 다루어지지 않으며, 실시예들의 범위는 단지 첨부 특허청구범위에 의해서 정의되고, 특허청구범위로서 자격이 부여되는 균등물의 전체 범위와 함께 적절하게 해석된다. 도면에서, 동일 숫자는 몇몇 뷰에서 동일하거나 유사한 기능을 가리킨다.

[0019] 나노와이어 장치 구조물와 같은 마이크로전자 구조물을 형성하고 이용하는 방법 및 관련 구조물이 설명된다. 이들 방법 및 구조물은 나노와이어가 소스/드레인 구조물들 사이에 포함되어 있는 소스/드레인 구조물을 포함하는 기판을 포함하는 나노와이어 장치를 형성하는 것을 포함하고, 여기서, 나노와이어 채널 구조물들이 서로의 위에 수직으로 스택(stack)되어 있다. 여기 포함되어 있는 다양한 실시예들은 15㎚ 노드를 초과하는 장치 크기 규모로 이동도 향상 및 짧은 채널 제어를 가능하게 해준다. 실시예들은 또한 기판으로부터 채널들의 향상된 격리, 스페이서-갭 분리에 연관된 용량(capacitance)의 경감, 및 나노와이어에 의한 수직 아키텍처 스케일링을 가능하게 해준다.

[0020] 도 1a-1n은 예를 들어 나노와이어 장치 구조물을 형성하는 것과 같이 마이크로전자 구조물을 형성하는 실시예들을 보여주고 있다. 도 1a는 기판(100)을 보여주고 있다. 한 실시예에서, 기판(100)은 벌크 실리콘 기판(100)을 포함하고 있다. 다른 실시예들에서, 기판(100)은 실리콘 절연체 기판(SOI)(100)을 포함할 수 있지만, 적합한 어떤 종류의 기판 재료도 포함할 수 있다. 한 실시예에서, 제1 실리콘 게르마늄(102) 재료는 에피택셜 성장에 의해서 기판(100)에 성장될 수 있다. 한 실시예에서 제1 실리콘 재료(104)는 에피택셜 제1 실리콘 게르마늄(102) 위에 에피택셜하게 성장될 수 있다. 실리콘 게르마늄(102')의 제2 층은 제1 실리콘 층(102) 위에 형성될 수 있고, 실리콘의 제2 층(104')은 제2 실리콘 게르마늄(102') 위에 형성될 수 있다. 다른 실시예에서, 기판(100) 위에 형성된 교호하는 에피택셜 실리콘 게르마늄 층(102)/에피택셜 실리콘 층(104)의 수는 특정 응용에 따라서 달라질 수 있다. 다른 실시예에서, 층 순서는 기판(100) 위에 형성된 에피택셜 실리콘(104) 및 에피택셜 실리콘 게르마늄(102)의 교호하는 층들로 뒤바뀔 수 있다.

[0021] 한 실시예에서, 실리콘 게르마늄/실리콘/실리콘 게르마늄/실리콘의 에피택셜 스택(120)은 전통적인 패터닝/식각 기술(도 1b)을 이용하여 패터닝될 수 있다. 예를 들어, 스택 구조물(120)은 STI(shallow trench isolation) 공정과 같은 트렌치 식각 공정에서 식각될 수 있고, 여기에서, 트렌치(101)는 핀(fin) 구조물(107)들이 형성되도록 기판(100)에 형성될 수 있다. 형성된 핀 구조물(107)들의 각각은 트렌치(101)들 내에 형성될 수 있는 산화물(103)에 의해서 서로 분리될 수 있다.

[0022] 한 실시예에서, 핀 구조물(107)은 게이트 올 어라운드(GAA) 나노와이어 장치의 이중 채널 부분을 포함할 수 있다. 장치 내의 채널 수는 핀 구조물(107) 내의 층 수에 의존할 것이다. 핀 구조물(107)은 나노와이어 구조물을 포함할 수 있다. 스페이서(106)들은 핀 구조물(107)들 상에 이들을 가로질러서 형성될 수 있고 핀 구조물(107)들에 관해서 수직으로 배치될 수 있다(도 1c). 한 실시예에서, 스페이서(106)들은 핀 구조물(107) 재료에 대한 공정 동안에 선택적일 수 있는 임의 재료를 포함할 수 있다.

[0023] 한 실시예에서, 게이트 전극 재료(108)는 스페이서(106)들 내에/사이에 형성될 수 있고, 스페이서(106)들 사이에 위치한 핀 구조물(107)들의 부분들 주위에 형성될 수 있다. 한 실시예에서, 게이트 전극 재료는 핀 구조물(107)들의 부분들 주위에 형성될 수 있고 스페이서(106)들은 게이트의 양측에 형성될 수 있다. 게이트(108)는 몇몇 경우에는 폴리실리콘을 포함할 수 있고, 희생 게이트 구조물(108)을 포함할 수 있다. 한 실시예에서, 핀 구조물(107)의 일부는 소스/드레인 영역(109)이 노출되도록 기판(100)에서 제거될 수 있다(도 1d). 한 실시예에서, 핀 구조물(107)의 일부는 소스/드레인 영역(109)이 노출되도록 건식 식각 공정에 의해 식각될 수 있다. 한 실시예에서, 소스/드레인 영역(109)은 기판(100) 또는 바닥 와이어(102 또는 104)상에서 종료하도록 식각될 수 있다. 선택적 언더컷 습식 또는 건식 식각 공정들(optional undercut wet or dry etch processes)은 특정 장치 요구에 따라서 게이트(108) 영역/팁 오버랩 구역 내의 첨가물을 제거하는데 이용될 수 있다.

[0024] 한 실시예에서, 실리콘 또는 실리콘 게르마늄 소스 드레인 구조물(110)들은 에피택셜 성장 기법을 이용하여 소스/드레인 영역(109)들 안에 성장될 수 있고(도 1e), 스페이서(106)들 사이에 배치된 핀 구조물(107)들의 부분들에 연결될 수 있다. 한 실시예에서, 에피택셜 소스/드레인 구조물(110)들은, 특정 응용을 위한 장치 종류에 따라서, NMOS 장치의 경우 n-도핑된 실리콘일 수 있고, 또는 PMOS 장치의 경우에는 p-도핑된 실리콘/실리콘 게르마늄일 수 있다. 도핑은 에피택셜 공정에서, 주입(implant)에 의해서, 플라즈마 도핑에 의해서, 솔리드 소스 도핑에 의해서, 또는 이 기술 분야에 공지된 다른 방법에 의해서 진행될 수 있다.

[0025] 팁 및 소스/드레인 접합은 다양한 도펀트 종 및 농도(dopant species and concentration)로 도핑된 에피택셜

층들을 결합함으로써 제작될 수 있다. 예를 들어, PMOS 장치를 위한 실리콘 채널 안에 스트레인(strain)을 가하는데 실리콘 게르마늄 소스/드레인들이 이용될 때, 후속 실리콘 게르마늄 식각 동안에 소스/드레인 영역(110)에서 식각이 이루어지지 않도록, 소스/드레인 실리콘 게르마늄 에피택셜 구조물(110)들이 성장되기 전에 먼저 실리콘 식각 정지 층/팁(112)이 성장될 수 있다(도 1f). 즉, PMOS 팁 재료는 후속 실리콘 게르마늄 식각 공정에 대한 저항력이 있어야 한다.

[0026] 층간 유전체(ILD)는 소스/드레인 구조물(110)들 및 게이트(108) 그리고 스페이서(106)들을 가로질러 기판(100)에 형성될 수 있다(도시되어 있지 않음). 희생 폴리 게이트(108)의 상부는 한 실시예에서 화학 기계 연마(CMP)에 의해서 개방될 수 있다. 희생 게이트 전극 재료(108)는 이후 스페이서 재료(106)들 사이에서 제거될 수 있다(도 1g). 도 1h는 스페이서(106)들 사이의 내부를 보여주고 있고, 여기서 핀 구조물(107)은 두 개의 스페이서(1개만 도시되어 있음)들 사이에 배치되어 있다. 한 실시예에서, 실리콘 층(104, 104')은 실리콘 게르마늄 채널(102, 102')들 사이에 갭(111)이 완전히 개방되도록 핀 구조물(107)에서 선택적으로 제거될 수 있다(도 1i). 한 실시예에서, 실리콘 층(104, 104')은 실리콘 게르마늄 나노와이어 구조물(102, 102')을 식각하지 않으면서 실리콘(104, 104')을 선택적으로 제거하는 습식 식각에 의해서 선택적으로 제거될 수 있다. 예를 들어, 암모늄 수산화물 및 포타슘 수산화물을 포함해서, 수용성 수산화물 화학 성질과 같은 그러한 식각 화학 성질은 실리콘을 선택적으로 식각하는데 이용될 수 있다.

[0027] 다른 실시예에서, 실리콘 게르마늄 층(102, 102')은 실리콘 채널 층(104, 104')들 사이에 갭(113)이 개방되도록 핀 구조물(107)과 측벽으로부터 선택적으로 제거될 수 있다(도 1j). 한 실시예에서, 실리콘 게르마늄(102, 102')은 실리콘 나노와이어 채널(104, 104')을 식각하지 않으면서 실리콘 게르마늄을 선택적으로 제거하는 습식 식각에 의해 선택적으로 식각될 수 있다. 예를 들어, 카르복실산/질산/HF 화학, 및 구연산/질산/HF와 같은 식각 화학 성질은 실리콘 게르마늄을 선택적으로 식각하는데 이용될 수 있다. 그래서, 실리콘 게르마늄 나노와이어(102, 102')가 형성되도록 실리콘 층들이 핀 구조물(107)에서 제거될 수 있고 또는 스페이서(106)들 사이의 채널 영역에 실리콘 채널 나노와이어(104, 104') 구조물이 형성되도록 실리콘 게르마늄 층이 핀 구조물(107)에서 제거될 수 있다. 한 실시예에서, 실리콘과 실리콘 게르마늄 채널 재료는 둘 다, 예를 들어 인버터 구조물의 NMOS Si 및 PMOS SiGe와 같이 동일 웨이퍼, 동일 다이, 또는 동일 회로에 존재할 수 있다. NMOS Si 및 PMOS SiGe가 동일 회로에 있는 한 실시예에서, Si 채널 두께(SiGe 층간) 및 SiGe 채널두께(Si 층간)은 회로 성능 및/또는 회로의 최소 동작 전압이 향상되도록 공통으로 선택될 수 있다. 한 실시예에서, 동일 회로의 다양한 장치에 대한 와이어의 수는 회로 성능 및/또는 회로의 최소 동작 전압이 향상되도록 식각 공정을 통해서 변경될 수 있다.

[0028] 게이트 유전체 재료(115)는 스페이서(106)들 사이의 채널 영역을 둘러싸도록 형성될 수 있다. 한 실시예에서, 게이트 유전체 재료(115)는 하이 k 게이트 전극 재료(a high k gate electrode material)를 포함할 수 있고, 여기서 유전 상수는 약 4보다 큰 값을 포함할 수 있다. 한 실시예에서, 게이트 유전체 재료(115)는 스페이서(106)들 사이의 실리콘 나노와이어 구조물(104, 104')의 모든 둘레에 등각으로 형성될 수 있다(도 1k). 다른 실시예에서, 게이트 전극 재료(115)는 스페이서(106)들 사이에 있는 실리콘 게르마늄 나노와이어 구조물(102, 102')의 모든 둘레에 형성될 수 있다(도시되어 있지 않음).

[0029] 게이트 전극 재료(117)는 이후 게이트 유전체 재료(115) 주위에 형성될 수 있다(도 1l). 게이트 전극 재료(117)는 TaN, TiN과 같은 질화물을 포함해서 또한 Er, Dy 또는 Pt 종류의 귀금속과 같은 희토류를 갖는 합금을 포함해서, 순금속과 같은 금속 게이트 유전체 재료 및 Ti, W, Ta, Al의 합금을 포함할 수 있다. 실리콘 나노와이어 구조물(104, 104')들 사이의 갭(113)은 게이트 전극 재료(117)로 채워질 수 있다. 다른 실시예에서, 실리콘 게르마늄 나노와이어 구조물(102, 102')들 사이의 갭(111)은 게이트 전극 재료(117)로 충진될 수 있다(도시되어 있지 않음). 한 실시예에서, 본 명세서의 실시예들에 따라서 CMOS 장치를 제조하기 위해 표준 CMOS 공정을 기판(100)에 더 실행할 수 있다.

[0030] 한 실시예에서, NMOS 및/또는 PMOS 장치가 형성될 수 있다. 도 1m은 형성될 수 있는 NMOS 장치를 보여주고 있고(단일 실리콘 채널을 묘사하고 있음), 여기서 트렌치 콘택트(119)는 소스 드레인 구조물(110)에 연결되고, 소스 드레인 구조물(110)은 특정 응용에 따라서 몇몇 경우에는 n^+ 도핑된 실리콘일 수 있다. 실리콘 에피택셜 팁(112)은 몇몇 경우에 n^- 도핑될 수 있고 소스 드레인 구조물(110)과 기판(100) 사이에 배치될 수 있다. 게이트 전극 재료(117)는 실리콘 나노와이어 채널(104)을 둘러쌀 수 있다.

[0031] 도 1n은 PMOS 장치를 보여주고 있으며(단일 실리콘 채널(104)을 묘사하고 있음), 여기서 트렌치 콘택트(119)는

소스 드레인 구조물(110)에 연결되고, 소스 드레인 구조물(110)은 특정 응용에 따라서 몇몇 경우에는 p^+ 도핑된 실리콘 게르마늄일 수 있다. 몇몇 경우에 p^- 도핑될 수 있는 실리콘 에피택셜 팁/식각 정지(120)는 소스 드레인 구조물(110)과 기판(100) 사이에 배치될 수 있다. 게이트 전극 재료(117)는 실리콘 채널(104)을 둘러쌀 수 있고, 이는 몇몇 경우에는 스트레인드(strained) 실리콘 채널(104)을 포함할 수 있다.

[0032] 몇몇 경우에, 실리콘 게르마늄 채널 구조물(예를 들어, 도 1i에 도시된 바와 같은)을 이용하는 장치는 실리콘 게르마늄 속성에 기인한 높은 캐리어 이동도를 포함하므로써 장점을 취할 수 있다. 한 실시예에서, 게이트 올 어라운드 실리콘 게르마늄 채널 장치 공정은, 에피택셜 층 스택(120)이 리버스될 수 있다는 점, 즉 실리콘 재료(104)가 초기에 기판 위에 형성될 수 있고 실리콘 게르마늄이 이 실리콘 위에 형성된다는 점을 제외하고는 게이트 올 어라운드 실리콘 채널 장치 공정과 유사할 수 있다. 실리콘 하부층은 실리콘 게르마늄에 대해 선택적으로 제거되기 때문에, 소스/드레인은 실리콘 게르마늄을 포함할 수 있고, 희생 게이트 전극 재료 아래의 식각 정지는 기판이 식각되지 않도록 실리콘 게르마늄을 역시 포함할 수 있다.

[0033] 여기서 실시예들은 자체정렬 게이트-올-어라운드(GAA) 실리콘 및 실리콘 게르마늄 채널 트랜지스터 구조물 및 장치의 제조를 가능하게 해준다. 나노와이어 채널 장치들은 짧은 채널 효과(SCE) 감소 때문에 낮은 서브-임계값 누설(sub-threshold leakage)을 나타낸다. GAA SiGe 고 이동도 채널 장치의 구현은 예를 들어 SCE 효과를 억제한다. (GAA) 장치는 채널에 대한 정전기 게이트 제어를 최대화할 수 있다.

[0034] 한 실시예에서, 여기의 다양한 실시예들에 따라서 제조된 장치에서는 기판 분리가 향상될 수 있다. 도 2a를 참조해 보면, 기판(200) 위에 배치된 바닥 나노와이어 채널(202)은 몇몇 경우에 좋지않은 서브핀 누설(poor subfin leakage)이 있는 단락된 트라이게이트(trigate)를 포함할 수 있다. 하나의 솔루션은 SOI(silicon on insulator) 기판(201)에 장치를 형성하는 것을 포함할 수 있고(도 2b-2c), 여기서 소스/드레인 구조물(210) 및 나노와이어 구조물(204)은 벌크 실리콘 기판(200) 위에 배치되기 보다는 오히려 산화물 재료(203)와 같은 절연체 재료(203)에 배치되어 있다(도 2a에 도시되어 있음). SOI 기판(201)을 이용함으로써, 바닥 나노와이어(204)는 나노와이어 핀 구조물(예를 들어, 도 1b의 나노와이어 핀 구조물(107)와 유사함)의 실리콘 게르마늄 식각 후에 그리고 게이트 전극 재료(예를 들어, 도 1l의 게이트 전극 재료(117)와 유사함)를 형성하기 전에 바닥 산화물을 식각함으로써 기하학적으로 정의될 수 있다.

[0035] 예를 들어, 도 2d는 하나의 나노와이어와 하나의 트라이게이트 구조물을 형성하기 위해 유전체를 식각하는 것을 보여주고 있고, 도 2e는 두 개의 나노와이어를 포함하는 장치를 형성하기 위해 유전체를 식각하는 것을 보여주고 있다. 다른 실시예에서, 향상된 기판 분리는 트렌치 식각 후에 핀(207) 측벽들에 핀 스페이서(211)들을 형성함으로써 성취될 수 있다(도 2f). 이후 제2 트렌치 식각(214)이 실행되어 바닥 핀 영역(216)이 노출되고, 바닥 핀 영역(216)의 실리콘 부분은 산화될 수 있다(도 2g). 그래서, 이 장치의 바닥 나노와이어는 기판 분리가 향상되도록 산화물 위에 배치될 수 있다. 다른 실시예에서, 핀 스페이서(211)들은 트렌치 식각 및 채움 후에 핀(207) 측벽들에 형성될 수 있다(도 2h). 핀(207)의 바닥 실리콘 부분(216)은 기판 분리가 향상되도록 STI 리세스 형성/산화물 채움 후에 산화될 수 있다(도 2i). 그래서, 장치의 바닥 나노와이어는 기판 분리가 향상되도록 산화물 위에 배치될 수 있다.

[0036] 한 실시예에서, 나노와이어 스택(307)의 실리콘 영역을 제거하면 스페이서(306) 왼쪽에 갭(311)이 생길 수 있다(도 3a). 금속 게이트 구조물(예를 들어 도 1l의 게이트 구조물(117)와 유사함)과 같은 게이트의 추가 후에, 갭(311)은 후속 형성된 게이트와 소스 드레인 구조물(310) 사이에 매우 높은 용량의 기생 영역을 만들 수 있다. 한 실시예에서, 실리콘(이는 실리콘 기판(300)에 대한 배향 변화를 요하거나 요하지 않을 수 있음)보다는 오히려 스타팅 스택(starting stack)을 위한 에피택셜 산화물(302)을 이용함으로써 잠재적인 기생 영역을 피할 수 있다(도 3b). 한 실시예에서, 에피택셜 반도체 재료(304)의 교호하는 층들은 기판(300)에 형성될 수 있는 에피택셜 산화물 재료(302) 위에 형성될 수 있다.

[0037] 예를 들어, Gd2O3는 (111)실리콘 위에 에피택셜하게 성장되고, 이후 실리콘 게르마늄은 Gd2O3의 상부에 성장되어 핀 구조물(307) 내부로 식각될 수 있는 기판에 다층 스택이 구축될 수 있고, 이 핀 구조물(307)은 차후에 실리콘 게르마늄 와이어로 형성될 수 있다. 다른 실시예에서, 세륨 산화물은 다층 스택이 형성되도록 (111) 실리콘(또는 대안으로 (100) 실리콘) 위에 형성될 수 있다. 산화물/반도체/산화물 스택의 경우 핀 구조물(307)의 산화물 재료(302, 302')를 식각하지 않거나, 부분적으로 식각하거나 또는 완전히 식각할 수 있는 선택이 있다(도 3c-3e, 각각). 비식각 선택(도 3c)은 용량성 이슈를 해결하지만 컨파인먼트(confinement)가 열악해지고; 부분 식각 선택(도 3d)은 컨파인먼트는 향상시키지만 어느 정도 레벨의 기생 용량은 감수해야 한다.

[0038] 다른 실시예에서, 핀 구조물(도 3a에 도시됨)들에 인접한 스페이서들 내의 갭(311)은 소스/드레인의 에피택셜 성장 전에 스페이서(306)의 소스/드레인(310) 측면으로부터 스페이서-유사 재료(312) 또는 로우-k 재료(312)를 포함하는 제2 스페이서(312)로 채워질 수 있다(도 3f). 예를 들어, 제한 없이, SiON, SiN, SiC, SiOBN, 및 로우-k 산화물과 같은 재료는 제2 스페이서(312) 재료를 포함할 수 있다. 한 실시예에서, 스택(307)의 식각에서 실리콘 모두는, 대체 게이트 식각(희생 게이트 전극 재료의 제거)이 단지 산화물만을 때리도록 제거될 수 있다. 다른 실시예에서는, 대체 게이트 식각이 실제로 실리콘을 식각할 수 있도록 실리콘의 일부만이 제거될 수 있다. 다른 실시예에서, 갭(311)은 게이트 측면으로부터(게이트 증착 이전) 스페이서 유사 재료(312) 또는 로우-k 재료(312)로 채워질 수 있다(도 3g). 실시예들은 스택(307)의 전체 식각 또는 부분 식각을 실행하는 것을 포함한다(전체 식각으로 도시되어 있음).

[0039] 다른 실시예에서, 갭(311)은 스택(307)으로부터 제거 단계 동안 실리콘의 식각이 최소화되도록 실리콘 식각의 이방성을 이용하여 채워질 수 있다. 예를 들어, (110) 웨이퍼는 <111>을 따라서 채널로 이용될 수 있다. 이러한 구조물은 소스/드레인 구조물(310)에 면하는 슬로우-식각 (111) 면들을 갖게 되고, 그 결과 언더컷(undercut)이 제한된다. 여기서 선택된 습식 식각은 또한 SiGe 나노와이어들 간에 실리콘 전부가 제거된 후에 부분적으로 식각된 SiGe 나노와이어가 남아 있도록 Si보다 좀 더 천천히 SiGe를 식각해야만 한다. 그래서, 이방성 식각은 스페이서(306) 안의 측면 식각을 최소화시키는데 이용될 수 있고, 여기서 식각 화학적 성질은 실리콘에 대해서는 매우 선택적이고 실리콘 게르마늄에 대해서는 선택적이지 않다.

[0040] 한 실시예에서, 수직 아키텍처 스케일링은 나노와이어를 이용하여 성취될 수 있다. 한 실시예에서, 실리콘 게르마늄 또는 실리콘은 기판으로부터 트렌치 내로 에피택셜하게 성장될 수 있고, 이후 예를 들어, 핀 구조물들을 분리하여 나노와이어가 되도록 하는데 산화 또는 식각 공정들이 이용될 수 있고, 여기서 나노와이어들은 서로에게 수직으로 스택될 수 있다. 한 실시예에서, 소스/드레인 영역이 SiGe(또는 Si) 및 산화물의 층들로 시작되는 전체 와이어에 대한 산화가 실행될 수 있다. 교호하는 산화물(404) 및 질화물 층(402)(층이 많을수록 그만큼 와이어가 많이 형성될 수 있다)들은 실리콘 기판(401)에 형성될 수 있다(도 4a). 산화물 및 질화물 층은 트렌치(405) 및 후면부(406)가 형성되도록 패터닝되어 식각될 수 있고, 여기서 트렌치(405)는 기판(401)의 실리콘 재료를 노출시킨다(도 4b). 실리콘 게르마늄(또는 실리콘)(407)은 트렌치(405)와 후면부에 에피택셜하게 성장될 수 있고, 연마될 수 있다(도 4c). 하드 마스크(408)는 실리콘 게르마늄(또는 실리콘)(407) 위에 형성될 수 있고 핀(410)의 측면들이 노출되도록 패터닝되어 식각될 수 있다(도 4d). 한 실시예에서, 핀 구조물은 하드 마스크에 의해 덮여있지 않은 질화물 및 산화물의 교호하는 층들의 일부를 제거함으로써 형성될 수 있다.

[0041] 핀(410)들은 나노와이어들을 정의하도록 산화될 수 있다(도 4e). 핀(410)들의 산화된 부분들은 장치를 위한 채널 구조물로서 작용할 수 있는 나노와이어들(412)이 형성되게 제거될 수 있고, 실질적으로 전체 구조물에 걸쳐서 형성될 수 있다. 한 실시예에서, 제1 나노와이어(412)는 제2 나노와이어(412') 위에 수직으로 배치될 수 있다. 다른 실시예에서, 와이어들은 단지 채널 영역에 한정될 수 있다(도 4g-4j). 제2 마스크 재료(413), 예를 들어, SiC는 핀 구조물(410) 주위에 형성될 수 있다. 제2 마스크 재료(413)는 산화물 및 질화물에 대해 선택적일 수 있다. 핀 구조물(410)은 예를 들어 도 4d에 있는 것들과 유사한 교호하는 산화물/질화물 막을 포함할 수 있다. 트렌치(414)는 핀 구조물(410)에 인접한 게이트 영역을 정의하도록 완전 개방될 수 있고, 여기서 게이트 전극 재료는 후속해서 형성될 수 있고 핀 구조물(410)의 일부는 노출될 수 있다(도 4h). 나노와이어가 정의되도록 산화가 실행될 수 있고(도 4i), 핀 구조물의 산화된 부분을 제거함으로써 와이어들이 더욱 정의될 수 있다(도 4j). 그래서 와이어들은 소스/드레인 영역이 아닌 게이트 영역/트렌치(414)에 형성된다.

[0042] 나노와이어를 패터닝하는 리소그래피 작업을 용이하게 하기 위해 스페이서 공정을 이용할 수 있다. 여기서, Si 또는 SiGe 핀(410)의 측면 부분은 그것을 둘러싸고 있는 질화물을 식각함으로써 노출(한편 상부는 SiC와 같은 하드 마스크(421)에 의해 덮여있을 수 있음)될 수 있으며, 스페이서(420)는 등방성 증착 및 이방성 식각의 결합에 의해 형성될 수 있다(도 4k). 이러한 스페이서(420)는 이후 핀(410)의 측벽을 노출시키는 식각을 마스크하는데 이용된다. 스페이서(420)는 이후 제거될 수 있다.

[0043] 다른 실시예에서, 이방성 습식 식각은 핀들을 분리해서 도 4l에 도시된 바와 같이 와이어들을 형성한다. 먼저 습식 식각을 이용하여 산화물을 식각할 수 있다. 후속으로 핀(410)의 노출된 SiGe 또는 Si를 식각하기 위해 습식 Si 또는 SiGe 이방성 식각을 이용할 수 있다. 식각 속도는 결정 방향에 의존하기 때문에, 나노와이어들이 형성될 수 있다. 한 실시예에서 양쪽의 식각이 실행된 후에, 6각형의 나노와이어들이 형성될 수 있다. Si 또는 SiGe 핀들은 산화물의 제거 후에 형성될 수 있다(도 4m).

[0044] 나노와이어의 수직 스케일링이 성취될 수 있다. 포논 스케터링은 나노와이어 사이즈를 약 7nm까지 한정할 수

있으므로, 이는 그러한 장치의 롱 텀 스캐일링(long term scaling)을 한정할 수 있다. 하나의 솔루션은 N 또는 P 채널이 바닥 와이어 내에 위치하고 다른 채널은 상부 와이어 내에 위치하는 장치들을 수직으로 구축하는 것이다. 한 실시예에서, N^+ 기판이 Vss용으로 이용될 수 있다. 다른 실시예에서는, 상부 및 바닥 콘택트가 어긋날 수 있다. 다른 실시예에서, 좌우 날개를 갖는 와이어가 형성될 수 있다. 도 5a는 Vss용 N^+ 기판(500)과 게이트(501)가 형성된 인버터를 보여주고 있다. 이는 N 및 P 나노와이어 채널(514)을 연결하기 위한 긴 콘택트(512)(TCN), N 및 P 나노와이어 채널(514) 중 한 채널과의 연결을 위한 짧은 상부 TCN(510), 및 N 및 P 나노와이어 채널(514) 중 한 채널과 기판(500)에 연결된 기판 플러그(508)/바닥 TCN을 필요로 함을 주목하자. 도 5b는 어긋난 상부 TCN(510) 및 바닥 TCN(508)을 보여주고 있다. 도 5c는 좌우 날개 나노와이어 구조물(514)을 포함하는 N 및 P 나노와이어를 보여주고 있다. 도 5d는 좌우 날개 나노와이어 구조물(514)로 연결된 인버터를 보여주고 있다.

[0045] GAA를 갖는 나노와이어는 핀 및 트라이게이트 구조물은 물론이고 나노와이어가 없는 GAA 구조물보다 나은 성능 개선을 제공한다. 대체 금속-게이트(RMG), 게이트-올-어라운드 공정에 측면 나노와이어를 이용하는 것은 RMG를 갖는 평면으로부터 RMG를 갖는 핀까지 로드맵의 논리 확장이다. 게이트-올-어라운드(GAA) 나노와이어 구조물은 나노와이어가 없는 GAA 구조물 및 핀들보다 개선된 짧은 채널 제어의 가능성을 제공한다. 기판으로부터 실리콘 또는 실리콘 게르마늄 나노와이어 구조물에 있는 바닥 와이어의 개선된 분리는 여기에 있는 실시예들에 따라서 성취될 수 있다.

[0046] 포논 스캐터링으로 인해 가장 작은 나노와이어 사이즈를 >~7nm까지 한정할 때 밀도 스케일링이 가능해질 수 있다. 실리콘과 실리콘 게르마늄에 대한 측면 나노와이어 구조물은 트라이게이트 구조물을 위해 개발된 기술들로부터 수정된, 대체 금속-게이트 아키텍처 및 와이어에 대한 생산-호환가능 제조 기술들을 이용해서 구체화될 수 있다. 나노와이어를 이용한 수직 아키텍처 스케일링이 가능하다. 나노와이어를 이용해 트랜지스터 층 자체에 회로를 구축하는 것이 본 명세서에서 가능하다.

[0047] 도 6은 한 실시예에 따른 컴퓨터 시스템을 보여주고 있다. 시스템(600)은 프로세서(610), 메모리 장치(620), 메모리 제어기(630), 그래픽 제어기(640), 입력 및 출력(I/O) 제어기(650), 디스플레이(652), 키보드(654), 포인팅 장치(656) 및 주변 장치(658)를 포함하고, 이들 모두는 몇몇 실시예에서 버스(660)를 통해서 서로 통신적으로 연결될 수 있다. 프로세서(610)는 범용 프로세서 또는 ASIC(application specific integrated circuit)일 수 있다. I/O 제어기(650)는 유선 또는 무선 통신을 위한 통신 모듈을 포함할 수 있다. 메모리 장치(620)는 동적 랜덤 액세스 메모리(DRAM) 장치, 정적 랜덤 액세스 메모리(SRAM) 장치, 플래시 메모리 장치, 또는 이들 메모리 장치의 결합일 수 있다. 그래서, 몇몇 실시예에서는, 시스템(600) 내의 메모리 장치(620)는 DRAM 장치를 포함하지 않아도 된다.

[0048] 시스템(600)에 도시된 구성요소들 중 하나 또는 그 이상은 여기에 포함된 다양한 실시예들 중 하나 또는 그 이상을 포함할 수 있다. 예를 들어, 프로세서(610), 또는 메모리 장치(620), 또는 I/O 제어기(650)의 적어도 일부, 또는 이들 구성요소들의 결합은 본 명세서의 구조물들의 적어도 한 실시예를 포함하는 집적 회로 패키지에 포함될 수 있다.

[0049] 이들 요소들은 이 기술에 잘 알려져 있는 그들의 종래의 기능을 실행한다. 특히, 메모리 장치(620)는 몇몇 경우에 몇몇 실시예들에 따라서 구조물들을 형성하기 위한 방법을 위한 실행가능 명령을 장기간 저장하는데 이용될 수 있고, 다른 실시예에서는 프로세서(710)에 의한 실행 동안 실시예들에 따라서 구조물들을 형성하는 방법을 위한 실행가능 명령을 단기간 저장하는데 이용될 수 있다. 또한, 이 명령은 예를 들어 CD-ROMs, DVD 및 플로피 디스크, 반송파, 및/또는 다른 전파 신호와 같은, 시스템에 통신적으로 연결되는 기계 접속가능 매체에 저장되거나, 이 매체에 달리 연관될 수 있다. 한 실시예에서, 메모리 장치(620)는 프로세서(610)에 실행을 위한 실행가능 명령을 제공할 수 있다.

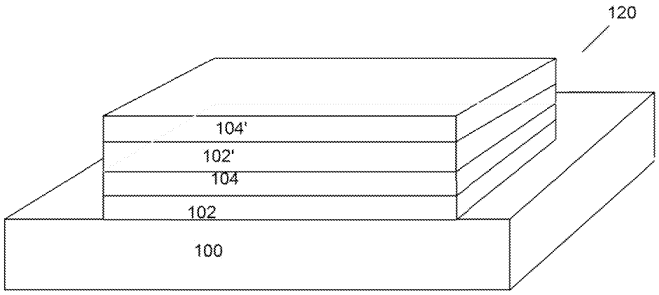
[0050] 시스템(600)은 컴퓨터(예를 들어, 데스크탑, 랩탑, 핸드-헬드, 서버, 웹 기기, 라우터 등), 무선 통신 장치(예를 들어, 휴대폰, 코드리스 폰, 페이저, 개인용 디지털 기기 등), 컴퓨터-관련 주변기기(예를 들어, 프린터, 스캐너, 모니터 등), 오락 장치(예를 들어, 텔레비전, 라디오, 스테레오, 테이프 및 컴팩 디스크 플레이어 비디오 카셋트 레코더, 캠코더, 디지털 카메라, MP3(동화상 전문가 그룹, 오디오 레이어 3) 플레이어, 비디오 게임, 시계 등) 등을 포함할 수 있다.

[0051] 앞선 설명이 실시예들에 이용될 수 있는 특정 단계들과 재료를 특정하였을 지라도, 이 기술에 숙련된 자들은 많은 수정 및 대체가 이루어질 수 있음을 이해할 것이다. 따라서, 그러한 수정, 변경, 치환 및 부가는 첨부된 특

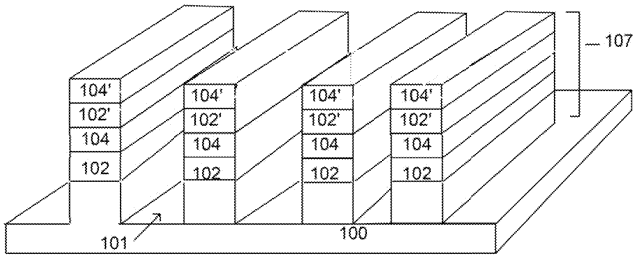
허청구범위에 의해 정의된 바와 같이 실시예들의 사상 및 범주 내에 속하는 것으로 고려되어야 한다. 또한, 트랜지스터 장치와 같은 다양한 마이크로전자 구조물은 이 기술에 잘 알려져 있다. 그러므로, 여기 제공된 도면들은 실시예들의 실시에 관한 표본적인 마이크로전자 구조물의 부분만을 보여주고 있다. 그러므로, 실시예들은 여기에 설명된 구조물들에 한정되지 않는다.

도면

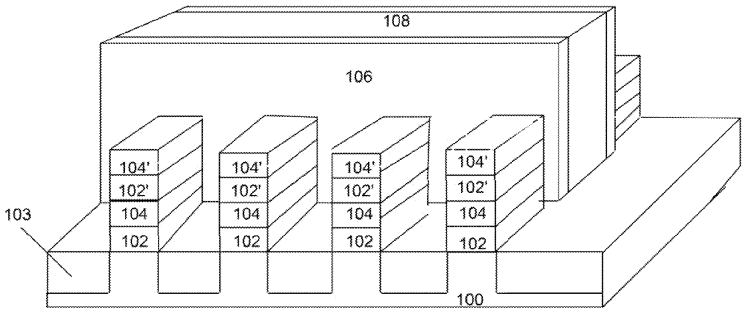
도면1a



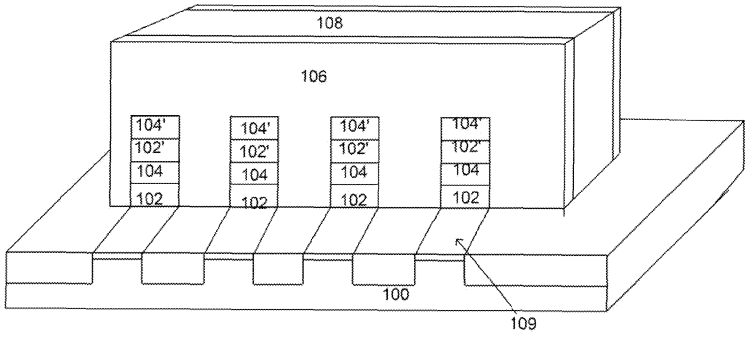
도면1b



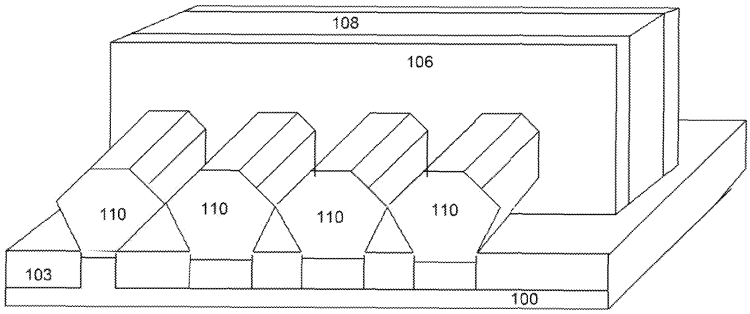
도면1c



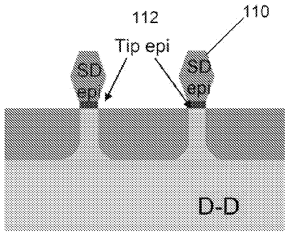
도면1d



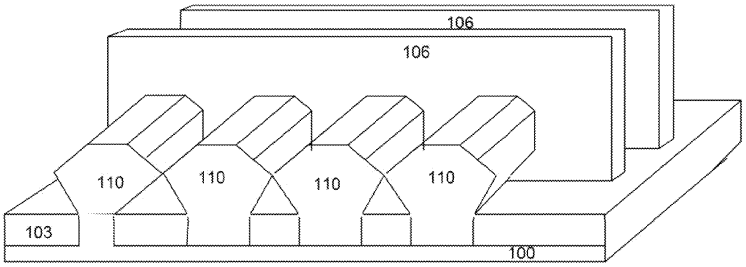
도면1e



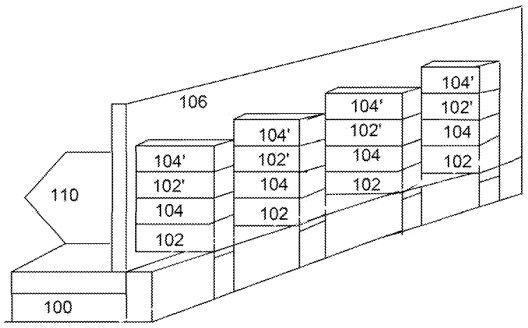
도면1f



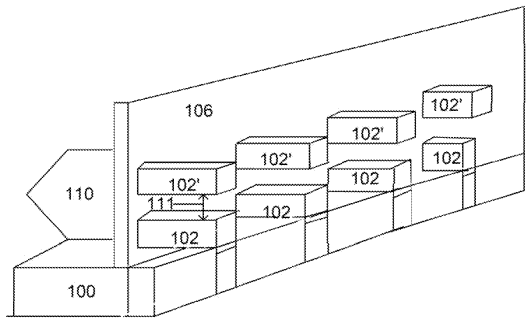
도면1g



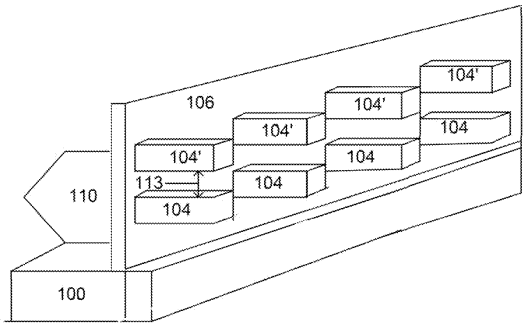
도면1h



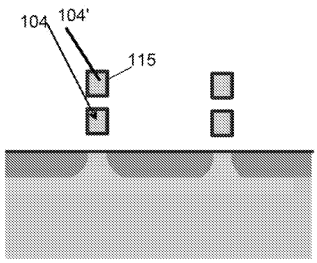
도면1i



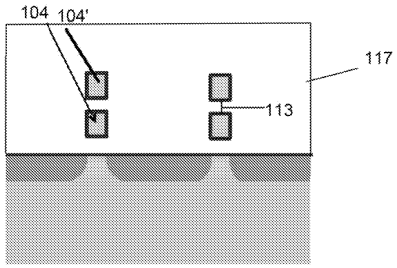
도면1j



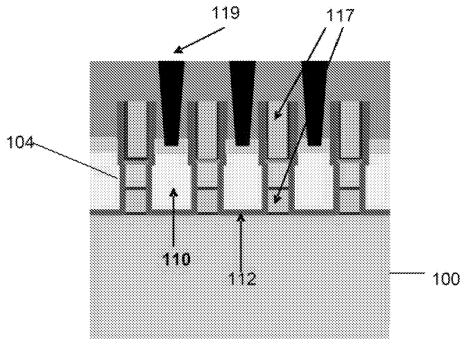
도면1k



도면1l

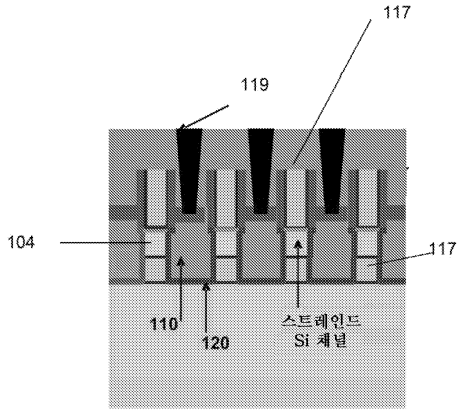


도면1m

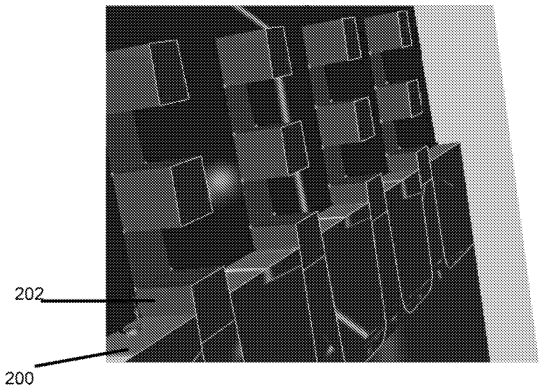


(a) NMOS

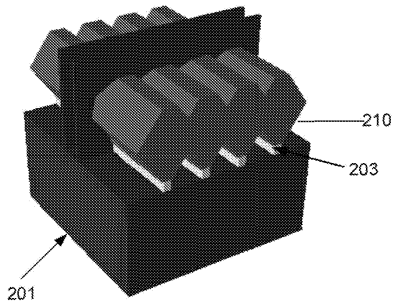
도면1n



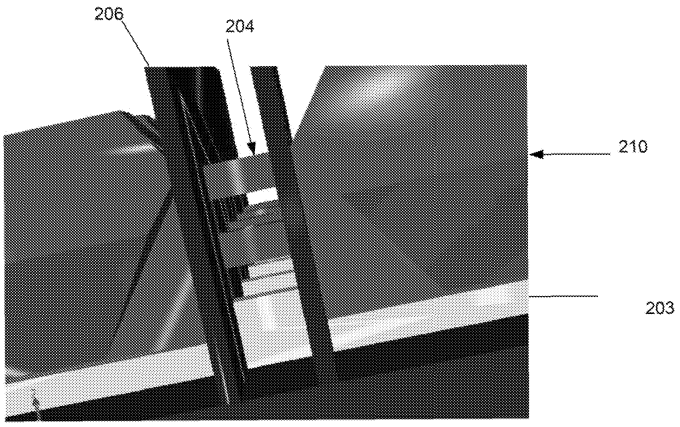
도면2a



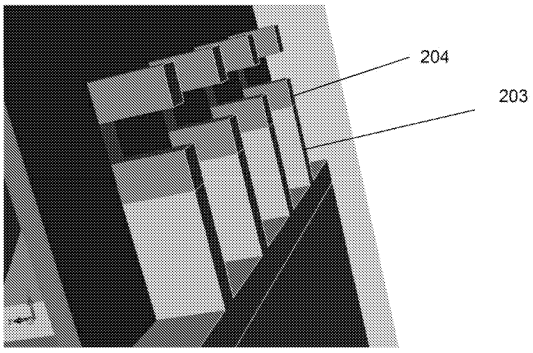
도면2b



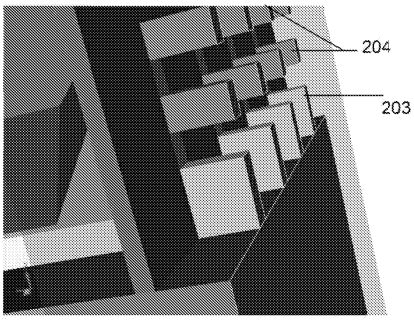
도면2c



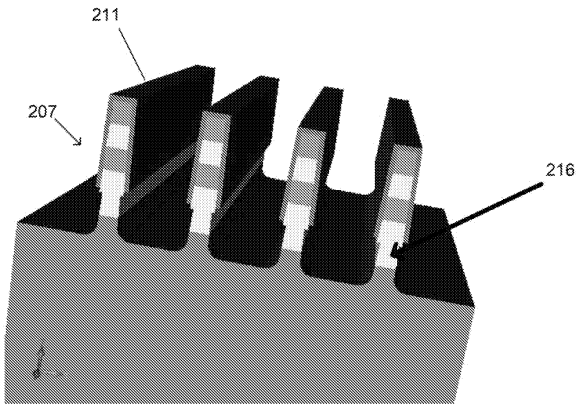
도면2d



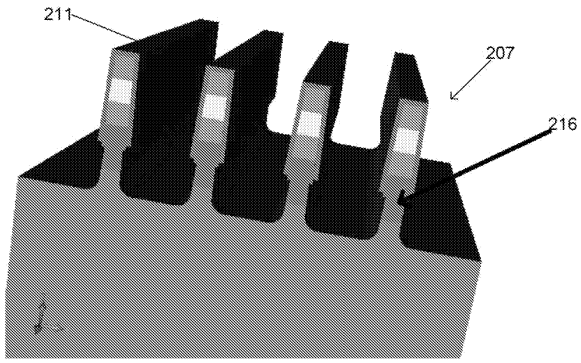
도면2e



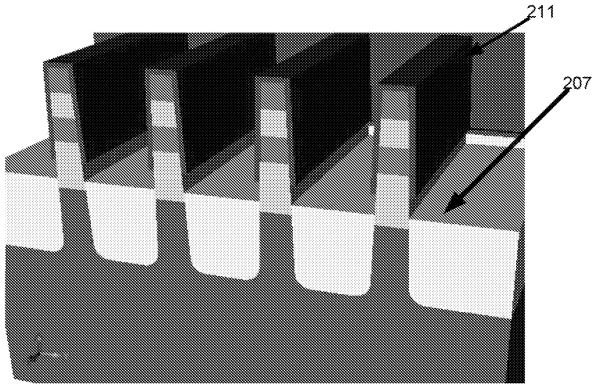
도면2f



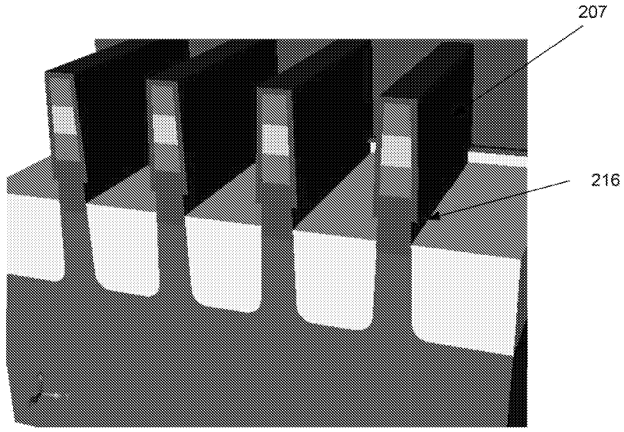
도면2g



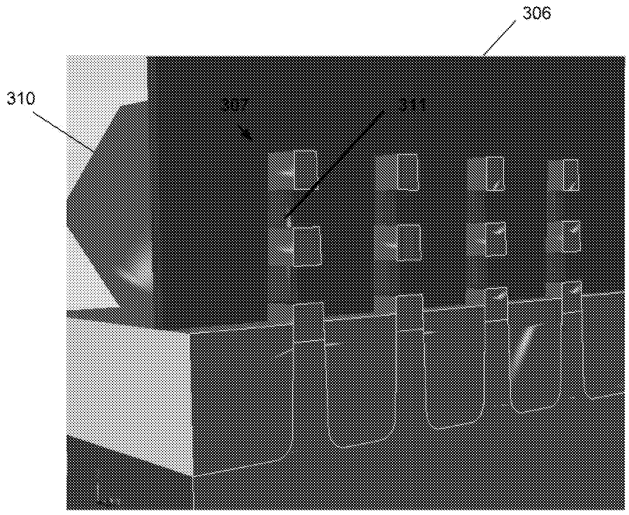
도면2h



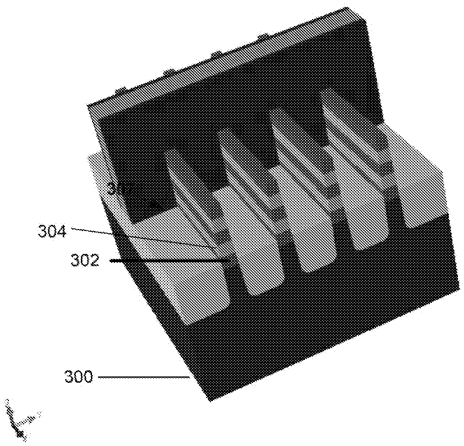
도면2i



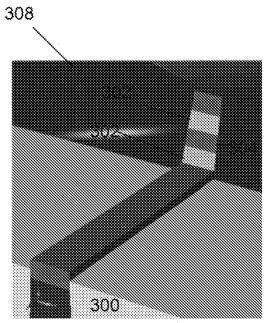
도면3a



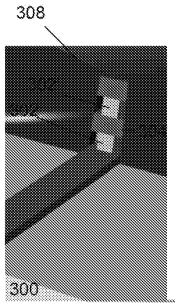
도면3b



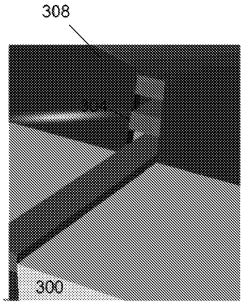
도면3c



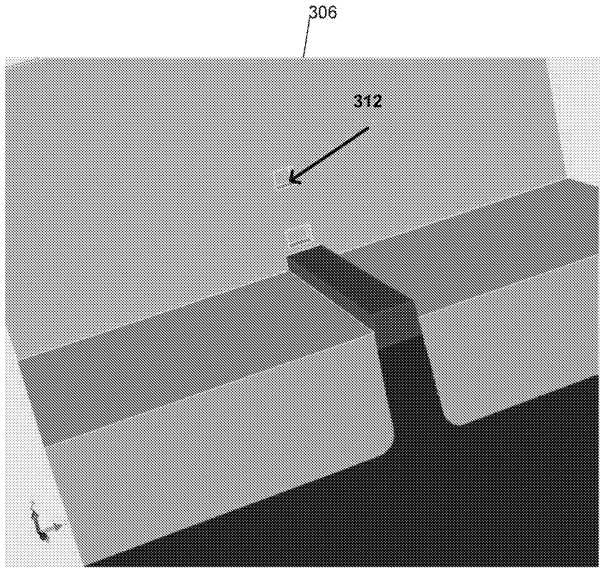
도면3d



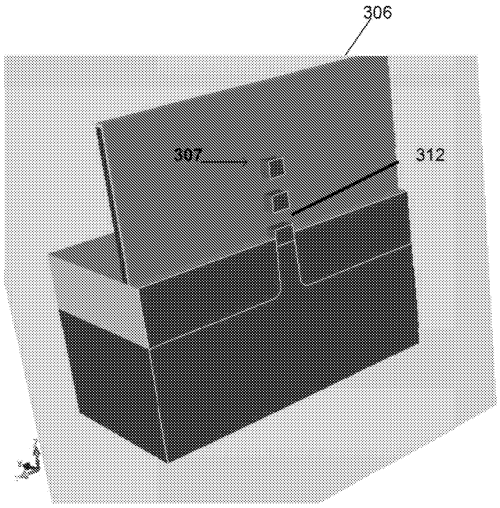
도면3e



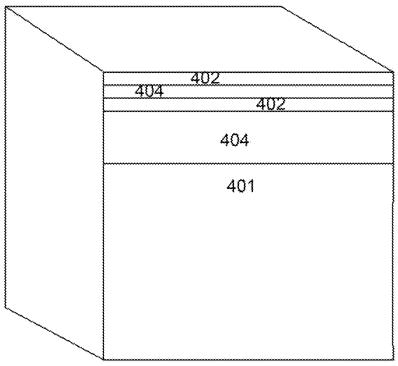
도면3f



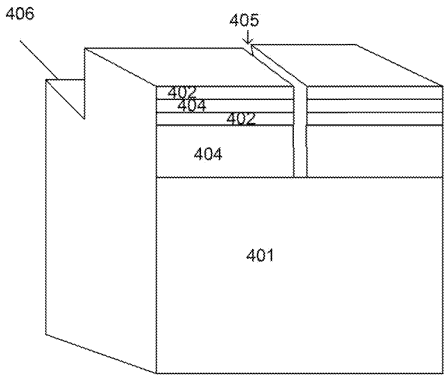
도면3g



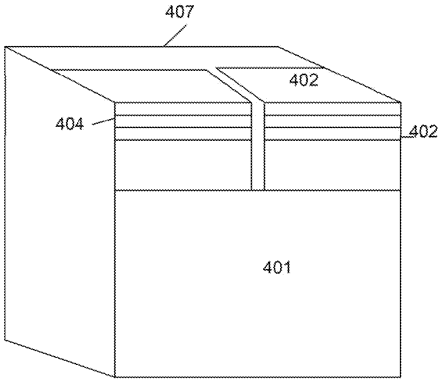
도면4a



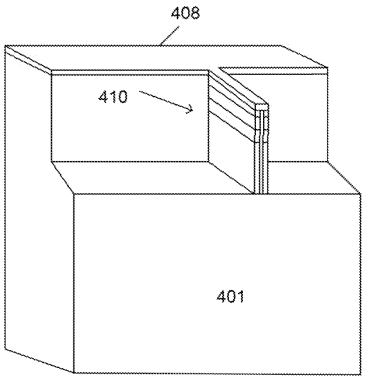
도면4b



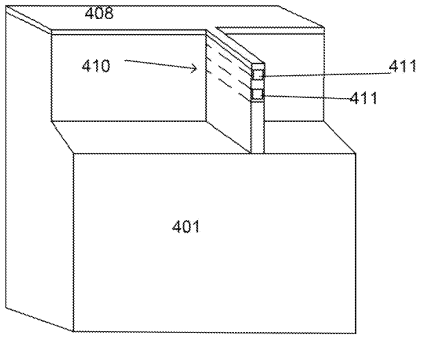
도면4c



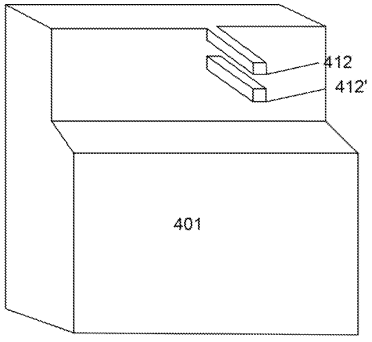
도면4d



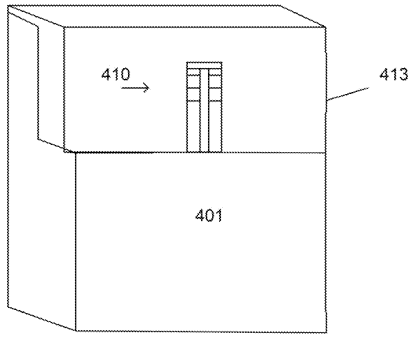
도면4e



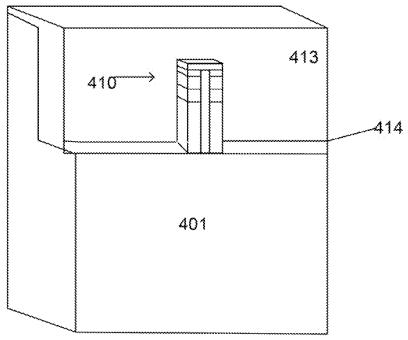
도면4f



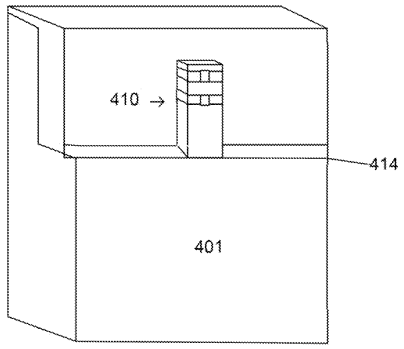
도면4g



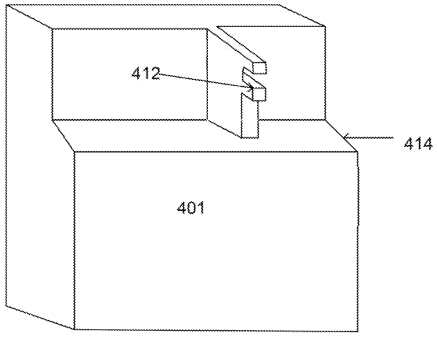
도면4h



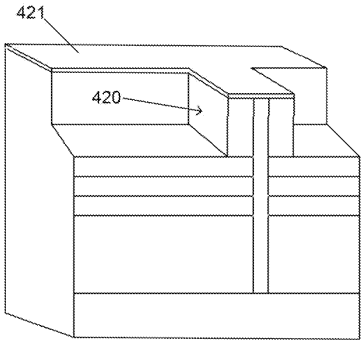
도면4i



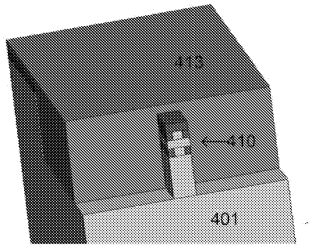
도면4j



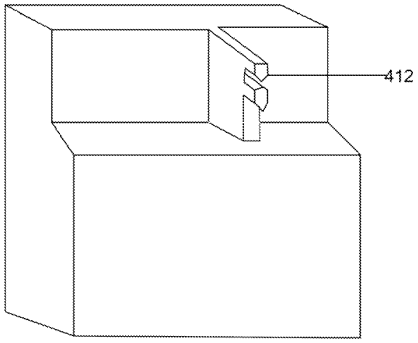
도면4k



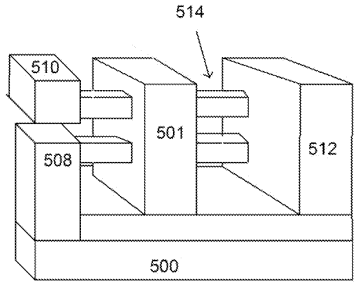
도면41



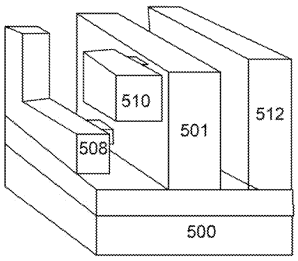
도면4m



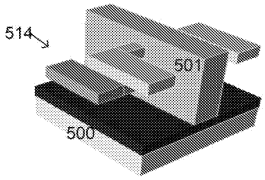
도면5a



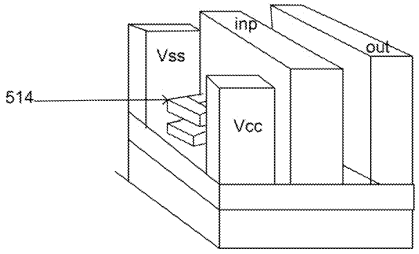
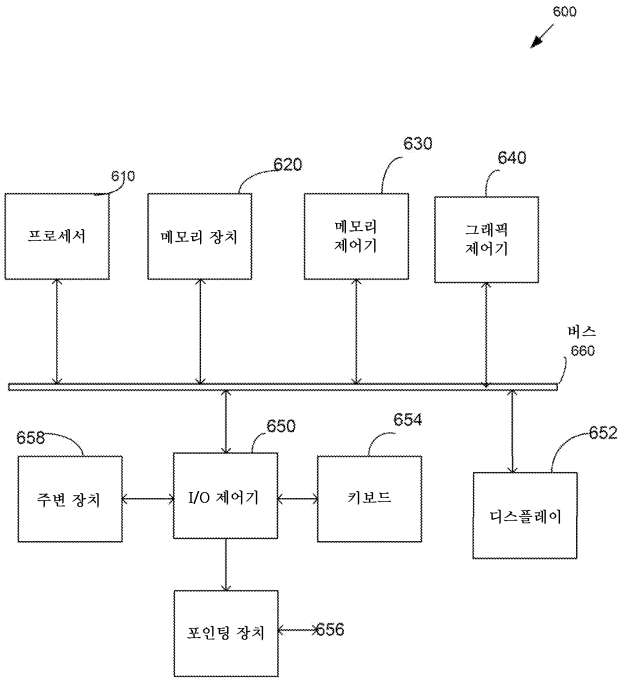
도면5b



도면5c



도면5d



도면6