

## (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2016 年 3 月 17 日 (17.03.2016)



(10) 国际公布号  
WO 2016/037397 A1

- (51) 国际专利分类号:  
H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2014/088602
- (22) 国际申请日: 2014 年 10 月 15 日 (15.10.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201410459154.7 2014 年 9 月 10 日 (10.09.2014) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (72) 发明人: 尹海洲 (YIN, Haizhou); 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。刘云飞 (LIU, Yunfei); 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。李睿 (LI, Rui); 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (74) 代理人: 北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY PARTNERS); 中国北京市东城区东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: FINFET DEVICE STRUCTURE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 一种 FinFET 器件结构及其制造方法

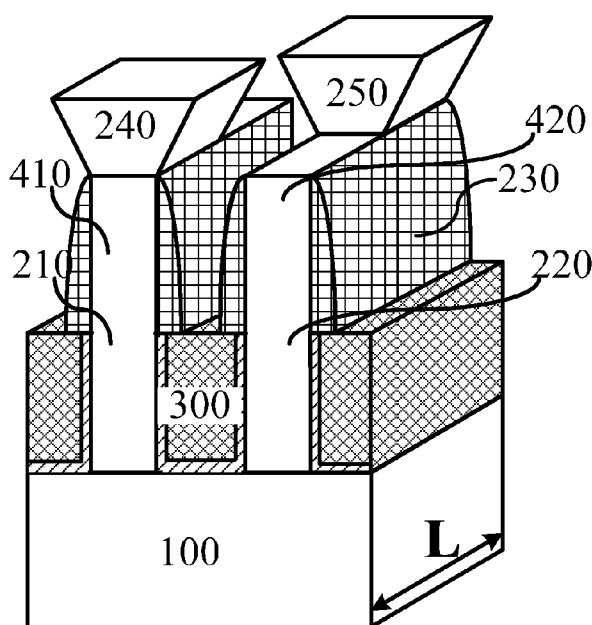


图 15 / Fig. 15

(57) Abstract: A FinFET device structure and manufacturing method thereof, comprising: a substrate (100); parallel first and second fins (210, 220) located above the substrate (100); a gate electrode stack (300) covering the substrate (100) and the side wall of a part of the first and second fins (210, 220); a source region (410) located in the region of the first fin (210) not covered by the gate electrode stack (300); a source end epitaxial region (240) located above one end of the first fin (210) and having a length less than 1/2 of the length of the fin; a drain region (420) located in the region of the second fin (220) not covered by the gate electrode stack (300); and a drain end epitaxial region (250) located in the second fin (220) and above one end opposite to the source region (410) epitaxial region and having a length less than 1/2 of the length of the fin. The above design effectively solves a problem caused by a short channel effect.

(57) 摘要: 一种 FinFET 器件结构及其制造方法, 包括: 衬底 (100); 第一、第二鳍片 (210, 220), 所述第一、第二鳍片 (210, 220) 位于所述衬底 (100) 上方, 彼此平行; 栅极叠层 (300), 覆盖所述衬底 (100) 和部分第一、第二鳍片 (210, 220) 的侧壁; 源区 (410), 位于所述第一鳍片 (210) 未被栅极叠层 (300) 所覆盖的区域; 源端外延区 (240), 位于所述第一鳍片 (210) 一端的上方, 其长度小于鳍片长度的 1/2; 漏区 (420), 位于所述第二鳍片 (220) 未被栅极叠层 (300) 所覆盖区域; 漏端外延区 (250), 位于所

述第二鳍片 (220) 中与源区 (410) 外延区相反的另一端的上方, 其长度小于所述鳍片长度的 1/2, 上述设计有效地解决了短沟道效应所带来的问题。



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,  
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,  
TG)。

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

## 一种 FinFET 器件结构及其制造方法

[0001] 本申请要求了 2014 年 9 月 10 日提交的、申请号为 201410459154.7、发明名称为“一种 FinFET 器件结构及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

### 技术领域

[0002] 本发明涉及一种半导体器件制造方法，具体地，涉及一种 FinFET 制造方法。

### 技术背景

[0003] 摩尔定律指出：集成电路上可容纳的晶体管数目每隔 18 个月增加一倍，性能也同时提升一倍。目前，随着集成电路工艺和技术的发展，先后出现了二极管、MOSFET、FinFET 等器件，节点尺寸不断减小。然而，2011 年以来，硅晶体管已接近了原子等级，达到了物理极限，由于这种物质的自然属性，除了短沟道效应以外，器件的量子效应也对器件的性能产生了很大的影响，硅晶体管的运行速度和性能难有突破性发展。因此，如何在无法减小特征尺寸的情况下，大幅度的提升硅晶体管的性能已成为当前亟待解决的技术难点。

### 发明内容

[0004] 本发明提供了一种 U 型 FinFET 结构及其制造方法，在现有 FinFET 工艺的基础上提出了一种新的器件结构，使器件的栅长不受 footprint 尺寸限制，有效地解决了短沟道效应所带来的问题。具体的，该结构包括：

[0005] 衬底；

[0006] 第一鳍片和第二鳍片，所述第一、第二鳍片位于所述衬底上方，彼此平行；

[0007] 栅极叠层，所述栅极叠层覆盖所述衬底和部分第一、第二鳍片的侧壁；

[0008] 源区，所述源区位于所述第一鳍片未被栅极叠层所覆盖的区域；

[0009] 源端外延区，位于所述第一鳍片一端的上方，其长度小于鳍片长度的  $1/2$ ；

[0010] 漏区，所述漏区位于所述第二鳍片中未被栅极叠层所覆盖的区域；

[0011] 漏端外延区，位于所述第二鳍片中与源区外延区相反的另一端的上方，其长度小于所述鳍片长度的  $1/2$ ；

[0012] 侧墙，所述侧墙位于所述第一、第二鳍片两侧，用于隔离源区、漏区和栅极叠层。

[0013] 其中，所述第一、第二鳍片具有相同的高度、厚度和宽度。

[0014] 其中，所述栅极叠层依次包括：界面层、高 K 介质层、金属栅功函数调节层以及多晶硅。

[0015] 其中，所述栅极叠层的高度为所述第一、第二鳍片高度的  $1/2 \sim 3/4$ 。

[0016] 相应的，本发明还提供了一种 U 型 FinFET 器件制造方法，包括：

- a. 提供衬底，在所述衬底上形成第一鳍片和第二鳍片；
- b. 在所述衬底、所述第一、第二鳍片上方和侧面形成栅极叠层；
- c. 去除所述第一、第二鳍片上方和侧面的部分栅极叠层，在未被所述栅极叠层覆盖的第一、第二鳍片两侧形成侧墙；
- d. 在所述第一、第二鳍片未被侧墙覆盖的表面上分别形成第一氧化层和第二氧化层，所述第一、第二氧化层位于第一、第二鳍片相反地两端，其长度大于鳍片长度的  $1/2$ ；
- e. 在未被所述第一、第二氧化层覆盖的第一、第二鳍片上分别形成源端外延区以及漏端外延区。

[0017] 其中，形成所述第一鳍片和第二鳍片的方法为：

[0018] 在所述衬底上依次形成沟道材料层和源漏材料层；

[0019] 对所述沟道材料层和源漏材料层进行刻蚀，形成第一鳍片和第二鳍片。

[0020] 其中，形成所述第一、第二氧化层的方法为：

[0021] 以光刻胶覆盖所述半导体结构，以第一、第二氧化层的形状为掩膜版

进行刻蚀，使鳍片表面需要生长氧化层的区域暴露出来；

[0022] 在未被光刻胶覆盖的区域生成所述第一、第二氧化层。

[0023] 其中，形成所述第一、第二氧化层的方法为干氧氧化；形成所述源端外延区以及漏端外延区的方法为同质外延；其中，同质外延生长所述源端外延区以及漏端外延区的同时进行原位掺杂，掺杂杂质的浓度和类型与源漏区相同。

[0024] 其中，所述第一、第二鳍片具有相同的高度、厚度和宽度。

[0025] 其中，形成所述第一、第二鳍片的方法为各向异性刻蚀。

[0026] 其中，所述栅极叠层依次包括：界面层、高K介质层、金属栅功函数调节层以及多晶硅。

[0027] 其中，所述栅极叠层的高度为所述第一、第二鳍片高度的  $1/2 \sim 3/4$ 。

[0028] 其中，形成所述栅极叠层的方法为原子层淀积。

[0029] 其中，去除部分栅极叠层的方法为各向异性选择性刻蚀。

[0030] 其中，形成所述源漏区的方法为倾斜的离子注入。

[0031] 其中，形成所述源漏区的方法为侧向散射。

[0032] 本发明在现有 FinFET 工艺的基础上提出了一种新的 U 型器件结构，与现有技术中相比，该结构使器件具有垂直的沟道，因而在 footprint 尺寸不变的情况下，器件可以通过改变 Fin 的高度来调节栅长，改善短沟道效应。由于器件具有 U 型垂直沟道结构，器件源漏悬于衬底上方，与衬底天然分离，因而使得该器件的无法发生源漏穿通，从而具有较低的亚阈态斜率及漏电流。由于器件具有 U 型垂直沟道结构，器件源漏相互平行且悬于衬底上方，有效隔离了器件漏端电场对源端的影响，因而进一步改善了器件的短沟道效应，使器件具有较小的 DIBL。同时，由于器件具有 U 型垂直沟道结构，器件源漏悬于衬底上方且位于同一平面内，因而便于制作源漏接触。最后，由于该器件具有源漏外延区，即 raised-SD 的结构，本发明有效的降低了源漏区的寄生电阻，提高了器件的开态电流。本发明提出的器件结构在制作工艺上与现有 FinFET 工艺完全兼容，极大地提高了器件性能。

## 附图说明

[0033] 图 1~图 14 示意性地示出了根据本发明中实施例 1 中的方法形成 U 型 FinFET 器件各阶段的示意图；其中，图 10~图 13 为从器件顶部示出的俯视图；图 14 为沿鳍片长度方向的投影图；

[0034] 图 15 示出了根据本发明中的实施例所述的方法形成的器件的最终结构；

[0035] 图中相同或相似的图形代表相同的部件。

## 具体实施方式

[0036] 为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明的实施例作详细描述。

[0037] 下面详细描述本发明的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。

[0038] 参见图 15，本发明提供了一种 FinFET 结构，包括：衬底 100；第一鳍片 210 和第二鳍片 220，所述第一鳍片 210 和第二鳍片 220 位于所述衬底 100 上方，彼此平行；栅极叠层 300，所述栅极叠层覆盖所述衬底和部分第一鳍片 210 和第二鳍片 220 的侧壁；源区 410，所述源区位于所述第一鳍片 210 未被栅极叠层所覆盖的区域；源端外延区 240，位于其长度小于所述第一鳍片 210 一端的上方，其长度小于鳍片长度的 1/2；漏区 420，所述漏区位于所述第二鳍片 220 未被栅极叠层所覆盖的区域；漏端外延区 250，位于所述第二鳍片 220 中与源区外延区相反的另一端的上方，其长度小于所述鳍片长度的 1/2。

[0039] 其中，该结构还包括侧墙 230，所述侧墙 230 位于所述第一鳍片 210 和第二鳍片 220 两侧，用于隔离源区、漏区和栅极叠层。

[0040] 其中，所述第一鳍片 210 和第二鳍片 220 具有相同的高度、厚度和宽

度。

[0041] 其中，所述栅极叠层依次包括：界面层 310、高 K 介质层 320、金属栅功函数调节层 330 以及多晶硅 340。

[0042] 其中，所述栅极叠层 300 的高度为所述第一、第二鳍片 210、220 高度的  $1/2 \sim 3/4$ 。

[0043] 本发明在现有 FinFET 工艺的基础上提出了一种新的 U 型器件结构，与现有技术中相比，该结构使器件具有垂直的沟道，因而在 footprint 尺寸不变的情况下，器件可以通过改变 Fin 的高度来调节栅长，改善短沟道效应。由于器件具有 U 型垂直沟道结构，器件源漏悬于衬底上方，与衬底天然分离，因而使得该器件的无法发生源漏穿通，从而具有较低的亚阈态斜率及漏电流。由于器件具有 U 型垂直沟道结构，器件源漏相互平行且悬于衬底上方，有效隔离了器件漏端电场对源端的影响，因而进一步改善了器件的短沟道效应，使器件具有较小的 DIBL。同时，由于器件具有 U 型垂直沟道结构，器件源漏悬于衬底上方且位于同一平面内，因而便于制作源漏接触。最后，由于该器件具有源漏外延区，即 raised-SD 的结构，本发明有效的降低了源漏区的寄生电阻，提高了器件的开态电流。本发明提出的器件结构在制作工艺上与现有 FinFET 工艺完全兼容，极大地提高了器件性能。

[0044] 以下将参照附图更详细地描述本实发明。在各个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。

[0045] 应当理解，在描述器件的结构时，当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时，可以指直接位于另一层、另一个区域上面，或者在其与另一层、另一个区域之间还包含其它的层或区域。并且，如果将器件翻转，该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

[0046] 如果为了描述直接位于另一层、另一个区域上面的情形，本文将采用“直接在……上面”或“在……上面并与之邻接”的表述方式。

[0047] 在下文中描述了本发明的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。例如，衬底和鳍片的半导体材料可以选自 IV 族半导体，如 Si 或 Ge，或 III-V 族半导体，如 GaAs、InP、GaN、SiC，或上述半导体材料的叠层。

[0048] 首先结合附图对本发明的实施例 1 进行详细描述。

[0049] 参见图 1，示出了本发明中的第一衬底 100。所述第一衬底材料为半导体材料，可以是硅，锗，砷化镓等，优选的，在本实施例中，所用衬底为硅衬底。

[0050] 接下来，在所述衬底 100 上依次外延生长沟道材料层 110 和源漏材料层 120。所述沟道材料层 110 在经过后续工艺的处理后为器件沟道区的主要部分，可以轻掺杂或者不掺杂；掺杂类型根据器件的类型而定。对于 N 型器件，沟道材料层的掺杂类型为 P 型，可采用的掺杂杂质为硼等三族元素；对于 P 型器件，沟道材料层的掺杂类型为 N 型，可采用的掺杂杂质为磷、砷等五族元素。在本实施例中，后续工艺中形成的沟道区具有  $1e15\text{cm}^{-3}$  的掺杂浓度，所采用的掺杂元素为硼，该掺杂通过外延时原位掺杂形成，具体的工艺步骤与现有工艺相同，在此不再赘述。

[0051] 所述源漏材料层 120 在经过后续工艺的处理后，将成为器件源漏区的主要部分，其掺杂浓度与源漏区所需浓度相等；掺杂类型根据器件的类型而定。对于 N 型器件，沟道材料层的掺杂类型为 N 型，可采用的掺杂杂质为磷、砷等五族元素；对于 P 型器件，沟道材料层的掺杂类型为 P 型，可采用的掺杂杂质为硼等三族元素。在本实施例中，后续工艺中形成的源漏区具有  $1e19\text{cm}^{-3}$  的掺杂浓度，所采用的掺杂元素为砷，该掺杂通过外延时原位掺杂形成，具体的工艺步骤与现有工艺相同，在此不再赘述。

[0052] 形成源漏材料层 120 之后的结构如图 2 所示，图中所示沟道材料层 110 的厚度为 H2，等于器件形成之后栅极叠层高度。源漏材料层 120 的厚度为 H1。

[0053] 接下来, 经过投影, 曝光, 显影, 刻蚀等常规工艺对所述沟道材料层 110 和源漏材料层 120 进行刻蚀, 形成第一鳍片 210 和第二鳍片 220, 所述刻蚀方法可以是干法刻蚀或干法/湿法刻蚀。如图 3 所示, 所述第一鳍片 210 和第二鳍片 220 刻蚀完成之后的高度等于所述沟道材料层 110 和源漏材料层 120 的厚度  $H_2 + H_1$ , 其中, 所述沟道材料层 110 的厚度  $H_2$  即为后续工艺中形成的栅极叠层的高度, 所述源漏材料层 120 的厚度  $H_1$  即为后续工艺中形成的源漏区的高度。

[0054] 接下来, 如图 4~6 所示, 在所述衬底 100 和所述第一鳍片 210 和第二鳍片 220 上方和侧面形成栅极叠层 300, 与现有的 FinFET 工艺相同, 所述栅极叠层 300 依次包括界面层 310、高 K 介质层 320、金属栅功函数调节层 330 以及多晶硅 340。

[0055] 其中, 所述界面层 310 的材料为二氧化硅, 用于消除第一、第二鳍片表面的缺陷和界面态, 考虑到器件的栅控能力以及其他性能, 所述界面层 310 的厚度一般为 0.5 ~ 1 nm; 所述高 K 介质层 320 一般为高 K 介质, 如  $\text{HfAlON}$ 、 $\text{HfSiAlON}$ 、 $\text{HfTaAlON}$ 、 $\text{HfTiAlON}$ 、 $\text{HfON}$ 、 $\text{HfSiON}$ 、 $\text{HfTaON}$ 、 $\text{HfTiON}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{La}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{LaAlO}$  中的一种或其组合, 栅介质层的厚度可以为 1nm -10nm, 例如 3nm、5nm 或 8nm, 形成高 K 介质层之后的器件结构如图 4 所示; 所述金属栅功函数调节层 330 可以采用  $\text{TiN}$ 、 $\text{TaN}$  等材料制成, 其厚度范围为 3nm~15nm, 形成金属栅功函数调节层 330 之后的器件结构如图 5 所示。

[0056] 为了使栅极叠层 300 具有良好的台阶覆盖特性, 获得质量优良的薄膜, 上述形成栅极叠层的工艺均采用原子层淀积的方法形成。

[0057] 接下来, 在所述金属栅功函数调节层 330 表面形成多晶硅 340。首先, 采用化学汽相淀积的方法在所述器件表面淀积一层多晶硅, 使其覆盖整个器件 10 ~ 50 nm; 接下来, 对所述多晶硅层进行平坦化, 所述平坦化方法可以是化学机械抛光(CMP), 使所述多晶硅表面高度一致, 以所述金属栅功函数调节层 330 作为化学机械抛光的停止层, 使其余区域的多晶硅与所述金属栅功函数调节层 330 平齐; 接下来, 使用各向异性选择性刻

蚀对所述多晶硅层进行定向刻蚀，使其表面与所述源漏材料层 120 平齐，如图 6 所示。

[0058] 接下来，对覆盖所述第一鳍片 210 和第二鳍片 220 的栅极叠层进行各向同性选择性刻蚀，去除其位于多晶硅层 340 上方的部分，露出所述鳍片，如图 7 所示。对露出的鳍片进行倾斜的离子注入或者侧向散射形成所述源漏区。

[0059] 接下来，如图 8 所示，在露出的部分所述鳍片的侧壁上形成侧墙 230，用于将栅极叠层与源漏区隔开。侧墙 230 可以由氮化硅、氧化硅、氮氧化硅、碳化硅及其组合，和/或其他合适的材料形成。侧墙 230 可以具有多层结构。侧墙可以通过包括沉积刻蚀工艺形成，其厚度范围可以是 10nm -100nm，如 30nm、50nm 或 80nm。

[0060] 接下来，在所述源漏区上方形成所述第一、第二氧化层 510、520。为了减小源漏区的寄生电阻，本领域中多采用源漏区外延的方式来增大源漏区体积，从而减小寄生电阻，由于器件的对称性和电路的互连结构，外延部分的源漏区往往彼此相连，即多个器件的源端连接相同的电势，漏端连接相同的电势。然而在本发明中，由于源漏区分别位于两个不同的鳍片上，采用之前的外延方法将不可避免的使同一器件的源漏区不通过沟道即刻导通，时器件无法工作。

[0061] 为了解决这一问题，本发明提出了一种新型源漏外延结构，即对源区和漏区的鳍片进行部分外延，同时使其外延的部分相互交错，从而达到使源漏区不接触的目的。采用这种方式，有效减小了本发明中的 U 型结构的 FinFET 器件的寄生电阻。

[0062] 具体的，通过以下步骤形成源漏外延区。首先，如图 9 所示，采用光刻胶 400 覆盖所述器件，接下来，第一、第二氧化层的形状为掩膜版进行刻蚀，使鳍片表面需要生长氧化层的区域暴露出来，如图 10 所示。具体的刻蚀工艺为本领域中的常用手段，在此不再赘述。

[0063] 接下来，在未被光刻胶覆盖的区域生成所述第一、第二氧化层 240、250。为了保证鳍片与氧化层之间良好的界面性质，本发明采用干氧氧化

的方法形成所述第一、第二氧化层，使其覆盖第一、第二鳍片上未被光刻胶 400 覆盖的区域，如图 11 所示，最后去除光刻胶 400，使被光刻胶 400 覆盖的鳍片暴露出来，该区域由于光刻胶的保护没有形成第一氧化层 510 和第二氧化层 520，如图 12 所示。

[0064] 接下来，以鳍片表面的硅为籽晶进行外延生长，形成源漏外延区 240，即 raised-SD，由于一部分鳍片被氧化层遮挡，因此该区域上方无法进行外延生长，从而得到的源漏外延区仅存在于未被氧化层覆盖的区域上方。由于第一、第二鳍片上的氧化层位于不同鳍片上相反地两端，且其厚度大于鳍片长度的  $1/2$ ，因此可以生长获得的源漏外延区也位于第一、第二鳍片相反地两端，且由于其长度小于鳍片长度的  $1/2$ ，因此在外延时不会彼此相连，有效的减小了源漏区寄生电阻。图 13 示出了外延生长源漏外延区之后的器件的俯视图，其正视图如图 14 所示。在外延生长的同时进行原位掺杂，使外延区具有与源漏区相同的掺杂浓度。

[0065] 接下来，与现有技术相同，在所述源漏区和栅极上方形成硅化物以及金属电极，具体工艺步骤在此不再赘述。

[0066] 本发明提出了一种新型源漏外延结构，即对源区和漏区的鳍片进行部分外延，同时使其外延的部分相互交错，从而达到使源漏区不接触的目的，从而解决了 U 型 FinFET 器件由于源漏区分别位于两个不同的鳍片上，采用现有的外延方法直接外延时产生的使同一器件的源漏区不通过沟道即可导通，使器件无法工作得问题，有效减小了本发明中的 U 型结构的 FinFET 器件的寄生电阻。

[0067] 虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

[0068] 此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即

将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

## 权 利 要 求

1. 一种 U 型 FinFET 器件结构, 包括:

衬底 (100);

第一鳍片 (210) 和第二鳍片 (220), 所述第一鳍片 (210) 和第二鳍片 (220) 位于所述衬底 (100) 上方, 彼此平行;

栅极叠层 (300), 所述栅极叠层覆盖所述衬底和部分第一鳍片 (210) 和第二鳍片 (220) 的侧壁;

源区 (410), 所述源区位于所述第一鳍片 (210) 未被栅极叠层所覆盖区域;

源端外延区 (240), 位于所述第一鳍片 (210) 一端的上方, 其长度小于鳍片长度的 1/2;

漏区 (420), 所述漏区位于所述第二鳍片 (220) 未被栅极叠层所覆盖区域;

漏端外延区 (250), 位于所述第二鳍片 (220) 中与源区外延区相反的另一端的上方, 其长度小于所述鳍片长度的 1/2;

侧墙 (230), 所述侧墙 (230) 位于所述第一鳍片 (210) 和第二鳍片 (220) 两侧, 栅极叠层 (300) 上方, 用于隔离源区、漏区和栅极叠层。

2. 根据权利要求 1 所述的 FinFET 器件结构, 其特征在于, 所述第一鳍片 (210) 和第二鳍片 (220) 具有相同的高度、厚度和宽度。

3. 根据权利要求 1 所述的 FinFET 器件结构, 其特征在于, 所述第一鳍片 (210) 和第二鳍片 (220) 之间的距离为 5 ~ 50 nm。

4. 根据权利要求 1 所述的 FinFET 器件结构, 其特征在于, 所述栅极叠层依次包括: 界面层 (310)、高 K 介质层 (320)、金属栅功函数调节层 (330) 以及多晶硅 (340)。

5. 根据权利要求 1 所述的 FinFET 器件结构, 其特征在于, 所述栅极叠层 (300) 的高度为所述第一、第二鳍片 (210、220) 高度的  $1/2 \sim 3/4$ 。

6. 一种 U 型 FinFET 器件制造方法, 包括:

a. 提供衬底 (100), 在所述衬底 (100) 上形成第一鳍片 (210) 和第二鳍片 (220);

b. 在所述衬底 (100)、所述第一鳍片 (210) 和第二鳍片 (220) 上方和侧面形成栅极叠层;

c. 去除所述第一、第二鳍片上方和侧面的部分栅极叠层, 在未被所述栅极叠层覆盖的第一、第二鳍片两侧形成侧墙 (230);

d. 在所述第一、第二鳍片未被侧墙 (230) 覆盖的表面上分别形成第一氧化层 (510) 和第二氧化层 (520), 所述第一、第二氧化层位于第一、第二鳍片相反地两端, 其长度大于鳍片长度的  $1/2$ ;

e. 以未被所述第一、第二氧化层覆盖的鳍片表面的硅为籽晶进行外延生长, 形成源端外延区 (240) 以及漏端外延区 (250)。

7. 根据权利要求 6 所述的制造方法, 其特征在于, 在步骤 a 中, 形成所述第一鳍片 (210) 和第二鳍片 (220) 的方法为:

在所述衬底 (100) 上依次形成沟道材料层 (110) 和源漏材料层 (120);

对所述沟道材料层 (110) 和源漏材料层 (120) 进行刻蚀, 形成第一鳍片 (210) 和第二鳍片 (220)。

8. 根据权利要求 6 所述的制造方法, 其特征在于, 形成所述第一、第二氧化层 (510、520) 的方法为:

以光刻胶覆盖所述半导体结构, 以第一、第二氧化层的形状为掩膜版进行刻蚀, 使鳍片表面需要生长氧化层的区域暴露出来;

在未被光刻胶覆盖的区域生成所述第一、第二氧化层 (240、250)。

9. 根据权利要求 8 所述的制造方法, 其特征在于, 形成所述第一、第二氧化层的方法为干氧氧化。

10. 根据权利要求 8 所述的制造方法, 其特征在于, 形成所述源端外延区 (240) 以及漏端外延区 (250) 的方法为同质外延。

11. 根据权利要求 10 所述的制造方法, 其特征在于, 同质外延生长所述源端外延区 (240) 以及漏端外延区 (250) 的同时进行原位掺杂, 掺杂杂质的浓度和类型与源漏区相同。

12. 根据权利要求 6 所述的制造方法, 其特征在于, 所述第一鳍片 (210) 和第二鳍片 (220) 之间的距离为 5 ~ 50 nm。

13. 根据权利要求 6 所述的制造方法, 其特征在于, 形成所述第一鳍片 (210) 和第二鳍片 (220) 的方法为各向异性刻蚀。

14. 根据权利要求 6 所述的制造方法, 其特征在于, 所述栅极叠层 (300) 的高度为所述第一、第二鳍片 (210、220) 高度的  $1/2 \sim 3/4$ 。

15. 根据权利要求 6 所述的制造方法, 其特征在于, 形成所述栅极叠层的方法为原子层淀积。

16. 根据权利要求 6 所述的制造方法, 其特征在于, 去除部分栅极叠层的方法为各向异性选择性刻蚀。

17. 根据权利要求 6 所述的制造方法, 其特征在于, 形成所述源漏区的方法为倾斜的离子注入。

18. 根据权利要求 6 所述的制造方法，其特征在于，形成所述源漏区的方法为侧向散射。

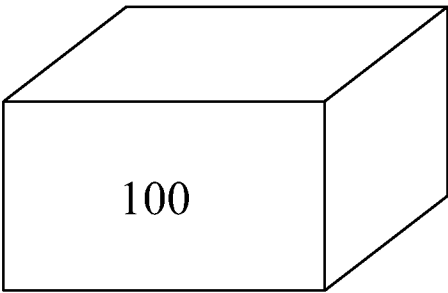


图 1

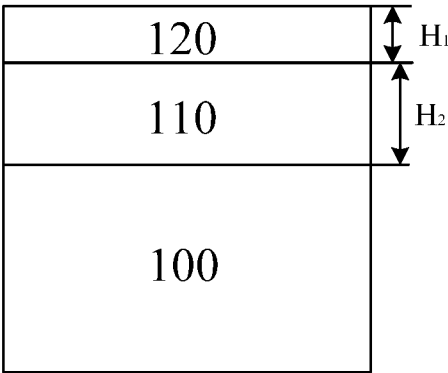


图 2

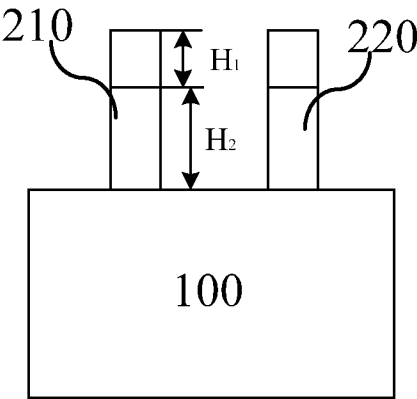


图 3

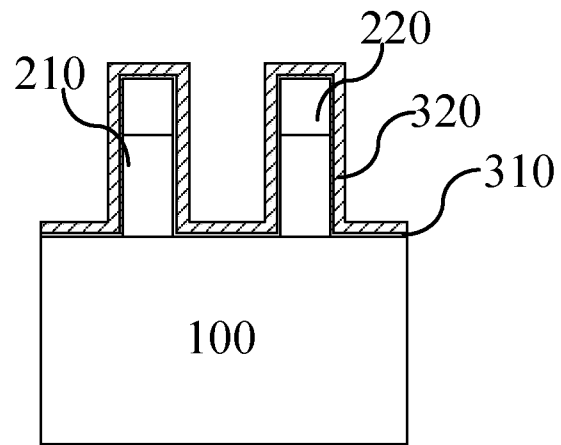


图 4

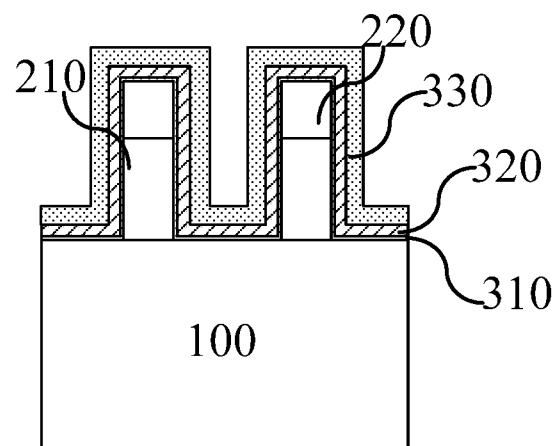


图 5

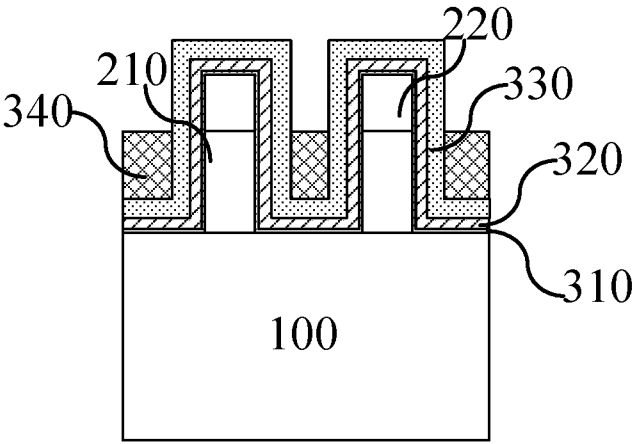


图 6

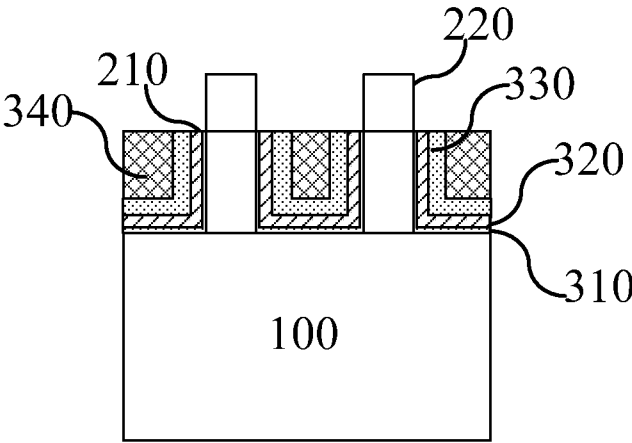


图 7

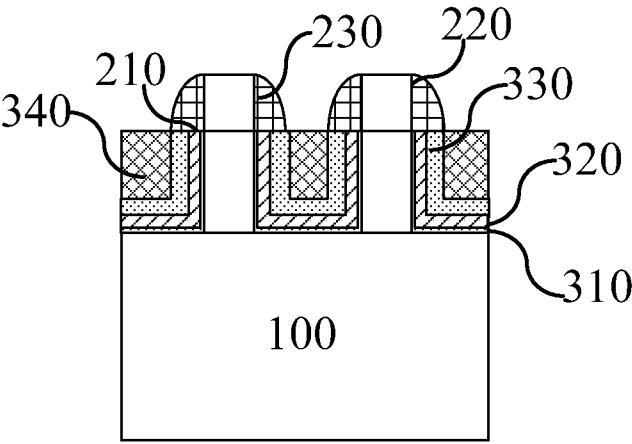


图 8

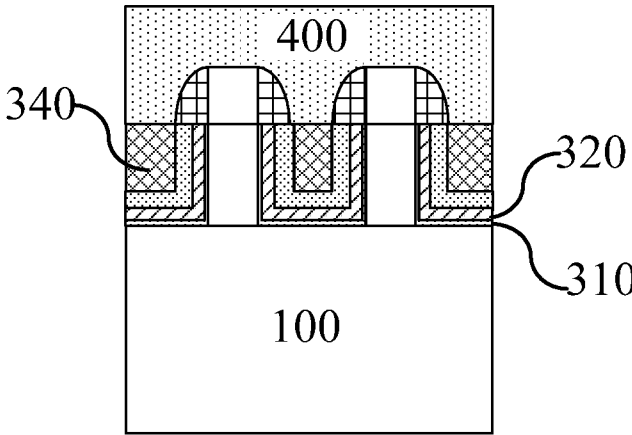


图 9

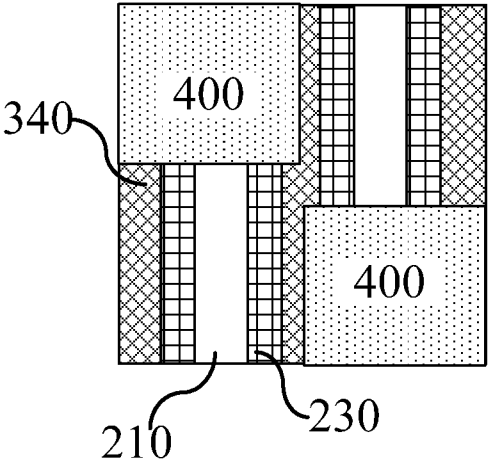


图 10

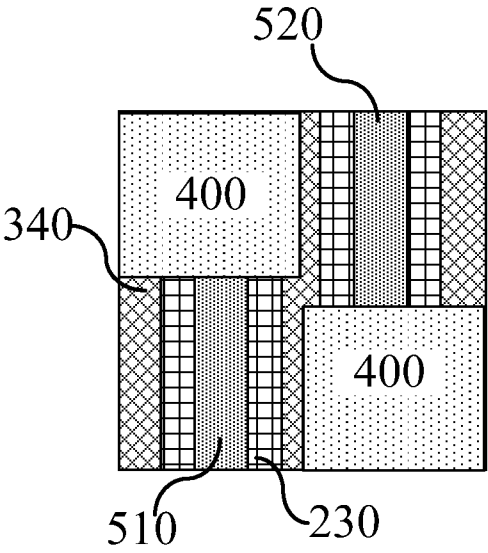


图 11

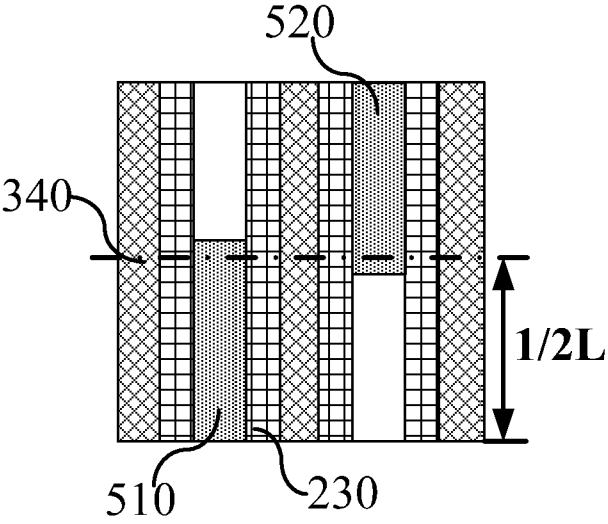


图 12

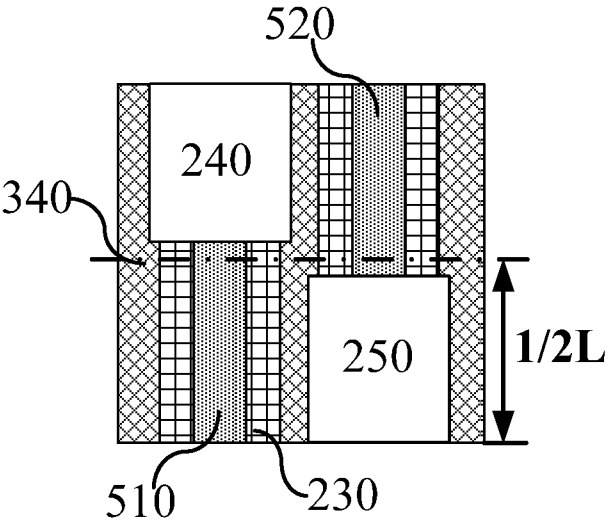


图 13

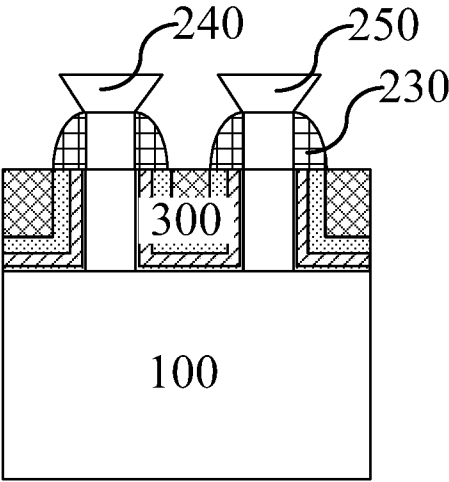


图 14

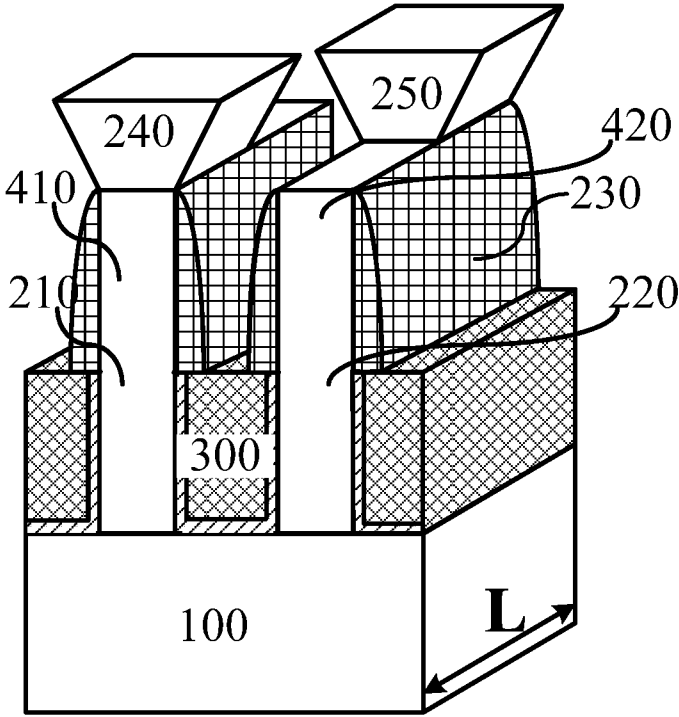


图 15

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2014/088602

## A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI; CNPAT; WPI; EPODOC: side wall, lamination, liu yunfei, yin haizhou, li rui, vertical channel, shap+, wall, finFET, gate, fin, epitaxi+, institute of microelectronics, chinese academy of sciences, u-shaped, side, drain, source, grid

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                            | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | CN 103915501 A (INTERNATIONAL BUSINESS MACHINES CORPORATION) 9 July 2014 (109.07.2014) description, paragraphs [0041]-[0043], and figures 6-8 | 1-18                  |
| A         | CN 103855010 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 11 June 2014 (11.06.2014) the whole document                      | 1-18                  |
| A         | CN 103390637 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 13 November 2013 (13.11.2013) the whole document                  | 1-18                  |
| A         | US 2011193175 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 11 August 2011 (11.08.2011) the whole document                                | 1-18                  |
| A         | US 2013292805 A1 (GLOBALFOUNDRIES INC.) 7 November 2013 (07.11.2013) the whole document                                                       | 1-18                  |

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| "A" document defining the general state of the art which is not considered to be of particular relevance                                                                | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| "E" earlier application or patent but published on or after the international filing date                                                                               | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family                                                                                                                                                                                                    |
| "O" document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| "P" document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

|                                                                                                                                                                                                               |                                                                     |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------|
| Date of the actual completion of the international search<br>20 May 2015                                                                                                                                      | Date of mailing of the international search report<br>09 June 2015  |
| Name and mailing address of the ISA<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No. (86-10) 62019451 | Authorized officer<br>MIAO, Gujin<br>Telephone No. (86-10) 62413458 |

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2014/088602

| Patent Documents referred<br>in the Report | Publication Date | Patent Family    | Publication Date |
|--------------------------------------------|------------------|------------------|------------------|
| CN 103915501 A                             | 09 July 2014     | US 2015064855 A1 | 05 March 2015    |
|                                            |                  | US 9000522 B2    | 07 April 2015    |
|                                            |                  | US 2014191321 A1 | 10 July 2014     |
| CN 103855010 A                             | 11 June 2014     | None             |                  |
| CN 103390637 A                             | 13 November 2013 | WO 2013166733 A1 | 14 November 2013 |
|                                            |                  | US 2013299885 A1 | 14 November 2013 |
|                                            |                  | US 8673704 B2    | 18 March 2014    |
| US 2011193175 A1                           | 11 August 2011   | US 8697539 B2    | 15 April 2014    |
|                                            |                  | US 2013109152 A1 | 02 May 2013      |
|                                            |                  | US 8362572 B2    | 29 January 2013  |
| US 2013292805 A1                           | 07 November 2013 | US 2015044855 A1 | 12 February 2015 |
|                                            |                  | US 8962413 B1    | 24 February 2015 |
|                                            |                  | US 8900941 B2    | 02 December 2014 |

## 国际检索报告

国际申请号

PCT/CN2014/088602

## A. 主题的分类

H01L 29/78(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI; CNPAT; WPI; EPODOC; sidewall, 叠层, 刘云飞, 垂直沟道, shap+, wall, finFET, gate, fin, epitaxi+, 李睿, 中国科学院微电子研究所, 尹海洲, u型, side, drain, source, 栅极

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                                                   | 相关的权利要求 |
|------|-----------------------------------------------------------------------------------------------------|---------|
| A    | CN 103915501 A (国际商业机器公司) 2014年 7月 9日 (2014 - 07 - 09)<br>说明书第0041-0043段, 附图6-8                     | 1-18    |
| A    | CN 103855010 A (中国科学院微电子研究所) 2014年 6月 11日 (2014 - 06 - 11)<br>全文                                    | 1-18    |
| A    | CN 103390637 A (中国科学院微电子研究所) 2013年 11月 13日 (2013 - 11 - 13)<br>全文                                   | 1-18    |
| A    | US 2011193175 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2011年 8月 11日 (2011 - 08 - 11)<br>全文 | 1-18    |
| A    | US 2013292805 A1 (GLOBALFOUNDRIES INC.) 2013年 11月 7日 (2013 - 11 - 07)<br>全文                         | 1-18    |

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

## \* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&amp;” 同族专利的文件

国际检索实际完成的日期

2015年 5月 20日

国际检索报告邮寄日期

2015年 6月 9日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)  
北京市海淀区蓟门桥西土城路6号  
100088 中国

传真号 (86-10)62019451

授权官员

缪顾进

电话号码 (86-10)62413458

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2014/088602

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 |            |    | 公布日<br>(年/月/日) |
|-------------|------------|----|----------------|------|------------|----|----------------|
| CN          | 103915501  | A  | 2014年 7月 9日    | US   | 2015064855 | A1 | 2015年 3月 5日    |
|             |            |    |                | US   | 9000522    | B2 | 2015年 4月 7日    |
|             |            |    |                | US   | 2014191321 | A1 | 2014年 7月 10日   |
| CN          | 103855010  | A  | 2014年 6月 11日   | 无    |            |    |                |
| CN          | 103390637  | A  | 2013年 11月 13日  | WO   | 2013166733 | A1 | 2013年 11月 14日  |
|             |            |    |                | US   | 2013299885 | A1 | 2013年 11月 14日  |
|             |            |    |                | US   | 8673704    | B2 | 2014年 3月 18日   |
| US          | 2011193175 | A1 | 2011年 8月 11日   | US   | 8697539    | B2 | 2014年 4月 15日   |
|             |            |    |                | US   | 2013109152 | A1 | 2013年 5月 2日    |
|             |            |    |                | US   | 8362572    | B2 | 2013年 1月 29日   |
| US          | 2013292805 | A1 | 2013年 11月 7日   | US   | 2015044855 | A1 | 2015年 2月 12日   |
|             |            |    |                | US   | 8962413    | B1 | 2015年 2月 24日   |
|             |            |    |                | US   | 8900941    | B2 | 2014年 12月 2日   |

表 PCT/ISA/210 (同族专利附件) (2009年7月)