

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5636327号
(P5636327)

(45) 発行日 平成26年12月3日 (2014. 12. 3)

(24) 登録日 平成26年10月24日 (2014. 10. 24)

(51) Int. Cl.

F I

H O 3 K 23/44 (2006. 01)

H O 3 K 23/44

H O 1 L 21/20 (2006. 01)

H O 1 L 21/20

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 6 1 8 B

H O 1 L 29/78 6 1 3 Z

請求項の数 1 (全 37 頁)

(21) 出願番号 特願2011-82727 (P2011-82727)
(22) 出願日 平成23年4月4日 (2011. 4. 4)
(65) 公開番号 特開2011-234352 (P2011-234352A)
(43) 公開日 平成23年11月17日 (2011. 11. 17)
審査請求日 平成26年1月10日 (2014. 1. 10)
(31) 優先権主張番号 特願2010-90296 (P2010-90296)
(32) 優先日 平成22年4月9日 (2010. 4. 9)
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷 3 9 8 番地
(72) 発明者 高橋 圭
神奈川県厚木市長谷 3 9 8 番地 株式会社
半導体エネルギー研究所内
(72) 発明者 伊藤 良明
神奈川県厚木市長谷 3 9 8 番地 株式会社
半導体エネルギー研究所内

審査官 白井 亮

最終頁に続く

(54) 【発明の名称】 分周回路

(57) 【特許請求の範囲】

【請求項 1】

第 1 の回路と、第 2 の回路と、を有し、前記第 1 の回路は、第 1 のクロック信号及び第 2 のクロック信号に対応して、 $2 \times$ 個 (X は 2 以上の自然数) のパルス信号を出力する機能を有し、前記第 2 の回路は、前記 $2 \times$ 個のパルス信号に対応して、前記第 1 のクロック信号の周期の X 倍の周期である第 3 のクロック信号を出力する機能を有し、前記第 2 の回路は、 X 個の第 1 のトランジスタと、 X 個の第 2 のトランジスタと、を有し、前記 X 個の第 1 のトランジスタ及び前記 X 個の第 2 のトランジスタは、チャンネル形成層としての機能を有する酸化物半導体を含み、前記酸化物半導体のキャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 未満の領域を有し、前記 X 個の第 1 のトランジスタのゲートには、前記 $2 \times$ 個のパルス信号における 1 個目乃至 X 個目のパルス信号のうち、互いに異なるパルス信号が入力され、前記 X 個の第 1 のトランジスタはそれぞれ、前記第 3 のクロック信号の電位を第 1 の電位に設定するか否かを制御する機能を有し、前記 X 個の第 2 のトランジスタのゲートには、前記 $2 \times$ 個のパルス信号における ($X + 1$) 個目乃至 $2 \times$ 個目のパルス信号のうち、互いに異なるパルス信号が入力され、前記 X 個の第 2 のトランジスタはそれぞれ、前記第 3 のクロック信号の電位を第 2 の電位に設定するか否かを制御する機能を有することを特徴とする分周回路。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、分周回路に関する。

【背景技術】

【0002】

近年、互いに異なる周期の複数のクロック信号を用いてデジタル回路を駆動するために、分周回路が用いられる。

【0003】

従来の分周回路としては、例えばフリップフロップを用いた分周回路などが挙げられる。

10

(例えば特許文献1)

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平05-048432号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

例えば、特許文献1に示すような従来のフリップフロップを用いた分周回路は、簡略な回路構成で構成することができるが、周期の短いクロック信号を分周する場合に動作不良が起る可能性がある。例えば、従来のフリップフロップを用いた分周回路は、電源電圧を選択的に出力することにより出力信号を生成するため、動作速度が遅く、分周回路を用いて周期の短いクロック信号を生成する場合に、動作不良が発生し、クロック信号を生成できない場合がある。

20

【0006】

本発明の一態様では、分周回路の分周動作における動作不良を抑制することを課題の一つとする。

【課題を解決するための手段】

【0007】

本発明の一態様は、入力されたクロック信号の電圧に応じた値に設定された電圧信号である複数のパルス信号を生成し、生成した複数のパルス信号を用いて入力されたクロック信号の周期のN倍(Nは2以上の自然数)であるクロック信号を生成するものである。

30

【0008】

本発明の一態様は、第1のクロック信号及び第2のクロック信号が入力され、第1のクロック信号及び第2のクロック信号に従って順次パルスを出力する $2 \times X$ 個(Xは2以上の自然数)のパルス信号を生成し、生成した $2 \times X$ 個のパルス信号を出力するシフトレジスタと、 $2 \times X$ 個のパルス信号に従って、第1のクロック信号の周期のX倍の周期である第3のクロック信号となる信号を生成し、生成した第3のクロック信号となる信号を出力する分周信号出力回路と、を具備し、分周信号出力回路は、それぞれソース、ドレイン、及びゲートを有し、ゲートのそれぞれに、 $2 \times X$ 個のパルス信号における1個目乃至X個目のパルス信号のうち、互いに異なるパルス信号が入力され、第3のクロック信号となる信号の電圧を第1の電圧に設定するか否かを制御するX個の第1のトランジスタと、それぞれソース、ドレイン、及びゲートを有し、ゲートのそれぞれに、 $2 \times X$ 個のパルス信号における $X + 1$ 個目乃至 $2 \times X$ 個目のパルス信号のうち、互いに異なるパルス信号が入力され、第3のクロック信号となる信号の電圧を第2の電圧に設定するか否かを制御するX個の第2のトランジスタと、を備える分周回路である。

40

【0009】

本発明の一態様は、第1のクロック信号及び第2のクロック信号が入力され、第1のクロック信号の周期のX倍(Xは2以上の自然数)の周期である第3のクロック信号を生成する第1の単位分周回路と、第3のクロック信号が入力され、第3のクロック信号に従って

50

、第3のクロック信号の周期のK倍（Kは2以上の自然数）の周期である第4のクロック信号を生成する第2の単位分周回路と、を具備し、第1の単位分周回路は、第1のクロック信号及び第2のクロック信号に従って順次パルスを出力する $2 \times X$ 個（Xは2以上の自然数）のパルス信号を生成し、生成した $2 \times X$ 個のパルス信号を出力するシフトレジスタと、 $2 \times X$ 個のパルス信号に従って、電圧信号を生成し、生成した電圧信号を第3のクロック信号として出力する分周信号出力回路と、を具備し、分周信号出力回路は、それぞれソース、ドレイン、及びゲートを有し、ゲートのそれぞれに、 $2 \times X$ 個のパルス信号における1個目乃至X個目のパルス信号のうち、互いに異なるパルス信号が入力され、電圧信号の電圧を第1の電圧に設定するか否かを制御するX個の第1のトランジスタと、それぞれソース、ドレイン、及びゲートを有し、ゲートのそれぞれに、 $2 \times X$ 個のパルス信号における $X + 1$ 個目乃至 $2 \times X$ 個目のパルス信号のうち、互いに異なるパルス信号が入力され、電圧信号の電圧を第2の電圧に設定するか否かを制御するX個の第2のトランジスタと、を備える分周回路である。

10

【発明の効果】

【0010】

本発明の一態様により、周期の短いクロック信号であっても分周動作における動作不良を抑制することができる。

【図面の簡単な説明】

【0011】

【図1】実施の形態1における分周回路の構成例を示すブロック図。

20

【図2】実施の形態2の分周回路におけるシフトレジスタの構成例を説明するための図。

【図3】実施の形態2の分周回路における分周信号出力回路の構成例を説明するための図。

【図4】実施の形態2の分周回路におけるシフトレジスタの動作例を説明するためのタイミングチャート。

【図5】実施の形態2の分周回路における分周信号出力回路の動作例を説明するためのタイミングチャート。

【図6】実施の形態2の分周回路における分周信号出力回路の動作例を説明するためのタイミングチャート。

【図7】実施の形態3における分周回路の構成例を示すブロック図。

30

【図8】実施の形態4におけるトランジスタの構造例を示す断面模式図。

【図9】図8（A）に示すトランジスタの作製方法を説明するための断面模式図。

【図10】図8（A）に示すトランジスタの作製方法を説明するための断面模式図。

【図11】実施の形態5における半導体装置の構成例を示すブロック図。

【発明を実施するための形態】

【0012】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではないとする。

40

【0013】

また、各実施の形態に示す内容は、互いに適宜組み合わせ、又は置き換えを行うことができる。

【0014】

（実施の形態1）

本実施の形態では、シフトレジスタを具備する分周回路について説明する。

【0015】

本実施の形態の分周回路の構成について、図1を用いて説明する。図1は、本実施の形態における分周回路の構成例を示すブロック図である。

【0016】

50

図 1 に示す分周回路は、シフトレジスタ 101 と、分周信号出力回路 (DIVOUT という) 102 と、を具備する。

【0017】

シフトレジスタ 101 には、クロック信号が入力される。クロック信号としては、例えばクロック信号 CLK1 (信号 CLK1 ともいう) 及びクロック信号 CLK2 (信号 CLK2 ともいう) がシフトレジスタ 101 に入力される。また、シフトレジスタ 101 は、 $2 \times X$ 個 (X は 2 以上の自然数) のパルス信号を出力する。

【0018】

本実施の形態の分周回路における信号としては、例えば電圧を用いた信号を用いることができる。電圧を用いた信号 (電圧信号ともいう) としては、少なくとも第 1 の電圧及び第 2 の電圧に変化するアナログ信号又はデジタル信号を用いることができる。例えばクロック信号などの 2 値のデジタル信号は、ローレベル及びハイレベルになることにより、第 1 の電圧 (ローレベルの電圧) 及び第 2 の電圧 (ハイレベルの電圧) に変化する信号である。また、ハイレベルの電圧及びローレベルの電圧は、それぞれ一定値であることが好ましい。しかし、電子回路では、例えばノイズなどの影響があるため、ハイレベルの電圧及びローレベルの電圧は、一定値ではなく、それぞれ実質的に同等とみなすことができる一定の範囲内の値であればよい。また、本実施の形態の分周回路における信号として第 1 の電圧乃至第 3 の電圧となる信号を用いてもよい。第 3 の電圧としては、例えば第 2 の電圧以上の値の電圧を用いることができる。

【0019】

なお、一般的に電圧とは、ある二点間における電位の差 (電位差ともいう) のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト (V) で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位 (基準電位ともいう) との電位差を、該一点の電圧として用いる場合がある。

【0020】

信号 CLK1 及び信号 CLK2 は、互いに $1/2$ 周期ずれているクロック信号である。

【0021】

また、シフトレジスタ 101 は、 P 個 ($P = 2 \times X$) の順序回路 (FF ともいう) (順序回路 101_1 乃至順序回路 101_P) を用いて構成される P 段の順序回路を備える。

【0022】

順序回路には、信号 CLK1 又は信号 CLK2 が入力される。また、順序回路は、入力されたクロック信号に応じて電圧が設定された信号を出力信号として出力する。また、順序回路は、例えば出力信号の電圧を制御するためのトランジスタを用いて構成される。

【0023】

なお、分周回路において、トランジスタは、特に指定する場合を除き、ソース、ドレイン、及びゲートを少なくとも有する。

【0024】

ソースとは、ソース領域、ソース電極の一部若しくは全部、又はソース配線の一部若しくは全部のことをいう。また、ソース電極とソース配線とを区別せずにソース電極及びソース配線の両方の機能を有する導電層をソースという場合がある。

【0025】

ドレインとは、ドレイン領域、ドレイン電極の一部若しくは全部、又はドレイン配線の一部若しくは全部のことをいう。また、ドレイン電極とドレイン配線とを区別せずにドレイン電極及びドレイン配線の両方の機能を有する導電層をドレインという場合がある。

【0026】

ゲートとは、ゲート電極の一部若しくは全部、又はゲート配線の一部若しくは全部のことをいう。また、ゲート電極とゲート配線とを区別せずにゲート電極及びゲート配線の両方の機能を有する導電層をゲートという場合がある。

【0027】

また、トランジスタの構造や動作条件などによって、トランジスタのソースとドレインは、互いに入れ替わる場合がある。

【 0 0 2 8 】

また、分周回路におけるトランジスタとしては、例えば元素周期表における第 1 4 族の半導体（シリコンなど）を用いた半導体層又は酸化物半導体層を含むトランジスタを用いることができる。上記第 1 4 族の半導体を用いた半導体層又は酸化物半導体層は、トランジスタのチャネル形成層としての機能を有する。また、上記酸化物半導体層は、高純度化することにより、真性（I 型ともいう）、又は実質的に真性にさせた半導体層である。なお、高純度化とは、酸化物半導体層中の水素を極力排除すること、及び酸化物半導体層に酸素を供給して酸化物半導体層中の酸素欠乏に起因する欠陥を低減することの少なくとも一方を含む概念である。また、分周回路におけるトランジスタを全て同一の導電型のトランジスタにすることができる。全て同一の導電型のトランジスタを用いることにより、互いに異なる導電型である複数のトランジスタを用いる場合より製造工程を簡略にすることができる。

10

【 0 0 2 9 】

順序回路は、自身の出力信号の電圧を制御するためのトランジスタがオン状態になることにより、出力信号の電圧をクロック信号の電圧に応じた値に設定する。例えば奇数段の順序回路において、出力信号の電圧を制御するためのトランジスタは、出力信号の電圧を信号 CLK 1 に応じた値の電圧に設定する。また、偶数段の順序回路において、出力信号の電圧を制御するためのトランジスタは、出力信号の電圧を信号 CLK 2 に応じた値の電圧に設定する。また、上記出力信号の電圧を制御するためのトランジスタは、ゲートと、ソース及びドレインの一方との間に容量を有する。このため、順序回路は、トランジスタのゲートの電圧を電源電圧以上に設定することができる。これにより、出力信号の電圧が所望の値になるまでの時間を短くすることができ、また、少なくとも一部の出力信号の電圧の値を電源電圧以上にすることができる。上記ゲートと、ソース及びドレインの一方との間の容量としては、寄生容量又は別途設けられた容量素子などを用いることができる。

20

【 0 0 3 0 】

分周信号出力回路 1 0 2 には、 $2 \times X$ 個のパルス信号が入力される。分周信号出力回路 1 0 2 は、入力された $2 \times X$ 個のパルス信号に従って、信号 CLK 1 の周期の X 倍の周期である信号 CLK 3 となる信号を生成し、生成した信号 CLK 3 となる信号を出力信号として出力する機能を有する。なお、信号 CLK 1 の周期の X 倍の周期である信号を生成することを分周ともいう。

30

【 0 0 3 1 】

分周信号出力回路 1 0 2 は、少なくとも X 個のトランジスタ $T r 1$ 及び X 個のトランジスタ $T r 2$ を備える。

【 0 0 3 2 】

X 個のトランジスタ $T r 1$ のゲートには、1 個目乃至 X 個目の異なるパルス信号が入力され、トランジスタ $T r 1$ は、所定の時間における信号 CLK 3 となる信号の電圧を第 1 の電圧に設定するか否かを制御する機能を有する。

【 0 0 3 3 】

X 個のトランジスタ $T r 2$ のゲートには、 $X + 1$ 個目乃至 $2 \times X$ 個目の異なるパルス信号が入力され、トランジスタ $T r 2$ は、所定の時間における信号 CLK 3 となる信号の電圧を第 2 の電圧に設定するか否かを制御する機能を有する。

40

【 0 0 3 4 】

本実施の形態の分周回路の一例は、シフトレジスタ及び分周信号出力回路を具備し、シフトレジスタは、第 1 のクロック信号及び第 2 のクロック信号に従って $2 \times X$ 個のパルス信号を出力する機能を有し、分周信号出力回路は、 $2 \times X$ 個のパルス信号に従って X 個の第 1 のトランジスタ及び X 個の第 2 のトランジスタのそれぞれを順次オン状態にすることにより、第 3 のクロック信号となる信号の電圧を設定し、第 1 のクロック信号の周期の X 倍の周期である第 3 のクロック信号を出力する構成である。本実施の形態の分周回路にお

50

るシフトレジスタは、パルス信号の電圧が所望の値になるまでの時間が短い。これは、例えばクロック信号の電圧に応じて出力信号となるパルス信号の電圧を設定するためである。よって、該シフトレジスタを用いることにより、分周回路の動作速度を向上させることができ、分周動作における動作不良を抑制することができる。

【 0 0 3 5 】

(実施の形態 2)

本実施の形態では、上記実施の形態 1 における分周回路の構成例について説明する。

【 0 0 3 6 】

まず、上記実施の形態の分周回路のシフトレジスタにおける各順序回路の構成例について、図 2 を用いて説明する。図 2 は、本実施の形態の分周回路のシフトレジスタにおける順序回路の構成例を示す図である。

10

【 0 0 3 7 】

各順序回路には、セット信号 S T 1 1 (信号 S T 1 1 ともいう)、リセット信号 R S 1 1 (信号 R S 1 1 ともいう)、リセット信号 R S 1 2 (信号 R S 1 2 ともいう)、クロック信号 C K 1 1 (信号 C K 1 1 ともいう)、クロック信号 C K 1 2 (信号 C K 1 2 ともいう)、及び電源電圧 V p が入力される。また、各順序回路は、出力信号 O U T 1 1 (信号 O U T 1 1 ともいう)を出力する。

【 0 0 3 8 】

図 2 (A) は、1 段目の順序回路の構成例を示す図である。図 2 (A) に示す順序回路は、トランジスタ 1 0 1 a 乃至トランジスタ 1 0 1 k を備える。

20

【 0 0 3 9 】

トランジスタ 1 0 1 a のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 1 0 1 a のゲートには、信号 S T 1 1 が入力される。

【 0 0 4 0 】

トランジスタ 1 0 1 b のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 1 0 1 b のゲートには、信号 R S 1 1 が入力される。

【 0 0 4 1 】

トランジスタ 1 0 1 c のソース及びドレインの一方は、トランジスタ 1 0 1 b のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 1 c のソース及びドレインの他方には、電圧 V b が入力され、トランジスタ 1 0 1 c のゲートには、信号 S T 1 1 が入力される。

30

【 0 0 4 2 】

なお、電圧 V a 及び電圧 V b の一方は、高電源電圧 V d d であり、電圧 V a 及び電圧 V b の他方は、低電源電圧 V s s である。高電源電圧 V d d は、相対的に低電源電圧 V s s より高い値の電圧であり、低電源電圧 V s s は、相対的に高電源電圧 V d d より低い値の電圧である。電圧 V a 及び電圧 V b の値は、例えばトランジスタの極性などにより互いに入れ替わる場合がある。また、電圧 V a 及び電圧 V b の電位差が電源電圧 V p となる。

【 0 0 4 3 】

トランジスタ 1 0 1 d のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 1 0 1 d のゲートには、信号 C K 1 2 が入力される。

40

【 0 0 4 4 】

トランジスタ 1 0 1 e のソース及びドレインの一方は、トランジスタ 1 0 1 d のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 1 e のソース及びドレインの他方は、トランジスタ 1 0 1 b のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 1 e のゲートには、信号 R S 1 2 が入力される。

【 0 0 4 5 】

トランジスタ 1 0 1 f のソース及びドレインの一方は、トランジスタ 1 0 1 a のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 1 f のゲートには、電圧 V a が入力される。なお、トランジスタ 1 0 1 f のソース及びドレインの一方と、トランジスタ 1 0 1 a のソース及びドレインの他方との接続箇所をノード N A 1 ともいう。

50

【 0 0 4 6 】

トランジスタ 1 0 1 g のソース及びドレインの一方は、トランジスタ 1 0 1 a のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 1 g のソース及びドレインの他方には、電圧 V b が入力され、トランジスタ 1 0 1 g のゲートは、トランジスタ 1 0 1 e のソース及びドレインの他方に電氣的に接続される。

【 0 0 4 7 】

トランジスタ 1 0 1 h のソース及びドレインの一方には、信号 C K 1 1 が入力され、トランジスタ 1 0 1 h のゲートは、トランジスタ 1 0 1 f のソース及びドレインの他方に電氣的に接続される。なお、トランジスタ 1 0 1 h のゲートと、トランジスタ 1 0 1 f のソース及びドレインの他方との接続箇所をノード N B 1 ともいう。

10

【 0 0 4 8 】

トランジスタ 1 0 1 i のソース及びドレインの一方は、トランジスタ 1 0 1 h のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 1 i のソース及びドレインの他方には、電圧 V b が入力され、トランジスタ 1 0 1 i のゲートは、トランジスタ 1 0 1 e のソース及びドレインの他方に電氣的に接続される。なお、トランジスタ 1 0 1 i のゲートと、トランジスタ 1 0 1 b のソース及びドレインの他方、トランジスタ 1 0 1 c のソース及びドレインの一方、トランジスタ 1 0 1 e のソース及びドレインの他方、トランジスタ 1 0 1 g のゲート、並びにトランジスタ 1 0 1 k のソース及びドレインの一方との接続箇所をノード N C 1 ともいう。

【 0 0 4 9 】

20

トランジスタ 1 0 1 j のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 1 0 1 j のソース及びドレインの他方は、トランジスタ 1 0 1 a のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 1 j のゲートには、信号 F B が入力される。信号 F B は、P 段目の順序回路 1 0 1 __ P の信号 O U T 1 1 (信号 O U T 1 1 (1 0 1 __ P) ともいう) であるフィードバック信号である。

【 0 0 5 0 】

トランジスタ 1 0 1 k のソース及びドレインの一方は、トランジスタ 1 0 1 b のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 1 k のソース及びドレインの他方には、電圧 V b が入力され、トランジスタ 1 0 1 k のゲートには、信号 F B が入力される。

30

【 0 0 5 1 】

図 2 (B) は、2 段目乃至 $((P/2) + 1)$ 段目の順序回路の構成例を示す図である。

【 0 0 5 2 】

図 2 (B) に示す順序回路は、図 2 (A) に示す順序回路の構成からトランジスタ 1 0 1 j 及びトランジスタ 1 0 1 k を除いた構成と同じ構成である。よって、図 2 (A) に示す順序回路の構成例の説明を適宜援用する。

【 0 0 5 3 】

図 2 (C) は、 $((P/2) + 2)$ 段目乃至 P 段目の順序回路の構成例を示す図である。

【 0 0 5 4 】

図 2 (C) に示す順序回路は、図 2 (B) に示す順序回路の構成に加え、ノード N B 1 の電圧を、信号 O U T 1 2 として出力する構成である。よって、図 2 (B) に示す順序回路と同じ構成の部分は、図 2 (A) に示す順序回路の説明を適宜援用する。

40

【 0 0 5 5 】

さらに、1 段目の順序回路には、信号 S T 1 1 として、スタート信号 S P (信号 S P ともいう) が入力される。信号 S P は、パルス信号である。

【 0 0 5 6 】

また、 $Q + 1$ (Q は 1 以上 $P - 1$ 以下の自然数) 段目の順序回路には、信号 S T 1 1 として、Q 段目の順序回路の信号 O U T 1 1 が入力される。

【 0 0 5 7 】

また、U (U は 1 以上 $P - 1$ 以下の自然数) 段目の順序回路には、信号 R S 1 1 として、

50

U + 1 段目の順序回路の信号 O U T 1 1 が入力される。

【 0 0 5 8 】

また、P 段目の順序回路には、信号 R S 1 1 として、1 段目の順序回路の信号 O U T 1 1 が入力される。

【 0 0 5 9 】

また、偶数段目の順序回路には、信号 C K 1 1 として、信号 C L K 2 が入力され、信号 C K 1 2 として、信号 C L K 1 が入力される。

【 0 0 6 0 】

また、奇数段目の順序回路には、信号 C K 1 1 及び信号 C K 1 2 として、信号 C L K 1 が入力される。

【 0 0 6 1 】

また、各順序回路には、信号 R S 1 2 として、信号 R S T が入力される。信号 R S T は、パルス信号である。なお、信号 R S T を用いて信号 S P を生成することもできる。

【 0 0 6 2 】

次に、本実施の形態の分周回路における分周信号出力回路の構成例について、図 3 を用いて説明する。図 3 は、本実施の形態の分周回路における分周信号出力回路の構成例を示す図である。

【 0 0 6 3 】

図 3 (A) に示す分周信号出力回路は、シフトレジスタが 4 段の順序回路により構成される場合の分周信号出力回路である。図 3 (A) に示す分周信号出力回路は、トランジスタ 1 0 2 a 乃至トランジスタ 1 0 2 m と、遅延回路 1 0 2 D L 1 と、遅延回路 1 0 2 D L 2 と、を備える。

【 0 0 6 4 】

また、図 3 (A) に示す分周信号出力回路には、信号 S 1 A、信号 S 1 B、信号 S 2 A、信号 S 2 B、クロック信号 C K 2 1 (信号 C K 2 1 ともいう)、リセット信号 R S 2 1 (信号 R S 2 1 ともいう)、及び電源電圧 V p が入力される。また、図 3 (A) に示す分周信号出力回路は、出力信号 O U T 2 1 (信号 O U T 2 1 ともいう) を出力する。信号 O U T 2 1 は、クロック信号 C L K 1 の周期を N 倍に分周したクロック信号である。

【 0 0 6 5 】

トランジスタ 1 0 2 a のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 1 0 2 a のゲートには、信号 S 1 B が入力される。

【 0 0 6 6 】

トランジスタ 1 0 2 b のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 1 0 2 b のゲートには、信号 S 2 B が入力される。

【 0 0 6 7 】

トランジスタ 1 0 2 c のソース及びドレインの一方は、トランジスタ 1 0 2 b のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 2 c のソース及びドレインの他方には、電圧 V b が入力され、トランジスタ 1 0 2 c のゲートは、信号 S 1 B が入力される。

【 0 0 6 8 】

トランジスタ 1 0 2 d のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 1 0 2 d のゲートには、信号 C K 2 1 が入力される。

【 0 0 6 9 】

トランジスタ 1 0 2 e のソース及びドレインの一方は、トランジスタ 1 0 2 d のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 2 e のソース及びドレインの他方は、トランジスタ 1 0 2 b のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 2 e のゲートには、信号 R S 2 1 が入力される。

【 0 0 7 0 】

トランジスタ 1 0 2 f のソース及びドレインの一方は、トランジスタ 1 0 2 a のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 2 f のゲートには、電圧 V a が

10

20

30

40

50

入力される。なお、トランジスタ102fのソース及びドレインの一方と、トランジスタ102aのソース及びドレインの他方との接続箇所をノードNA2ともいう。

【0071】

トランジスタ102gのソース及びドレインの一方は、トランジスタ102aのソース及びドレインの他方に電氣的に接続され、トランジスタ102gのソース及びドレインの他方には、電圧Vbが入力され、トランジスタ102gのゲートは、トランジスタ102bのソース及びドレインの他方に電氣的に接続される。なお、トランジスタ102gのゲートと、トランジスタ102bのソース及びドレインの他方、トランジスタ102cのソース及びドレインの一方、並びにトランジスタ102eのソース及びドレインの他方との接続箇所をノードNC2ともいう。

10

【0072】

トランジスタ102hのソース及びドレインの一方には、信号CK21が入力され、トランジスタ102hのゲートは、トランジスタ102fのソース及びドレインの他方に電氣的に接続される。なお、トランジスタ102hのゲートと、トランジスタ102fのソース及びドレインの他方との接続箇所をノードNB2ともいう。

【0073】

トランジスタ102iのソース及びドレインの一方には、電圧Vaが入力され、トランジスタ102iのソース及びドレインの他方は、トランジスタ102hのソース及びドレインの他方に電氣的に接続され、トランジスタ102iのゲートには、遅延回路102DL1を介して信号S2Aが入力される。

20

【0074】

トランジスタ102jのソース及びドレインの一方は、トランジスタ102hのソース及びドレインの他方に電氣的に接続され、トランジスタ102jのソース及びドレインの他方には、電圧Vbが入力され、トランジスタ102jのゲートには、信号S1Bが入力される。

【0075】

トランジスタ102kのソース及びドレインの一方には、電圧Vaが入力され、トランジスタ102kのソース及びドレインの他方は、トランジスタ102hのソース及びドレインの他方に電氣的に接続され、トランジスタ102kのゲートには、信号S2Bが入力される。

30

【0076】

トランジスタ102lのソース及びドレインの一方は、トランジスタ102hのソース及びドレインの他方に電氣的に接続され、トランジスタ102lのソース及びドレインの他方には、電圧Vbが入力され、トランジスタ102lのゲートには、信号S1Aが入力される。

【0077】

トランジスタ102mのソース及びドレインの一方は、トランジスタ102fのソース及びドレインの他方に電氣的に接続され、トランジスタ102mのソース及びドレインの他方には、電圧Vbが入力され、トランジスタ102mのゲートには、遅延回路102DL1及び遅延回路102DL2を介して信号S2Aが入力される。

40

【0078】

また、図3(A)に示す順序回路には、信号CK21として、信号CLK1が入力され、信号RS21として、信号RSTが入力され、信号S1Aとして、シフトレジスタ101における1段目の順序回路の信号OUT11(信号OUT11(101__1)ともいう)が入力され、信号S1Bとして、シフトレジスタ101における2段目の順序回路の信号OUT11(信号OUT11(101__2)ともいう)が入力され、信号S2Aとして、シフトレジスタ101における3段目の順序回路の信号OUT11(信号OUT11(101__3)ともいう)が入力され、信号S2Bとして、シフトレジスタ101における4段目の順序回路101__4の信号OUT12(信号OUT12(101__4)ともいう)が入力される。

50

【 0 0 7 9 】

また、図 3 (B) 示す分周信号出力回路は、シフトレジスタ 1 0 1 が 8 段の順序回路により構成される場合の分周信号出力回路である。図 3 (B) に示す分周信号出力回路は、図 3 (A) に示す分周信号出力回路の構成に加え、トランジスタ 1 0 2 n 乃至トランジスタ 1 0 2 q を備え、さらに信号 S 1 C、信号 S 1 D、信号 S 2 C、及び信号 S 2 D が入力される。

【 0 0 8 0 】

トランジスタ 1 0 2 n のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 1 0 2 n のソース及びドレインの他方は、トランジスタ 1 0 2 h のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 2 n のゲートには、信号 S 2 C が入力される。

10

【 0 0 8 1 】

トランジスタ 1 0 2 o のソース及びドレインの一方は、トランジスタ 1 0 2 h のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 2 o のソース及びドレインの他方には、電圧 V b が入力され、トランジスタ 1 0 2 o のゲートには、信号 S 1 C が入力される。

【 0 0 8 2 】

トランジスタ 1 0 2 p のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 1 0 2 p のソース及びドレインの他方は、トランジスタ 1 0 2 h のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 2 p のゲートには、信号 S 2 D が入力される。

20

【 0 0 8 3 】

トランジスタ 1 0 2 q のソース及びドレインの一方は、トランジスタ 1 0 2 h のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 0 2 q のソース及びドレインの他方には、電圧 V b が入力され、トランジスタ 1 0 2 q のゲートには、信号 S 1 D が入力される。

【 0 0 8 4 】

また、図 3 (B) に示す分周信号出力回路には、信号 C K 2 1 として、信号 C L K 1 が入力され、信号 R S 2 1 として、信号 R S T が入力され、信号 S 1 A として、シフトレジスタ 1 0 1 における 1 段目の順序回路の信号 O U T 1 1 が入力され、信号 S 1 B として、シフトレジスタ 1 0 1 における 2 段目の順序回路の信号 O U T 1 1 が入力され、信号 S 1 C として、シフトレジスタ 1 0 1 における 3 段目の順序回路の信号 O U T 1 1 が入力され、信号 S 1 D として、シフトレジスタ 1 0 1 における 4 段目の順序回路の信号 O U T 1 2 が入力され、信号 S 2 A として、シフトレジスタ 1 0 1 における 5 段目の順序回路の信号 O U T 1 1 (信号 O U T 1 1 (1 0 1 _ 5) と もいう) が入力され、信号 S 2 B として、シフトレジスタ 1 0 1 における 6 段目の順序回路の信号 O U T 1 2 (信号 O U T 1 2 (1 0 1 _ 6) と もいう) が入力され、信号 S 2 C として、シフトレジスタ 1 0 1 における 7 段目の順序回路の信号 O U T 1 2 (信号 O U T 1 2 (1 0 1 _ 7) と もいう) が入力され、信号 S 2 D として、シフトレジスタ 1 0 1 における 8 段目の順序回路の信号 O U T 1 2 (信号 O U T 1 2 (1 0 1 _ 8) と もいう) が入力される。

30

40

【 0 0 8 5 】

なお、遅延回路 1 0 2 D L 1 及び遅延回路 1 0 2 D L 2 としては、例えば互いに並列接続で電氣的に接続された 2 N 個 (N は自然数) のインバータを用いて構成される。

【 0 0 8 6 】

次に、本実施の形態の分周回路の動作例について説明する。

【 0 0 8 7 】

まず、分周回路におけるシフトレジスタ 1 0 1 の動作例について、図 4 を用いて説明する。図 4 は、本実施の形態の分周回路におけるシフトレジスタの動作例を説明するためのタイミングチャートである。なお、ここでは、一例としてトランジスタ 1 0 1 a 乃至トランジスタ 1 0 1 i のそれぞれを、全て N 型の導電型とし、電圧 V a として高電源電圧 V d d

50

が入力され、電圧 V_b として低電源電圧 V_{ss} が入力されるものとする。

【0088】

図4(A)は、奇数段における順序回路の動作例を説明するためのタイミングチャートである。図4(A)では、時刻 T_{11} において、信号 CK_{11} 及び信号 CK_{12} がハイレベルになり、信号 ST_{11} はローレベルであり、信号 RS_{11} はローレベルであり、信号 RS_{12} がハイレベルになる。

【0089】

このとき、順序回路はリセット状態になる。また、トランジスタ $101b$ 及びトランジスタ $101c$ がオフ状態になり、トランジスタ $101d$ 及びトランジスタ $101e$ がオン状態になるため、ノード NC_1 の電圧 (V_{NC_1} ともいう) が電圧 V_a と同等の値になり、トランジスタ $101g$ 及びトランジスタ $101i$ がオン状態になる。また、トランジスタ $101a$ がオフ状態になり、トランジスタ $101g$ がオン状態であるため、ノード NA_1 の電圧 (V_{NA_1} ともいう) が電圧 V_b と同等の値になる。また、トランジスタ $101f$ がオン状態であるため、ノード NB_1 の電圧 (V_{NB_1} ともいう) が電圧 V_b と同等の値になり、トランジスタ $101h$ がオフ状態になる。また、トランジスタ $101h$ がオフ状態になり、トランジスタ $101i$ がオン状態になるため、信号 OUT_{11} がローレベルになる。

【0090】

次に、時刻 T_{12} において、信号 CK_{11} 及び信号 CK_{12} がローレベルになり、信号 ST_{11} がハイレベルになり、信号 RS_{11} はローレベルのままであり、信号 RS_{12} はハイレベルのままである。

【0091】

このとき、順序回路はセット状態になる。また、トランジスタ $101b$ はオフ状態のままであり、トランジスタ $101c$ がオン状態になり、トランジスタ $101d$ がオフ状態になり、トランジスタ $101e$ はオン状態のままであるため、ノード NC_1 の電圧は電圧 V_b と同等の値のままであり、トランジスタ $101g$ 及びトランジスタ $101i$ がオフ状態になる。また、トランジスタ $101a$ がオン状態になり、トランジスタ $101g$ がオフ状態になるため、ノード NA_1 の電圧が電圧 V_a と同等の値になる。また、トランジスタ $101f$ はオン状態であるため、ノード NB_1 の電圧が電圧 V_a と同等の値になり、トランジスタ $101h$ がオン状態になり、ノード NA_1 の電圧及びノード NB_1 の電圧が電圧 V_a と同等の値になると、トランジスタ $101f$ がオフ状態になる。また、トランジスタ $101h$ がオン状態になり、トランジスタ $101i$ がオフ状態になるため、信号 OUT_{11} はローレベルのままである。

【0092】

次に、時刻 T_{13} において、信号 CK_{11} 及び信号 CK_{12} がハイレベルになり、信号 ST_{11} がローレベルになり、信号 RS_{11} はローレベルのままであり、信号 RS_{12} がローレベルになる。

【0093】

このとき、トランジスタ $101b$ はオフ状態のままであり、トランジスタ $101c$ がオフ状態になり、トランジスタ $101d$ がオン状態になり、トランジスタ $101e$ がオフ状態になるため、ノード NC_1 の電圧は電圧 V_b と同等の値のままであり、トランジスタ $101g$ 及びトランジスタ $101i$ はオフ状態のままである。また、トランジスタ $101a$ がオフ状態になり、トランジスタ $101g$ はオフ状態のままであるため、ノード NA_1 は電圧 V_a と同等の値のままである。また、トランジスタ $101f$ はオフ状態のままであり、ノード NB_1 が浮遊状態になる。また、トランジスタ $101h$ はオン状態のままであり、トランジスタ $101i$ はオフ状態のままであるため、トランジスタ $101h$ のソース及びドレインの他方の電圧が上昇する。すると、トランジスタ $101h$ のゲートと、ソース及びドレインの他方との間に生じる寄生容量による容量結合により、ノード NB_1 の電圧が上昇する。いわゆるブートストラップである。ノード NB_1 の電圧は、電圧 V_a とトランジスタ $101h$ の閾値電圧 ($V_{th_{101h}}$ ともいう) の和よりもさらに大きい値、すな

10

20

30

40

50

わち、 $V_a + V_{th_{101h}} + V_x$ まで上昇する。このときトランジスタ101hはオン状態のままである。また、信号OUT11がハイレベルになる。

【0094】

次に、時刻T14において、信号CK11及び信号CK12がローレベルになり、信号ST11はローレベルのままであり、信号RS11がハイレベルになり、信号RS12はローレベルのままである。

【0095】

このとき、トランジスタ101bがオン状態になり、トランジスタ101c及びトランジスタ101eはオフ状態のままであり、トランジスタ101dがオフ状態になるため、ノードNC1の電圧が電圧 V_a と同等の値になり、トランジスタ101g及びトランジスタ101iがオン状態になる。また、トランジスタ101aはオフ状態のままであり、トランジスタ101gがオン状態になるため、ノードNA1の電圧が電圧 V_b と同等の値になり、トランジスタ101fがオン状態になる。また、トランジスタ101fがオン状態になるため、ノードNB1の電圧が電圧 V_b と同等の値になり、トランジスタ101hがオフ状態になる。また、トランジスタ101hがオフ状態になり、トランジスタ101iがオン状態になるため、信号OUT11がローレベルになる。

【0096】

以上のように、奇数段の順序回路は、信号OUT11のパルスを出力する。

【0097】

さらに図4(B)は、偶数段における順序回路の動作例を説明するためのタイミングチャートである。図4(B)では、時刻T11において、信号CK11がローレベルであり、信号CK12がハイレベルであり、信号ST11がローレベルであり、信号RS11がローレベルであり、信号RS12がハイレベルである。

【0098】

このとき、順序回路はリセット状態になる。また、トランジスタ101b及びトランジスタ101cがオフ状態になり、トランジスタ101d及びトランジスタ101eがオン状態になるため、ノードNC1の電圧が電圧 V_a と同等の値になり、トランジスタ101g及びトランジスタ101iがオン状態になる。また、トランジスタ101aがオフ状態になり、トランジスタ101gがオン状態になるため、ノードNA1の電圧が電圧 V_b と同等の値になる。また、トランジスタ101fはオン状態であるため、ノードNB1の電圧が電圧 V_b と同等の値になり、トランジスタ101hがオフ状態になる。また、トランジスタ101hがオフ状態になり、トランジスタ101iがオン状態になるため、信号OUT11がローレベルになる。

【0099】

次に、時刻T12において、信号CK11がハイレベルになり、信号CK12がローレベルになり、信号ST11はローレベルのままであり、信号RS11はローレベルであり、信号RS12はハイレベルのままである。

【0100】

このとき、トランジスタ101b及びトランジスタ101cはオフ状態のままであり、トランジスタ101eはオン状態のままであり、トランジスタ101dがオフ状態になるため、ノードNC1の電圧は電圧 V_a と同等の値のままであり、トランジスタ101g及びトランジスタ101iはオン状態のままである。また、トランジスタ101aはオフ状態のままであり、トランジスタ101gはオン状態のままであるため、ノードNA1の電圧は電圧 V_b と同等の値のままである。また、トランジスタ101fはオン状態のままであるため、ノードNB1の電圧は電圧 V_b と同等の値のままであり、トランジスタ101hはオフ状態のままである。また、トランジスタ101hはオフ状態のままであり、トランジスタ101iはオン状態のままであるため、信号OUT11はローレベルのままである。

【0101】

次に、時刻T13において、信号CK11がローレベルになり、信号CK12がハイレベ

ルになり、信号 $S T 1 1$ がハイレベルになり、信号 $R S 1 1$ はローレベルのままであり、信号 $R S 1 2$ がローレベルになる。

【 0 1 0 2 】

このとき、順序回路はセット状態になる。また、トランジスタ $1 0 1 b$ はオフ状態のままであり、トランジスタ $1 0 1 c$ がオン状態になり、トランジスタ $1 0 1 d$ がオン状態になり、トランジスタ $1 0 1 e$ はオフ状態になるため、ノード $N C 1$ の電圧は電圧 $V b$ と同等の値になり、トランジスタ $1 0 1 g$ 及びトランジスタ $1 0 1 i$ がオフ状態になる。また、トランジスタ $1 0 1 a$ がオン状態になり、トランジスタ $1 0 1 g$ がオフ状態になるため、ノード $N A 1$ の電圧は電圧 $V a$ と同等の値になる。また、トランジスタ $1 0 1 f$ はオン状態のままであるため、ノード $N B 1$ の電圧が電圧 $V a$ と同等の値になり、トランジスタ $1 0 1 h$ がオン状態になる。さらに、ノード $N A 1$ の電圧及びノード $N B 1$ の電圧が電圧 $V a$ と同等の値になると、トランジスタ $1 0 1 f$ がオフ状態になる。また、トランジスタ $1 0 1 h$ がオン状態になり、トランジスタ $1 0 1 i$ がオフ状態になるため、信号 $O U T 1 1$ はローレベルのままである。

10

【 0 1 0 3 】

次に、時刻 $T 1 4$ において、信号 $C K 1 1$ がハイレベルになり、信号 $C K 1 2$ がローレベルになり、信号 $S T 1 1$ がローレベルになり、信号 $R S 1 1$ はローレベルのままであり、信号 $R S 1 2$ はローレベルのままである。

【 0 1 0 4 】

このとき、トランジスタ $1 0 1 b$ 及びトランジスタ $1 0 1 e$ はオフ状態のままであり、トランジスタ $1 0 1 c$ 及びトランジスタ $1 0 1 d$ がオフ状態になるため、ノード $N C 1$ の電圧は電圧 $V b$ と同等の値のままであり、トランジスタ $1 0 1 g$ 及びトランジスタ $1 0 1 i$ はオフ状態のままである。また、トランジスタ $1 0 1 a$ がオフ状態になり、トランジスタ $1 0 1 g$ はオフ状態のままであるため、ノード $N A 1$ の電圧は、電圧 $V a$ と同等の値のままである。また、トランジスタ $1 0 1 f$ はオフ状態のままであり、ノード $N B 1$ が浮遊状態になり、トランジスタ $1 0 1 h$ はオン状態のままであり、トランジスタ $1 0 1 i$ はオフ状態のままであるため、トランジスタ $1 0 1 h$ のソース及びドレインの他方の電圧が上昇する。すると、トランジスタ $1 0 1 h$ のゲートと、ソース及びドレインの他方との間に生じる寄生容量による容量結合により、ノード $N B 1$ の電圧が上昇する。ノード $N B 1$ の電圧は、電圧 $V a$ とトランジスタ $1 0 1 h$ の閾値電圧 ($V_{th_{101h}}$ とともいう) の和よりもさらに大きい値、すなわち、 $V a + V_{th_{101h}} + V_x$ まで上昇する。このときトランジスタ $1 0 1 h$ はオン状態のままであり、トランジスタ $1 0 1 i$ はオフ状態のままであるため、信号 $O U T 1 1$ がハイレベルになる。

20

30

【 0 1 0 5 】

次に、時刻 $T 1 5$ において、信号 $C K 1 1$ がローレベルになり、信号 $C K 1 2$ がハイレベルになり、信号 $S T 1 1$ はローレベルのままであり、信号 $R S 1 1$ がハイレベルになり、信号 $R S 1 2$ はローレベルのままである。

【 0 1 0 6 】

このとき、トランジスタ $1 0 1 c$ 及びトランジスタ $1 0 1 e$ はオフ状態のままであり、トランジスタ $1 0 1 b$ がオン状態になるため、ノード $N C 1$ の電圧が電圧 $V a$ と同等の値になり、トランジスタ $1 0 1 g$ 及びトランジスタ $1 0 1 i$ がオン状態になる。また、トランジスタ $1 0 1 a$ はオフ状態のままであり、トランジスタ $1 0 1 g$ がオン状態になるため、ノード $N A 1$ の電圧が電圧 $V b$ と同等の値になる。また、トランジスタ $1 0 1 f$ がオン状態になるため、ノード $N B 1$ の電圧が電圧 $V b$ と同等の値になり、トランジスタ $1 0 1 h$ はオフ状態になる。また、トランジスタ $1 0 1 h$ がオフ状態になり、トランジスタ $1 0 1 i$ がオン状態になるため、信号 $O U T 1 1$ がローレベルになる。

40

【 0 1 0 7 】

以上のように、順序回路は、信号 $O U T 1 1$ のパルスを出力する。

【 0 1 0 8 】

さらに、図 2 (A) に示す順序回路の動作例について、図 4 (A) を用いて説明した順序

50

【 0 1 0 9 】

【 0 1 1 0 】

10

【 0 1 1 1 】

【 0 1 1 2 】

20

【 0 1 1 3 】

30

【 0 1 1 4 】

【 0 1 1 5 】

40

【 0 1 1 6 】

50

のままである。

【0117】

このとき、トランジスタ102b及びトランジスタ102cはオフ状態のままであり、トランジスタ102dがオフ状態になり、トランジスタ102eはオン状態のままであるため、ノードNC2の電圧は電圧Vaと同等の値のままであり、トランジスタ102gはオン状態のままである。また、トランジスタ102aはオフ状態のままであり、トランジスタ102gはオン状態のままであるため、ノードNA2の電圧は電圧Vbと同等の値のままである。また、トランジスタ102fはオン状態のままであるため、ノードNB2の電圧が電圧Vbと同等の値のままであり、トランジスタ102hはオフ状態のままである。また、トランジスタ102h、トランジスタ102i、トランジスタ102j、トランジスタ102k、トランジスタ102l、及びトランジスタ102mはオフ状態のままであるため、信号OUT21は前期間の状態を維持する。

10

【0118】

次に、時刻T23において、信号CK21がハイレベルになり、信号RS21がローレベルになり、信号S1Aがハイレベルになり、信号S1Bはローレベルのままであり、信号S2Aはローレベルのままであり、信号S2Bの電圧は電圧Vbと同等の値のままである。

【0119】

このとき、トランジスタ102b及びトランジスタ102cはオフ状態のままであり、トランジスタ102dがオン状態になり、トランジスタ102eがオフ状態になるため、ノードNC2の電圧は電圧Vaと同等の値のままであり、トランジスタ102gはオン状態のままである。また、トランジスタ102aはオフ状態のままであり、トランジスタ102gはオン状態のままであるため、ノードNA2の電圧は電圧Vbと同等の値のままである。また、トランジスタ102fはオン状態のままであるため、ノードNB2の電圧が電圧Vbと同等の値のままであり、トランジスタ102hはオフ状態のままである。また、トランジスタ102lがオン状態になり、トランジスタ102h、トランジスタ102i、トランジスタ102j、トランジスタ102k、及びトランジスタ102mはオフ状態のままであるため、信号OUT21がローレベルになる。

20

【0120】

次に、時刻T24において、信号CK21がローレベルになり、信号RS21はローレベルのままであり、信号S1Aがローレベルになり、信号S1Bがハイレベルになり、信号S2Aはローレベルのままであり、信号S2Bの電圧は電圧Vbと同等の値のままである。

30

【0121】

このとき、トランジスタ102b及びトランジスタ102eはオフ状態のままであり、トランジスタ102cがオン状態になり、トランジスタ102dがオフ状態になるため、ノードNC2の電圧が電圧Vbと同等の値になり、トランジスタ102gがオフ状態になる。また、トランジスタ102aがオン状態になり、トランジスタ102gがオフ状態になるため、ノードNA2の電圧が電圧Vaと同等の値になる。また、トランジスタ102fはオン状態であるため、ノードNB2の電圧が電圧Vaと同等の値になり、トランジスタ102hがオン状態になり、ノードNA2の電圧及びノードNB2の電圧が電圧Vaと同等の値になると、トランジスタ102fがオフ状態になる。また、トランジスタ102lがオフ状態になり、トランジスタ102h及びトランジスタ102jがオン状態になり、トランジスタ102i、トランジスタ102k、及びトランジスタ102mはオフ状態のままであるため、信号OUT21はローレベルのままである。

40

【0122】

次に、時刻T25では、信号CK21がハイレベルになり、信号RS21はローレベルのままであり、信号S1Aはローレベルのままであり、信号S1Bがローレベルになり、信号S2Aがハイレベルになり、信号S2Bの電圧が電圧Vaと同等の値になる。

【0123】

50

このとき、トランジスタ102aがオフ状態になり、トランジスタ102fはオフ状態のままであるため、ノードNB2が浮遊状態になる。また、トランジスタ102hはオン状態のままであるため、トランジスタ102hのソース及びドレインの他方の電圧が上昇する。すると、トランジスタ102hのゲートと、ソース及びドレインの他方との間に生じる寄生容量による容量結合により、ノードNB2の電圧が上昇する。いわゆるブートストラップである。ノードNB2の電圧は、電圧Vaとトランジスタ102hの閾値電圧($V_{th_{102h}}$ ともいう)の和よりもさらに大きい値、すなわち、 $V_a + V_{th_{102h}} + V_x$ まで上昇する。このときトランジスタ102hはオン状態のままである。また、トランジスタ102i及びトランジスタ102kがオン状態になり、トランジスタ102jがオフ状態になり、トランジスタ102hはオン状態のままであり、トランジスタ102lはオフ状態のままであるため、信号OUT21がハイレベルになる。また、トランジスタ102b及びトランジスタ102dがオン状態になり、トランジスタ102cがオフ状態になり、トランジスタ102eはオフ状態のままであるため、ノードNC2の電圧が電圧Vaと同等の値になり、トランジスタ102gがオン状態になる。トランジスタ102gがオン状態であり、トランジスタ102aがオフ状態であるため、ノードNB2の電圧は電圧Vbと同等の値になる。また、トランジスタ102fがオン状態になり、トランジスタ102mがオン状態になるため、ノードNB2の電圧が電圧Vbと同等の値になり、トランジスタ102hがオフ状態になる。

10

【0124】

次に、時刻T26では、信号CK21がローレベルになり、信号RS21はローレベルのままであり、信号S1Aはローレベルのままであり、信号S1Bはローレベルのままであり、信号S2Aがローレベルになり、信号S2Bの電圧が $V_a + V_{th_{102h}} + V_x$ になる。

20

【0125】

このとき、トランジスタ102bはオン状態のままであり、トランジスタ102c及びトランジスタ102eはオフ状態のままであり、トランジスタ102dがオフ状態になるため、ノードNC2の電圧は電圧Vaと同等の値のままであり、トランジスタ102gはオン状態のままである。また、トランジスタ102aはオフ状態のままであり、トランジスタ102gはオン状態のままであるため、ノードNA2の電圧は電圧Vbと同等の値のままである。また、トランジスタ102fはオン状態のままであるため、ノードNB2の電圧は電圧Vbと同等の値のままであり、トランジスタ102hはオフ状態のままである。また、トランジスタ102i及びトランジスタ102mがオフ状態になり、トランジスタ102h、トランジスタ102j、及びトランジスタ102lはオフ状態のままであり、トランジスタ102kはオン状態のままであるため、信号OUT21はハイレベルのままである。

30

【0126】

以上のように、分周信号出力回路は、信号OUT21として、信号CLK3を出力する。信号CLK3は、クロック信号であり、信号CLK3の周期は、信号CLK1の周期の2倍である。

【0127】

さらに、図3(B)に示す分周信号出力回路の動作例について、上記図3(A)に示す分周信号出力回路の動作例の説明を援用して説明する。

40

【0128】

図3(B)に示す分周信号出力回路の動作例について、図6を用いて説明する。図6は、図3(B)に示す分周信号出力回路の動作例を説明するためのタイミングチャートである。

【0129】

図3(B)に示す分周信号出力回路は、図3(A)に示す分周信号出力回路の動作に加え、図6に示すように、時刻T23及び時刻T24の間の時刻T31において、信号CK21がローレベルになり、信号RS21はローレベルのままであり、信号S1Aがローレベ

50

ルになり、信号 S 1 C がハイレベルになり、信号 S 1 D はローレベルのままであり、信号 S 1 B はローレベルのままであり、信号 S 2 A はローレベルのままであり、信号 S 2 B の電圧は電圧 V b と同等の値のままであり、信号 S 2 C の電圧は電圧 V b と同等の値のままであり、信号 S 2 D はローレベルのままである。

【 0 1 3 0 】

このとき、トランジスタ 1 0 2 b、トランジスタ 1 0 2 c、及びトランジスタ 1 0 2 e はオフ状態のままであり、トランジスタ 1 0 2 d がオフ状態になるため、ノード N C 2 の電圧は電圧 V a と同等の値のままであり、トランジスタ 1 0 2 g はオン状態のままである。また、トランジスタ 1 0 2 a はオフ状態のままであり、トランジスタ 1 0 2 g はオン状態のままであるため、ノード N A 2 の電圧は電圧 V b と同等の値のままである。また、トランジスタ 1 0 2 f はオン状態のままであるため、ノード N B 2 の電圧は電圧 V b と同等の値のままであり、トランジスタ 1 0 2 h はオフ状態のままである。また、トランジスタ 1 0 2 l がオフ状態になり、トランジスタ 1 0 2 o がオン状態になり、トランジスタ 1 0 2 h、トランジスタ 1 0 2 i、トランジスタ 1 0 2 j、トランジスタ 1 0 2 k、トランジスタ 1 0 2 m、トランジスタ 1 0 2 n、トランジスタ 1 0 2 p、及びトランジスタ 1 0 2 q はオフ状態のままであるため、信号 O U T 2 1 はローレベルのままである。

10

【 0 1 3 1 】

次に時刻 T 3 2 において、信号 C K 2 1 がハイレベルになり、信号 R S 2 1 はローレベルのままであり、信号 S 1 A はローレベルのままであり、信号 S 1 C がローレベルになり、信号 S 1 D がハイレベルになり、信号 S 1 B はローレベルのままであり、信号 S 2 A はローレベルのままであり、信号 S 2 B の電圧は電圧 V b と同等の値のままであり、信号 S 2 C の電圧は電圧 V b と同等の値のままであり、信号 S 2 D の電圧は電圧 V b と同等の値のままである。

20

【 0 1 3 2 】

このとき、トランジスタ 1 0 2 b、トランジスタ 1 0 2 c、及びトランジスタ 1 0 2 e はオフ状態のままであり、トランジスタ 1 0 2 d がオン状態になるため、ノード N C 2 の電圧は電圧 V a と同等の値のままであり、トランジスタ 1 0 2 g はオン状態のままである。また、トランジスタ 1 0 2 a はオフ状態のままであり、トランジスタ 1 0 2 g はオン状態のままであるため、ノード N A 2 の電圧は電圧 V b と同等の値のままである。また、トランジスタ 1 0 2 f はオン状態のままであるため、ノード N B 2 の電圧は電圧 V b と同等の値のままであり、トランジスタ 1 0 2 h はオフ状態のままである。また、トランジスタ 1 0 2 o がオフ状態になり、トランジスタ 1 0 2 q がオン状態になり、トランジスタ 1 0 2 h、トランジスタ 1 0 2 i、トランジスタ 1 0 2 j、トランジスタ 1 0 2 k、トランジスタ 1 0 2 l、トランジスタ 1 0 2 m、トランジスタ 1 0 2 n、及びトランジスタ 1 0 2 p はオフ状態のままであるため、信号 O U T 2 1 はローレベルのままである。

30

【 0 1 3 3 】

さらに、時刻 T 2 5 では、信号 C K 2 1 がハイレベルになり、信号 R S 2 1 はローレベルのままであり、信号 S 1 A はローレベルのままであり、信号 S 1 C はローレベルのままであり、信号 S 1 D はローレベルのままであり、信号 S 1 B がローレベルになり、信号 S 2 A がハイレベルになり、信号 S 2 B の電圧が電圧 V a と同等の値になり、信号 S 2 C の電圧は電圧 V b と同等の値のままであり、信号 S 2 D の電圧は電圧 V b と同等の値のままである。

40

【 0 1 3 4 】

このとき、トランジスタ 1 0 2 a がオフ状態になり、トランジスタ 1 0 2 f はオフ状態のままであるため、ノード N B 2 が浮遊状態になる。また、トランジスタ 1 0 2 h はオン状態のままであるため、トランジスタ 1 0 2 h のソース及びドレインの他方の電圧が上昇する。すると、トランジスタ 1 0 2 h のゲートと、ソース及びドレインの他方との間に生じる寄生容量による容量結合により、ノード N B 2 の電圧が上昇する。いわゆるブートストラップである。ノード N B 2 の電圧は、電圧 V a とトランジスタ 1 0 2 h の閾値電圧 ($V_{th_{102h}}$) の和よりもさらに大きい値、すなわち、 $V a + V_{th_{102h}} +$

50

V_x まで上昇する。このときトランジスタ102hはオン状態のままである。また、トランジスタ102i及びトランジスタ102kがオン状態になり、トランジスタ102jがオフ状態になり、トランジスタ102hはオン状態のままであり、トランジスタ102l、トランジスタ102n、トランジスタ102o、及びトランジスタ102qはオフ状態のままであるため、信号OUT21がハイレベルになる。また、トランジスタ102b及びトランジスタ102dがオン状態になり、トランジスタ102cがオフ状態になり、トランジスタ102eはオフ状態のままであるため、ノードNC2の電圧が電圧 V_a と同等の値になり、トランジスタ102gがオン状態になる。トランジスタ102gがオン状態になり、トランジスタ102aがオフ状態になるため、ノードNB2の電圧は電圧 V_b と同等の値になる。また、トランジスタ102fがオン状態になり、トランジスタ102mがオン状態になるため、ノードNB2の電圧が電圧 V_b と同等の値になり、トランジスタ102hがオフ状態になる。

10

【0135】

次に、時刻T26では、信号CK21がローレベルになり、信号RS21はローレベルのままであり、信号S1Aはローレベルのままであり、信号S1Cはローレベルのままであり、信号S1Dはローレベルのままであり、信号S1Bはローレベルのままであり、信号S2Aがローレベルになり、信号S2Bの電圧が $V_a + V_{th_{102h}} + V_x$ になり、信号S2Cの電圧が電圧 V_a と同等の値になり、信号S2Dの電圧は電圧 V_b と同等の値のままである。

【0136】

20

このとき、トランジスタ102bはオン状態のままであり、トランジスタ102c及びトランジスタ102eはオフ状態のままであり、トランジスタ102dがオフ状態になるため、ノードNC2の電圧は電圧 V_a と同等の値のままであり、トランジスタ102gはオン状態のままである。また、トランジスタ102aはオフ状態のままであり、トランジスタ102gはオン状態のままであるため、ノードNA2の電圧は電圧 V_b と同等の値のままである。また、トランジスタ102fはオン状態のままであるため、ノードNB2の電圧は電圧 V_b と同等の値のままであり、トランジスタ102hはオフ状態のままである。また、トランジスタ102i及びトランジスタ102mがオフ状態になり、トランジスタ102nがオン状態になり、トランジスタ102kはオン状態のままであり、トランジスタ102h、トランジスタ102j、トランジスタ102l、トランジスタ102o、及びトランジスタ102qはオフ状態のままであるため、信号OUT21はハイレベルのままである。

30

【0137】

さらに、時刻T26の後の時刻T33において、信号CK21がハイレベルになり、信号RS21はローレベルのままであり、信号S1Aはローレベルのままであり、信号S1Cはローレベルのままであり、信号S1Dはローレベルのままであり、信号S1Bはローレベルのままであり、信号S2Aはローレベルのままであり、信号S2Bの電圧が電圧 V_b と同等の値になり、信号S2Cの電圧が $V_a + V_{th_{101h}} + V_x$ になり、信号S2Dの電圧が電圧 V_a と同等の値になる。

【0138】

40

このとき、トランジスタ102cはオフ状態のままであり、トランジスタ102bがオフ状態になり、トランジスタ102dがオン状態になり、トランジスタ102eはオフ状態のままであるため、ノードNC2の電圧が電圧 V_a と同等の値のままであり、トランジスタ102gはオン状態のままである。また、トランジスタ102aはオフ状態のままであり、トランジスタ102gはオン状態のままであるため、ノードNA2の電圧は電圧 V_b と同等の値のままである。また、トランジスタ102fはオン状態のままであるため、ノードNB2の電圧は電圧 V_b と同等の値のままであり、トランジスタ102hはオフ状態のままである。また、トランジスタ102nはオン状態のままであり、トランジスタ102kがオフ状態になり、トランジスタ102pがオン状態になり、トランジスタ102h、トランジスタ102i、トランジスタ102j、トランジスタ102l、トランジスタ

50

102 m、トランジスタ102 o、及びトランジスタ102 qはオフ状態のままであるため、信号OUT21はハイレベルのままである。

【0139】

さらに、時刻T34において、信号CK21がローレベルになり、信号RS21はローレベルのままであり、信号S1Aはローレベルのままであり、信号S1Cはローレベルのままであり、信号S1Dはローレベルのままであり、信号S1Bはローレベルのままであり、信号S2Aはローレベルのままであり、信号S2Bの電圧は電圧Vbと同等の値のままであり、信号S2Cの電圧が電圧Vbと同等の値になり、信号S2Dの電圧が $V_a + V_{th_{102h}} + V_x$ になる。

【0140】

このとき、トランジスタ102 b、トランジスタ102 c、及びトランジスタ102 eはオフ状態のままであり、トランジスタ102 dがオフ状態になるため、ノードNC2の電圧が電圧Vaと同等の値のままであり、トランジスタ102 gはオン状態のままである。また、トランジスタ102 aはオフ状態のままであり、トランジスタ102 gはオン状態のままであるため、ノードNA2の電圧は電圧Vbと同等の値のままである。また、トランジスタ102 fはオン状態のままであるため、ノードNB2の電圧は電圧Vbと同等の値のままであり、トランジスタ102 hはオフ状態のままである。また、トランジスタ102 nがオフ状態になり、トランジスタ102 pはオン状態のままであり、トランジスタ102 h、トランジスタ102 i、トランジスタ102 j、トランジスタ102 k、トランジスタ102 l、トランジスタ102 m、トランジスタ102 o、及びトランジスタ102 qはオフ状態のままであるため、信号OUT21はハイレベルのままである。

【0141】

以上のように、分周信号出力回路は、信号OUT21として、信号CLK3を出力する。信号CLK3は、クロック信号であり、信号CLK3の周期は、信号CLK1の周期の4倍である。

【0142】

以上のように、本実施の形態の分周回路の一例は、シフトレジスタ及び分周信号出力回路を具備し、シフトレジスタは、第1のクロック信号及び第2のクロック信号に従って $2 \times X$ 個のパルス信号を出力する機能を有し、分周信号出力回路は、 $2 \times X$ 個のパルス信号に従ってX個の第1のトランジスタ及びX個の第2のトランジスタのそれぞれを順次オン状態にすることにより、第3のクロック信号となる信号の電圧を設定し、第1のクロック信号の周期のX倍の周期である第3のクロック信号を出力する構成である。本実施の形態の分周回路におけるシフトレジスタは、パルス信号の電圧が所望の値になるまでの時間が短い。これは、クロック信号の電圧に応じて出力信号となるパルス信号の電圧を設定するためである。よって、該シフトレジスタを用いることにより、分周回路の動作速度を向上させることができ、分周動作における動作不良を抑制することができる。

【0143】

また、本実施の形態の分周回路の一例は、第3のクロック信号となる信号の電圧を第2の電圧に設定するために電源電圧よりも高い値の電圧信号を用いた構成である。該構成とすることにより、第3のクロック信号のハイレベルの電圧を電源電圧以上の値にすることができる。

【0144】

(実施の形態3)

本実施の形態では、シフトレジスタを用いた分周回路と、他の構成の分周回路とを組み合わせた分周回路について説明する。

【0145】

本実施の形態の分周回路の構成例について、図7を用いて説明する。図7は、本実施の形態における分周回路の構成例を示すブロック図である。

【0146】

図7に示す分周回路は、単位分周回路201(DIV1ともいう)と、単位分周回路20

10

20

30

40

50

2 (D I V 2 ともいう) と、を具備する。

【 0 1 4 7 】

単位分周回路 2 0 1 には、スタート信号 S P 3 1 (信号 S P 3 1 ともいう) 及びクロック信号 C K 3 1 (信号 C K 3 1 ともいう) が入力される。また、単位分周回路 2 0 1 は、信号 C K 3 1 の周期の X 倍の周期であるクロック信号 C K 3 2 (信号 C K 3 2 ともいう) を出力する。単位分周回路 2 0 1 としては、上記実施の形態に示す分周回路を適用することができ、このとき信号 S P 3 1 は信号 S P に相当し、信号 C K 3 2 は、信号 O U T 2 1 に相当する。

【 0 1 4 8 】

単位分周回路 2 0 2 には、信号 S P 3 1 及び信号 C K 3 2 が入力される。また、単位分周回路 2 0 2 は、信号 C K 3 2 の周期の K 倍 (K は 2 以上の自然数) の周期であるクロック信号 C K 3 3 (信号 C K 3 3 ともいう) を出力する。単位分周回路 2 0 2 としては、例えばフリップフロップを用いることができる。また、単位分周回路 2 0 2 を複数のフリップフロップを備える構成することもできる。なお、一導電型のみのトランジスタによりフリップフロップを構成することにより、単位分周回路 2 0 1 と同一の工程で作製することができる。該構成にすることにより、互いに異なる複数の周期であり、信号 C K 3 2 の周期の K 倍の周期であるクロック信号を生成することもできる。

【 0 1 4 9 】

図 7 を用いて説明したように、本実施の形態の分周回路の一例は、第 1 の単位分周回路及び第 2 の単位分周回路を具備し、第 1 の単位分周回路が上記実施の形態に示す分周回路であり、第 2 の単位分周回路の出力信号であるクロック信号の周期が該第 1 の単位分周回路の出力信号であるクロック信号の周期よりも大きい構成である。第 2 の単位分周回路は、第 1 の単位分周回路より回路構成を簡略にすることができる。また、一般的に分周動作の速度は、分周後のクロック信号の周期の倍率が小さければ小さいほど速くなる。よって、第 1 の単位分周回路と第 2 の単位分周回路を組み合わせることにより、回路面積の増大を抑制しつつ、動作不良を抑制して複数の異なる周期のクロック信号を生成することができる。

【 0 1 5 0 】

(実施の形態 4)

本実施の形態では、上記実施の形態に示す分周回路に適用可能な酸化物半導体層を有するトランジスタについて説明する。

【 0 1 5 1 】

上記実施の形態に示す分周回路に適用可能な酸化物半導体層を有するトランジスタは、高純度化することにより、真性 (I 型ともいう) 、又は実質的に真性にさせた半導体層を有するトランジスタである。

【 0 1 5 2 】

上記酸化物半導体層に用いられる酸化物半導体としては、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などを用いることができる。四元系金属酸化物としては、例えば I n - S n - G a - Z n - O 系金属酸化物などを用いることができる。三元系金属酸化物としては、例えば I n - G a - Z n - O 系金属酸化物、I n - S n - Z n - O 系金属酸化物、I n - A l - Z n - O 系金属酸化物、S n - G a - Z n - O 系金属酸化物、A l - G a - Z n - O 系金属酸化物、又は S n - A l - Z n - O 系金属酸化物などを用いることができる。二元系金属酸化物としては、例えば I n - Z n - O 系金属酸化物、S n - Z n - O 系金属酸化物、A l - Z n - O 系金属酸化物、Z n - M g - O 系金属酸化物、S n - M g - O 系金属酸化物、I n - M g - O 系金属酸化物、又は I n - S n - O 系金属酸化物などを用いることができる。また、酸化物半導体としては、例えば I n - O 系金属酸化物、S n - O 系金属酸化物、又は Z n - O 系金属酸化物などを用いることもできる。また、酸化物半導体としては、S i O₂ を含む上記酸化物半導体として適用可能な金属酸化物を用いることもできる。

【 0 1 5 3 】

また、酸化物半導体として、 $\text{InM} \text{O}_3 (\text{ZnO})_m$ (m は0より大きい数)で表記される材料を用いることができる。ここで、 M は、 Ga 、 Al 、 Mn 、及び Co から選ばれた一つ又は複数の金属元素を示す。例えば M としては、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、又は Ga 及び Co などが挙げられる。

【0154】

さらに、酸化物半導体層のバンドギャップは、 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上とする。これにより、熱励起によって生じるキャリアの数は無視できる。さらに、ドナーとなりうる水素などの不純物を一定量以下になるまで低減し、キャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下にする。すなわち、酸化物半導体層のキャリア濃度を限りなくゼロ又はゼロと実質的に同等の値にする。

10

【0155】

上記酸化物半導体層は、アバランシェ降伏が起きにくく、絶縁耐圧が高い。例えばシリコンは、バンドギャップが 1.12 eV と小さいため、アバランシェ降伏によって雪崩的に電子が発生しやすく、ゲート絶縁層へのエネルギー障壁を越えられるほど高速に加速される電子の数が増加する。一方、上記酸化物半導体層に用いられる酸化物半導体は、バンドギャップが 2 eV 以上と広く、アバランシェ降伏が生じにくく、シリコンと比べてホットキャリア劣化の耐圧が高いため、絶縁耐圧が高い。

【0156】

ホットキャリア劣化は、例えば加速された電子がチャネル中のドレイン近傍でゲート絶縁層中に注入されることにより発生する固定電荷により生じるトランジスタ特性の劣化、又は高速に加速された電子によりゲート絶縁層界面に形成されるトラップ準位などにより生じるトランジスタ特性の劣化などであり、ホットキャリアによるトランジスタ特性の劣化としては、例えばしきい値電圧の変動又はゲートリークなどがある。また、ホットキャリア劣化の要因としては、チャネルホットエレクトロン注入(CHE 注入ともいう)とドレインアバランシェホットキャリア注入(DAHC 注入ともいう)がある。

20

【0157】

また、高絶縁耐圧材料の一つであるシリコンカーバイドのバンドギャップと上記酸化物半導体層に用いられる酸化物半導体のバンドギャップは同等であるが、該酸化物半導体の方が、シリコンカーバイドより移動度が2桁程小さいため、電子が加速されにくく、また、ゲート絶縁層との障壁がシリコンカーバイド、窒化ガリウム、又はシリコンよりも大きく、ゲート絶縁層に注入される電子が極めて少ないため、シリコンカーバイド、窒化ガリウム、又はシリコンよりホットキャリア劣化が生じにくく、絶縁耐圧が高い。また、該酸化物半導体は、非晶質状態であっても同様に絶縁耐圧が高い。

30

【0158】

さらに、上記酸化物半導体層を有するトランジスタでは、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 10 aA ($1 \times 10^{-17} \text{ A}$)以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 1 aA ($1 \times 10^{-18} \text{ A}$)以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 10 zA ($1 \times 10^{-20} \text{ A}$)以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 1 zA ($1 \times 10^{-21} \text{ A}$)以下にすることができる。

40

【0159】

また、上記酸化物半導体層を有するトランジスタは、光による劣化(例えば閾値電圧の変動など)が少ない。

【0160】

さらに、上記実施の形態に示す分周回路に適用可能な酸化物半導体層を有するトランジスタの構造例について、図8(A)乃至図8(D)を用いて説明する。図8(A)乃至図8(D)は、トランジスタの構造例を示す断面模式図である。

【0161】

図8(A)に示すトランジスタは、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタともいう。

50

【0162】

図8(A)に示すトランジスタは、ゲート電極としての機能を有する導電層401aと、ゲート絶縁層としての機能を有する絶縁層402aと、チャネル形成層としての機能を有する酸化物半導体層403aと、ソース電極又はドレイン電極としての機能を有する導電層405a及び導電層406aと、を含む。

【0163】

導電層401aは、基板400aの上に設けられ、絶縁層402aは、導電層401aの上に設けられ、酸化物半導体層403aは、絶縁層402aを介して導電層401aの上に設けられ、導電層405a及び導電層406aは、酸化物半導体層403aの一部の上にそれぞれ設けられる。

10

【0164】

さらに、図8(A)において、トランジスタの酸化物半導体層403aの上面の一部(上面に導電層405a及び導電層406aが設けられていない部分)は、酸化物絶縁層407aに接する。また、酸化物絶縁層407aは、上部に保護絶縁層409aが設けられる。

【0165】

図8(B)に示すトランジスタは、ボトムゲート構造の一つであるチャネル保護型(チャネルストップ型ともいう)トランジスタであり、逆スタガ型トランジスタともいう。

【0166】

図8(B)に示すトランジスタは、ゲート電極としての機能を有する導電層401bと、ゲート絶縁層としての機能を有する絶縁層402bと、チャネル形成層としての機能を有する酸化物半導体層403bと、チャネル保護層としての機能を有する絶縁層427と、ソース電極又はドレイン電極としての機能を有する導電層405b及び導電層406bと、を含む。

20

【0167】

導電層401bは、基板400bの上に設けられ、絶縁層402bは、導電層401bの上に設けられ、酸化物半導体層403bは、絶縁層402bを介して導電層401bの上に設けられ、絶縁層427は、絶縁層402b及び酸化物半導体層403bを介して導電層401bの上に設けられ、導電層405b及び導電層406bは、絶縁層427を介して酸化物半導体層403bの一部の上にそれぞれ設けられる。また、導電層401bを酸化物半導体層403bの全てと重なる構造にすることもできる。導電層401bを酸化物半導体層403bの全てと重なる構造にすることにより、酸化物半導体層403bへの光の入射を抑制することができる。また、これに限定されず、導電層401bを酸化物半導体層403bの一部と重なる構造にすることもできる。

30

【0168】

さらに、図8(B)において、トランジスタの上部は、保護絶縁層409bに接する。

【0169】

図8(C)に示すトランジスタは、ボトムゲート構造のトランジスタの一つである。

【0170】

図8(C)に示すトランジスタは、ゲート電極としての機能を有する導電層401cと、ゲート絶縁層としての機能を有する絶縁層402cと、チャネル形成層としての機能を有する酸化物半導体層403cと、ソース電極又はドレイン電極としての機能を有する導電層405c及び導電層406cと、を含む。

40

【0171】

導電層401cは、基板400cの上に設けられ、絶縁層402cは、導電層401cの上に設けられ、導電層405c及び導電層406cは、絶縁層402cの一部の上に設けられ、酸化物半導体層403cは、絶縁層402c、導電層405c、及び導電層406cを介して導電層401cの上に設けられる。また、導電層401cを酸化物半導体層403cの全てと重なる構造にすることもできる。導電層401cを酸化物半導体層403cの全てと重なる構造にすることにより、酸化物半導体層403cへの光の入射を抑制す

50

ることができる。また、これに限定されず、導電層 401c を酸化物半導体層 403c の一部と重なる構造にすることもできる。

【0172】

さらに、図8(C)において、トランジスタにおける酸化物半導体層 403c の上面及び側面は、酸化物絶縁層 407c に接する。また、酸化物絶縁層 407c は、上部に保護絶縁層 409c が設けられる。

【0173】

図8(D)に示すトランジスタは、トップゲート構造のトランジスタの一つである。

【0174】

図8(D)に示すトランジスタは、ゲート電極としての機能を有する導電層 401d と、ゲート絶縁層としての機能を有する絶縁層 402d と、チャネル形成層としての機能を有する酸化物半導体層 403d と、ソース電極又はドレイン電極としての機能を有する導電層 405d 及び導電層 406d と、を含む。

10

【0175】

酸化物半導体層 403d は、絶縁層 447 を介して基板 400d の上に設けられ、導電層 405d 及び導電層 406d は、それぞれ酸化物半導体層 403d の一部の上に設けられ、絶縁層 402d は、酸化物半導体層 403d、導電層 405d、及び導電層 406d の上に設けられ、導電層 401d は、絶縁層 402d を介して酸化物半導体層 403d の上に設けられる。

【0176】

基板 400a 乃至基板 400d としては、例えばバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

20

【0177】

また、基板 400a 乃至基板 400d として、セラミック基板、石英基板、又はサファイア基板などの絶縁体でなる基板を用いることもできる。また、基板 400a 乃至基板 400d として、結晶化ガラスを用いることもできる。また、基板 400a 乃至基板 400d として、プラスチック基板を用いることもできる。また、基板 400a 乃至基板 400d として、シリコンなどの半導体基板を用いることもできる。

【0178】

絶縁層 447 は、基板 400d からの不純物元素の拡散を防止する下地層としての機能を有する。絶縁層 447 としては、例えば窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層を用いることができる。また、絶縁層 447 に適用可能な材料の層の積層により絶縁層 447 を構成することもできる。また、絶縁層 447 として、遮光性を有する材料の層と、上記絶縁層 447 に適用可能な材料の層との積層を用いることもできる。また、遮光性を有する材料の層を用いて絶縁層 447 を構成することにより、酸化物半導体層 403d への光の入射を抑制することができる。

30

【0179】

なお、図8(A)乃至図8(C)に示すトランジスタにおいて、図8(D)に示すトランジスタと同様に、基板とゲート電極としての機能を有する導電層の間に絶縁層を設けてもよい。

40

【0180】

導電層 401a 乃至導電層 401d としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層 401a 乃至導電層 401d の形成に適用可能な材料の層の積層により、導電層 401a 乃至導電層 401d を構成することもできる。

【0181】

絶縁層 402a 乃至絶縁層 402d としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、

50

酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層402a乃至絶縁層402dに適用可能な材料の層の積層により絶縁層402a乃至絶縁層402dを構成することもできる。絶縁層402a乃至絶縁層402dに適用可能な材料の層は、例えばプラズマCVD法又はスパッタリング法などを用いて形成される。例えば、プラズマCVD法により窒化シリコン層を形成し、プラズマCVD法により窒化シリコン層の上に酸化シリコン層を形成することにより絶縁層402a乃至絶縁層402dを構成することができる。

【0182】

酸化物半導体層403a乃至酸化物半導体層403dに適用可能な酸化物半導体としては、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などが挙げられる。四元系金属酸化物としては、例えばIn-Sn-Ga-Zn-O系金属酸化物などが挙げられる。三元系金属酸化物としては、例えばIn-Ga-Zn-O系金属酸化物、In-Sn-Zn-O系金属酸化物、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、又はSn-Al-Zn-O系金属酸化物などが挙げられる。二元系金属酸化物としては、In-Zn-O系金属酸化物、Sn-Zn-O系金属酸化物、Al-Zn-O系金属酸化物、Zn-Mg-O系金属酸化物、Sn-Mg-O系金属酸化物、In-Mg-O系金属酸化物、又はIn-Sn-O系金属酸化物などが挙げられる。また、酸化物半導体としては、In-O系金属酸化物、Sn-O系金属酸化物、又はZn-O系金属酸化物などが挙げられる。また、上記酸化物半導体としては、上記酸化物半導体として適用可能な金属酸化物にSiO₂を含む酸化物を用いることもできる。また、例えばIn-Ga-Zn-O系金属酸化物とは、少なくともInとGaとZnを含む酸化物であり、その組成比に特に制限はない。また、In-Ga-Zn-O系金属酸化物にInとGaとZn以外の元素が含まれていてもよい。

【0183】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In:Zn=50:1~1:2(モル数比に換算するとIn₂O₃:ZnO=25:1~1:4)、好ましくはIn:Zn=20:1~1:1(モル数比に換算するとIn₂O₃:ZnO=10:1~1:2)、さらに好ましくはIn:Zn=15:1~1.5:1(モル数比に換算するとIn₂O₃:ZnO=15:2~3:4)とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O=W:Y:Zのとき、Z>1.5W+Yとする。

【0184】

また、酸化物半導体層403a乃至酸化物半導体層403dに適用可能な酸化物半導体としては、化学式InMO₃(ZnO)_m(mは0より大きい数)で表記される金属酸化物も挙げられる。ここで、Mは、Ga、Al、Mn及びCoから選ばれた一つ又は複数の金属元素を示す。Mとしては、例えばGa、Ga及びAl、Ga及びMn、又はGa及びCoなどがある。

【0185】

導電層405a乃至導電層405d及び導電層406a乃至導電層406dとしては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層405a乃至導電層405d、及び導電層406a乃至導電層406dに適用可能な材料の層の積層により導電層405a乃至導電層405d、及び導電層406a乃至導電層406dのそれぞれを構成することができる。

【0186】

例えば、アルミニウム又は銅の金属層と、チタン、モリブデン、又はタングステンなどの高融点金属層との積層により導電層405a乃至導電層405d及び導電層406a乃至導電層406dを構成することができる。また、複数の高融点金属層の間にアルミニウム又は銅の金属層が設けられた積層により導電層405a乃至導電層405d、及び導電層406a乃至導電層406dを構成することもできる。また、ヒロックやウイスキーの発

10

20

30

40

50

生を防止する元素（Si、Nd、Scなど）が添加されているアルミニウム層を用いて導電層405a乃至導電層405d、及び導電層406a乃至導電層406dを構成することにより、耐熱性を向上させることができる。

【0187】

また、導電層405a乃至導電層405d及び導電層406a乃至導電層406dとして、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ In_2O_3 SnO_2 、ITOと略記する）、若しくは酸化インジウム酸化亜鉛合金（ In_2O_3 ZnO ）、又はこれらの金属酸化物に酸化シリコンを含むものを用いることができる。

10

【0188】

さらに、導電層405a乃至導電層405d及び導電層406a乃至導電層406dの形成に用いられる材料を用いて他の配線を形成してもよい。

【0189】

絶縁層427としては、例えば絶縁層447に適用可能な材料の層を用いることができる。また、絶縁層427に適用可能な材料の層の積層により絶縁層427を構成することもできる。

【0190】

酸化物絶縁層407a及び酸化物絶縁層407cとしては、酸化物絶縁層を用いることができ、例えば酸化シリコン層などを用いることができる。また、酸化物絶縁層407a及び酸化物絶縁層407cに適用可能な材料の層の積層により酸化物絶縁層407a及び酸化物絶縁層407cを構成することもできる。

20

【0191】

保護絶縁層409a乃至保護絶縁層409cとしては、例えば無機絶縁層を用いることができ、例えば窒化シリコン層、窒化アルミニウム層、窒化酸化シリコン層、又は窒化酸化アルミニウム層などを用いることができる。また、保護絶縁層409a乃至保護絶縁層409cに適用可能な材料の層の積層により保護絶縁層409a乃至保護絶縁層409cを構成することもできる。

【0192】

なお、本実施の形態のトランジスタに起因する表面凹凸を低減するために、トランジスタの上（酸化物絶縁層又は保護絶縁層を有する場合には酸化物絶縁層又は保護絶縁層を介してトランジスタの上）に平坦化絶縁層を有する構成にすることもできる。平坦化絶縁層としては、ポリイミド、アクリル、ベンゾシクロブテン、などの有機材料の層を用いることができる。また平坦化絶縁層としては、低誘電率材料（low-k材料ともいう）の層を用いることもできる。また、平坦化絶縁層に適用可能な材料の層の積層により平坦化絶縁層を構成することもできる。

30

【0193】

さらに、上記実施の形態に示す分周回路に適用可能な酸化物半導体層を有するトランジスタの作製方法の一例として、図8（A）に示すトランジスタの作製方法の一例について、図9（A）乃至図9（C）、図10（A）及び図10（B）を用いて説明する。図9（A）乃至図9（C）並びに図10（A）及び図10（B）は、図8（A）に示すトランジスタの作製方法の一例を示す断面模式図である。

40

【0194】

まず、基板400aを準備し、基板400aの上に第1の導電膜を形成する。

【0195】

なお、基板400aの一例としてガラス基板を用いる。

【0196】

また、第1の導電膜としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の膜を用いることができる。また、第1の導電膜に適用可能な材

50

料の膜の積層膜により、第1の導電膜を構成することもできる。

【0197】

次に、第1のフォトリソグラフィ工程により第1の導電膜の上に第1のレジストマスクを形成し、第1のレジストマスクを用いて選択的に第1の導電膜のエッチングを行うことにより導電層401aを形成し、第1のレジストマスクを除去する。

【0198】

なお、本実施の形態において、インクジェット法を用いてレジストマスクを形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0199】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するために、多階調マスクによって形成されたレジストマスクを用いてエッチングを行ってもよい。多階調マスクは、透過した光が複数の強度となる露光マスクである。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、製造工程を簡略にすることができる。

【0200】

次に、導電層401aの上に絶縁層402aを形成する。

【0201】

例えば、高密度プラズマCVD法を用いて絶縁層402aを形成することができる。例えば μ 波（例えば、周波数2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるため、好ましい。高密度プラズマCVDを用いて形成した高品質な絶縁層と酸化物半導体層が接することにより、界面準位が低減し、界面特性を良好にすることができる。

【0202】

また、スパッタリング法やプラズマCVD法など、他の方法を用いて絶縁層402aを形成することもできる。また、絶縁層402aの形成後に加熱処理を行ってもよい。該加熱処理を行うことにより絶縁層402aの質、酸化物半導体との界面特性を改質させることができる。

【0203】

次に、絶縁層402aの上に膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜530を形成する。例えば、スパッタリング法を用いて酸化物半導体膜530を形成することができる。

【0204】

なお、酸化物半導体膜530を形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層402aの表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加し、基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0205】

例えば、酸化物半導体層403aに適用可能な酸化物半導体材料を用いて酸化物半導体膜530を形成することができる。本実施の形態では、一例としてIn-Ga-Zn-O系酸化物ターゲットを用いてスパッタリング法により酸化物半導体膜530を形成する。この段階での断面模式図が図9(A)に相当する。また、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス及び酸素の混合雰囲気下において、スパッタリング法により酸化物半導体膜530を形成することもできる。

【0206】

スパッタリング法を用いて酸化物半導体膜530を作製するためのターゲットとしては、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の組成比である酸化物ターゲットを用いることができる。また、上記に示すターゲットに限定されず、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の組成比である酸化物ターゲットを用いてもよい。また、作製される酸化物ターゲットの全体の体積に対して全体の体積から空隙などが占める空間を除いた部分の体積の割合（充填率ともいう）は、90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより形成した酸化物半導体膜は、緻密な膜となる。

【0207】

なお、酸化物半導体膜530を形成する際に用いるスパッタリングガスとしては、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0208】

また、酸化物半導体膜530を形成する前に、スパッタリング装置の予備加熱室で導電層401aが形成された基板400a、又は導電層401a及び絶縁層402aが形成された基板400aを加熱し、基板400aに吸着した水素、水分などの不純物を脱離し排気することが好ましい。該加熱により、絶縁層402a及び酸化物半導体膜530への水素、水酸基、及び水分の侵入を抑制することができる。また、予備加熱室に設ける排気手段としては、例えばクライオポンプを用いることが好ましい。また、予備加熱室における加熱処理を省略することもできる。また、酸化物絶縁層407aの成膜前に、導電層405a及び導電層406aまで形成した基板400aにも同様に該加熱を行ってもよい。

【0209】

また、スパッタリング法を用いて酸化物半導体膜530を形成する場合、減圧状態に保持された成膜室内に基板400aを保持し、基板温度を100℃以上600℃以下、好ましくは200℃以上400℃以下とする。基板400aを加熱することにより、形成する酸化物半導体膜530に含まれる不純物濃度を低減することができる。また、スパッタリングによる酸化物半導体膜530の損傷が軽減する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、上記ターゲットを用いて絶縁層402aの上に酸化物半導体膜530を成膜する。

【0210】

なお、本実施の形態において、スパッタリングを行う際の成膜室内の残留水分を除去する手段としては、例えば吸着型の真空ポンプなどを用いることができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリーメーションポンプなどを用いることができる。例えばクライオポンプを用いることにより、例えば水素原子及び炭素原子のいずれか一つ又は複数を含む化合物などを排気することができ、成膜室で形成される膜に含まれる不純物の濃度を低減することができる。また、本実施の形態において、スパッタリングを行う際の成膜室内の残留水分を除去する手段として、ターボポンプにコールドトラップを加えたものを用いることもできる。

【0211】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となる。

【0212】

次に、第2のフォトリソグラフィ工程により酸化物半導体膜530の上に第2のレジストマスクを形成し、第2のレジストマスクを用いて選択的に酸化物半導体膜530のエッチングを行うことにより、酸化物半導体膜530を島状の酸化物半導体層に加工し、第2のレジストマスクを除去する。

【0213】

なお、絶縁層402aにコンタクトホールを形成する場合、酸化物半導体膜530を島状の酸化物半導体層に加工する際に該コンタクトホールを形成することもできる。

【0214】

例えば、ドライエッチング、ウェットエッチング、又はドライエッチング及びウェットエッチングの両方を用いて酸化物半導体膜530のエッチングを行うことができる。ウェットエッチングに用いるエッチング液としては、例えば燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、エッチング液としてITO07N（関東化学社製）を用いてもよい。

【0215】

次に、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化又は脱水素化を行うことができる。第1の加熱処理の温度は、400 以上750 以下、又は400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層403aを得る（図9（B）参照）。

【0216】

なお、加熱処理装置は、電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を備えていてもよい。加熱処理装置としては、例えばGRTA（Gas Rapid Thermal Anneal）装置又はLRTA（Lamp Rapid Thermal Anneal）装置などのRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えばアルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いることができる。

【0217】

例えば、第1の加熱処理として、650 ～700 に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて加熱した不活性ガス中から出す方式のGRTAを行ってもよい。

【0218】

なお、第1の加熱処理においては、窒素、又はヘリウム、ネオン、アルゴンなどの希ガスに、水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、又はヘリウム、ネオン、若しくはアルゴンなどの希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、すなわち不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。

【0219】

また、第1の加熱処理で酸化物半導体層を加熱した後、第1の加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア（露点が-40 以下、好ましくは-60 以下の雰囲気）を導入してもよい。このとき酸素ガス又はN₂Oガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又はN₂Oガスの純度を、6N以上、好ましくは7N以上、すなわち、酸素ガス又はN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。酸素ガス又はN₂Oガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少してしまった酸素を供給することによって、酸化物半導体層403aを高純度化させる。

【0220】

また、島状の酸化物半導体層に加工する前の酸化物半導体膜530に第1の加熱処理を行うこともできる。その場合には、第1の加熱処理後に加熱装置から基板を取り出し、島状の酸化物半導体層に加工する。

【0221】

また、上記以外にも、酸化物半導体層形成後であれば、酸化物半導体層403aの上に導電層405a及び導電層406aを形成した後、又は導電層405a及び導電層406aの上に酸化物絶縁層407aを形成した後に第1の加熱処理を行ってもよい。

【0222】

また、絶縁層402aにコンタクトホールを形成する場合、第1の加熱処理を行う前にコンタクトホールを形成してもよい。

【0223】

また、酸化物半導体膜を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域（単結晶領域）、すなわち、膜表面に対して垂直にc軸配向した結晶領域を有する膜を用いて酸化物半導体層を形成してもよい。例えば、膜厚が3nm以上15nm以下の第1の酸化物半導体膜を成膜し、さらに第1の加熱処理として、窒素、酸素、希ガス、又は乾燥エアの雰囲気下で450以上850以下、好ましくは550以上750以下の加熱処理を行い、表面を含む領域に結晶領域（板状結晶を含む）を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成する。さらに第2の加熱処理として、450以上850以下、好ましくは600以上700以下の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、第1の酸化物半導体膜から第2の酸化物半導体膜にかけて上方に向かって結晶成長させ、第2の酸化物半導体膜の全体を結晶化させる。その結果、膜厚の厚い結晶領域を有する酸化物半導体膜を用いて酸化物半導体層403aを形成することができる。

【0224】

次に、絶縁層402a及び酸化物半導体層403aの上に第2の導電膜を形成する。

【0225】

第2の導電膜としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の膜を用いることができる。また、第2の導電膜に適用可能な膜の積層膜により第2の導電膜を形成することができる。

【0226】

次に、第3のフォトリソグラフィ工程により第2の導電膜の上に第3のレジストマスクを形成し、第3のレジストマスクを用いて選択的にエッチングを行って導電層405a及び導電層406aを形成した後、第3のレジストマスクを除去する（図9（C）参照）。

【0227】

なお、導電層405a及び導電層406aを形成する際に、第2の導電膜を用いて他の配線を形成することもできる。

【0228】

また、第3のレジストマスク形成時の露光として、紫外線やKrFレーザ光やArFレーザ光を用いることが好ましい。酸化物半導体層403aの上で隣り合う導電層405aの下端部と導電層406aの下端部との間隔幅により、後に形成されるトランジスタのチャネル長Lが決定される。なお、第3のレジストマスクの形成の際にチャネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長Lを10nm以上1000nm以下とすることも可能であり、該露光を用いて形成されたトランジスタを用いることにより、回路の動作速度を速くことができ、さらに該トランジスタのオフ電流は、極めて少ないため、消費電力を低減することもできる。

【0229】

なお、第2の導電膜のエッチングを行う場合、エッチングによる酸化物半導体層403aの分断を抑制するために、エッチング条件を最適化することが好ましい。しかしながら、第2の導電膜のみエッチングが行われ、酸化物半導体層403aは、全くエッチングが行

われないという条件を得ることは難しく、第2の導電膜のエッチングの際に酸化物半導体層403aは一部のみエッチングが行われ、溝部（凹部）を有する酸化物半導体層403aとなることもある。

【0230】

本実施の形態では、第2の導電膜の一例としてチタン膜を用い、酸化物半導体層403aの一例としてIn-Ga-Zn-O系酸化物半導体を用いるため、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いる。

【0231】

次に、酸化物半導体層403a、導電層405a、及び導電層406aの上に酸化物絶縁層407aを形成する。このとき、酸化物絶縁層407aは、酸化物半導体層403aの上面の一部に接する。

10

【0232】

酸化物絶縁層407aは、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁層407aに水又は水素などの不純物が混入しない方法を適宜用いて形成することができる。酸化物絶縁層407aに水素が混入すると、該水素の酸化物半導体層への侵入又は該水素による酸化物半導体層中の酸素の引き抜きにより、酸化物半導体層のバックチャンネルが低抵抗化（N型化）し、寄生チャンネルが形成されるおそれがある。よって、酸化物絶縁層407aができるだけ水素を含まない層になるように、酸化物絶縁層407aの作製方法として水素を用いない方法を用いることが好ましい。

【0233】

20

本実施の形態では、酸化物絶縁層407aの一例として、スパッタリング法を用いて膜厚200nmの酸化シリコン膜を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では一例として100とする。酸化シリコン膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス及び酸素の混合雰囲気下において行うことができる。

【0234】

また、酸化物絶縁層407aを形成するためのターゲットとしては、例えば酸化シリコンターゲット又はシリコンターゲットなどを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタリング法により酸化シリコン膜を形成することができる。

30

【0235】

また、酸化物絶縁層407aを形成する際に用いるスパッタリングガスは、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0236】

また、酸化物絶縁層407aを形成する前にN₂O、N₂、又はArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層403aの表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層403aの上面の一部に接する酸化物絶縁層407aを形成することが好ましい。

【0237】

40

さらに、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行うこともできる。例えば、第2の加熱処理として、窒素雰囲気下で250、1時間の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層403aの上面の一部が酸化物絶縁層407aと接した状態で加熱される。

【0238】

以上の工程を経ることによって、水素、水分、水酸基、又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層から意図的に排除し、且つ酸素を酸化物半導体層に供給することができる。よって、酸化物半導体層は高純度化する。

【0239】

50

以上の工程でトランジスタが形成される（図10（A）参照）。

【0240】

また、酸化物絶縁層407aとして欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層403a中に含まれる水素、水分、水酸基、又は水素化物などの不純物を酸化物絶縁層407aに拡散させ、酸化物半導体層403a中に含まれる該不純物をより低減させる効果を奏する。

【0241】

さらに、酸化物絶縁層407aの上に保護絶縁層409aを形成してもよい。例えば、RFスパッタリング法を用いて窒化シリコン膜を形成する。RFスパッタリング法は、量産性がよいため、保護絶縁層409aの成膜方法として好ましい。本実施の形態では、一例として窒化シリコン膜を形成することにより保護絶縁層409aを形成する（図10（B）参照）。

10

【0242】

本実施の形態では、酸化物絶縁層407aまで形成された基板400aを100～400の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタリングガスを導入し、シリコン半導体のターゲットを用いて窒化シリコン膜を形成することで保護絶縁層409aを形成する。この場合においても、酸化物絶縁層407aと同様に、処理室内の残留水分を除去しつつ保護絶縁層409aを成膜することが好ましい。

【0243】

保護絶縁層409aの形成後、さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回繰り返して行ってもよい。以上が図8（A）に示すトランジスタの作製方法の一例である。

20

【0244】

なお、図8（A）に示すトランジスタの作製方法の一例を示したが、これに限定されず、例えば図8（B）乃至図8（D）に示す各構成要素において、名称が図8（A）に示す各構成要素と同じであり且つ機能の少なくとも一部が図8（A）に示す各構成要素と同じであれば、図8（A）に示すトランジスタの作製方法の一例の説明を適宜援用することができる。

30

【0245】

以上のように、上記実施の形態に示す分周回路に適用可能な酸化物半導体層を有するトランジスタは、チャネル形成層として酸化物半導体層を有するトランジスタであり、トランジスタに用いられる酸化物半導体層は、加熱処理により高純度化させることによりI型又は実質的にI型となった酸化物半導体層である。

【0246】

また、高純度化された酸化物半導体層は、キャリアの数が極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。よって、チャネル幅1 μm あたりのオフ電流を10aA（ $1 \times 10^{-17} \text{A}$ ）以下にすること、さらにはチャネル幅1 μm あたりのオフ電流を1aA（ $1 \times 10^{-18} \text{A}$ ）以下、さらにはチャネル幅1 μm あたりのオフ電流を10zA（ $1 \times 10^{-20} \text{A}$ ）以下、さらにはチャネル幅1 μm あたりのオフ電流を1zA（ $1 \times 10^{-21} \text{A}$ ）以下にすることができる。

40

【0247】

また、例えば上記トランジスタを用いることにより、分周回路の絶縁耐圧を向上させることができる。本実施の形態の分周回路は、電源電圧以上の電圧がトランジスタのゲートと、ソース又はドレインとの間に印加される場合があるため、絶縁耐圧の高い本実施の形態のトランジスタを用いることは好適である。

【0248】

（実施の形態5）

50

本実施の形態では、上記実施の形態の分周回路を備えた半導体装置について説明する。

【0249】

本実施の形態の半導体装置としては、例えば表示装置、無線通信装置、又は集積回路などが挙げられる。表示装置としては、例えば液晶表示装置又はエレクトロルミネセンス表示装置（EL表示装置ともいう）などが挙げられる。無線通信装置としては、例えばRFID（Radio Frequency Identification）タグが挙げられる。RFIDタグは、RFタグ、無線タグ、電子タグ、無線チップとも呼ばれる。

【0250】

さらに、本実施の形態の半導体装置の構成例について、図11を用いて説明する。図11は、本実施の形態の半導体装置の構成例を示すブロック図である。

10

【0251】

図11に示す半導体装置は、クロック信号生成回路（CLKGともいう）501と、第1のデジタル回路502a（DIG1ともいう）と、第2のデジタル回路502b（DIG2ともいう）を具備する。

【0252】

クロック信号生成回路501は、第1のクロック信号及び第2のクロック信号を出力する機能を有する。また、クロック信号生成回路501は、発振回路及び分周回路を備える。分周回路としては、上記実施の形態の分周回路を用いることができる。なお、第1のクロック信号の周期及び第2のクロック信号の周期は互いに異なり、第2のクロック信号の周期は、第1のクロック信号の周期のN倍である。

20

【0253】

第1のデジタル回路502aには、クロック信号生成回路501により生成された第1のクロック信号が入力される。第1のデジタル回路502aは、クロック信号を用いて演算処理を行う機能を有する。第1のデジタル回路502aとしては、例えばシフトレジスタ、フリップフロップ、又は論理回路などにより構成される回路が挙げられる。

【0254】

第2のデジタル回路502bには、クロック信号生成回路501により生成された第2のクロック信号が入力される。第2のデジタル回路502bは、クロック信号を用いて演算処理を行う機能を有する。第2のデジタル回路502bとしては、例えばシフトレジスタ、フリップフロップ、又は論理回路などにより構成される回路が挙げられる。

30

【0255】

以上のように、本実施の形態の半導体装置は、クロック信号生成回路に分周回路を備える構成である。該構成にすることにより、異なる周期のクロック信号を用いて駆動する複数のデジタル回路を具備する場合であっても、それぞれのデジタル回路を動作させることができる。

【符号の説明】

【0256】

101	シフトレジスタ
101a	トランジスタ
101b	トランジスタ
101c	トランジスタ
101d	トランジスタ
101e	トランジスタ
101f	トランジスタ
101g	トランジスタ
101h	トランジスタ
101i	トランジスタ
101j	トランジスタ
101k	トランジスタ
102	分周信号出力回路

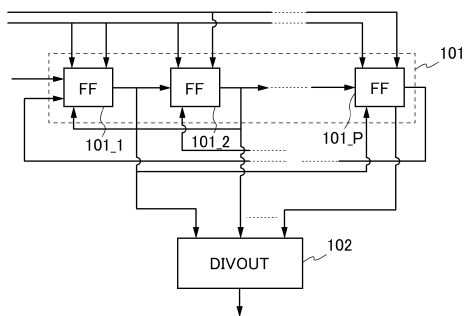
40

50

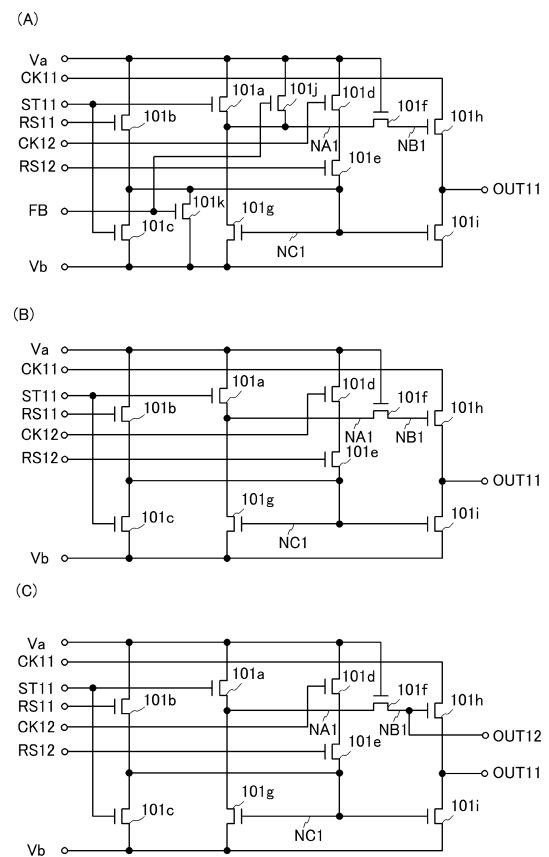
1 0 2 a	トランジスタ	
1 0 2 b	トランジスタ	
1 0 2 c	トランジスタ	
1 0 2 d	トランジスタ	
1 0 2 e	トランジスタ	
1 0 2 f	トランジスタ	
1 0 2 g	トランジスタ	
1 0 2 h	トランジスタ	
1 0 2 i	トランジスタ	
1 0 2 j	トランジスタ	10
1 0 2 k	トランジスタ	
1 0 2 l	トランジスタ	
1 0 2 m	トランジスタ	
1 0 2 n	トランジスタ	
1 0 2 o	トランジスタ	
1 0 2 p	トランジスタ	
1 0 2 q	トランジスタ	
1 0 2 D L 1	遅延回路	
1 0 2 D L 2	遅延回路	
2 0 1	単位分周回路	20
2 0 2	単位分周回路	
4 0 0 a	基板	
4 0 0 b	基板	
4 0 0 c	基板	
4 0 0 d	基板	
4 0 1 a	導電層	
4 0 1 b	導電層	
4 0 1 c	導電層	
4 0 1 d	導電層	
4 0 2 a	絶縁層	30
4 0 2 b	絶縁層	
4 0 2 c	絶縁層	
4 0 2 d	絶縁層	
4 0 3 a	酸化物半導体層	
4 0 3 b	酸化物半導体層	
4 0 3 c	酸化物半導体層	
4 0 3 d	酸化物半導体層	
4 0 5 a	導電層	
4 0 5 b	導電層	
4 0 5 c	導電層	40
4 0 5 d	導電層	
4 0 6 a	導電層	
4 0 6 b	導電層	
4 0 6 c	導電層	
4 0 6 d	導電層	
4 0 7 a	酸化物絶縁層	
4 0 7 c	酸化物絶縁層	
4 0 9 a	保護絶縁層	
4 0 9 b	保護絶縁層	
4 0 9 c	保護絶縁層	50

- 4 2 7 絶縁層
- 4 4 7 絶縁層
- 5 0 1 クロック信号生成回路
- 5 0 2 a デジタル回路
- 5 0 2 b デジタル回路
- 5 3 0 酸化物半導体膜

【図 1】

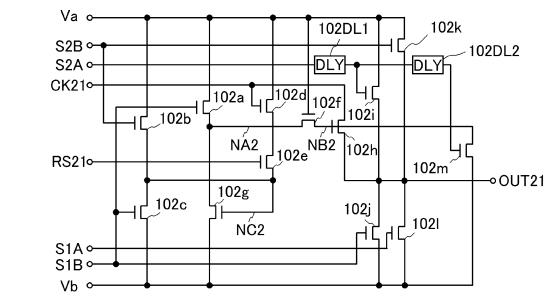


【図 2】

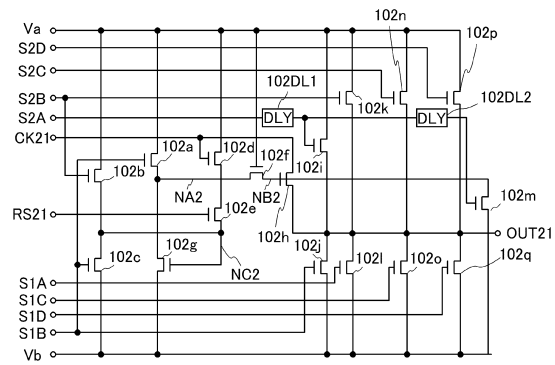


【図 3】

(A)

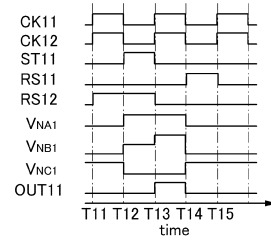


(B)

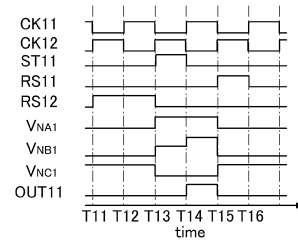


【図 4】

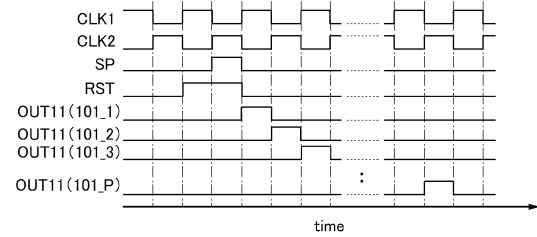
(A)



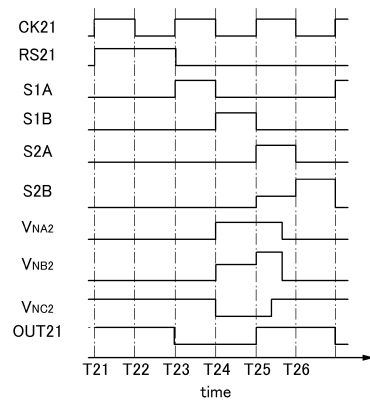
(B)



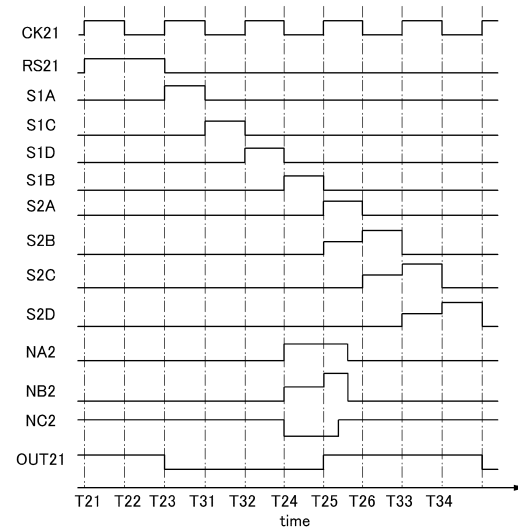
(C)



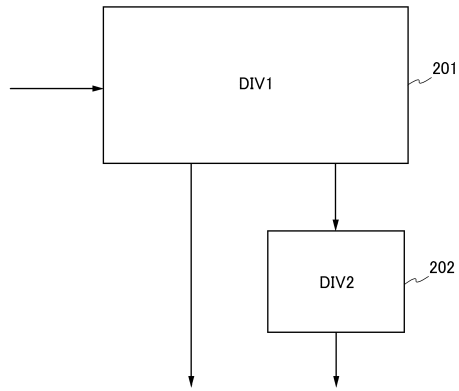
【図 5】



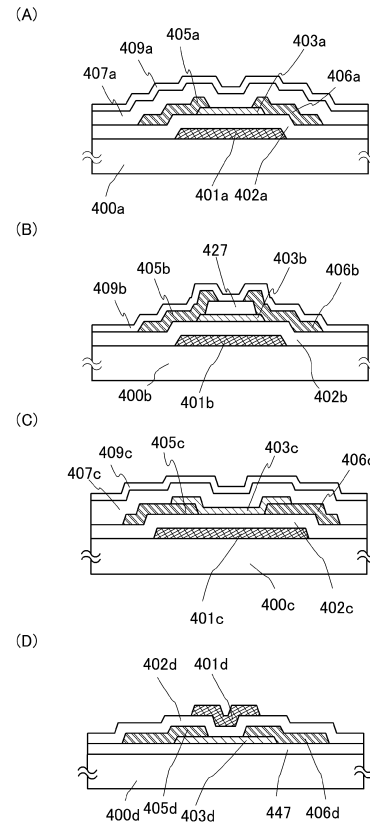
【図 6】



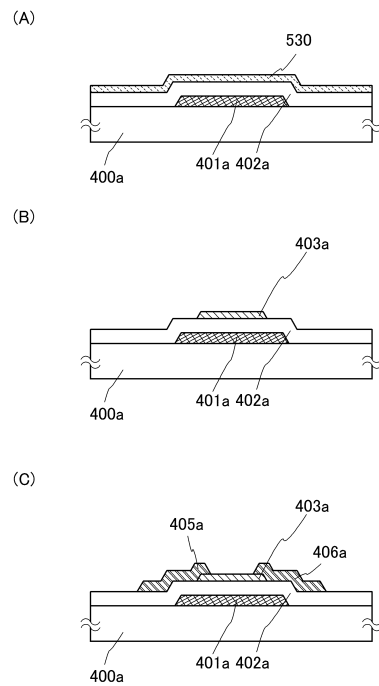
【図 7】



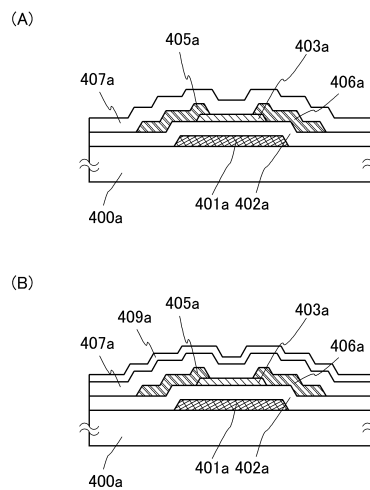
【図 8】



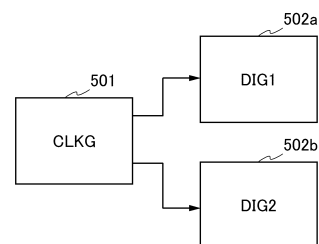
【図 9】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開2010-049791(JP,A)
特開2008-122939(JP,A)
特開2004-226429(JP,A)
特開2003-174359(JP,A)
特開2007-317288(JP,A)
特開昭56-056043(JP,A)
特表昭62-500698(JP,A)
特開2009-004733(JP,A)
国際公開第2008/096768(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H03K 23/44
H01L 21/20
H01L 29/786